

14ビット 10MHz CCD/CIS シグナル・プロセッサ

特 長

- 動作モード：
1 または 3 チャンネル / CCD または CIS モード
- プログラマブル・ゲイン・アンプ (PGA)
ゲイン調整レンジ = 0 ~ +13dB
- 出力モード：
ノーマルまたはバイト出力モード
- オフセット調整レンジ: $\pm 400\text{mV}$
- +3V または +5V デジタル出力
- 低消費電力: 450mW (typ) 3chモード時
- 小型パッケージ: 48ピン LQFP

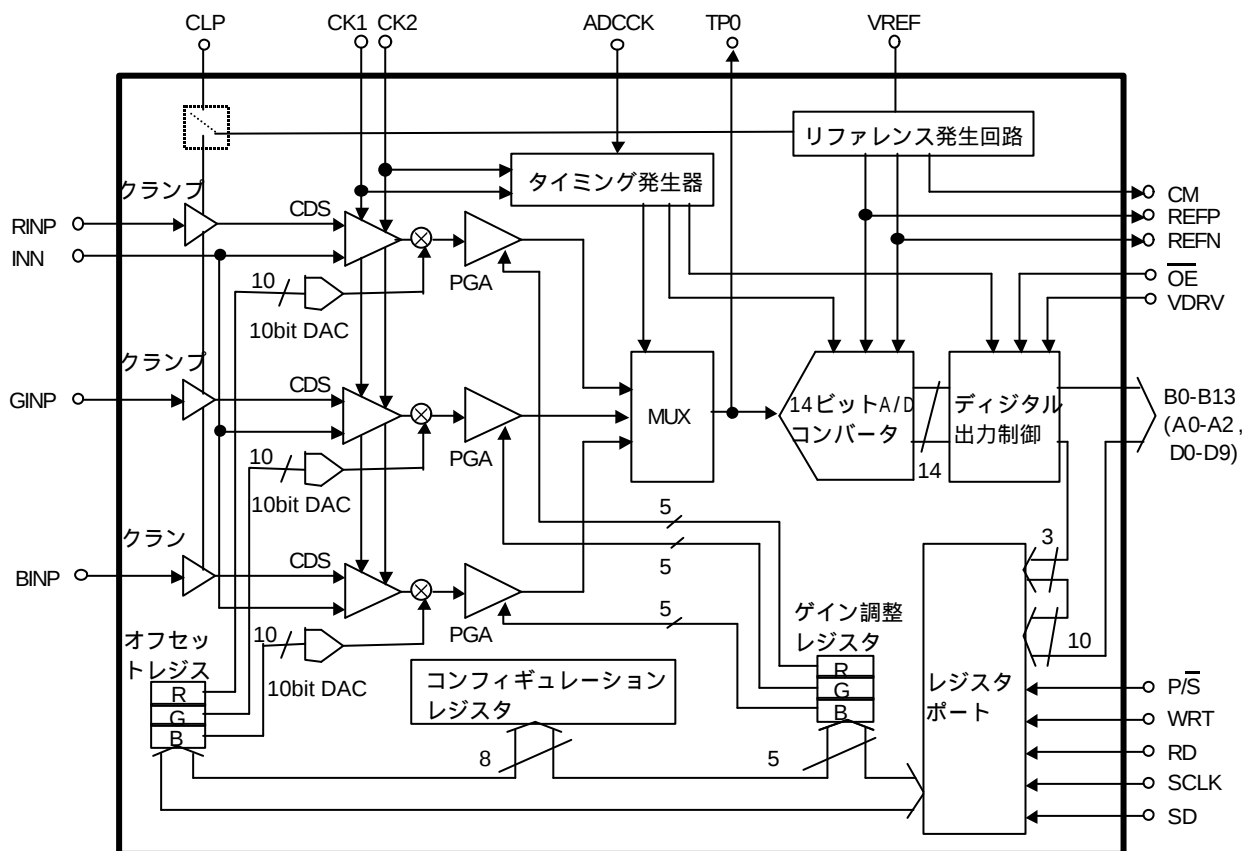
概 要

VSP3100は、電荷結合素子 (CCD)、または接触型画像センサ (CIS) アプリケーション用のシグナル・プロセッサで、CCD出力信号を処理する相関二重サンプリング回路 (CDS) とプログラマブル・ゲインアンプ (PGA) から構成されるアナログ・フロント・エンド部と、14ビット A/Dコンバータを集積しています。

VSP3100の入力ピンへCIS出力信号を直接入力することもできます。

VSP3100は、VSP3000 (12ビット) の高分解能バージョンで、インタフェースの互換性があります。

VSP3100 は、48ピンLQFPパッケージで供給され、+5V単一電源で動作します。



VSP3100 ブロックダイアグラム

1. 仕様

特に記述の無い限り、 T_a = 全仕様温度範囲、

$V_{CC} = +5V$ 、 $f_{ADCCK} = 6MHz$ 、 $f_{CK1} = 2MHz$ 、 $f_{CK2} = 2MHz$ 、PGAゲイン = 1、ノーマル出力モード、無負荷

パラメータ	条件	最小	標準	最大	単位
分解能			14		Bits
変換特性					
1/3 チャンネルC C Dモード、最大レート		10			Msp/s
1/3 チャンネルC I Sモード、最大レート		10			Msp/s
デジタル入力 ロジック・ファミリ 変換コマンド	変換開始		CMOS ADCCKの立上がり エッジ		
ハイ・レベル入力電流 ($V_{in} = V_{CC}$)				20	μA
ロー・レベル入力電流 ($V_{in} = 0V$)				20	μA
“ロー” → “ハイ”、スレッシュホールド電圧	ピン : 18,19,20,21,22,24			3.80	V
“ハイ” → “ロー”、スレッシュホールド電圧	ピン : 18,19,20,21,22,24	1.25			V
“ロー” → “ハイ”、スレッシュホールド電圧	ピン : 12,14,15,16			2.20	V
“ハイ” → “ロー”、スレッシュホールド電圧	ピン : 12,14,15,16	0.80			V
入力容量			5		pF
アナログ入力 フルスケール入力レンジ 入力容量 入力限界 外部リファレンス電圧範囲 リファレンス入力抵抗		0.5 AGND - 0.3 0.25	10 800	3.5 $V_{CC} + 0.3$ 1.75	V_{p-p} pF V V Ω
ダイナミック特性 積分非直線性 (INL) 微分非直線性 (DNL) ノー・ミッシング・コード 入力換算ノイズ			± 1.0 0.5 保証 0.3		LSB LSB LSBs rms
PSRR			0.04		% FSR
DC精度 ゼロ誤差 ゲイン誤差 オフセット調整レンジ	10ビットDAC出力範囲	± 400	0.8 1.5 ± 500		% FS % FS mV

特に記述の無い限り、 T_a = 全仕様温度範囲、

$V_{CC} = +5V$ 、 $f_{ADCK} = 6MHz$ 、 $f_{CK1} = 2MHz$ 、 $f_{CK2} = 2MHz$ 、PGAゲイン = 1、ノーマル出力モード、無負荷

デジタル出力 ロジック・ファミリ ロジック・コーディング			TTL / HCT ストレート・オフ セット・バイナリ		
デジタル・データ出力、最大レート VDRV 電圧範囲	ノーマル出力モード バイト出力モード	10 10 +2.7		5.3	MHz MHz V
出力電圧，VDRV = +5V ロー・レベル ハイ・レベル ロー・レベル ハイ・レベル	$I_{OL} = 50 \mu A$ $I_{OH} = 50 \mu A$ $I_{OL} = 1.6mA$ $I_{OH} = 0.5mA$	+4.6 +2.4		+0.1 +0.4	V V V V
出力電圧，VDRV = +3V ロー・レベル ハイ・レベル	$I_{OL} = 50 \mu A$ $I_{OH} = 50 \mu A$	+2.5		+0.1	V V
出力イネーブル時間 3-ステート・イネーブル時間 出力容量 データ・レイテンシー データ出力遅延	$\overline{OE} = \text{“ロー”}$ $OE = \text{“ハイ”}$		20 2 5 7	40 10 12	ns ns pF クロック・サイクル ns
電源条件 電源電圧： V_{CC}		4.7	5	5.3	V
電源電流（無負荷）	3チャンネル・モード 1チャンネル・モード		90 75		mA mA
消費電力（無負荷）	3チャンネル・モード 1チャンネル・モード		450 375		mW mW
熱抵抗 θ_{JA}			100		/W
仕様温度範囲			0 ~ +85		

2. 絶対最大定格

電源電圧 (1)	+6.5 V
電源電圧差 (2)	± 0.1 V
グランド電圧差 (3)	± 0.1 V
ディジタル入力電圧	$-0.3 \sim V_{CC} + 0.3$ V
アナログ入力電圧	$-0.3 \sim V_{CC} + 0.3$ V
入力電流 (電源、GNDピンを除く)	± 10 mA
動作温度	0 $\sim$ +85
保存温度	-55 $\sim$ +150
接合温度	+150
リード温度 (はんだ付け)	+260 , 5 秒
パッケージ温度 (IRリフロー、ピーク値)	+235 , 10 秒

記事：

- (1) V_{CC} , V_{DRV}
- (2) V_{CC} 相互間
- (3) AGND 相互間

絶対最大定格に記載されている値より大きいストレスを加えると、デバイスが永久的に損傷することがあります。また、絶対最大定格を印加して長時間放置すると、デバイスの信頼性に影響を与えますのでご注意ください。

パッケージ情報 / ご発注の手引き

モデル	パッケージ	パッケージ図 番号 (1)	仕様温度範囲	パッケージのマ ーキング	発注番号 (2)	供給時の状態
VSP3100Y	48ピン LQFP	340	0 $\sim$ +85	VSP3100Y	VSP3100Y	250個入りトレイ
VSP3100Y	48ピン LQFP	340	0 $\sim$ +85	VSP3100Y	VSP3100Y/2K	テープ・リール

記事：(1) 詳細図および寸法表は、データシートの6ページを参照してください。

- (2) スラッシュ (/) の付いたモデルは、表示数量のテープ・リールでのみ供給されます (例えば、/2K はリール1本あたり2,000個入りデバイスであることを示します)。“VSP3100Y/2K”を発注すると、2,000個入りテープ・リールが1本納品されます。

デモ・ボードご発注の手引き

モデル	デモ・ボード
VSP3100Y	DEM-VSP3100Y

静電気放電対策

静電気放電 (ESD) はわずかな性能の低下から完全なデバイスの故障に至るまで、様々な損傷を与えます。

全ての集積回路は、適切なESD保護方法を用いて、取扱いと保存を行なうようご注意ください。

高精度の集積回路は、損傷に対して敏感であり、極めてわずかなパラメーターの変化によりデバイスに規定された仕様に適合しなくなる場合があります。

このデータシートに記載されている情報は信頼し得るものと考えておりますが、不正確な情報や記載漏れ等に関して、弊社はいかなる責任を負うものではありません。

このデータシートに記載されている情報の使用については、各ユーザの責任においてご使用下さい。

価格や仕様は、予告無しに変更することがありますので、ご了承下さい。

弊社は、このデータシートに記載されているいかなる回路についても、工業所有権その他の権利またはその実施権を付与したり承諾するものではありません。

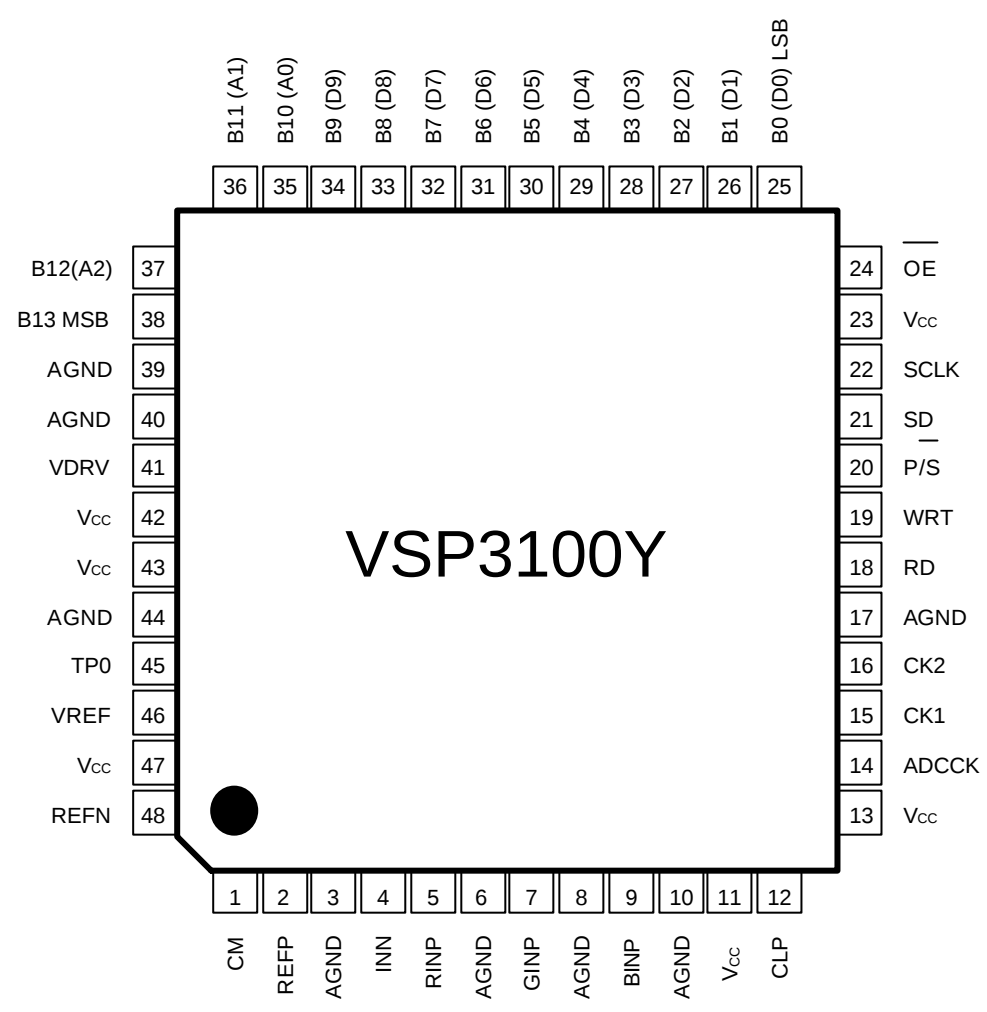
弊社は、弊社製品を生命維持に関する機器またはシステムに使用することを承認または保証するものではありません。

3. ピン配置と構成

ピン構成

ピン番号	名称	タイプ	説明
1	CM	AO	同相モード電圧
2	REFP	AO	高電位リファレンス
3	AGND	P	アナログ・グラウンド
4	INN	AI	R/G/B チャンネル・リファレンス・レベル入力 (CISモード時) CCDモード時はアナログ・グラウンドへ接続
5	RINP	AI	Red チャンネル・アナログ入力
6	AGND	P	アナログ・グラウンド
7	GINP	AI	Green チャンネル・アナログ入力
8	AGND	P	アナログ・グラウンド
9	BINP	AI	Blue チャンネル・アナログ入力
10	AGND	P	アナログ・グラウンド
11	V _{CC}	P	アナログ電源、+5V
12	CLP	DI	クランプ・イネーブル “ハイ” = イネーブル、“ロー” = ディセーブル
13	V _{CC}	P	アナログ電源、+5V
14	ADCKK	DI	ディジタル・データ出力用クロック
15	CK1	DI	リファレンス・サンプリング・クロック
16	CK2	DI	データ・サンプリング・クロック
17	AGND	P	アナログ・グラウンド
18	RD	DI	レジスタ読み出し信号
19	WRT	DI	レジスタ書き込み信号
20	P/ $\overline{S}$	DI	レジスタ・アクセス・ポート選択 “ハイ” = パラレルポート、“ロー” = シリアルポート
21	SD	DI	シリアル・データ入力
22	SCLK	DI	シリアル・データ・シフト・クロック
23	V _{CC}	P	アナログ電源、+5V
24	OE	DI	出力イネーブル (アクティブ・ロー)
25	B0 (D0) LSB	DIO	A/Dコンバータ出力 (Bit 0) & レジスタ・データ (Bit 0)
26	B1 (D1)	DIO	A/Dコンバータ出力 (Bit 1) & レジスタ・データ (Bit 1)
27	B2 (D2)	DIO	A/Dコンバータ出力 (Bit 2) & レジスタ・データ (Bit 2)
28	B3 (D3)	DIO	A/Dコンバータ出力 (Bit 3) & レジスタ・データ (Bit 3)
29	B4 (D4)	DIO	A/Dコンバータ出力 (Bit 4) & レジスタ・データ (Bit 4)
30	B5 (D5)	DIO	A/Dコンバータ出力 (Bit 5) & レジスタ・データ (Bit 5)
31	B6 (D6)	DIO	A/Dコンバータ出力 (Bit 6) & レジスタ・データ (Bit 6)
32	B7 (D7)	DIO	A/Dコンバータ出力 (Bit 7) & レジスタ・データ (Bit 7)
33	B8 (D8) B0 : Demultiplexed Mode	DIO	A/Dコンバータ出力 (Bit 8) & レジスタ・データ (Bit 8) A/Dコンバータ出力 (Bit 0) : バイト出力モード時
34	B9 (D9) B1 : Demultiplexed Mode	DIO	A/Dコンバータ出力 (Bit 9) & レジスタ・データ (Bit 9) A/Dコンバータ出力 (Bit 1) : バイト出力モード時
35	B10 (A0) B2 : Demultiplexed Mode	DIO	A/Dコンバータ出力 (Bit 10) & レジスタ・データ (Bit 10) A/Dコンバータ出力 (Bit 2) : バイト出力モード時
36	B11 (A1) B3 : Demultiplexed Mode	DIO	A/Dコンバータ出力 (Bit 11) & レジスタ・データ (Bit 11) A/Dコンバータ出力 (Bit 3) : バイト出力モード時
37	B12 (A2) B4 : Demultiplexed Mode	DIO	A/Dコンバータ出力 (Bit 12) & レジスタ・データ (Bit 12) A/Dコンバータ出力 (Bit 4) : バイト出力モード時
38	B13 MSB B5 : Demultiplexed Mode	DO	A/Dコンバータ出力 (Bit 13) A/Dコンバータ出力 (Bit 5) : バイト出力モード時
39	AGND	P	アナログ・グラウンド
40	AGND	P	アナログ・グラウンド
41	VDRV	P	ディジタル出力ドライバ専用電源
42	V _{CC}	P	アナログ電源、+5V
43	V _{CC}	P	アナログ電源、+5V
44	AGND	P	アナログ・グラウンド
45	TP0	AO	A/Dコンバータ入力信号モニタ (シングル・エンド出力)
46	VREF	AIO	リファレンス電圧入出力
47	V _{CC}	P	アナログ電源、+5V
48	REFN	AO	低電位リファレンス

ピン配置図

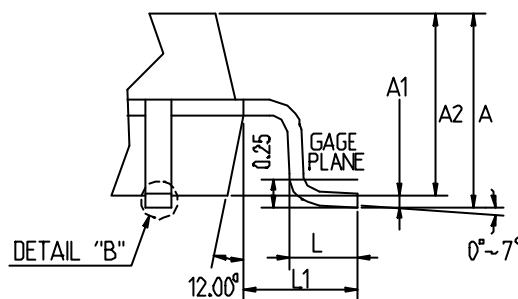
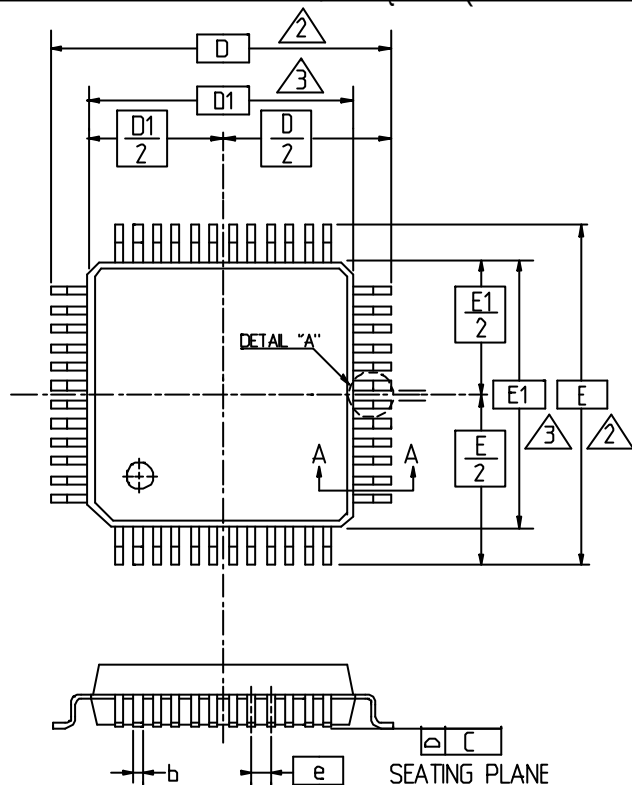


4. パッケージ外形図

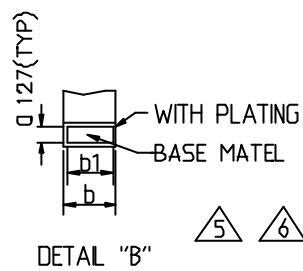
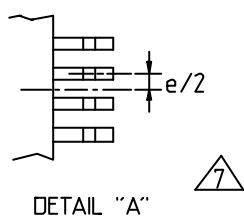
パッケージ情報

モデル	パッケージ	温度範囲
VSP3100Y	48ピン LQFP	0 ~ +85

VSP3100Y : 48ピン LQFP (JEDEC Number : MS-026-BBC)



SECTION A-A



DIN	MIN	MAX	DIN	MIN	MAX
A	—	1.60	D	9.00 BSC.	
A1	0.05	0.15	D1	7.00 BSC.	
A2	1.35	1.45	E	9.00 BSC.	
b	0.17	0.27	E1	7.00 BSC.	
b1	0.17	0.23	e	0.50 BSC.	
C	—	0.08	L	0.45	0.75
N	48		L1	1.0 REF	

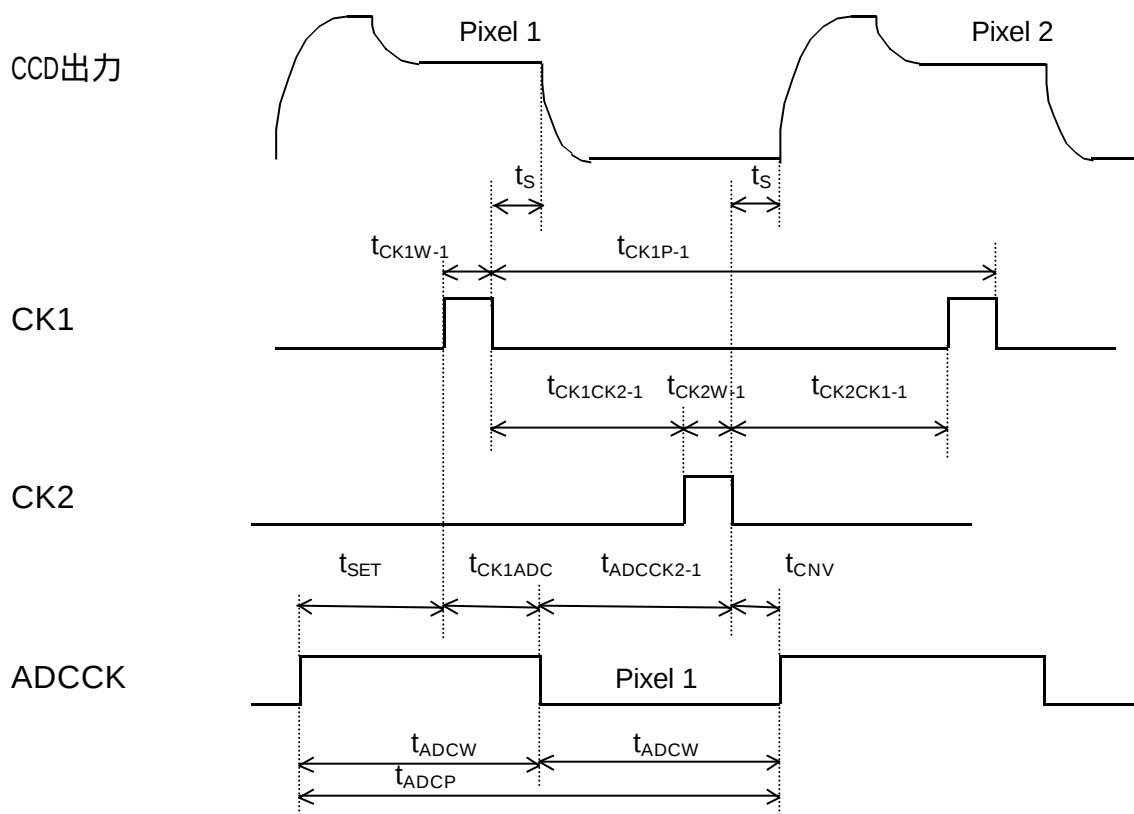
Note:

- (1) All dimensioning and tolerancing conforms to ANSI Y14.5M-1982.
- (2) To be determined at seating plane "C".
- (3) Dimensions "D1" and "E1" do not include mold protrusion. Allowable protrusion is 0.25mm per side. "D1" and "E1" are maximum plastic body size dimensions including mold.
- (4) All dimension are in millimeters.
- (5) Dimension "b" does not include dambar protrusion. Allowable dambar protrusion shall not cause the lead width to exceed the maximum "b" dimension by more than 0.08mm.
- (6) These dimensions apply to the flat section of the lead between 0.10 mm and 0.25 mm from the lead tip.
- (7) The side flash (flash between two leads) must less than 0.2 mm.

5. タイミング仕様

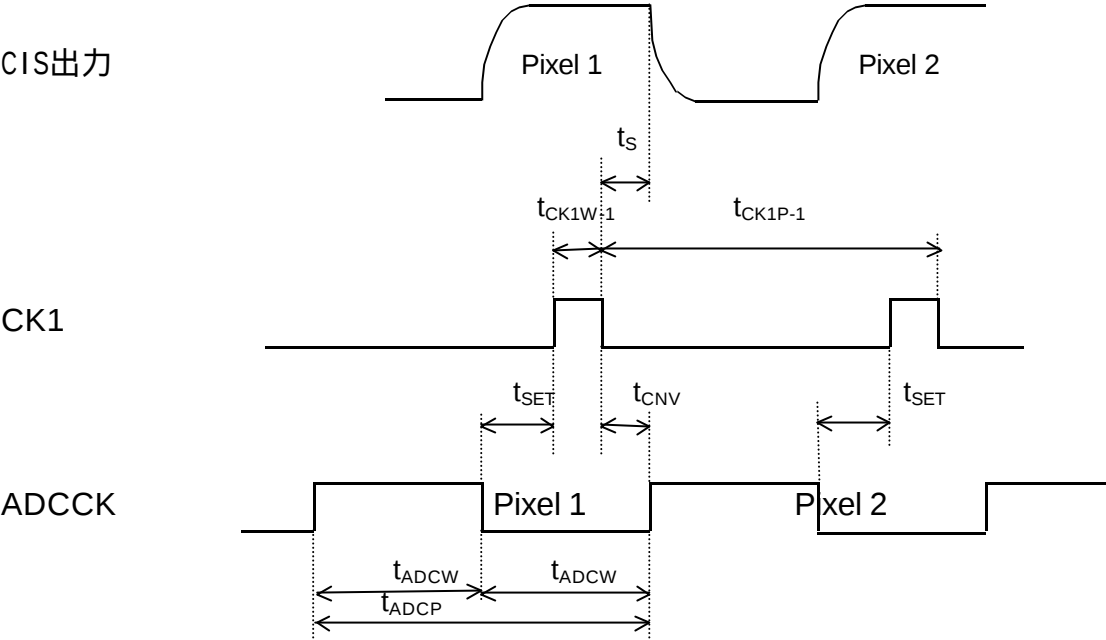
特に記述の無い限り、 T_a = 全仕様温度範囲、 $V_{CC}=+5V$ 、ノーマル出力モード

1 チャンネルCCDモード



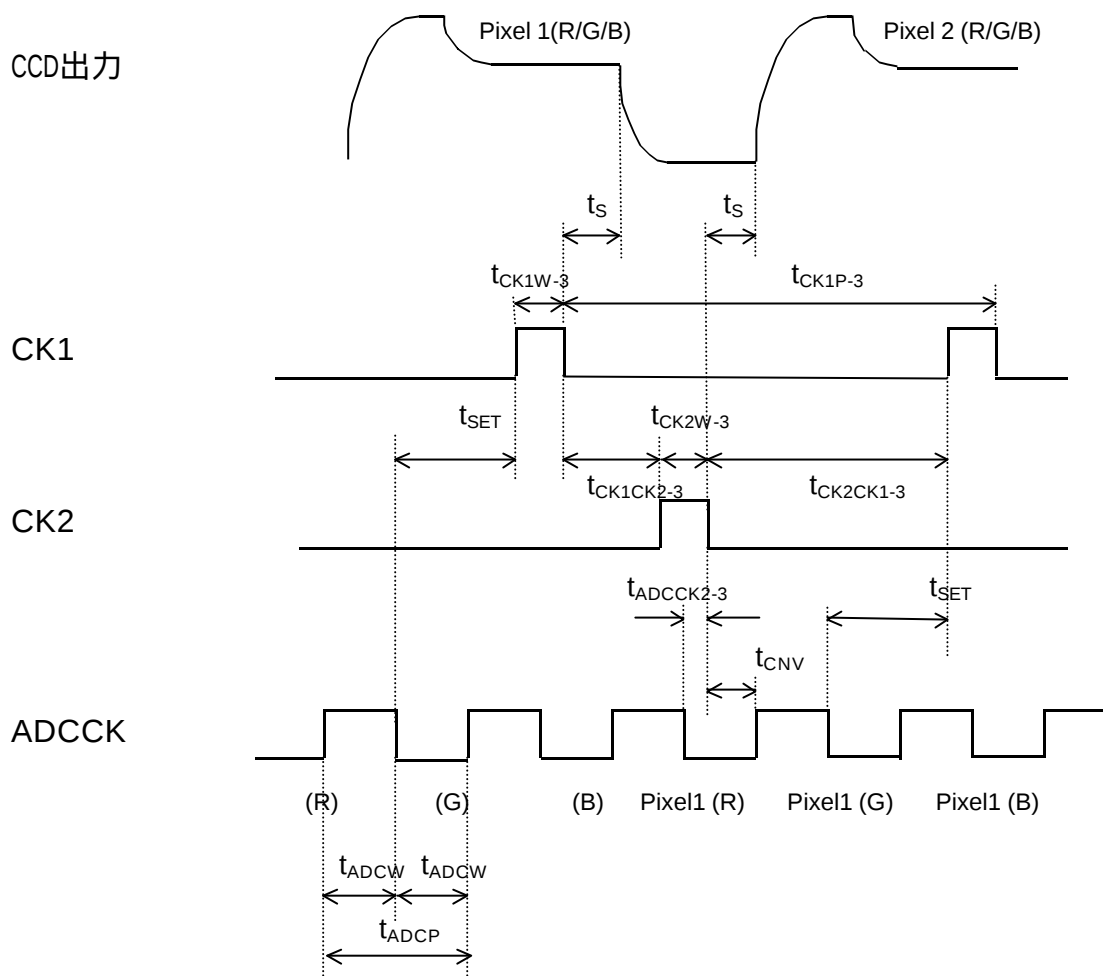
記号	説明	最小	標準	最大	単位
t_{CK1W-1}	CK1パルス幅	20	40		ns
t_{CK1P-1}	1チャンネル・モード変換レート		166		ns
t_{CK2W-1}	CK2パルス幅	20	40		ns
$t_{CK1CK2-1}$	CK1立下りからCK2立上がり	15			ns
$t_{CK2CK1-1}$	CK2立下りからCK1立上がり	40			ns
t_{CK1ADC}	CK1立ち上がりADCCK立下り	20			ns
$t_{ADCCK2-1}$	ADCCK立下りからCK2立下り	15			ns
t_{ADCW}	ADCCKパルス幅	41	83		ns
t_{ADCP}	ADCCK周期	83	166		ns
t_s	サンプリング遅延	10			ns
t_{SET}	ADCCK立上がりからCK1立上がり	10			ns
t_{CNV}	変換遅延	40			ns

1チャンネルCISモード



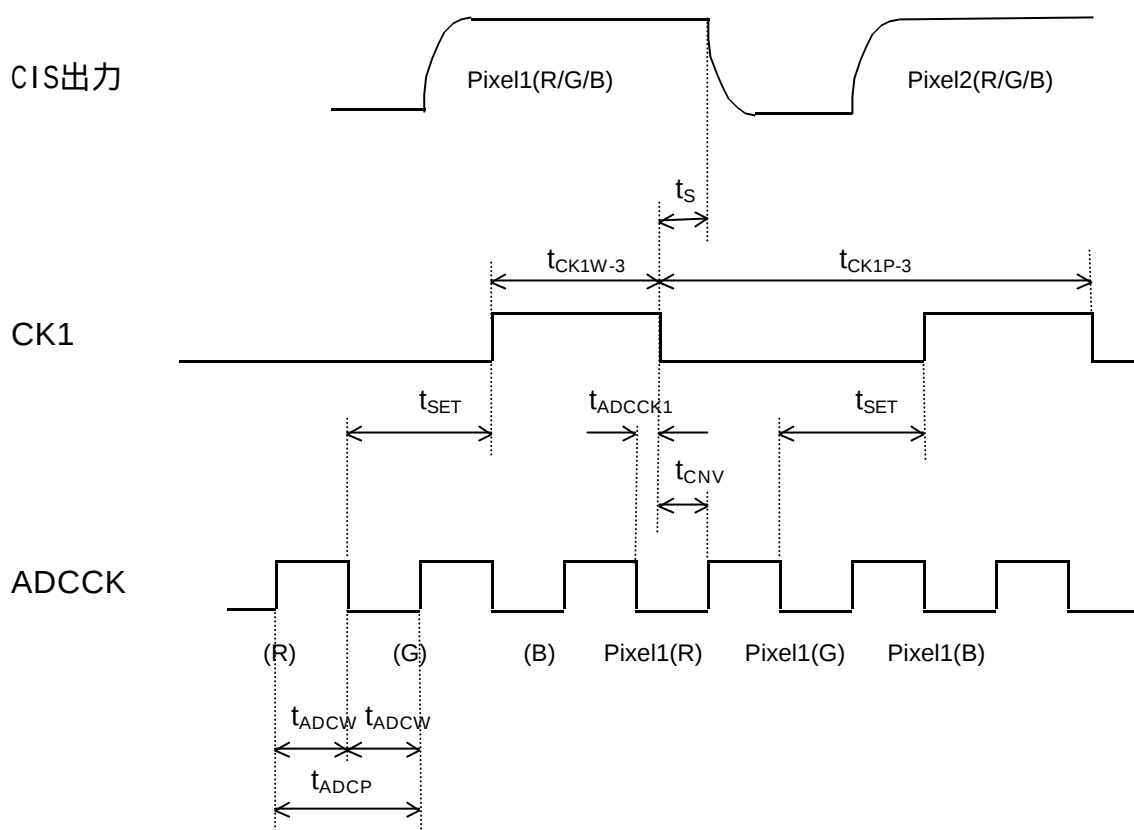
記号	説明	最小	標準	最大	単位
t_{CK1W-1}	CK1パルス幅	20	40		ns
t_{CK1P-1}	1チャンネル・モード変換レート		166		ns
t_{ADCW}	ADCCKパルス幅	41	83		ns
t_{ADCP}	ADCCK周期	83	166		ns
t_s	サンプリング遅延	10			ns
t_{SET}	ADCCK立下りからCK1立上がり	10			ns
t_{CNV}	変換遅延	40			ns

3チャンネルCCDモード



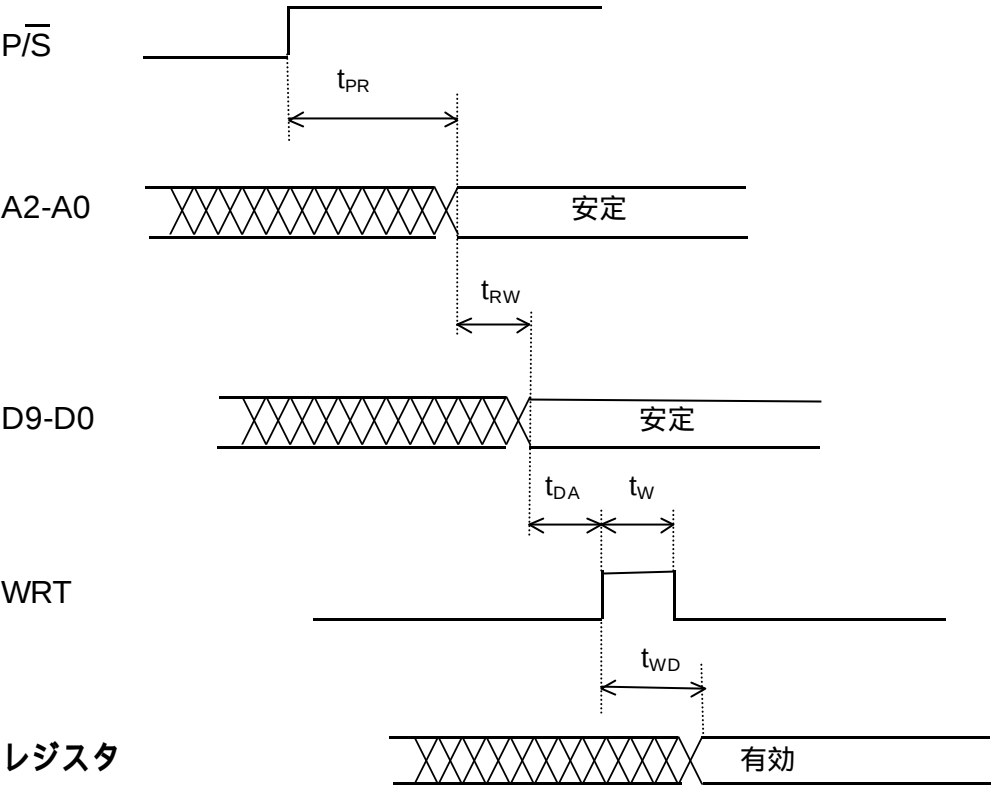
記号	説明	最小	標準	最大	単位
t_{CK1W-3}	CK1パルス幅	20	125		ns
t_{CK1P-3}	3チャンネル・モード変換レート		500		ns
t_{CK2W-3}	CK2パルス幅	20	125		ns
$t_{CK1CK2-3}$	CK1立下りからCK2立上がり	15			ns
$t_{CK2CK1-3}$	CK2立下りからCK1立上がり	70			ns
$t_{ADCCCK2-3}$	ADCCK立下りからCK2立下り	5			ns
t_{ADCW}	ADCCKパルス幅	41	83		ns
t_{ADCP}	ADCCK周期	83	166		ns
t_s	サンプリング遅延	10			ns
t_{SET}	ADCCK立下りからCK1立上がり	10			ns
t_{CNV}	変換遅延	40			ns

3チャンネルCISモード



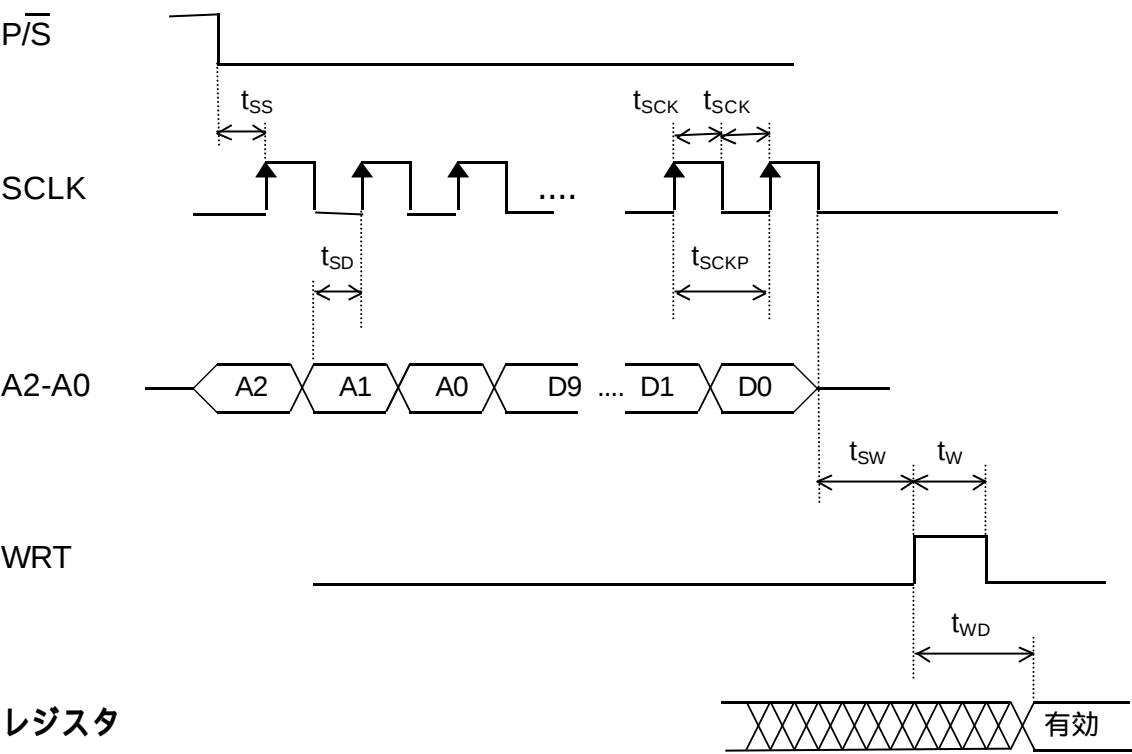
記号	説明	最小	標準	最大	単位
t_{CK1W-3}	CK1パルス幅	20	125		ns
t_{CK1P-3}	3チャンネル・モード変換レート		500		ns
$t_{ADCCCK1}$	ADCCK立下りからCK1立下り	5			ns
t_{ADCW}	ADCCKパルス幅	41	83		ns
t_{ADCP}	ADCCK周期	83	166		ns
t_s	サンプリング遅延	10			ns
t_{SET}	ADCCK 立下りからCK1立上がり	10			ns
t_{CNV}	変換遅延	40			ns

パラレル・ポート書き込み



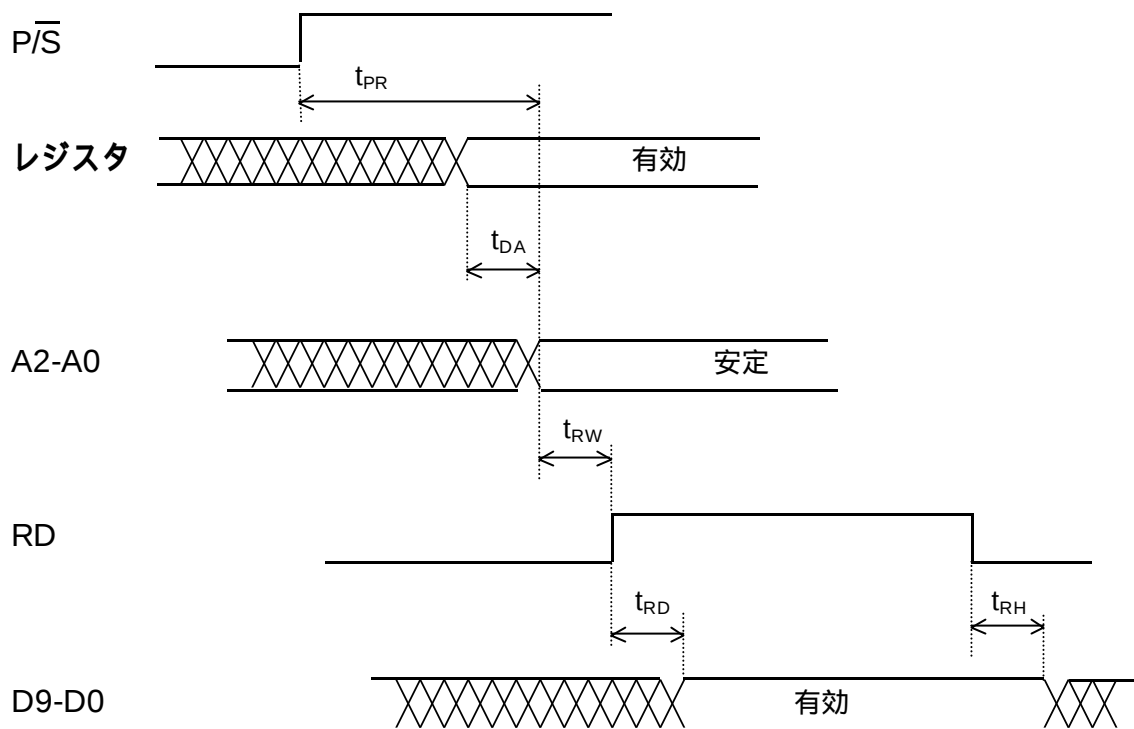
記号	説明	最小	標準	最大	単位
t_{PR}	パラレル・レディ時間	20			ns
t_W	WRTパルス幅	30	50		ns
t_{WD}	データ有効時間			30	ns
t_{RW}	アドレス・セットアップ時間	20	50		ns
t_{DA}	データ・セットアップ時間	30	50		ns

シリアル・ポート書き込み



記号	説明	最小	標準	最大	単位
t_W	WRTパルス幅	30	50		ns
t_{WD}	データ有効時間			30	ns
t_{SD}	データ・レディ時間	15	50		ns
t_{SCK}	シリアル・クロック・パルス幅	30	50		ns
t_{SCKP}	シリアル・クロック周期	60	100		ns
t_{SS}	シリアル・レディ時間	100	200		ns
t_{SW}	WRTパルス・セットアップ時間	50			ns

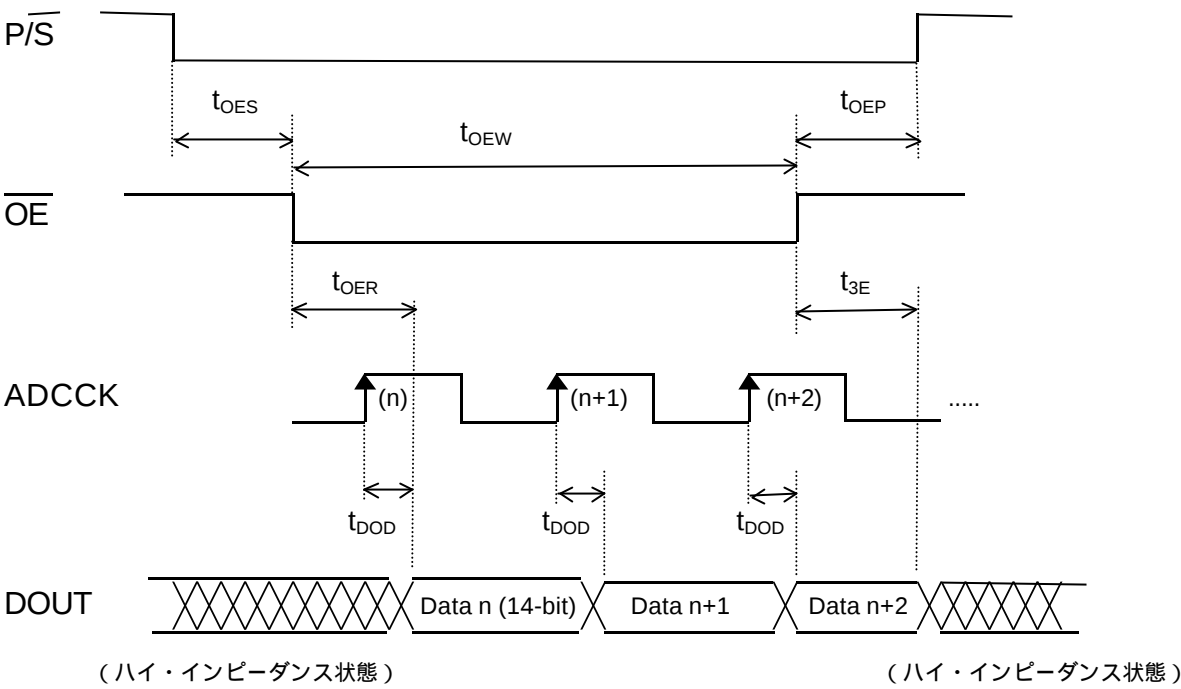
レジスタ読み出し



記号	説明	最小	標準	最大	単位
t_{PR}	パラレル・レディ時間	20			ns
t_{DA}	データ・セットアップ時間	30	50		
t_{RW}	アドレス・セットアップ時間	20	50		
t_{RD}	読み出し遅延			20	ns
t_{RH}	データ保持時間			1	ns

レジスタ読み出しは、パラレル・ポートのみから行えます

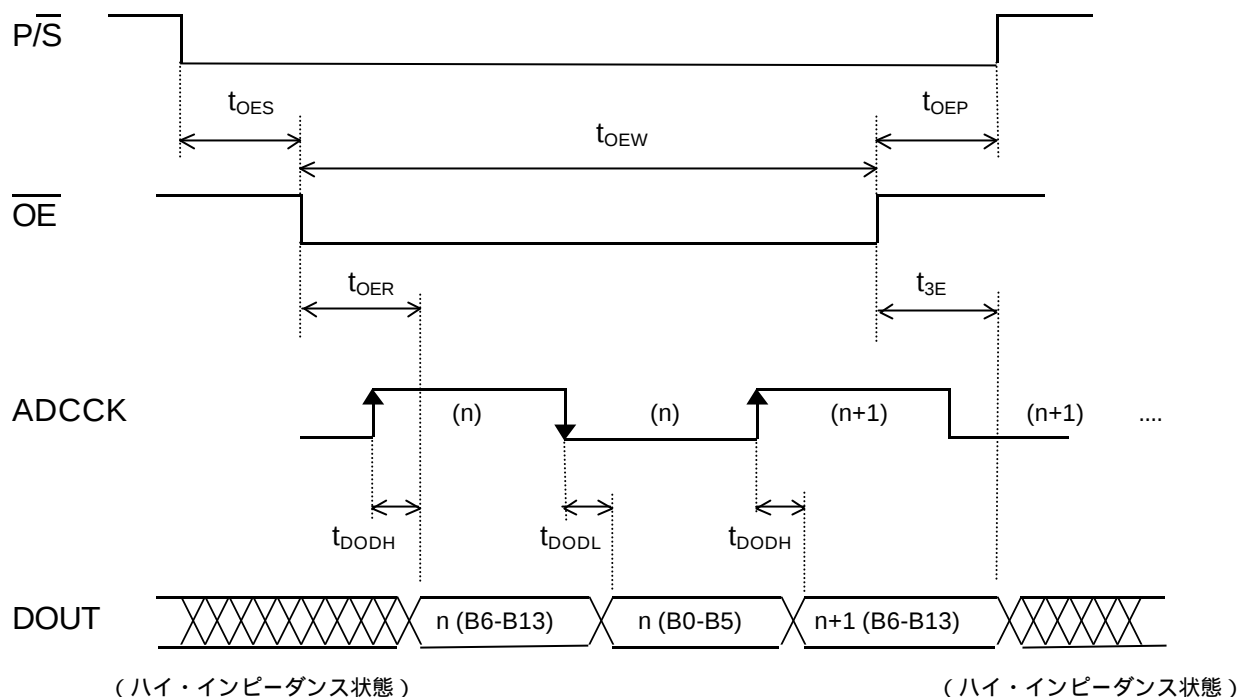
A / D コンバータ出力（ノーマル出力モード）



記号	説明	最小	標準	最大	単位
t _{OES}	A/D出力イネーブル・セットアップ時間	20			ns
t _{OER}	出力イネーブル時間		20	40	ns
t _{3E}	3ステート・イネーブル時間		2	10	ns
t _{OEW}	OEパルス幅	100			ns
t _{DOD}	データ出力遅延			12	ns
t _{OEP}	パラレル・ポート・セットアップ時間	10			ns

P/S が ”ハイ”の期間に、OEを “ ロー ” に設定することは、禁止モードです

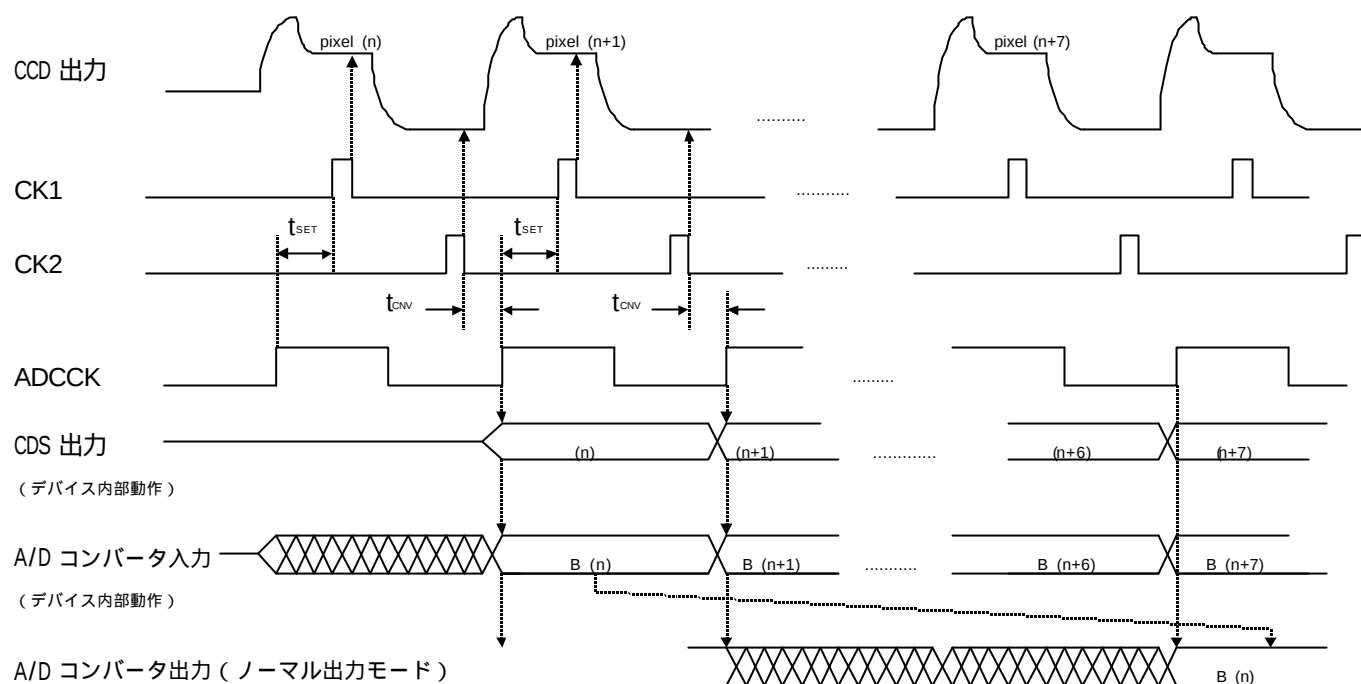
A/Dコンバータ出力（バイト出力モード）



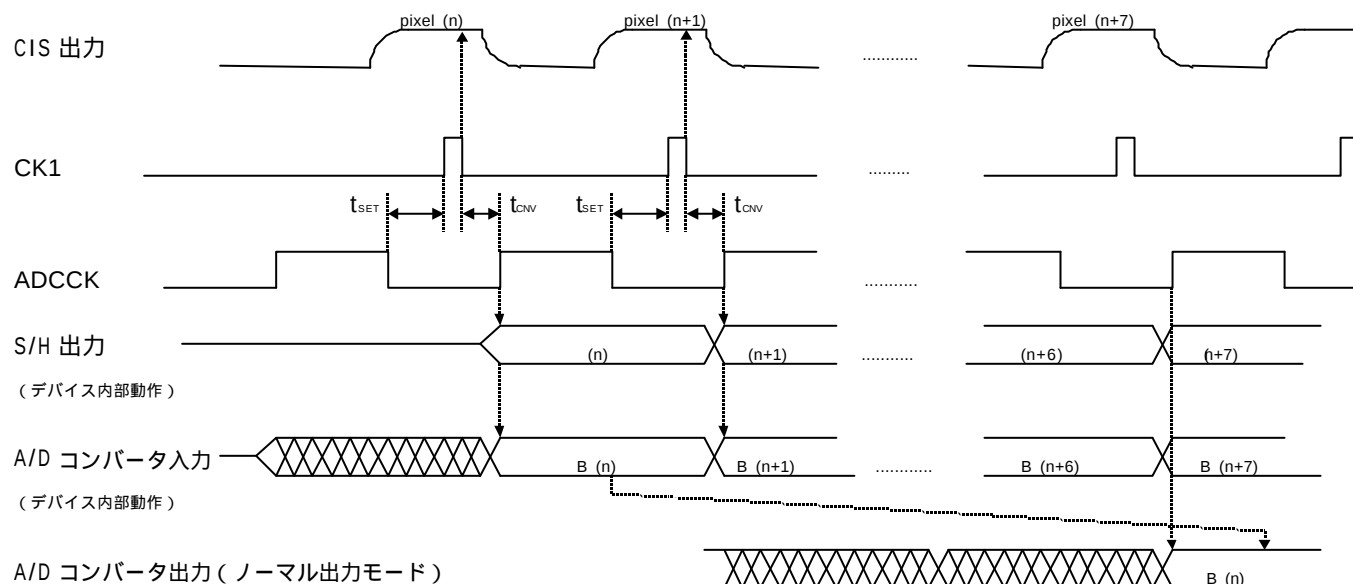
記号	説明	最小	標準	最大	単位
t_{OES}	A/D出力イネーブル・セットアップ時間	20			ns
t_{OER}	出力イネーブル時間		20	40	ns
t_{3E}	3ステート・イネーブル時間		2	10	ns
t_{OEW}	OEパルス幅	100			ns
t_{DODH}	データ出力遅延、ハイ・バイト			12	ns
t_{DODL}	データ出力遅延、ロー・バイト			12	ns
t_{OEP}	パラレル・ポート・セットアップ時間	10			ns

$\overline{P/S}$ が "ハイ" の期間に、 $\overline{OE}$ を "ロー" に設定することは、禁止モードです

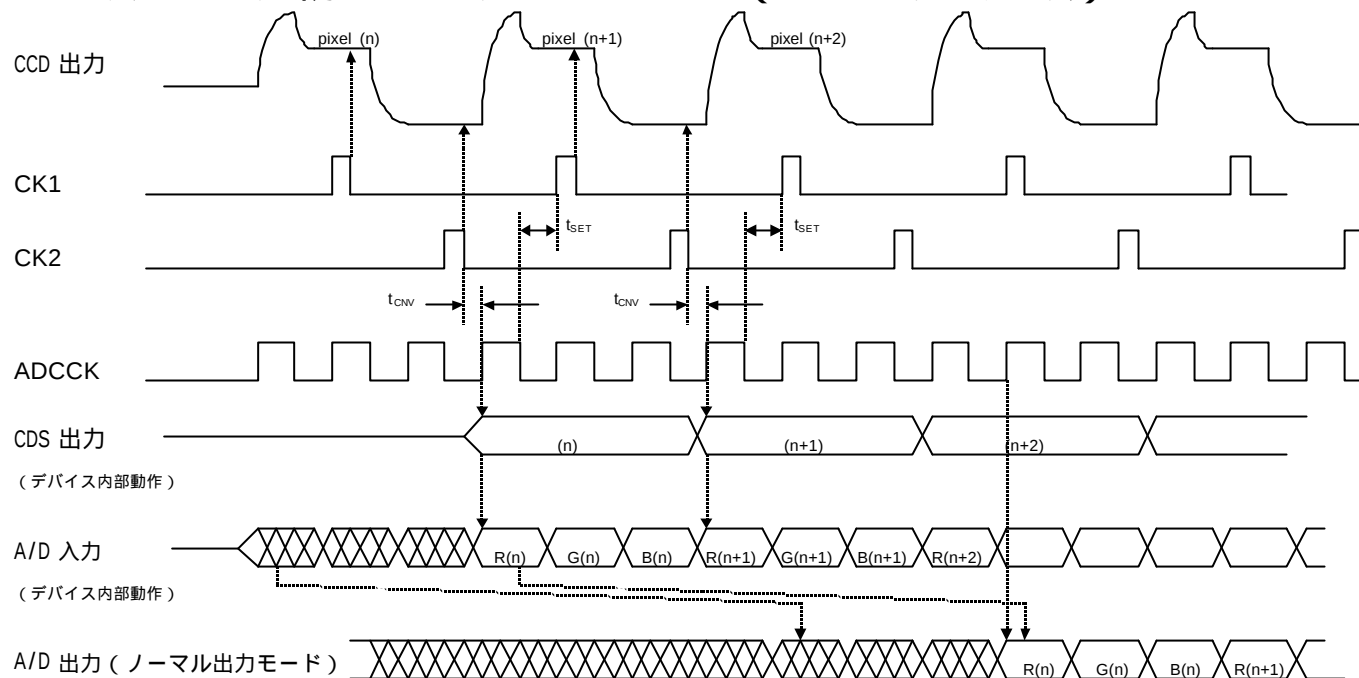
デジタル・データ出力シーケンス 1-ch CCD モード、(B チャンネルを選択)



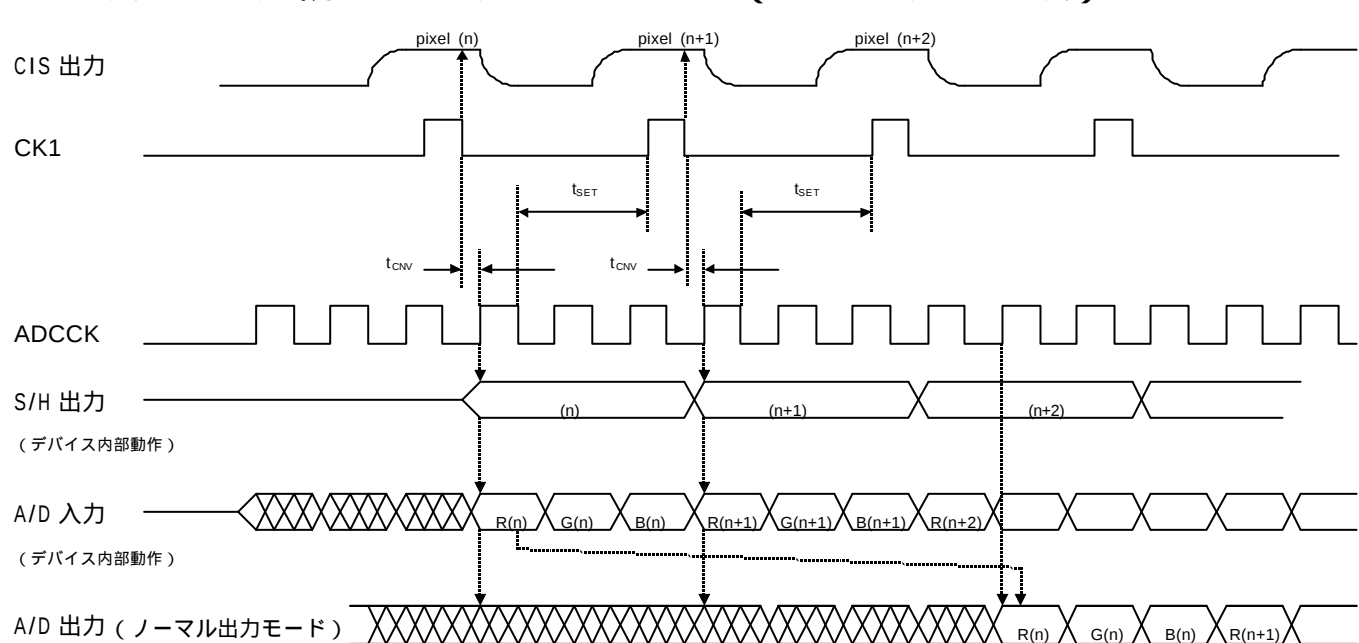
デジタル・データ出力シーケンス 1-ch CIS モード、(B チャンネルを選択)



デジタル・データ出力シーケンス 3-ch CCD モード (R→G→B シーケンス)



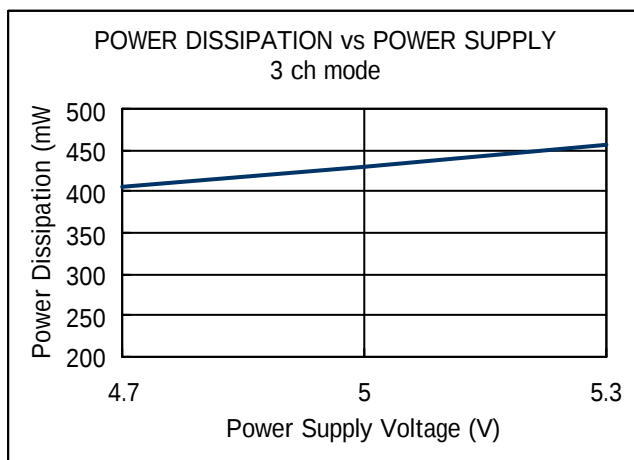
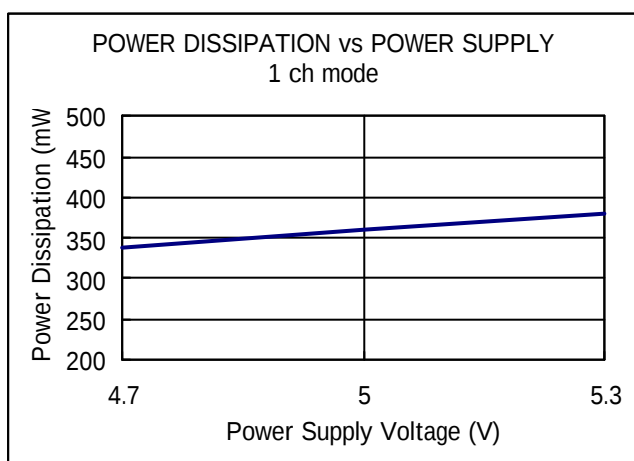
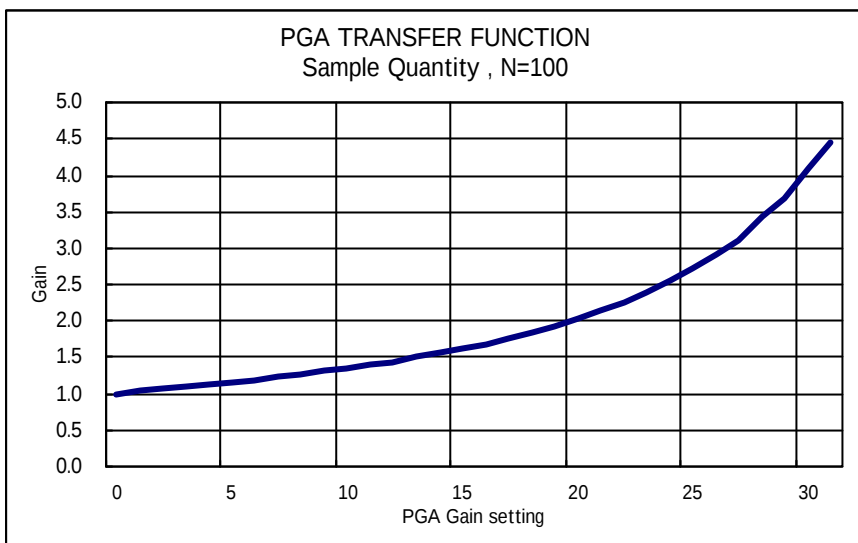
デジタル・データ出力シーケンス 3-ch CIS モード (R→G→B シーケンス)



6. 代表的性能曲線

特に記述の無い限り、

$T_a = 25$ 、 $V_{CC} = +5V$ 、 $f_{ADCK} = 6MHz$ 、 $f_{CK1} = 2MHz$ 、 $f_{CK2} = 2MHz$ 、PGAゲイン = 1、ノーマル出力モード、無負荷



7. VSP3100 動作原理

VSP3100は、次の4つのモードのいずれかで動作します。

- (1) 1チャンネルCCDモード
- (2) 1チャンネルCISモード
- (3) 3チャンネルCCDモード
- (4) 3チャンネルCISモード

1チャンネルCCDモード

VSP3100は、このモードでは選択された1つのチャンネルのCCD信号のみを処理します。

チャンネルの選択は、コンフィギュレーション・レジスタのビット3を“1”に設定することで1チャンネル・モードを選択し、その上で、ビット4とビット5の組み合わせによりR、G、Bの何れかを選択します。

各信号は、RINP、GINP、またはBINPに通常AC結合されています。

このモードでは、INNは使用せず、グランドに接続します。

CLP信号は、内部バイアス回路で入力信号を適正な電圧にクランプし、関連二重サンプリング回路(CDS)が正しく動作できるようにするためのものです。

VSP3100の入力はDC結合とすることも可能ですが、外付け回路により適正なDCレベルにレベル・シフトする必要があります。

CDS回路は、入力されたCCD信号波形の2つの部分(リファレンス・レベル部とデータ部)をサンプリングします。

すなわち、CK1の立下がりエッジでCCD信号のリファレンス・レベルをサンプリングし、CK2の立下がりエッジでデータ・レベルをサンプリングし、この2つのレベル差を演算して、その結果を後段へ出力します。

CDS回路の後段には、10ビット分解能を持つオフセット調整用D/Aコンバータ(調整レンジ：-400mVから+400mV)と、5ビット分解能を持つプログラマブル・ゲイン・アンプ(PGA)があり、3入力1出力のマルチプレクサ(MUX)を介して高性能14ビットA/Dコンバータに送られディジタイジングが行われます。

MUXは、コンフィギュレーション・レジスタのビット4とビット5の組み合わせで選択されたチャンネルに固定されるため、切り替えは行われません。

VSP3100には以下の2つのデジタル出力モードがあります。

ノーマル出力モード(コンフィギュレーション・レジスタ ビット7を“0”に設定)

バイト出力モード(コンフィギュレーション・レジスタ ビット7を“1”に設定)

データシート7ページの「1チャンネルCCDモードのタイミング図」に示される通り、

CK1の立上がりエッジは、必ずADCCKが“ハイ”となる期間になければなりません。

また同時に、CK2の立下りエッジは必ずADCCKが“ロー”となる期間になければなりません。

これらの条件が満たされないと、VSP3100は正常に動作しません。

1 チャンネルC I Sモード

VSP3100は、このモードでは選択された1つのチャンネルのC I S信号のみを処理します。

チャンネルの選択は、コンフィギュレーション・レジスタのビット3を“1”に設定することで1チャンネル・モードを選択し、その上で、ビット4とビット5の組み合わせによりR、G、Bの何れかを選択します。

Rチャンネルを選択した場合、RINPがC I S信号入力、INNがC I Sリファレンス・レベル入力となります。

Gチャンネル（GINPおよびINN）およびBチャンネル（BINPおよびINN）についても同様です。

INNは3つのチャンネルに共通です。

C I Sモードでは、入力信号は通常D C結合されます。

C C Dモードと異なり、C D S回路は単純なトラック・アンド・ホールド回路として動作し、CK1の立下がりエッジで入力信号波形のデータ部をサンプリングします。

このモードではCK2は使用しませんのでグラウンドに接続します。

C D S回路の後段には、10ビット分解能を持つオフセット調整用D / Aコンバータ（調整レンジ：-400mVから+400mV）と、5ビット分解能を持つプログラマブル・ゲイン・アンプ（PGA）があり、3入力1出力のマルチプレクサ（MUX）を介して高性能14ビットA / Dコンバータに送られディジタイジングが行われます。

MUXは、コンフィギュレーション・レジスタのビット4とビット5の組み合わせで選択されたチャンネルに固定されるため、切り替えは行われません。

VSP3100には以下の2つのデジタル出力モードがあります。

ノーマル出力モード（コンフィギュレーション・レジスタ ビット7を“0”に設定）

バイト出力モード（コンフィギュレーション・レジスタ ビット7を“1”に設定）

データシート8ページの「1チャンネルC I Sモードのタイミング図」に示される通り、

CK1がアクティブとなる期間（ t_{CK1B} ）と、CK2がアクティブとなる期間（ t_{CK2B} ）は共に必ずADCCCKが“ロー”となる期間になければなりません。

ADCCCKが“ハイ”となる期間にある場合には、VSP3100は正常に動作しません。

3 チャンネルC C Dモード

VSP3100は、このモードでは3チャンネルのC C D信号を同時に処理することができます。

各信号は、RINP、GINP、およびBINPに通常A C結合されています。

C C Dモードでは、INNは使用せず、グラウンドに接続します。

CLP信号は、内部バイアス回路で入力信号を適正な電圧にクランプし、関連二重サンプリング回路（C D S）が正しく動作できるようにするためのものです。

VSP3100の入力はD C結合とすることも可能ですが、外付け回路により適正なD Cレベルにレベル・シフトする必要があります。

C D S回路は、入力されたC C D信号波形の2つの部分（リファレンス・レベル部とデータ部）をサンプリングします。

すなわち、CK1の立下がりエッジでC C D信号のリファレンス・レベルをサンプリングし、CK2の立下がりエッジでデータ・レベルをサンプリングし、この2つのレベル差を演算して、その結果を後段へ出力します。

VSP3100には3回路のC D Sが内蔵されており、これにより3チャンネルの入力を同時に処理することができます。

各チャンネルのC D S回路の後段には、10ビット分解能を持つオフセット調整用D / Aコンバータ（調整レンジ：-400mVから+400mV）と、5ビット分解能を持つプログラマブル・ゲイン・アンプ（PGA）があり、3入力1出力のマルチプレクサ（MUX）を介して高性能14ビットA / Dコンバータに送られディジタイジングが行われます。

コンフィギュレーション・レジスタのビット6の設定により、MUXの切り替え順序をR → G → B（ビット6を“0”に設定）、またはB → G → R（ビット6を“1”に設定）のどちらかにプログラムすることができます。

MUXは、CK2の立下りエッジでリセット（R → G → Bシーケンスであれば“R”に、

B → G → Rシーケンスであれば“B”にリセット）されます。

VSP3100には以下の2つのデジタル出力モードがあります。

ノーマル出力モード（コンフィギュレーション・レジスタ ビット7を“0”に設定）

バイト出力モード（コンフィギュレーション・レジスタ ビット7を“1”に設定）

データシート9ページの「3チャンネルC C Dモードのタイミング図」に示される通り、

CK2の立下りエッジは、必ずADCCCKが“ロー”となる期間になければなりません。

ADCCCKが“ハイ”となる期間（タイミング図では、BチャンネルをサンプリングするADCCCKの“ハイ”期間）にある場合には、

VSP3100は正常に動作しません。

3チャンネルC I Sモード

VSP3100は、このモードでは3チャンネルのC I S信号を同時に処理することができます。

RINPにはRチャンネルの信号を、GINPにはGチャンネルの信号を、BINPにはBチャンネルの信号を入力して下さい。

INNは3つのチャンネルに共通で、C I Sセンサから出力されるリファレンス・レベルを入力して下さい。

C I Sモードでは、入力信号は通常D C結合されます。

VSP3100には3回路のC D Sが内蔵されており、これにより3チャンネルの入力を同時に処理することができます。

但し、C C Dモードと異なり、C D S回路は単純なトラック・アンド・ホールド回路として動作し、CK1の立下がりエッジで入力信号波形のデータ部をサンプリングします。

C I SモードではCK2は使用しませんのでグラウンドに接続します。

各チャンネルのC D S回路の後段には、10ビット分解能を持つオフセット調整用D / Aコンバータ(調整レンジ：-400mVから+400mV)と、5ビット分解能を持つプログラマブル・ゲイン・アンプ (P G A) があり、3入力1出力のマルチプレクサ (M U X) を介して高性能14ビットA / Dコンバータに送られディジタイジングが行われます。

コンフィギュレーション・レジスタのビット6の設定により、M U Xの切り替え順序をR → G → B (ビット6を“ 0 ”に設定)、またはB → G → R (ビット6を“ 1 ”に設定)のどちらかにプログラムすることができます。

M U Xは、CK1の立下りエッジでリセット (R → G → Bシーケンスであれば“ R ”に、B → G → Rシーケンスであれば“ B ”にリセット) されます。

VSP3100には以下の2つのデジタル出力モードがあります。

ノーマル出力モード (コンフィギュレーション・レジスタ ビット7を“ 0 ”に設定)

バイト出力モード (コンフィギュレーション・レジスタ ビット7を“ 1 ”に設定)

データシート10ページの「3チャンネルC I Sモードのタイミング図」に示される通り、

CK1の立下りエッジは、必ずADCCCKが“ロー”となる期間になければなりません。

ADCCCKが“ハイ”となる期間 (タイミング図では、BチャンネルをサンプリングするADCCCKの“ハイ”期間) にある場合には、VSP3100は正常に動作しません。

デジタル出力フォーマット

VSP3100には、以下の通り2つのデジタル出力モードがあります。

(1) ノーマル出力モード

(2) バイト出力モード(ビット13基点のビッグ・エンディアン・フォーマット)

ノーマル出力モードの場合は、B0(25番ピン) ~ B13(38番ピン)までの14ビットのデータをパラレルにADCCCKの立上がりエッジに同期して出力します (次のADCCCK立上がりエッジで、次のデータに書き換わるまで、現データを保持します)。

バイト出力モードの場合には、まずハイ・バイト(上位8ビット)をB6(31番ピン) ~ B13(38番ピン)からADCCCKの立上がりエッジに同期して、続いてロー・バイト(下位6ビット)をB8(33番ピン) ~ B13(38番ピン)からADCCCKの立下りエッジに同期して出力します。

ビット	B 1 3	B 1 2	B 1 1	B 1 0	B 9	B 8	B 7	B 6	B 5	B 4	B 3	B 2	B 1	B 0
ハイ・バイト	B13	B12	B11	B10	B9	B8	B7	B6	LOW	LOW	LOW	LOW	LOW	LOW
ロー・バイト	B5	B4	B3	B2	B1	B0	LOW	LOW	LOW	LOW	LOW	LOW	LOW	LOW

“ Low ” は、当該ピンの出力は “ロー” に固定されていることを示します

バイト出力モードを使用すれば、VSP3100とデジタル信号処理系間には8ビット・インタフェースを使用することができシステム・コストの低減が可能となります。

デジタル出力

VSP3100のデジタル出力は、高速TTLファミリとCMOSファミリの両方に互換のものです。

デジタル出力ドライバ部の電源は、デバイス内部の他の回路とは独立しており、VDRV(41番ピン)がその専用電源ピンです。

そのためVDRVは、VSP3100の他の電源ピン(V_{CC})とは共通に接続しないで下さい。

VSP3100本体は+5V単一電源で動作しますが、VDRVに+3.3Vを印加することで+3.3Vロジック系と容易にインタフェース可能です。

デジタル出力が接続されるデータ・ラインの負荷容量はできる限り小さく抑えることをお勧めします(通常、15pF以下に)。

負荷容量が大きい場合には、それらをチャージ・アップするためにより大きな電流源を必要とし、このことでVSP3100のアナログ回路が影響を受け、特性が劣化することがあります。

このことを防止するためには、必要に応じて、外付けのバッファやラッチを設置することをお勧めします。

これらは、高周波ノイズの原因となるデータ・バス上のデジタル・ノイズからVSP3100を分離する副次的効果もあります。

また、各データ・ラインに直列に抵抗を設置することで、サージ電流を抑えることもできますが、

負荷容量の大きさを考慮の上対策して下さい。

“ロー”から“ハイ”、また“ハイ”から“ロー”といった出力レベルの変化の場合、100Ω~200Ω程度の直列抵抗であれば、サージ電流を制限できるばかりで無く、浮遊容量の再充電を行う時定数を低く抑えることもできます。

プログラマブル・ゲイン・アンプ(PGA)

VSP3100の各チャンネルには、CDS回路の後段にプログラマブル・ゲイン・アンプ(PGA)があります。

PGAは、5ビットのゲイン調整レジスタを持ち、このレジスタへコードを書き込むことでゲインを制御します。

ゲイン調整レジスタへは、パラレル・ポートとシリアル・ポートの両方から書き込みができます。

読み出しは、パラレル・ポートのみから行うことができます。

ゲイン調整レンジは、1倍(0dB)から4.44倍(+13dB)までで、レジスタ・コードのオール“0”が最少ゲインに、オール“1”が最大ゲインに対応しています。

PGAの伝達関数は、次の式で表されます。

$$\text{ゲイン} = 4 \div (4 - 0.1 \times G)$$

ここでGは、ゲイン調整レジスタの値を整数(10進数)で表現したものです。

PGAの伝達関数のプロットを図1に示します。

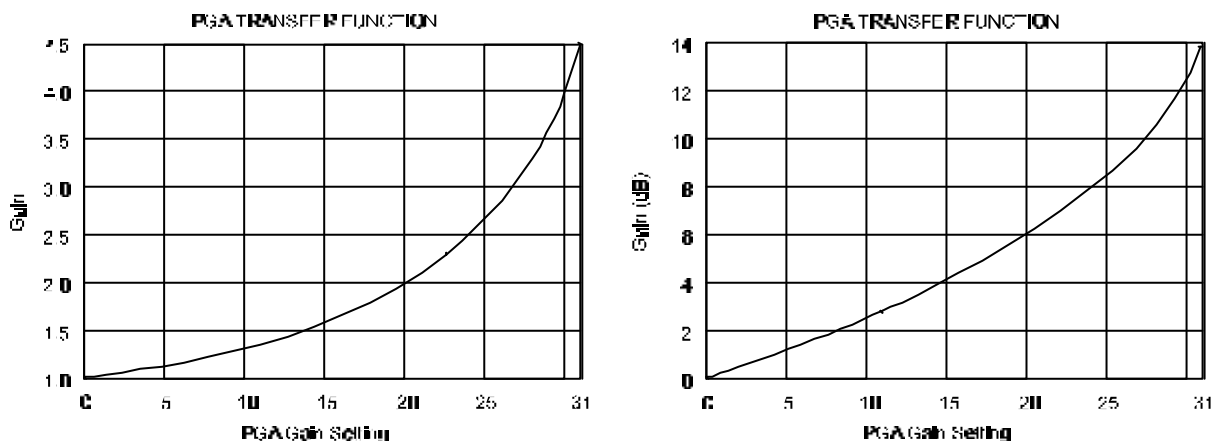


図1 PGAの伝達関数

入力クランプ

入力クランプはCDSモードの時に使用するもので、CLPとCK1と共に“ハイ”にすることでイネーブル状態になります。

常時イネーブル固定にするか(ビット・クランプ方式)、1水平期間毎のダミー・ピクセル期間にイネーブルにして、有効画素期間にはディセーブルにする(ライン・クランプ方式)などの使用方法があります。

多くの場合、ビット・クランプ方式で使用されますが、クランプ・ノイズが問題となるようなアプリケーションではライン・クランプ方式で利用される場合もあります。

CISモードでは、入力クランプはディセーブルで利用します。

AC入力カップリング・コンデンサの選択

入力カップリング・コンデンサは、CCDセンサのDC成分がVSP3100に影響しないように分離するために設置します。

CISモードの場合には、入力信号は通常DC結合されます。

デバイス内部のクランプ回路で、入力されたCCD信号に対し必要なDC成分を復元することができ、その際のデバイス内部でのクランプ電圧 V_{CLAMP} は、リファレンス発生回路で作られ、CLPとCK1の両方を“ハイ”とすることでクランプが行われます。

クランプ電圧は V_{REF} の値に依存し、 $V_{CLAMP} = V_{REF} + 1.5V$ となります。

V_{REF} が1.0Vの時（コンフィギュレーション・レジスタのビット1を“0”に設定）、 V_{CLAMP} は2.5Vになります

V_{REF} が1.5Vの時（コンフィギュレーション・レジスタのビット1を“1”に設定）、 V_{CLAMP} は3.0Vになります

入力カップリング・コンデンサの容量を決定する場合には、CCD信号の振幅、最後のクランプ期間以降の入力カップリング・コンデンサ両端の電圧ドロップ、VSP3100の入力回路のリーク電流、CK1の周期など、多くの要因を考慮する必要があります。

図2に、簡略化したVSP3100の入力回路の等価回路を示します。

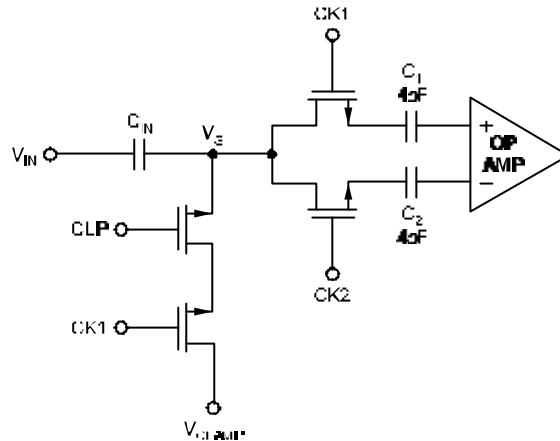


図2 VSP3100入力等価回路

この等価回路では、入力カップリング・コンデンサ C_{IN} とサンプリング・コンデンサ C_1 により容量分割が構成されます（CK1がアクティブな期間）。

AC解析では、オペアンプ入力はグランドに接続します。

従って、サンプリング電圧 V_S （CK1がアクティブな期間）は次の式で表されます。

$$V_S = (C_{IN} \div (C_{IN} + C_1)) \times V_{IN}$$

この式から、 C_{IN} の値が大きいくほど V_S が V_{IN} に近くなることが分かります。

言い替えば、 C_{IN} の値が大きいくほど、入力信号 V_{IN} は減衰されにくくなります。

しかしながら、 C_{IN} の値を大きくした場合、大容量の C_{IN} を充電するために、CLP信号をアクティブにする時間を長くする必要がありますが、一方その充電が十分でなければ、VSP3100の入力回路は正常に動作しなくなることがあります。

C_{MAX} および C_{MIN} の選択

前述のように、CLP信号でC_{IN}を充電できる時間が十分にある場合には、VSP3100の入力回路の動作をより安定化させるために、できる限り大きなC_{IN}を使用することをおすすめします。

多くの場合、C_{IN}は、0.01 μFから0.1 μF程度で使用することができます。

C_{IN}を最適化するため、次の2つの式を使用してC_{MAX}およびC_{MIN}を計算することができます。

$$C_{MAX} = (t_{CK1} \times N) / [R_{SW} \times \ln(V_D / V_{ERROR})]$$

t_{CK1}はCK1とCLPの両方が“ハイ”の期間の長さ、Nはオプティカル・ブラック・セルの数、R_{SW}は合計スイッチ抵抗（R_{SW}の公称値はドライバのインピーダンス + 4 kΩ）、V_DはC_{IN}両端のドループ、V_{ERROR}はV_SとV_{CLAMP}の差です。

V_{ERROR} = 0.1V程度であればVSP3100を正常にさせることが可能です。

$$C_{MIN} = (I \div V_{ERROR}) \times t$$

IはVSP3100の入力回路のリーク電流で、通常は10nA程度で、tはクランプ・パルスの間隔です。

VSP3100のプログラミング

VSP3100は、3回路のCCD / CISチャンネルと、14ビットA / Dコンバータから構成されています。

各チャンネル（R、G、B）には10ビット分解能を持つオフセット調整レジスタと5ビット分解能を持つゲイン調整レジスタ、またVSP3100の各種の動作モードをプログラムするための8ビットのコンフィギュレーション・レジスタがあり、ユーザ自信でプログラムすることができます。

これらのレジスタへは、シリアル・ポートまたはパラレル・ポートからデータを書き込みます。

パラレル・ポートは、書き込みと読み出しの両方可行ですが、シリアル・ポートは書き込みだけ行えます。

VSP3100に内蔵されているレジスタの一覧を次の以下に示します。

アドレス			レジスタ名	パワー・オン時の既定値
A2	A1	A0		
0	0	0	コンフィギュレーション・レジスタ（8ビット）	オール“0”
0	0	1	Red チャンネル・オフセット・レジスタ（10ビット）	オール“0”
0	1	0	Green チャンネル・オフセット・レジスタ（10ビット）	オール“0”
0	1	1	Blue チャンネル・オフセット・レジスタ（10ビット）	オール“0”
1	0	0	Red チャンネル・ゲイン・レジスタ（5ビット）	オール“0”
1	0	1	Green チャンネル・ゲイン・レジスタ（5ビット）	オール“0”
1	1	0	Blue チャンネル・ゲイン・レジスタ（5ビット）	オール“0”
1	1	1	<使用しないで下さい>	

パラレル・モードでは、アドレスおよびデータ・ポートがA / Dコンバータのデータ出力ラインとデバイス内部で結合されています。

そのため、下記のようにOEとP/Sの組み合わせにより、動作モードが決められており、パラレル・モード時（P/Sを“1”に設定）にOEをイネーブル（OEを“0”に設定）にすることは禁止モードです。

データ・バスはD0（25番ピン）からD7（32番ピン）に、アドレス・バスはA0（33番ピン）からA2（35番ピン）に割り当てられています。

シリアル・モードでは、シリアル・データ（SD）、シリアル・クロック（SCLK）、書き込み信号（WRT）が使用されます。

また、パラレル・モードでは書き込み信号（WRT）と、読み出し信号（RD）が使用されます。

各モードを指定する方法を次の表に示します

OE	P/S	動作モード
0	0	ディジタル・データ出力イネーブル、シリアル・モード・イネーブル
0	1	禁止モード
1	0	ディジタル・データ出力ディセーブル、シリアル・モード・イネーブル
1	1	ディジタル・データ出力ディセーブル、パラレル・モード・イネーブル

コンフィギュレーション・レジスタ

コンフィギュレーション・レジスタの内部構成は以下の通りです

ビット	ロジック “ 0 ”	ロジック “ 1 ”
D0	C C Dモード	C I Sモード
D1	$V_{REF} = 1V$ ($2 V_{p-p}$ フルスケール入力レンジ)	$V_{REF} = 1.5V$ ($2 V_{p-p}$ フルスケール入力レンジ)
D2	内部リファレンス・モード	外部・リファレンス・モード
D3	3チャンネル・モード	1チャンネル・モード
D4,D5	D4およびD5はディセーブル (3chモードではディセーブル)	D4およびD5はイネーブル D4 D5 0 0 1chモード、Red チャンネル 0 1 1chモード、Green チャンネル 1 0 1chモード、Blue チャンネル
D6	MUX切り替えシーケンス Red > Green > Blue	MUX切り替えシーケンス Blue > Green > Red
D7	ノーマル出力モード	バイト出力モード

コンフィギュレーション・レジスタのパワー・オン時の既定値は、オール “ 0 ” です。
すなわち、3チャンネルC C Dモード、 $V_{REF} = 1V$ ($2 V_{p-p}$ フルスケール入力レンジ)、内部リファレンス、
MUX切り替え：R → G → Bシーケンス、ノーマル出力モード が選択されています。

コンフィギュレーション・レジスタの読み出し/書き込みを行うには
A2 = “ 0 ”、A1 = “ 0 ”、A0 = “ 0 ”
のアドレスを指定します。

VSP3100動作モード設定の例

3チャンネルC C Dモード、 $V_{REF} = 1V$ の内部リファレンス ($2 V_{p-p}$ のフルスケール入力レンジ)、
MUX切り替え：R → G → Bシーケンス、ノーマル出力モード の場合は次のように設定します。

D0 = “ 0 ”、D1 = “ 0 ”、D2 = “ 0 ”、D3 = “ 0 ”、D4 = “ x (don't care) ”、D5 = “ x (don't care) ”、
D6 = “ 0 ”、D7 = “ 0 ”

尚、内部リファレンス・モードでVSP3100を使用するときは、 V_{REF} を $10\mu F \sim 0.1\mu F$ のコンデンサでデカップリングして下さい。

また、1チャンネルC I Sモード (Gチャンネル)、 $1.2V$ の外部リファレンス ($2.4 V_{p-p}$ のフルスケール入力レンジ)、
バイト出力モードの場合は、次のように設定します。

D0 = “ 1 ”、D1 = “ x (don't care) ”、D2 = “ 1 ”、D3 = “ 1 ”、D4 = “ 0 ”、D5 = “ 1 ”、
D6 = “ 0 x (don't care) ”、D7 = “ 1 ”

この例 (外部リファレンス・モード) では、 V_{REF} が入力ピンとなり、このピンに $1.2V$ の電圧を印加します。

オフセット調整レジスタ

オフセット調整レジスタは、各チャンネルのアナログ・オフセット量を制御するものですが、調整するオフセット量は、
P G Aゲインには依存しません (ゲインを変えても、オフセット量は変わりません)。
各チャンネルには、10ビットのオフセット調整レジスタがあり、オフセットの調整範囲は、 $-400mV$ から $+400mV$ までです。
オフセット調整レジスタは、ストレート・バイナリ・コードに対応し、レジスタ・コードのオール “ 0 ” は $-400mV$ 、
オール “ 1 ” は $+400mV$ の調整量となります。

ゲイン調整レジスタ

ゲイン調整レジスタは、各チャンネルのPGAゲインを制御するものです。

各チャンネルには、5ビットのゲイン調整レジスタがあり、ゲインの調整範囲は、1倍（0dB）から4.44倍（+13dB）までです。ゲイン調整レジスタは、ストレート・バイナリ・コードに対応し、オール“0”は0dB、オール“1”は+13dBのゲインとなります。

オフセットおよびゲインのキャリブレーション・シーケンス

VSP3100は電源投入時には、3チャンネルCCDモード、 $V_{REF} = 1V$ の内部リファレンス（ $2V_{p-p}$ フルスケール入力レンジ）、PGAゲイン1倍に初期化されます。

このモードは、CCDスキャナのアプリケーションに広く使用されているものです。

スキャンの最初には、通常キャリブレーションと呼ばれる調整を実行します。

キャリブレーションが実行されると、VSP3100動作中はその情報（各チャンネルのオフセットおよびゲイン）をデバイス内部のレジスタに保持します。

VSP3100のキャリブレーション手順

- ステップ1 : コンフィギュレーション・レジスタへコードを書き込み、VSP3100を適切な動作モードに設定します。
- ステップ2 : PGAゲインを1倍（コード：00hex）に、オフセット量を0mV（コード：200hex）に設定します。
- ステップ3 : 黒原稿をスキャンします。
- ステップ4 : A/Dコンバータ出力から、画素のオフセット量を計算します。
- ステップ5 : A/Dコンバータ出力が負フルスケールになるよう、オフセット調整量を再設定します。
- ステップ6 : 白原稿をスキャンします。
- ステップ7 : ゲインを計算します。
ゲインは、A/Dコンバータのフルスケールを、白原稿をスキャンしたときのA/Dコンバータ出力で割って求めます。
- ステップ8 : ゲイン・レジスタを再設定します。

A/Dコンバータ出力がフルスケールに接近していない場合は、ステップ3に戻り再度実行します。
出力がフルスケールに接近していれば、キャリブレーションは完了です。

電源とグラウンドに関する推奨

高周波信号を念頭に置いた設計では、確実にグラウンドをとること、バイパス・コンデンサの設置、最短距離での配線、グラウンド・プレーンの使用などが重要です。

グラウンド・インピーダンスの最小化や、グラウンド・レイヤを使用しての信号レイヤ同士の分離が行えるので、多層基板を使用することをおすすめします。

VSP3100は、アナログICとしてお取り扱い下さい。

アナログ・グラウンド・ピン（AGND）同士をデバイス外部で共通に接続し、システム上のアナログ側グラウンドへ、また電源ピン（ V_{CC} ）同士もデバイス外部で共通に接続し、システム上のアナログ側電源へ接続して下さい。

VDRVはデジタル出力ドライバ部の専用電源ですので、 V_{CC} とは共通に接続しないで下さい。

デジタル側電源の場合、電源ラインを高レベル・ノイズが伝播しており、A/Dコンバータ部へ流入することでアナログ特性の劣化が懸念されます。

高速動作の場合には、A/Dコンバータ部で高周波の過渡電流が発生し、それに起因するノイズが電源ラインやリファレンスから流出することがあります。

この対策として、各電源ピンとリファレンス・ピンを0.1 μ F程度のセラミック・コンデンサでデカップリングして下さい。