



SpeedPlus™ 12ビット、12MHz CCD/CISシグナル・プロセッサ

特 長

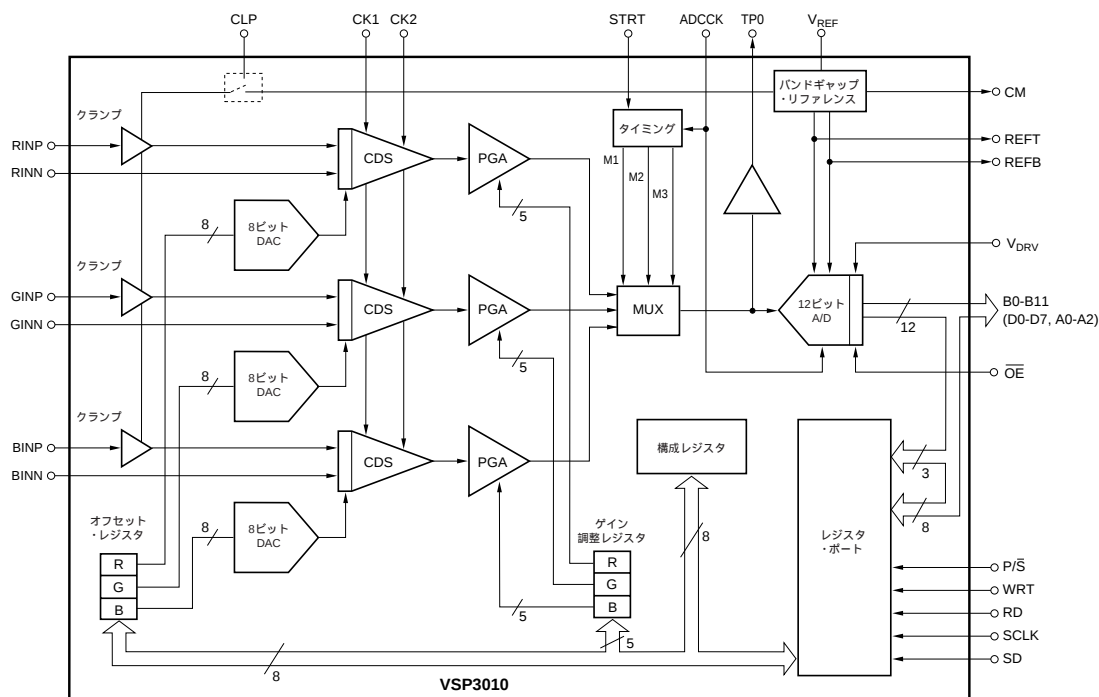
- 12ビット、12MHz A/Dコンバータ
- ノーミッシング・コードを保証
- 3チャンネル、4MHzカラー・スキャン・モード：
 相関二重サンブラ
 8ビットのオフセット調整DAC
 0dB ~ +13dBのPGA
- 電圧リファレンス内蔵
- +5V単一電源
- デジタル出力：3Vまたは5V
- 低消費電力：500mW(3chモード、標準)

アプリケーション

- CCDおよびCISカラー・スキャナ
- FAXおよび多機能マシン
- 工業用/医療用画像処理システム

概 要

VSP3010は、電荷結合素子(CCD)または接触型画像センサ(CIS)システム用の完全な3チャンネル画像シグナル・プロセッサです。各チャンネルごとにセンサ信号サンプリング、ブラック・レベル調整およびプログラマブル・ゲイン・アンプの機能を備えています。3つの入力は、マルチプレクサを通じて高速な12ビットA/Dコンバータに送られます。入力回路は、デジタル・コマンドによってCCDまたはCISセンサ用に構成することができます。CCDセンサにはブラック・レベル・クランプおよび相関二重サンブラ(CDS)が、CISデバイスにはシングル・エンド・サンブラおよびリファレンス入力 that 提供されます。VSP3010は、48ピンLQFPパッケージで供給され、+5V単一電源で0 から+85の温度範囲で動作します。



仕様

特に記述のない限り、T_A = 全仕様温度範囲、V_{DDA} = +5V、V_{DDD} = +5V、V_{DRV} = +5V、f_{ADCCK} = 12MHz、f_{CK1} = 4MHz、f_{CK2} = 4MHz、PGAゲイン= 1での値です。

パラメータ	条件	VSP3010Y			単位
		最小	標準	最大	
分解能			12		Bits
変換特性 変換スピード	3チャンネルCCDモード 3チャンネルCISモード	12 12			MHz MHz
デジタル入力 ロジック・ファミリ 変換コマンド “ハイ”レベル入力電流(V _{IN} = V _{DDD}) “ロー”レベル入力電流(V _{IN} = 0V) スレショルド電圧(立ち上がり) スレショルド電圧(立ち下がり) 入力キャパシタンス		CMOS ADCCKの立ち上がりエッジ 3.00 1.25			μA μA V V pF
アナログ入力 フルスケール入力レンジ 入力キャパシタンス 最大入力範囲 外部リファレンス電圧範囲 リファレンス入力抵抗		0.5 GND _A -0.3 0.25	10 800	3.5 V _{DDA} +0.3 1.75	Vp-p pF V V Ω
ダイナミック特性 積分非直線性(INL) 微分非直線性(DNL) ノーミッシング・コード 入力換算雑音			±1 0.3 12 0.3	±2 0.75	LSB LSB Bits LSBs rms
PSRR	V _{DDA} = +5V±0.25V		0.04		%FSR
DC精度 ゼロ誤差 ゲイン誤差			0.8 1.5		%FSR %FSR
デジタル出力 ロジック・ファミリ ロジック・コーディング V _{DRV} 電圧範囲 出力電圧、V _{DRV} = +5V “ロー”レベル “ハイ”レベル “ロー”レベル “ハイ”レベル 出力電圧、V _{DRV} = +3V “ロー”レベル “ハイ”レベル 出力イネーブル時間 3ステート・イネーブル時間 出力キャパシタンス データ・レイテンシ データ出力遅延	I _{OL} = 50μA I _{OH} = 50μA I _{OL} = 1.6mA I _{OH} = 0.5mA I _{OL} = 50μA I _{OH} = 50μA OE = “ロー” OE = “ハイ” C _L = 15pF	+2.7 +4.6 +2.4 +2.5	ストレート・バイナリ 20 2 5 6	+5.3 +0.1 +0.4 +0.1	V V V V V ns ns pF Clock Cycles ns
電源条件 電源電圧：+V _S 電源電流：+I _S 消費電力	3chモード 1chモード 3chモード 1chモード	4.7	5 100 82 500 410	5.3 108 90 540 450	V mA mA mW mW
温度条件 動作温度 保存温度 熱抵抗、θ _{JA}	48ピンLQFP	0 -55	100	+85 +125	/W

このデータシートに記載されている情報は、信頼し得るものと考えておりますが、不正確な情報や記載漏れ等に関して弊社は責任を負うものではありません。情報の使用について弊社は責任を負いませんので、各ユーザーの責任において御使用下さい。価格や仕様は予告なしに変更される場合がありますのでご了承下さい。ここに記載されているいかなる回路についても工業所有権その他の権利またはその実施権を付与したり承諾したりするものではありません。弊社は弊社製品を生命維持に関する機器またはシステムに使用することを承認しまたは保証するものではありません。

絶対最大定格

電源電圧 ⁽¹⁾	+6.5V
電源電圧差 ⁽²⁾	±0.1V
グランド電位差 ⁽³⁾	±0.1V
デジタル入力電圧	-0.3 ~ V_{DD} +0.3V
アナログ入力電圧	-0.3 ~ V_{DDA} +0.3V
入力電流(電源を除く全てのピン)	±10mA
動作温度範囲	0 ~ +85
保存温度範囲	-55 ~ +125
接合部温度	+150
リード半田付け最大温度	+260 、5秒間
IRリフロー最大温度	+235 、10秒間

注：(1) V_{DDA} 、 V_{DDD} (2) V_{DDA} と V_{DDD} の間。(3) GND_A と GND_D の間。(4)上記の絶対最大定格以上のストレスはデバイスにダメージを与える原因になります。また、絶対最大条件下に長時間さらされるとデバイスの信頼性を損なうことがあります。



静電気放電対策

静電気放電はわずかな性能の低下から完全なデバイスの故障に至るまで、様々な損傷を与えます。すべての集積回路は、適切なESD保護方法を用いて、取扱いと保存を行うようにして下さい。高精度の集積回路は、損傷に対して敏感であり、極めてわずかなパラメータの変化により、デバイスに規定された仕様に適合しなくなる場合があります。

パッケージ情報/ご発注の手引き

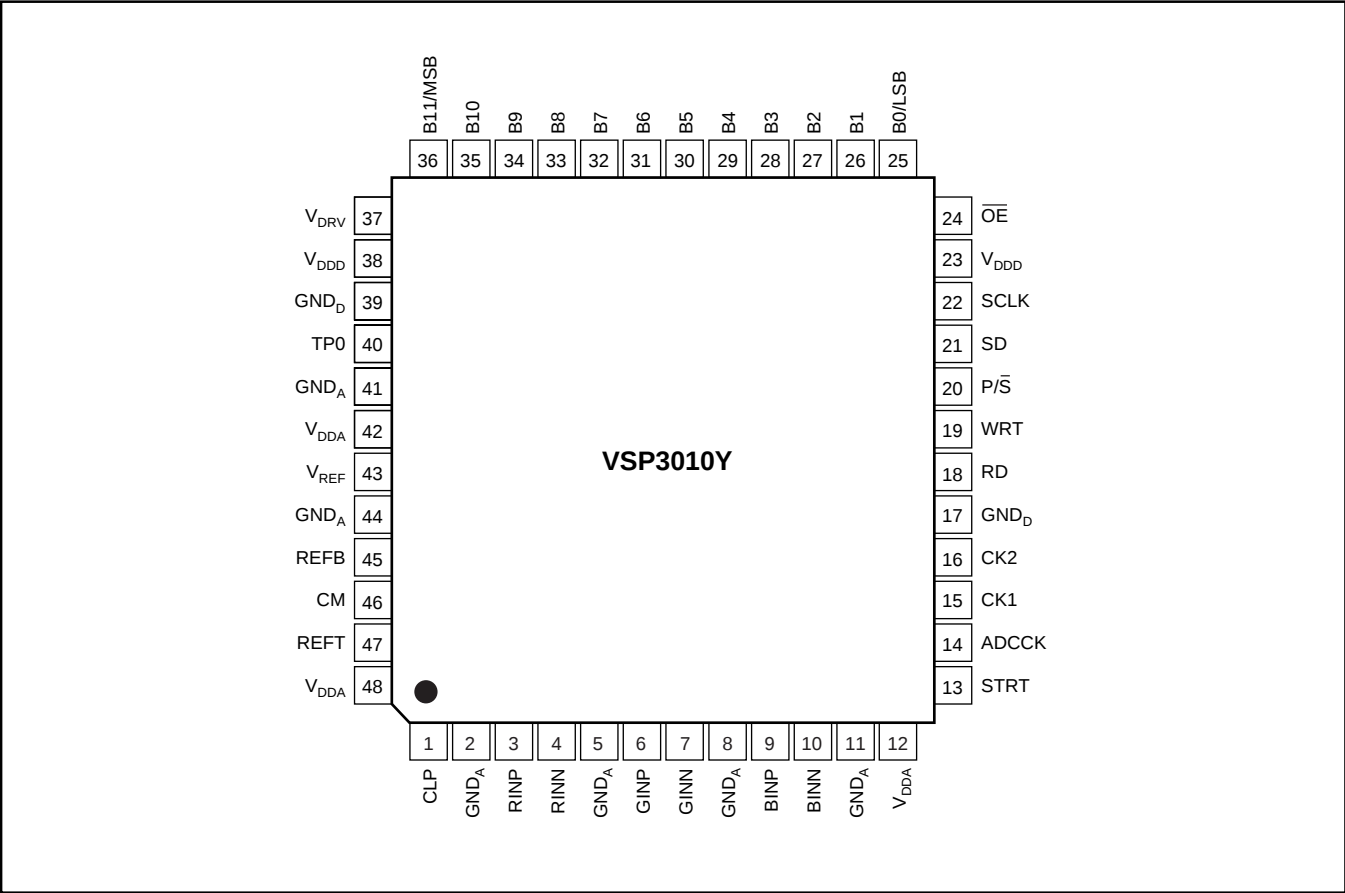
モデル	パッケージ	パッケージ図番号 ⁽¹⁾	仕様温度範囲	パッケージのマーキング	発注番号 ⁽²⁾	供給時の状態
VSP3010Y	48ピンLQFP	340	0 ~ +85	VSP3010Y	VSP3010Y	250個入りトレイ
VSP3010Y	48ピンLQFP	340	0 ~ +85	VSP3010Y	VSP3010Y/2K	テーブリール

注：(1)詳細図および寸法表は、データシートの巻末を参照して下さい。(2)スラッシュ(/)が付記されたモデルは、表示数量のテーブリールでのみ供給されます(例えば、/2Kはリール1本あたり2,000個入りのデバイスであることを示します)。“VSP3010Y/2K”を発注すると、2,000個入りテーブリール1本が納品されます。

デモ・ボードご発注の手引き

モデル	パッケージ
VSP3010Y	DEM-VSP3010Y

ピン配置



ピン構成

ピン 番号	名称	タイプ	説明	ピン 番号	名称	タイプ	説明
1	CLP	DI	クランプ・イネーブル、"ハイ" = イネーブル	27	B2	DIO	A/D出力(ビット2)およびレジスタ・データ・ポート(D2)
2	GND _A	P	アナログ・グラウンド	28	B3	DIO	A/D出力(ビット3)およびレジスタ・データ・ポート(D3)
3	RINP	AI	Rチャンネル・アナログ入力	29	B4	DIO	A/D出力(ビット4)およびレジスタ・データ・ポート(D4)
4	RINN	AI	Rチャンネル・リファレンス入力	30	B5	DIO	A/D出力(ビット5)およびレジスタ・データ・ポート(D5)
5	GND _A	P	アナログ・グラウンド	31	B6	DIO	A/D出力(ビット6)およびレジスタ・データ・ポート(D6)
6	GINP	AI	Gチャンネル・アナログ入力	32	B7	DIO	A/D出力(ビット7)およびレジスタ・データ・ポート(D7)
7	GINN	AI	Gチャンネル・リファレンス入力	33	B8	DIO	A/D出力(ビット8)およびレジスタ・アドレス(A0)
8	GND _A	P	アナログ・グラウンド	34	B9	DIO	A/D出力(ビット9)およびレジスタ・アドレス(A1)
9	BINP	AI	Bチャンネル・アナログ入力	35	B10	DIO	A/D出力(ビット10)およびレジスタ・アドレス(A2)
10	BINN	AI	Bチャンネル・リファレンス入力	36	B11 MSB	DO	A/D出力(ビット11)
11	GND _A	P	アナログ・グラウンド	37	V _{DRV}	P	出力ドライバ電源
12	V _{DDA}	P	アナログ電源、+5V	38	V _{DDD}	P	デジタル電源、+5V
13	STRT	DI	ライン・スキャン・スタート信号	39	GND _D	P	デジタル・グラウンド
14	ADCCCK	DI	A/Dコンバータ・クロック入力	40	TP0	AO	A/Dコンバータ・モニタリングピン
15	CK1	DI	リファレンス・サンプル・クロック入力	41	GND _A	P	アナログ・グラウンド
16	CK2	DI	データ・サンプル・クロック入力	42	V _{DDA}	P	アナログ電源、+5V
17	GND _D	P	デジタル・グラウンド	43	V _{REF}	AIO	リファレンス電圧入出力
18	RD	DI	レジスタ・リード信号	44	GND _A	P	アナログ・グラウンド
19	WRT	DI	レジスタ・ライト信号	45	REFB	AO	低電位リファレンス
20	P/S	DI	パラレル/シリアル・ポート選択、"ハイ" = パラレル、"ロー" = シリアル	46	CM	AO	同相モード電圧
21	SD	DI	シリアルデータ入力	47	REFT	AO	高電位リファレンス
22	SCLK	DI	シリアルデータ・クロック	48	V _{DDA}	P	アナログ電源、+5V
23	V _{DDD}	P	デジタル電源、+5V				
24	OE	DI	A/Dコンバータ出力イネーブル、"ロー" = イネーブル、"ハイ" = ディスエーブル				
25	B0 LSB	DIO	A/D出力(ビット0)およびレジスタ・データ・ポート(D0)				
26	B1	DIO	A/D出力(ビット1)およびレジスタ・データ・ポート(D1)				

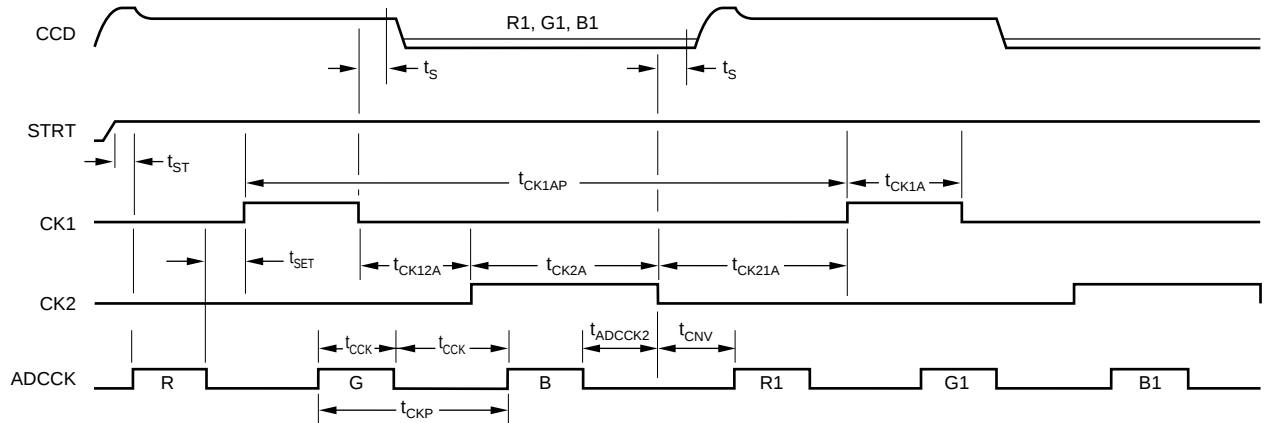
注：DI = デジタル入力。DO = デジタル出力。DIO = デジタル入出力。AI = アナログ入力。AO = アナログ出力。AIO = アナログ入出力。P = 電源、グラウンド。

タイミング図

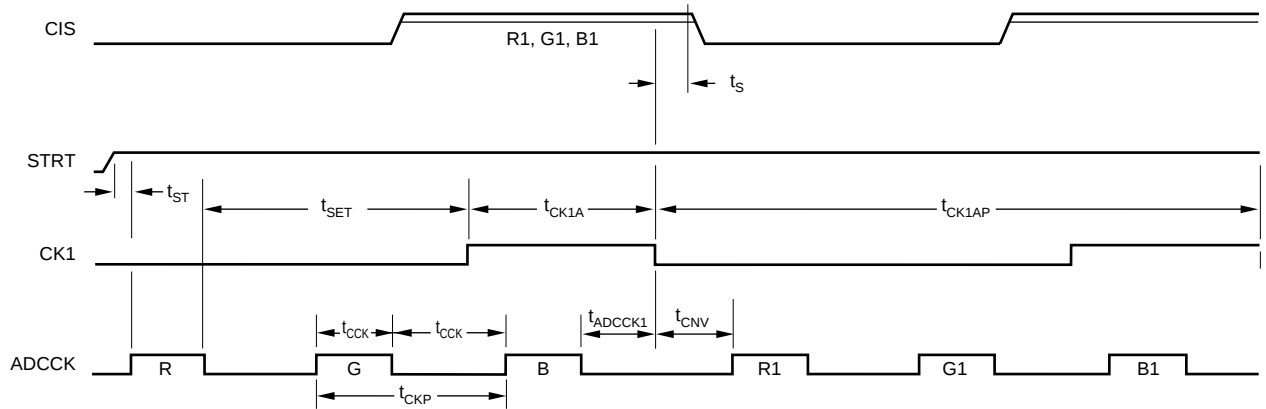
$t_{\min}$ から $t_{\max}$ は電源電圧+5Vでの値です。

3チャンネルCCD/CISモードのタイミング

3チャンネルCCDモード



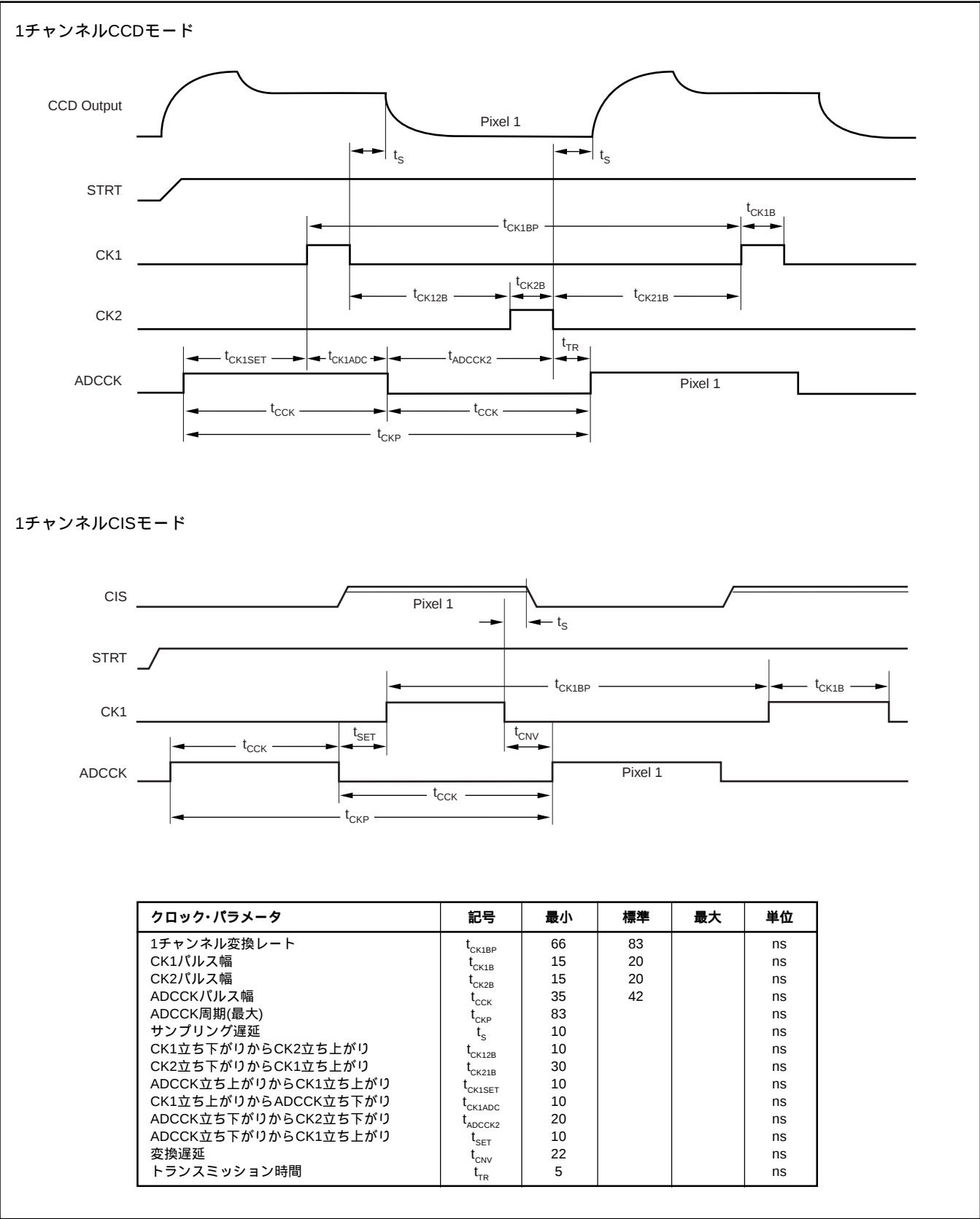
3チャンネルCISモード



クロック・パラメータ	記号	最小	標準	最大	単位
3チャンネル変換レート	t_{CK1AP}	200	250		ns
CK1パルス幅	t_{CK1A}	15	70		ns
CK2パルス幅	t_{CK2A}	15	70		ns
ADCCKパルス幅	t_{CCK}	35	42		ns
ADCCK周期(最大)	t_{CCKP}	83			ns
サンプリング遅延	t_s	10			ns
CK1立ち下がりからCK2立ち上がり	t_{CK12A}	15			ns
CK2立ち下がりからCK1立ち上がり	t_{CK21A}	50			ns
ADCCK立ち下がりからCK1立ち上がり	t_{SET}	10			ns
ADCCK立ち下がりからCK2立ち下がり	$t_{ADCCCK2}$	20			ns
ADCCK立ち下がりからCK1立ち下がり	$t_{ADCCCK1}$	20			ns
変換遅延	t_{CNV}	22			ns
スタート変換時間	t_{ST}	20	100		ns

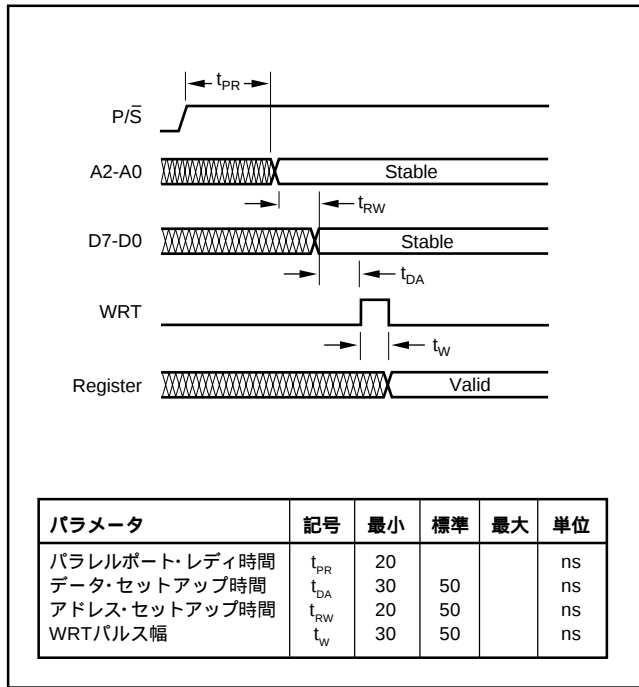
タイミング図

1チャンネルCCD/CISモードのタイミング

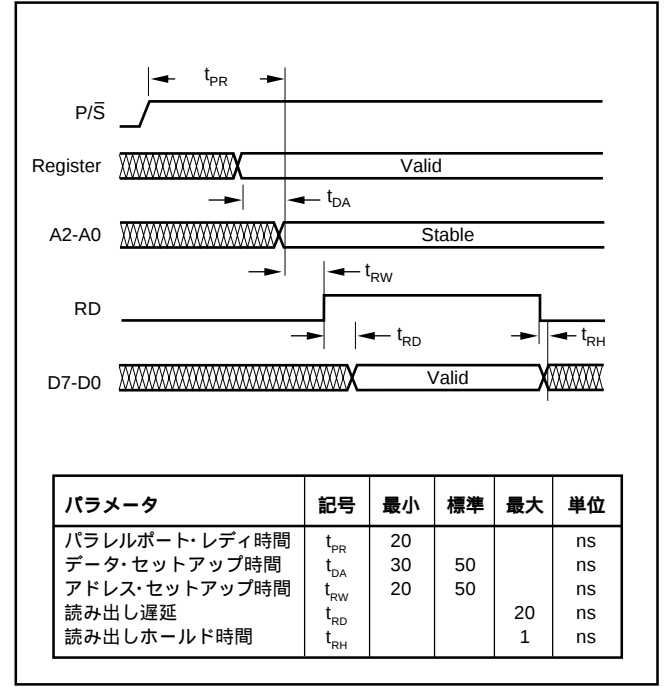


タイミング図

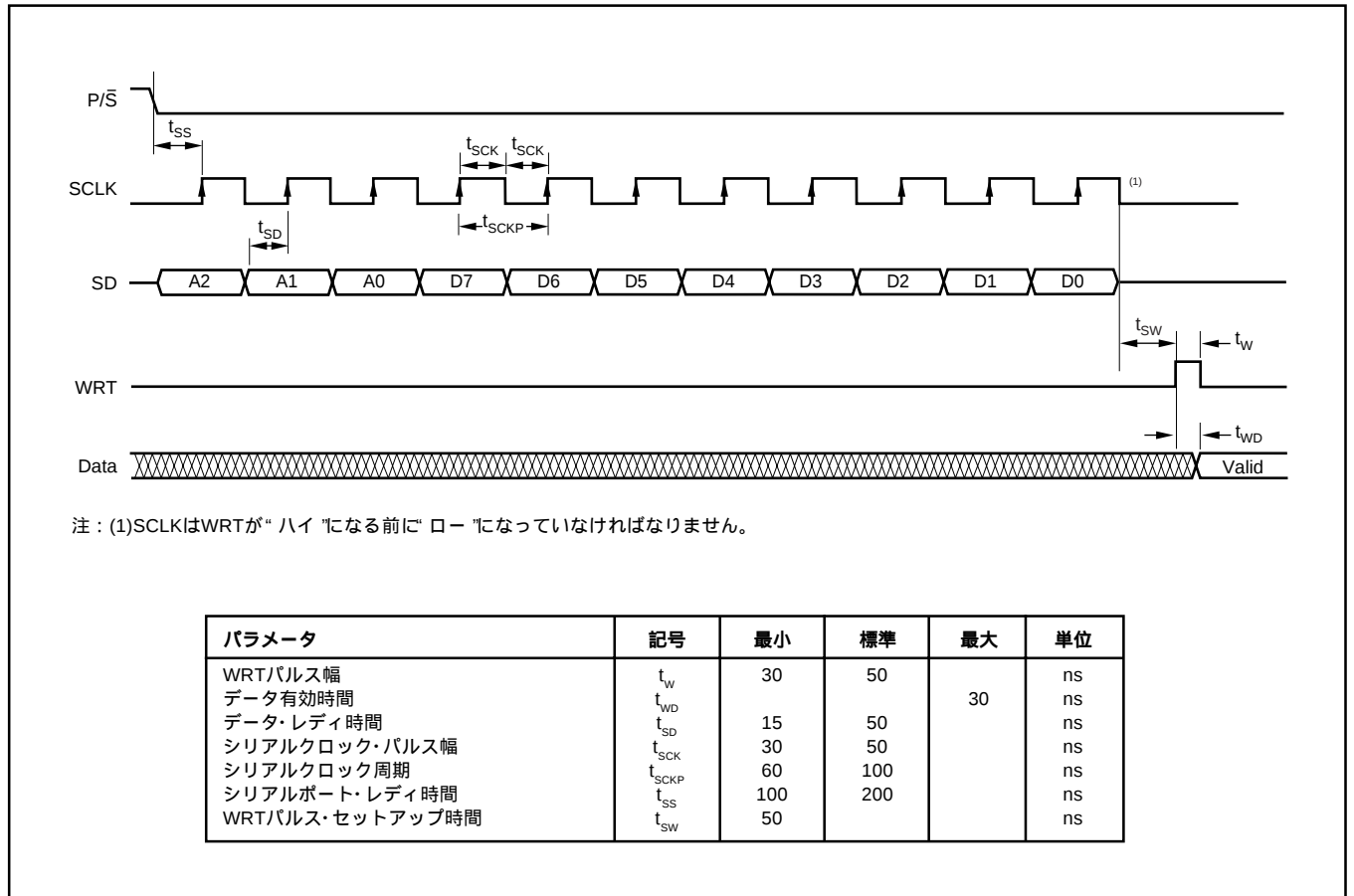
パラレルポートの書き込みタイミング



パラレルポートの読み取りタイミング

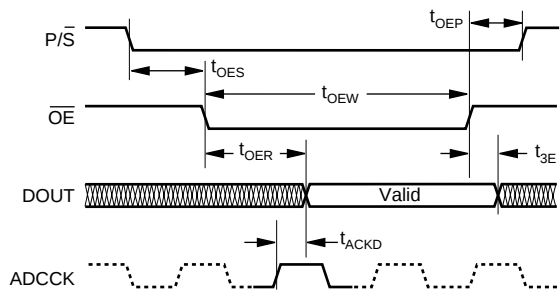


シリアルポートの書き込みタイミング



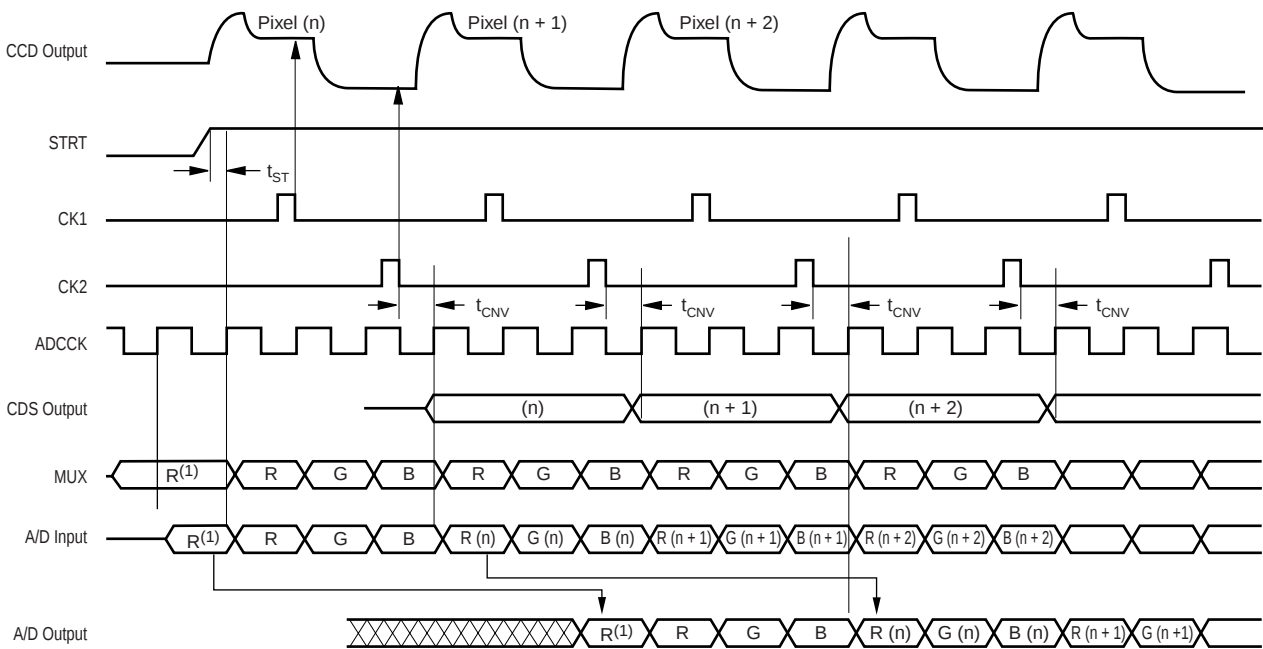
タイミング図

A/D出力のタイミング



パラメータ	記号	最小	標準	最大	単位
ADC出力イネーブル・セットアップ時間	t_{OES}	20			ns
OEパルス幅	t_{OEW}	100			ns
出力イネーブル時間	t_{OER}		20	40	ns
3ステート・イネーブル時間	t_{3E}		2	10	ns
データ出力遅延	t_{ACKD}			12	ns
パラレルポート・セットアップ時間	t_{OEP}	10			ns

DOUTのタイミング図(3チャンネルCCDモード)

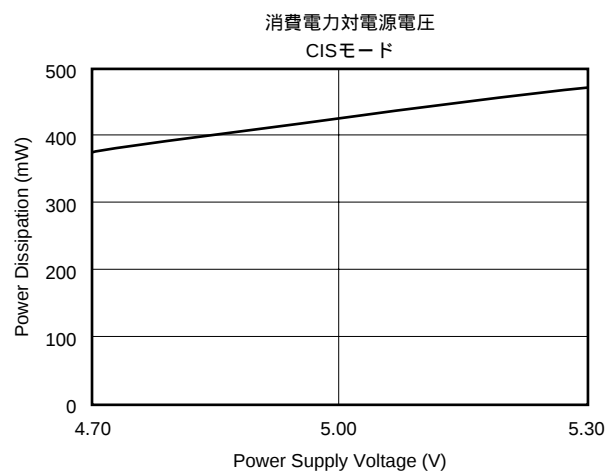
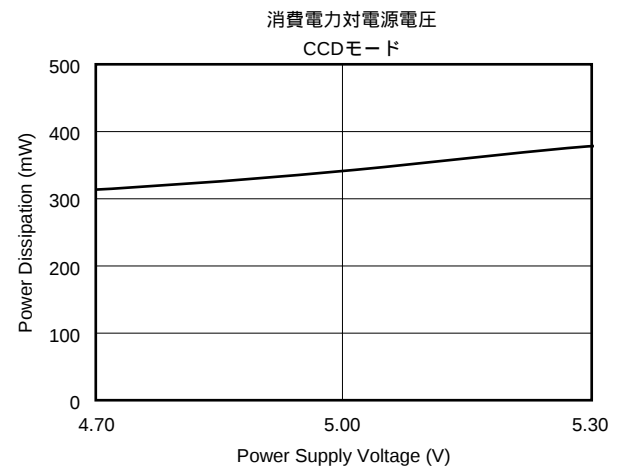
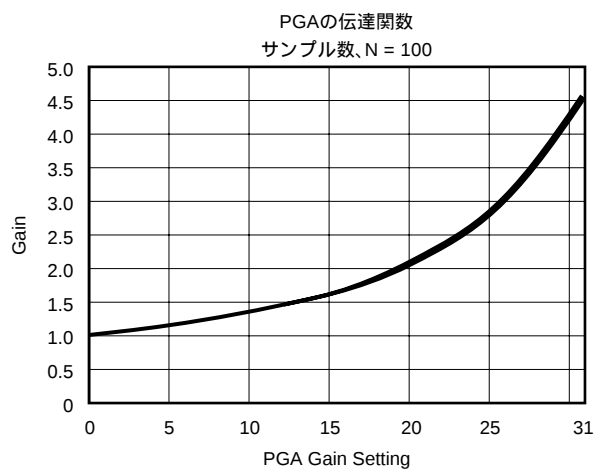


注：(1)構成レジスタのD4とD5ビットの設定によります。また、電源立ち上げ時はRが設定されます。

クロック・パラメータ	記号	最小	標準	最大	単位
変換遅延	t_{CNV}	22			ns
スタート変換時間	t_{ST}	20	100		ns

代表的性能曲線

特に記述のない限り、 $T_A = +25$ 、 $V_{DDA} = +5V$ 、 $V_{DDD} = +5V$ 、 $f_{ADCC} = 6MHz$ 、 $f_{CK1} = 2MHz$ 、 $f_{CK2} = 2MHz$ です。



動作原理

VSP3010は、次の4つのモードのいずれかで動作します。

- 3チャンネルCCDモード
- 3チャンネルCISモード
- 1チャンネルCCDモード
- 1チャンネルCISモード

各モードは構成レジスタにより設定します。

3チャンネルCCDモード

VSP3010は、このモードでは3出力のCCD信号を同時に処理することができます。各信号は、RINP、GINP、およびBINP入力にAC結合されます。このモードでは、RINN、GINN、BINNは使用せず、グランドに接続します。CLP信号は、内部バイアス回路で各入力を適正な電圧にクランプし、内部の関連二重サンブラ(CDS)回路が正しく動作できるようにします。VSP3010の入力は、DC結合の入力としても印加できますが、適正なDCレベルにレベルシフトする必要があります。

CDSは、入力されたCCD信号から2つのサンプルを取ります。すなわち、CK1の立ち下がりエッジでCCDのリファレンスレベルをサンプリングし、CK2の立ち下がりエッジでCCDの情報をサンプリングします。CDSは、2つのサンプルの差を計算して、その結果を出力します。

3つのチャンネルを使用して、3つの入力が同時に処理されます。各チャンネルは5ビットのPGA(0dBから+13dB)と8ビットのオフセットD/Aコンバータ(+50mVから-150mV)からなり、後段の3入力1出力のアナログMUXを通じて高性能12ビットA/Dコンバータにデータを供給します。アナログMUXは、R、G、BまたはB、G、Rのサイクルを実行するようにプログラムすることができます。

スタート信号はADCCCKの立ち上がりエッジで評価され、各スキャンラインのR、G、BまたはB、G、Rの最初の変換が始まります。STRTが“ロー”になると、アナログMUXはシーケンスの最初のサンプルに切り替わります。5ページのタイミング図に示されるように、CK2の立ち下がりエッジは、必ずADCCCKが“ロー”となる期間内になければなりません。ADCCCKが“ハイ”となる期間(タイミング図では、BチャンネルをサンプリングするADCCCKの“ハイ”の期間)にある場合には、VSP3010が正常に動作しません。

3チャンネルCISモード

VSP3010は、このモードでは3チャンネルのサンブラおよびデジタイザとして動作します。CCDモードと異なり、VSP3010は、CK1の立ち下がりエッジで各入力のサンプルを1つだけ取ります。サンプルが1つだけのため、この動作ではCK2をグランドに接続します。入力信号は、ほとんどの場合DC結合されます(図3参照)。例えば、Rチャンネルの場合、RINPがCIS信号入力、RINNがCISリファレンス信号です。Gチャンネル(GINPおよびGINN)およびBチャンネル(BINPおよびBINN)についても同様です。

3つのCDSは、このモードではトラック/ホールドのように動作するCIS信号処理回路になり、3つの入力が同時に処理されます。各CIS信号処理回路は、5ビットのPGA(0dBから+13dB)と8ビットのオフセットDAC(+50mVから-150mV)からなり、後段の3入力1出力のアナログMUXを通じて高性能12ビットA/Dコンバータにデータを供給します。アナログMUXは、R、G、BまたはB、G、Rのサイクルを実行するようにプログラムすることができます。

スタート信号はADCCCKの立ち上がりエッジで評価され、各スキャンラインのR、G、BまたはB、G、Rの最初の変換が始まります。STRTが“ロー”になると、アナログMUXはシーケンスの最初のサンプルに切り替わります。5ページのタイミング図に示されるように、CK1の立ち下がりエッジは、必ずADCCCKが“ロー”となる期間内になければなりません。ADCCCKが“ハイ”となる期間(タイミング図では、BチャンネルをサンプリングするADCCCKの“ハイ”の期間)にある場合には、VSP3010が正常に動作しません。

1チャンネルCCDモード

VSP3010は、このモードでは1つのCCD信号のみを処理します。CCD信号は、構成レジスタで選択しているRINP、GINP、またはBINPにAC結合されます。このモードでは、RINN、GINN、BINNは使用せず、グランドに接続します。CLP信号は、内部バイアス回路で入力を適正な電圧にクランプし、内部のCDS回路が正しく動作できるようにします。VSP3010の入力は、DC結合の入力としても印加できますが、適正なDCレベルにレベルシフトする必要があります。

CDSは、入力されたCCD信号から2つのサンプルを取ります。すなわち、CK1の立ち下がりエッジでCCDのリファレンスの値をサンプリングし、CK2の立ち下がりエッジでCCDの情報をサンプリングします。CDSは、2つのサンプルの差を計算して、その結果を出力します。

このモードでは、3チャンネルのうち1チャンネルのみ有効になります。各CDSは5ビットのPGA(0dBから+13dB)と8ビットのオフセットDAC(+50mVから-150mV)からなり、後段の3入力1出力のアナログMUXを通じて高性能12ビットA/Dコンバータにデータを供給します。このモードでは、アナログMUXはチャンネル間のサイクルを実行せず、構成レジスタで設定された特定のチャンネルに接続されます。6ページのタイミング図に示されるように、CK1の立ち上がりエッジは必ずADCCCKが“ハイ”になる期間内になければならず、CK2の立ち上がりエッジはADCCCKが“ロー”になる期間内になければVSP3010は正常に動作しません。

1チャンネルCISモード

VSP3010は、このモードでは1チャンネルのサンブラおよびデジタイザとして動作します。CDSモードと異なり、VSP3010は、CK1の立ち下がりエッジで各入力のサンプルを1つだけ取ります。サンプルが1つだけのため、この動作ではCK2をグランドに接続します。入力信号は、ほとんどの場合DC結合されます。この場合、VSP3010の入力は差動入力になります。例えば、Rチャンネルの場合、RINPがCIS信号入力、RINNがCISリファレンス信号です。Gチャンネル(GINPおよびGINN)およびBチャンネル(BINPおよびBINN)についても同様です。

CDSは、このモードではトラック/ホールドのように動作するCIS信号処理回路になります。各CIS信号処理回路は、5ビットのPGA(0dBから+13dB)と8ビットのオフセットDAC(+50mVから-150mV)からなり、後段の3入力1出力のアナログMUXを通じて高性能12ビットA/Dコンバータにデータを供給します。このモードでは、アナログMUXはチャンネル間のサイクルを実行せず、構成レジスタで設定された特定のチャンネルに接続されます。6ページのタイミング図に示されるように、CK1がアクティブとなる期間(t_{CK1B})は、必ずADCCCKが“ロー”となる期間内になければなりません。ADCCCKが“ハイ”となる期間にある場合には、VSP3010は正常に動作しません。

アナログPGA

各チャンネルに1つのアナログPGAがあります。アナログPGAは、5ビットのPGAゲイン・レジスタで制御します。アナログPGAのゲインは、1から4.44(0dBから+13dB)までです。PGAの伝達関数は、次の式で表されます。

$$\text{ゲイン} = 4 / (4 - 0.1 \cdot X)$$

ここで、Xは5ビットPGAゲイン・レジスタの整数表現です。PGAの伝達関数のプロットを図1に示します。

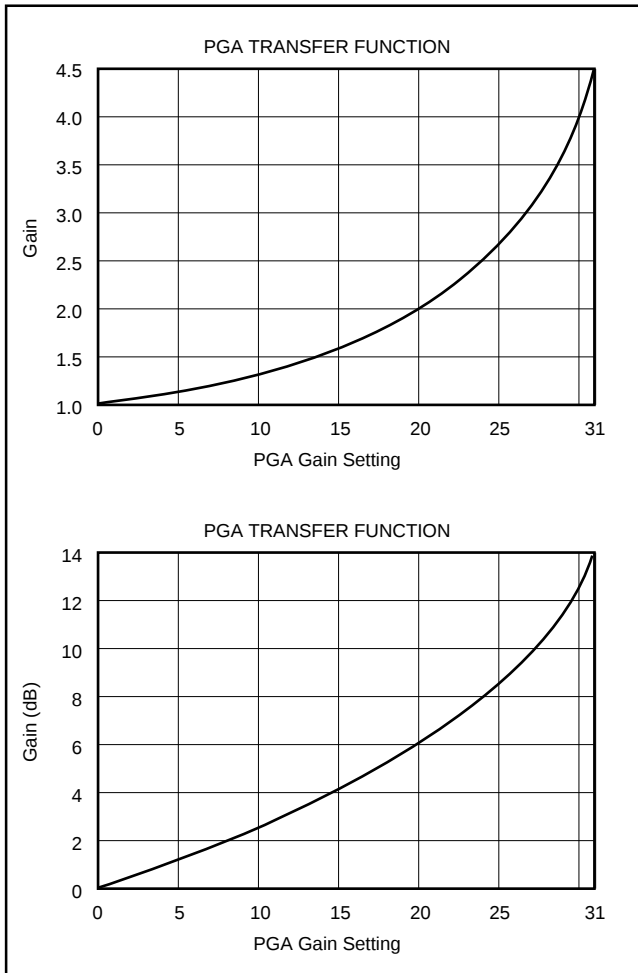


図1.PGAの伝達関数

入力クランプ

入力クランプはCCDモードではイネーブル固定にするか、CCD信号の1水平期間毎におけるダミー・ピクセルの期間にイネーブルにして、ピクセルデータの期間にはディスエーブルにして使用します。通常はイネーブル固定で問題なく動作しますが、クランプノイズが問題となるようなアプリケーションでは後者の方法をとります。CISモードではディスエーブルで使用します。

AC入力カップリング・コンデンサの選択

入力カップリング・コンデンサの目的は、CCDアレイのDC出力がVSP3010に影響しないように分離することです。内部クランプ回路は、CCD出力信号に必要なDC成分を復元します。内部クランプ電圧 V_{CLAMP} は、リファレンスから供給され、 V_{REF} の値に依存します。 V_{REF} が1Vのとき V_{CLAMP} は2.5Vに、 V_{REF} が1.5Vのとき V_{CLAMP} は3Vになります。入力カップリング・コンデンサの容量を決定する要因には、CCD信号のスイング、最後のクランプ期間

以後の入力コンデンサ両端の電圧ドロップ、VSP3010の入力回路のリーク電流、CK1の周期など、多くのものがあります。

図2に、VSP3010のCCDモードでの入力を簡略化した等価回路を示します。この等価回路では、入力カップリング・コンデンサ C_{IN} とサンプリング・コンデンサ C_1 がコンデンサ・デバイダとして構成されています(CK1の間)。AC解析では、オペアンプ入力をグランドに接続します。したがって、サンプリング電圧 V_S は次の式で表されます(CK1の間)。

$$V_S = (C_{IN} / (C_{IN} + C_1)) \cdot V_{IN}$$

この式から、 C_{IN} の値が大きいくほど V_S が V_{IN} に近くなることが分かります。すなわち、 C_{IN} の値が大きければ、入力信号 V_{IN} の減衰が小さくなります。ただし、大きい C_{IN} には不利な点もあります。 C_{IN} が大きいくほど、入力信号のDC成分を復元するために必要なダミー(光学的黒)ピクセルの数が増えます。

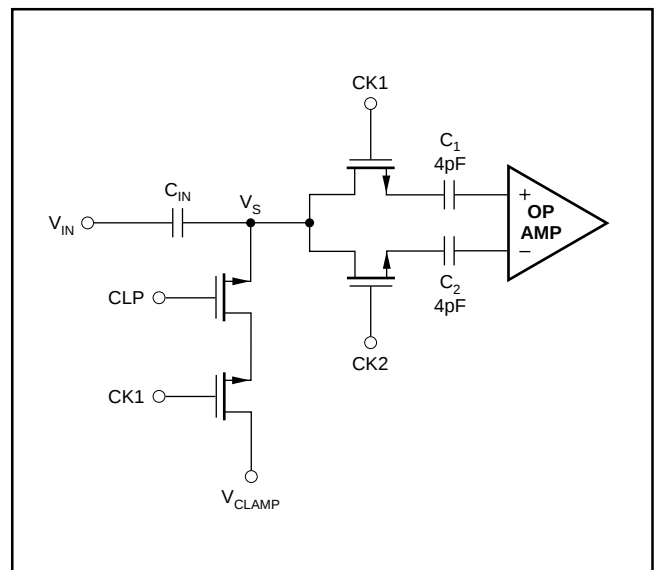


図2. VSP3010の入力等価回路(CCDモード)

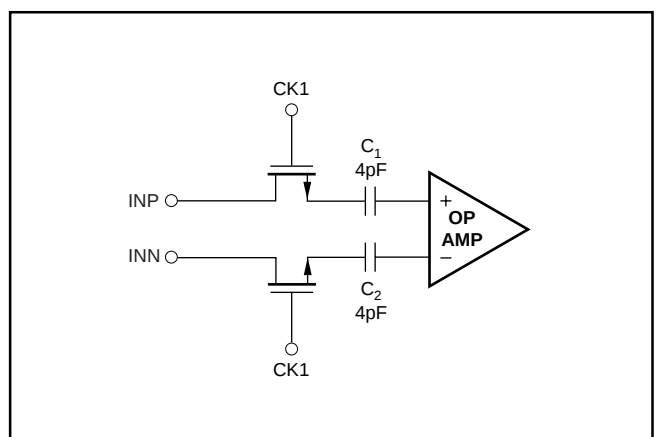


図3. VSP3010の入力等価回路(CISモード)

C_{MAX} および C_{MIN} の選択

前に述べたように、CLP信号でC_{IN}を充電する十分な時間がある場合は、大きいC_{IN}が推奨されます。通常、ほとんどの場合に0.01μFから0.1μFのC_{IN}を使用することができます。C_{IN}を最適化するため、次の2つの式を使用してC_{MAX} および C_{MIN} を計算することができます。

C_{MAX} = (t_{CK1}・N) / [R_{SW}・ln (V_D / V_{ERROR})]

t_{CK1} はCK1とCLPの両方が “ ハイ ” の時間、Nはブラック・ピクセルの数、R_{SW}は合計スイッチ抵抗、V_DはC_{IN}両端のドループ、V_{ERROR}はV_SとV_{CLAMP}の差です。R_{SW}の公称値は4kΩ+ドライバのインピーダンスです。VSP3010が適正に動作するために許容されるV_{ERROR}は0.1Vです。

C_{MIN} = (I / V_{ERROR})・t

IはVSP3010の入力回路の標準的なリーク電流(10nA)、tはクランプ・パルスの間隔です。

VSP3010のプログラミング

VSP3010は、CCDまたはCISの3つのチャンネルと1つの12ビットA/Dコンバータから構成されています。各チャンネル(R、G、B)に8ビットのオフセット調整レジスタと5ビットのゲイン調整レジスタがあり、ユーザがプログラムすることができます。各種の動作モードをプログラムするための7ビットの構成レジスタもオンチップで内蔵されています。レジスタの一覧を次の表に示します。

アドレス			レジスタ
A2	A1	A0	
0	0	0	構成レジスタ(7ビット)
0	0	1	Rチャンネルのオフセット・レジスタ(8ビット)
0	1	0	Gチャンネルのオフセット・レジスタ(8ビット)
0	1	1	Bチャンネルのオフセット・レジスタ(8ビット)
1	0	0	Rチャンネルのゲイン・レジスタ(5ビット)
1	0	1	Gチャンネルのゲイン・レジスタ(5ビット)
1	1	0	Bチャンネルのゲイン・レジスタ(5ビット)
1	1	1	予約

動作モードをプログラムするための7ビットの構成レジスタもオンチップで内蔵されています。レジスタの一覧を次の表に示します。

OE	P/S	モード
0	0	A/Dデータ出力イネーブル、シリアルモード・イネーブル
0	1	禁止モード
1	0	A/Dデータ出力ディセーブル、シリアルモード・イネーブル
1	1	A/Dデータ出力ディセーブル、パラレルモード・イネーブル

これらのレジスタは、パラレルまたはシリアルポートからアクセスできます。パラレルモードでは、アドレスおよびデータポートがADCのデータ出力ピンと結合されます。データ・バスがD0からD7(ピン25からピン32)に、アドレス・バスがA0からA2(ピン33からピン35)に割り当てられます。

シリアルモードでは、シリアルデータ(SD)、シリアルクロック(SCLK)、書き込み信号(パラレルおよびシリアルの書き込みともWRTピン)が使用されます。各モードを指定する方法を次の表

に示します。なお、シリアルポートは書き込み専用です。

ビット	ロジック0	ロジック1
D0	CCDモード V _{REF} = 1V 内部リファレンス 3チャンネル、D4およびD5ディセーブル	CISモード V _{REF} = 1.5V 外部リファレンス 1チャンネル、D4およびD5イネーブル
D1		
D2		
D3		
		D4 D5
		0 0 Rチャンネル
		0 1 Gチャンネル
		1 0 Bチャンネル
		1 1 XXXXXXXX
D6	R > G > B MUXのシーケンス XXXXXXXX	B > G > R MUXのシーケンス XXXXXXXX
D7		

構成レジスタ

構成レジスタは次のように設計されています。構成レジスタの読み取り/書き込みを行うには、次のアドレスを指定します。

A2 = 0、A1 = 0、A0 = 0

例：3チャンネルCDSモード、V_{REF} = 1Vの内部リファレンス(2Vのフルスケール入力)の場合は、次のように設定します。

D0 = 0、D1 = 0、D3 = 0

この例では、V_{REF}が1Vになります。
内部リファレンス・モードを使用するときは、V_{REF}を10μFおよび0.1μFのコンデンサでバイパスします。

例：1チャンネルCISモード(Rチャンネル)、1.2Vの外部リファレンスの場合は、次のように設定します。

D0 = 1、D1 = X、D2 = 1、D4 = 0、D5 = 0

この例では、V_{REF}が入力ピンになり、1.2Vを印加します。この入力によりVSP3010のフルスケール入力は2.4Vに設定されます。

オフセット・レジスタ

オフセット・レジスタは、各チャンネルのアナログ・オフセットをPGAの前段で制御します。各チャンネルに1つの8ビット・オフセット・レジスタがあります。オフセットの範囲は、-150mVから+50mVまでです。オフセット・レジスタは、ストレート・バイナリ・コードを使用します。オール0は-150mV、オール1は+50mVのオフセット調整に対応します。

PGAゲイン・レジスタ

PGAゲイン・レジスタは、各チャンネルのアナログ・ゲインをA/Dコンバータの前段で制御します。各チャンネルに1つの5ビットPGAゲイン・レジスタがあります。ゲインの範囲は、1から4.44(0dBから+13dB)までです。PGAゲイン・レジスタは、ストレート・バイナリ・コードです。オール0は0dB、オール1は13dBのアナログ・ゲインに対応します。

電源、グランドに関する推奨事項

VSP3010には V_{DDA} 、 V_{DDD} 、 V_{DRV} の3種類の電源ピンがあります。 V_{DDA} はVSP3010の主にアナログ回路部分に、 V_{DDD} は主にデジタル回路部分に電源を供給するピンですが、VSP3010内部では共通に接続されています。レギュレータ等から電源を供給する場合には、 V_{DDA} と V_{DDD} を別系統から供給すると V_{DDA} と V_{DDD} 間で電圧差が発生することが予想されるので、このような使用方法は避けてください。VSP3010を安定し動作させるためには、VSP3010をアナログLSIとして取り扱い、 V_{DDA} 、 V_{DDD} は共にシステム上のアナログ側電源に接続することを推奨します。VSP3010をデジタル側電源に接続すると、電源ラインを介して高レベルの広帯域ノイズが流入し、VSP3010の特性を劣化させることが予想されます。また、 V_{DRV} はデジタル出力バスのドライバ用専用電源で、前述の V_{DDA} 、 V_{DDD} とは独立しています。そのため、 V_{DRV} の電圧が V_{DDA} および V_{DDD} と同じ場合であっても、デジタルノイズの回り込みを防ぐためには、これらを共通に接続しないで下さい。グランドはVSP3010内部ですべて共通に接続されていますので、デバイス外部でも共通に接続し、システム上のアナログ・グランドへ接続してください。電源をより安定したものとするため、各電源ピンとグランド間は $0.1\mu\text{F}$ 程度のセラミック・コンデンサでデカップリングすることをお勧めします。これらのデカップリング・コンデンサはできる限りVSP3010のピンの近くに配置してください。

オフセットおよびゲインのキャリブレーション・シーケンス

VSP3010は、電源投入時に3チャンネルCDSモード、1V内部リファレンス(2Vフルスケール)、アナログ・ゲイン1に初期化されます。このモードはCCDスキャナのアプリケーションに広く使用されます。キャリブレーション手順はスキャンの最初に実行します。キャリブレーションを実行すると、動作中、その情報(各チャンネルのオフセットおよびゲイン)はVSP3010のレジスタに保持されます。

VSP3010のキャリブレーションには、次の手順を使用します。

ステップ1：VSP3010を適切なモードに設定します。

ステップ2：アナログPGAのゲインを1(コード：00H)に、オフセットを0mV(コード：C0H)に設定します。

ステップ3：黒いラインをスキャンします。

ステップ4：ADC出力からピクセルのオフセットを計算します。

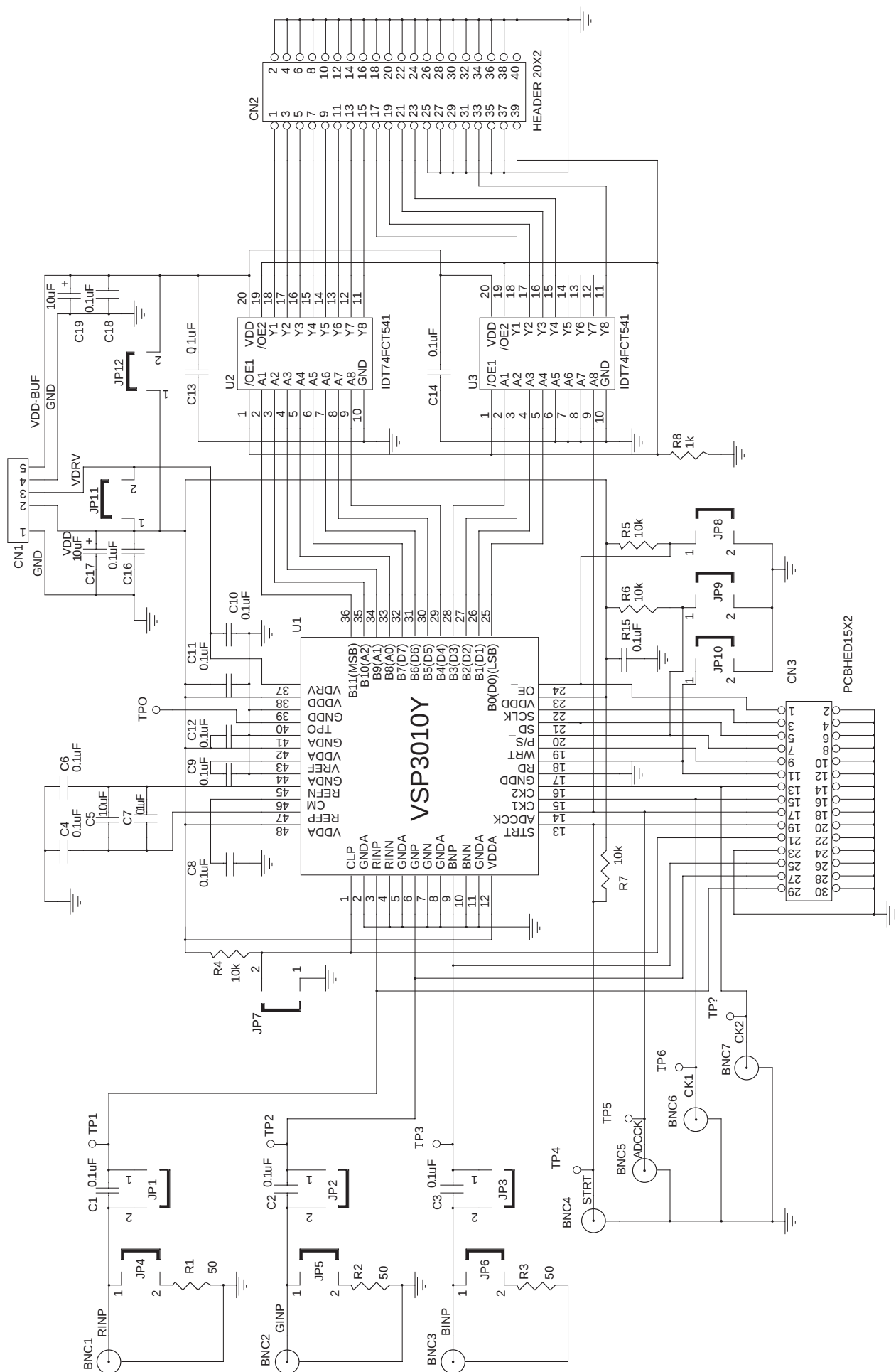
ステップ5：入力オフセット・レジスタを調整します。

ステップ6：白いラインをスキャンします。

ステップ7：ゲインを計算します。ゲインは、ADCのフルスケールを白いラインをスキャンしたときのADC出力で割って求めます。

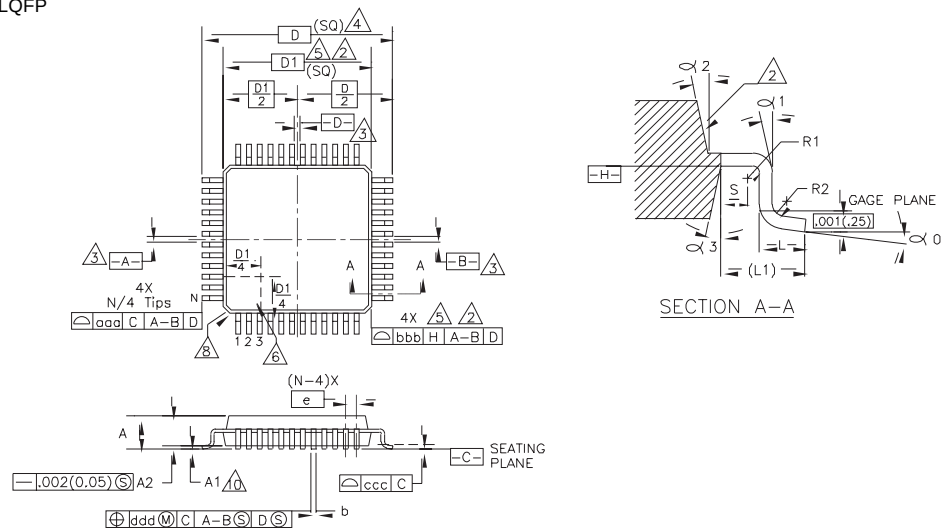
ステップ8：ゲイン・レジスタを設定します。ADC出力がフルスケールに近くない場合は、ステップ3に戻ります。出力がフルスケールに近ければ、キャリブレーションは完了です。

評価用ボードの回路図



外観

パッケージ番号340 - 48ピンLQFP



DIM	INCHES		MILLIMETERS		NOTE
	MIN.	MAX.	MIN.	MAX.	
A	—	.063	—	1.60	10
A1	.002	.006	0.05	0.15	
A2	.053	.057	1.35	1.45	
b	.007	.011	0.17	0.27	7.9
C	.004	.008	0.09	0.20	9
D	.354	BASIC	9.00	BASIC	4
D1	.276	BASIC	7.00	BASIC	2.5
e	.020	BASIC	0.50	BASIC	
L	.018	.030	0.45	0.75	
L1	.039	REF	1.00	REF	
N	48		48		
R1	.003	—	0.08	—	
R2	.003	.008	0.08	0.20	
S	.008	—	0.20	—	

NOTES:

1. ALL DIMENSIONING AND TOLERANCING CONFORMS TO ANSI Y14.5M-1982.
2. THE TOP PACKAGE BODY SIZE MAY BE SMALLER THAN THE BOTTOM PACKAGE BODY SIZE BY AS MUCH AS .006 in.(0.15mm).
3. DATUMS [A-B] AND [D-] TO BE DETERMINED AT DATUM PLANE [H-].
4. TO BE DETERMINED AT SEATING PLANE [C-].
5. DIMENSION D1 DOES NOT INCLUDE MOLD PROTRUSION. ALLOWABLE PROTRUSION IS .001 in.(0.25mm) PER SIDE. D1 IS THE MAXIMUM PLASTIC BODY SIZE DIMENSION INCLUDING MOLD MISMATCH.
6. DETAILS OF PIN 1 IDENTIFIER ARE OPTIONAL BUT MUST BE LOCATED WITHIN THE ZONE INDICATED.
7. DIMENSION b DOES NOT INCLUDE DAMBAR PROTRUSION, ALLOWABLE DAMBAR PROTRUSION

SHALL NOT CAUSE THE LEAD WIDTH TO EXCEED THE MAXIMUM b DIM. BY MORE THAN .003 in.(0.08mm). DAMBAR CAN NOT BE LOCATED ON THE LOWER RADIUS OR THE FOOT. MINIMUM SPACE BETWEEN PROTRUSION AND AN ADJACENT LEAD IS .003 in.(0.07mm) FOR .016 in.(0.4mm) AND .020 in.(0.5mm) PITCH PACKAGES.

8. EXACT SHAPE OF EACH CORNER IS OPTIONAL.

9. DIMENSION b AND c APPLY TO THE FLAT SECTION OF LEAD BETWEEN .004 in.(0.10mm) AND .002 in.(0.25mm) FROM THE LEAD TIP.

10. A1 IS DEFINED AS THE DISTANCE FROM THE SEATING PLANE TO THE LOWEST POINT OF THE PACKAGE BODY.

11. CONTROLLING DIMENSION IS MILLIMETER.

PACKAGE NUMBER: ZZ340	REV.: B
JEDEC NUMBER: MS-026-BBC	