



Speed_{PLUS}™ 12ビット CCD/CISシグナル・プロセッサ

特 長

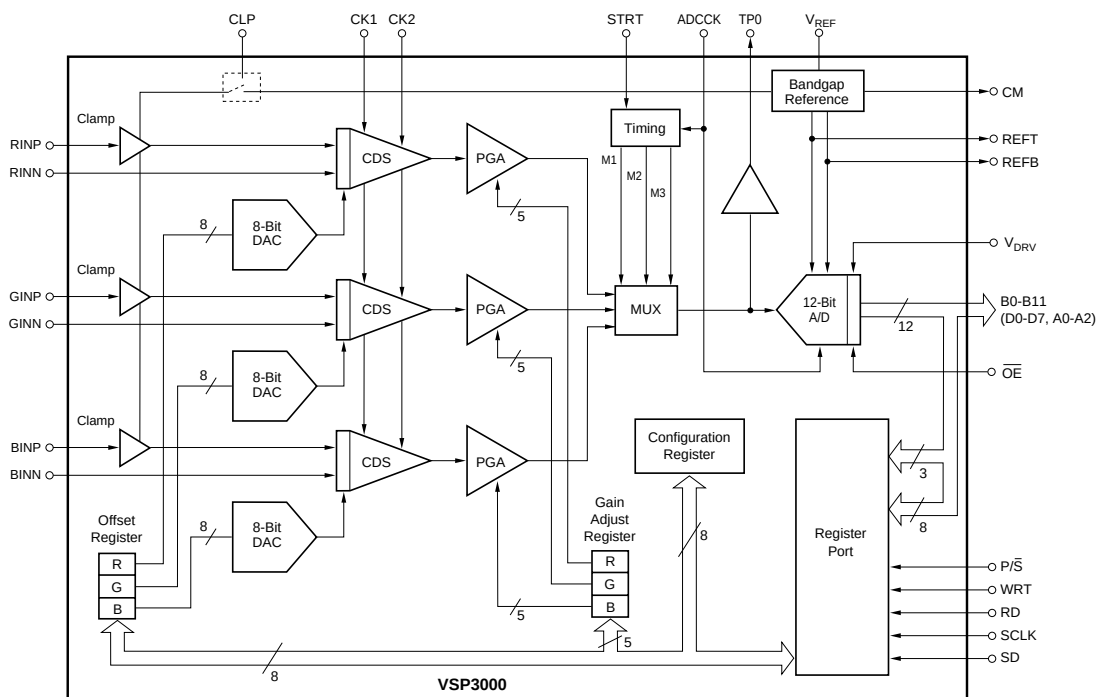
- 12ビット A/Dコンバータ
- ノーミッシング・コードを保証
- 3チャンネル、2MHzカラー・スキャン・モード：
相関二重サンブラ
8ビットのオフセット調整DAC
0dB～+13dBのPGA
- A/D入力モニタ
- 電圧リファレンス内蔵
- +5V単一電源
- デジタル出力：3Vまたは5V
- 低消費電力：350mW(CDSモード、標準)

概 要

VSP3000は、電荷結合素子(CCD)または接触型画像センサ(CIS)システム用の完全な3チャンネル画像シグナル・プロセッサです。各チャンネルごとにセンサ信号サンプリング、黒レベル調整およびプログラマブル・ゲイン・アンプの機能を備えています。3つの入力は、マルチプレクサを通じて高速な12ビットA/Dコンバータに送られます。入力回路は、デジタル・コマンドによってCCDまたはCISセンサ用に構成することができます。CCDセンサには黒レベル・クランプおよび相関二重サンブラ(CDS)が、CISデバイスにはシングル・エンド・サンブラおよびリファレンス入力が提供されます。VSP3000は、48ピンLQFPパッケージで供給され、+5V単一電源で0°Cから+85°Cの温度範囲で動作します。

アプリケーション

- CCDおよびCISカラー・スキャナ
- FAXおよび多機能マシン
- 工業用/医療用画像処理システム



仕様

特に記述のない限り、 T_A = 全仕様温度範囲、 $V_{DDA} = +5V$ 、 $V_{DDD} = +5V$ 、 $f_{ADCKK} = 6MHz$ 、 $f_{CK1} = 2MHz$ 、 $f_{CK2} = 2MHz$ 、PGAゲイン = 1です。

パラメータ	条件	VSP3000Y			単位
		最小	標準	最大	
分解能			12		Bits
仕様温度範囲			0 ~ +85		°C
変換特性 3チャンネルCDSモード 3チャンネルCISモード		6 6			MHz MHz
アナログ入力 フルスケール入力レンジ 入力キャパシタンス 入力限界		0.5 $GND_A - 0.3$	10	3.5 $V_{DDA} + 0.3$	Vp-p pF V
ダイナミック特性 積分非直線性(INL) 微分非直線性(DNL) ノーミッシング・コード 入力換算雑音			±1 0.3 12 0.3	±2 0.75	LSB LSB Bits LSBs rms
PSRR			0.04		% FSR
デジタル入力 ロジック・ファミリ 変換コマンド “ハイ”レベル入力電流($V_{IN} = V_{DDD}$) “ロー”レベル入力電流($V_{IN} = 0V$) “ハイ”レベル入力電圧 “ロー”レベル入力電圧 入力キャパシタンス	変換開始	3.5	CMOS ADCKKの立ち上がりエッジ 5	10 10 1	μA μA V V pF
デジタル出力 ロジック・ファミリ ロジック・コーディング V_{DRV} 電圧レンジ 出力電圧、 $V_{DRV} = +5V$ “ロー”レベル “ハイ”レベル “ロー”レベル “ハイ”レベル 出力電圧、 $V_{DRV} = +3$ “ロー”レベル “ハイ”レベル 3ステート・イネーブル時間 3ステート・ディセーブル時間 出力キャパシタンス データ待ち時間 データ出力遅延	$I_{OL} = 50\mu A$ $I_{OH} = 50\mu A$ $I_{OL} = 1.6mA$ $I_{OH} = 0.5mA$ $I_{OL} = 50\mu A$ $I_{OH} = 50\mu A$ OE = “ロー” OE = “ハイ” $C_L = 15pF$	+2.7 +4.6 +2.4 +2.5	CMOS ストレート・バイナリ 20 2 5 6	+5.3 +0.1 +0.4 +0.1 40 10 12	V V V V V V ns ns pF Clock Cycles ns
DC精度 ゼロ誤差 ゲイン誤差 リファレンス入力抵抗			0.8 1.5 800		% FS % FS Ω
電源条件 電源電圧： $+V_S$ 電源電流： $+I_S$ 消費電力 熱抵抗、 θ_{JA}	動作時 動作時 動作時	4.7	5 80 400 75	5.3 102 510	V mA mW C/W

絶対最大定格

V_{DDA} , V_{DDD} , V_{DRV}	+6V
アナログ入力	(-0.3V)~(+ V_{DDA} + 0.3V)
ロジック入力	(-0.3V)~(+ V_{DDA} + 0.3V)
ケース温度	+100°C
接合部温度	+150°C
保存温度	+150°C



静電気放電対策

静電気放電はわずかな性能の低下から完全なデバイスの故障に至るまで、様々な損傷を与えます。すべての集積回路は、適切なESD保護方法を用いて、取扱いと保存を行うようにして下さい。高精度の集積回路は、損傷に対して敏感であり、極めてわずかなパラメータの変化により、デバイスに規定された仕様に適合しなくなる場合があります。

パッケージ情報/ご発注の手引き

モデル	パッケージ	パッケージ 図番号 ⁽¹⁾	仕様温度範囲	パッケージの マーキング	発注番号 ⁽²⁾	供給時の状態
VSP3000Y	48ピンLQFP	340	0°C~+85°C	VSP3000Y	VSP3000Y	50個入りトレイ
VSP3000Y	48ピンLQFP	340	0°C~+85°C	VSP3000Y	VSP3000Y/2K	テーブリール

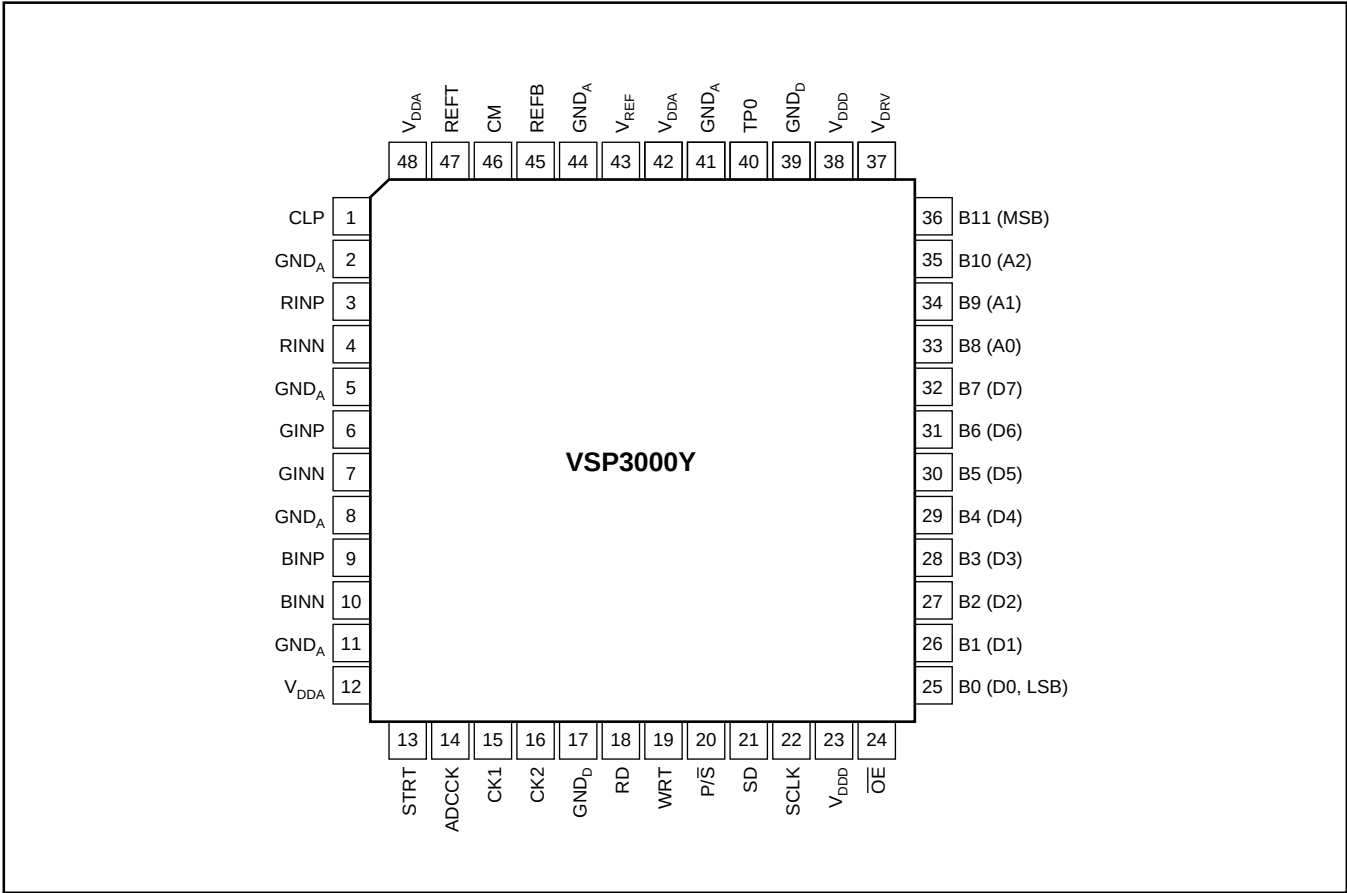
注：(1)詳細図および寸法表は、データシートの巻末を参照して下さい。(2)スラッシュ(/)の付いたモデルは、表示数量のテーブリールでのみ供給されます(例えば、/2Kはリール1本あたり2,000個入りのデバイスであることを示します)。“VSP3000Y/2K”を発注すると、2,000個入りテーブリール1本が納品されます。

デモ・ボードご発注の手引き

モデル	パッケージ
VSP3000Y	DEM-VSP3000Y

このデータシートに記載されている情報は、信頼し得るものと考えておりますが、不正確な情報や記載漏れ等に関して弊社は責任を負うものではありません。情報の使用について弊社は責任を負いませんので、各ユーザーの責任において御使用下さい。価格や仕様は予告なしに変更される場合がありますのでご了承下さい。ここに記載されているいかなる回路についても工業所有権その他の権利またはその実施権を付与したり承諾したりするものではありません。弊社は弊社製品を生命維持に関する機器またはシステムに使用することを承認または保証するものではありません。

ピン配置



ピン構成

ピン 番号	名称	タイプ	説明	ピン 番号	名称	タイプ	説明
1	CLP	DI	クランプ・イネーブル	28	B3 (D3)	DIO	A/D出力(ビット3)およびレジスタ・データ・ポート(ビット3)
2	GND _A	P	アナログ・グランド	29	B4 (D4)	DIO	A/D出力(ビット4)およびレジスタ・データ・ポート(ビット4)
3	RINP	AI	Rチャンネル・アナログ入力	30	B5 (D5)	DIO	A/D出力(ビット5)およびレジスタ・データ・ポート(ビット5)
4	RINN	AI	Rチャンネル・リファレンス入力	31	B6 (D6)	DIO	A/D出力(ビット6)およびレジスタ・データ・ポート(ビット6)
5	GND _A	P	アナログ・グランド	32	B7 (D7)	DIO	A/D出力(ビット7)およびレジスタ・データ・ポート(ビット7)
6	GINP	AI	Gチャンネル・アナログ入力	33	B8 (A0)	DIO	A/D出力(ビット8)およびレジスタ・アドレス(ビット0)
7	GINN	AI	Gチャンネル・リファレンス入力	34	B9 (A1)	DIO	A/D出力(ビット9)およびレジスタ・アドレス(ビット1)
8	GND _A	P	アナログ・グランド	35	B10 (A2)	DIO	A/D出力(ビット10)およびレジスタ・アドレス(ビット2)
9	BINP	AI	Bチャンネル・アナログ入力	36	B11 MSB	DIO	A/D出力(ビット11)
10	BINN	AI	Bチャンネル・リファレンス入力	37	V _{DRV}	P	出力ドライバ電源
11	GND _A	P	アナログ・グランド	38	V _{DD}	P	デジタル電源、+5V
12	V _{DDA}	P	アナログ電源、+5V	39	GND _D	P	デジタル・グランド
13	STRT	DI	ライン・スキャンの開始	40	TP0	AO	A/Dコンバータ入力モニタ・ピン
14	ADCCK	DI	A/Dコンバータ・クロック入力	41	GND _A	P	アナログ・グランド
15	CK1	DI	サンプル・リファレンス・クロック	42	V _{DDA}	P	アナログ電源、+5V
16	CK2	DI	サンプル・データ・クロック	43	V _{REF}	AIO	リファレンス入出力
17	GND _D	P	デジタル・グランド	44	GND _A	P	アナログ・グランド
18	RD	DI	レジスタの読み取り信号	45	REFB	AO	低電位リファレンス
19	WRT	DI	レジスタの書き込み信号	46	CM	AO	同相モード電圧
20	P/ _S	DI	パラレル/シリアル・ポート選択 “ハイ”=パラレル、“ロー”=シリアル	47	REFT	AO	高電位リファレンス
21	SD	DI	シリアル・データ入力	48	V _{DDA}	P	アナログ電源、+5V
22	SCLK	DI	シリアル・データ・クロック				
23	V _{DD}	P	デジタル電源、+5V				
24	OE	DI	A/Dコンバータ出力イネーブル				
25	B0 (D0) LSB	DIO	A/D出力(ビット0)およびレジスタ・データ・ポート(ビット0)				
26	B1 (D1)	DIO	A/D出力(ビット1)およびレジスタ・データ・ポート(ビット1)				
27	B2 (D2)	DIO	A/D出力(ビット2)およびレジスタ・データ・ポート(ビット2)				

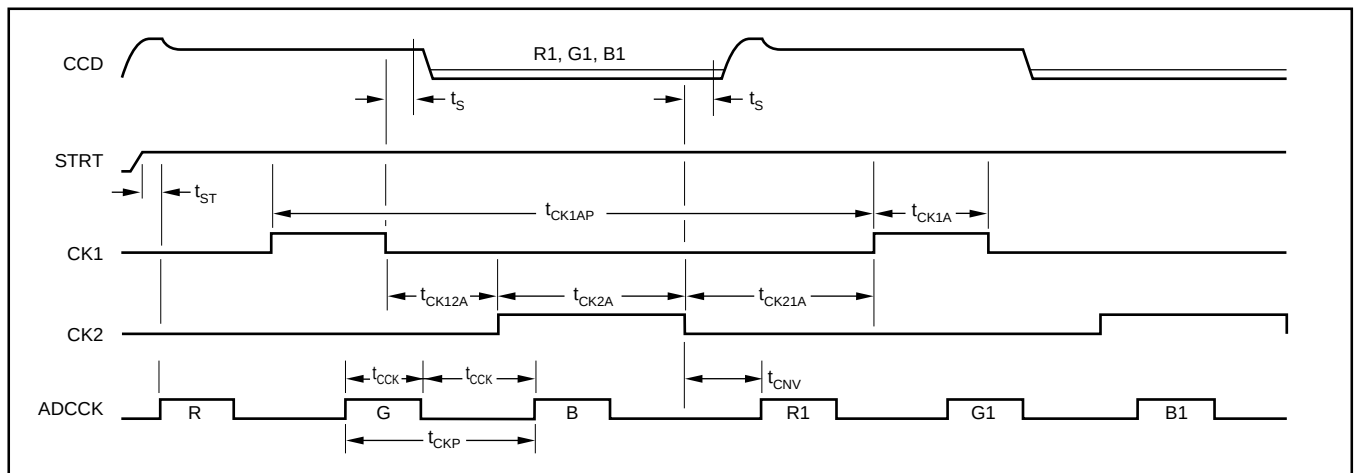
タイミング仕様

タイミング仕様 = $t_{\min}$ ~ $t_{\max}$ +5V電源

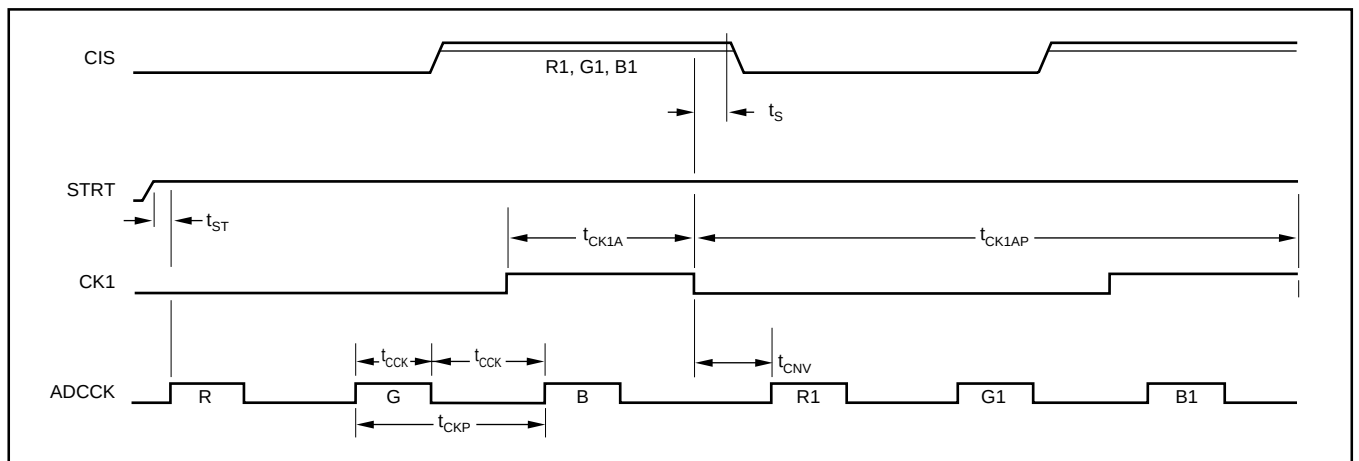
記号	パラメータ	最小	標準	最大	単位
クロック・パラメータ					
t_{CK1AP}	3チャンネルの変換レート	300	500		ns
t_{CK1BP}	1チャンネルの変換レート	100	166		ns
t_{CK1A}	CK1のパルス幅	20	40		ns
t_{CK1B}	CK1のパルス幅	20	125		ns
t_{CK2A}	CK2のパルス幅	20	125		ns
t_{CK2B}	CK2のパルス幅	20	40		ns
t_{CCK}	ADCCCKのパルス幅	40	83		ns
t_{CKP}	ADCCCKの周期	100	166		ns
t_S	サンプリングの遅延	10			ns
t_{CK12A}	CK1の立ち下がりエッジからCK2の立ち上がりエッジまで	15			ns
t_{CK12B}	CK1の立ち下がりエッジからCK2の立ち上がりエッジまで	15			ns
t_{CK21A}	CK2の立ち下がりエッジからCK1の立ち上がりエッジまで	70			ns
t_{CK21B}	CK2の立ち下がりエッジからCK1の立ち上がりエッジまで	40			ns
t_{CNV}	変換の遅延	40			ns
t_{ST}	変換開始時間	20	100		ns
読み取り/書き込みレジスタ					
t_W	WRTのパルス幅	30	50		ns
t_{RW}	アドレスのセットアップ時間	20	50		ns
t_{DA}	データのセットアップ時間	30	50		ns
t_{WD}	データ有効時間	15	50		ns
t_{SD}	データ・レディ時間	15	50		ns
t_{SCK}	シリアル・クロックのパルス幅	30	50		ns
t_{SCKP}	シリアル・クロック周期	60	100		ns
t_{SS}	シリアル・レディ時間	100	200		ns
t_{SW}	書き込みパルスのセットアップ時間	80	100		ns

タイミング図

3チャンネルCCDモードのタイミング

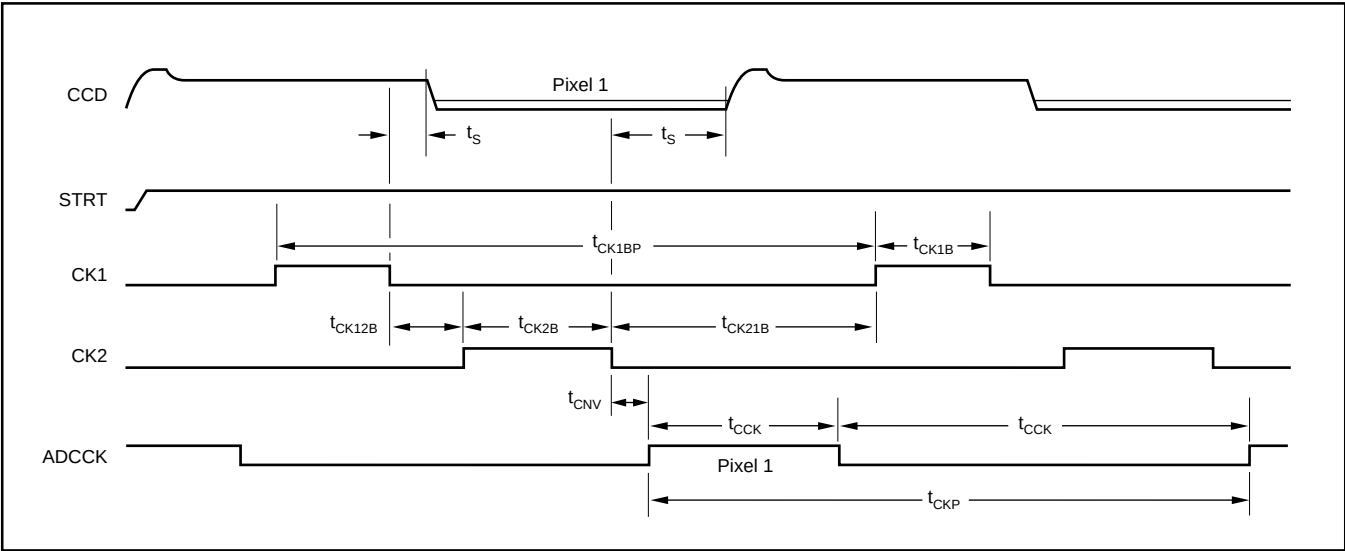


3チャンネルCISモードのタイミング

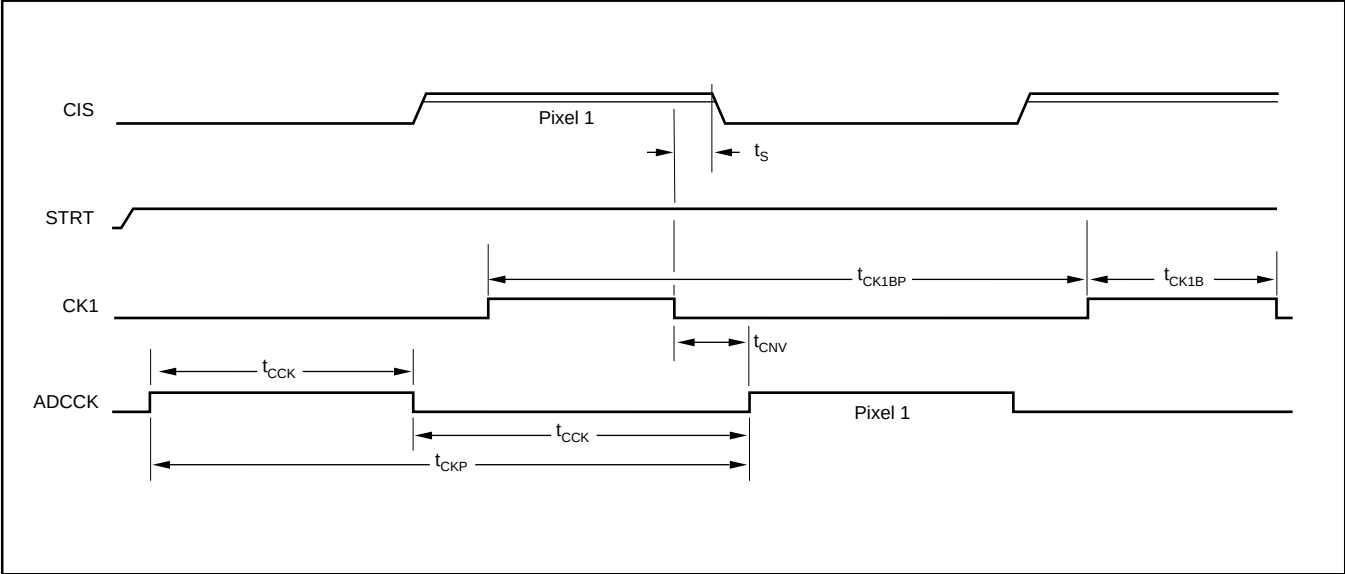


タイミング図

1チャンネルCCDモードのタイミング

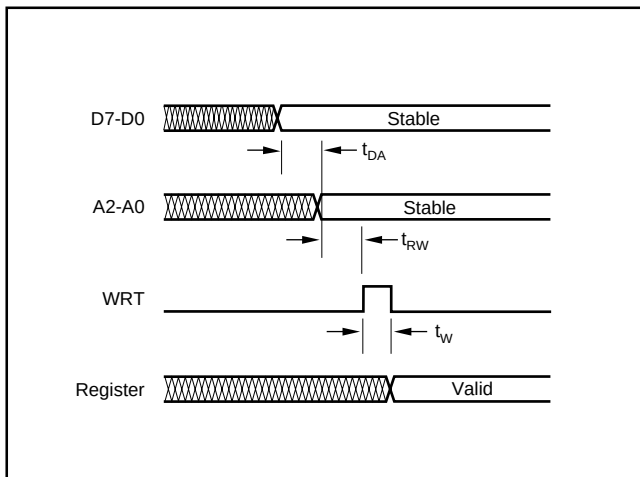


1チャンネルCISモードのタイミング

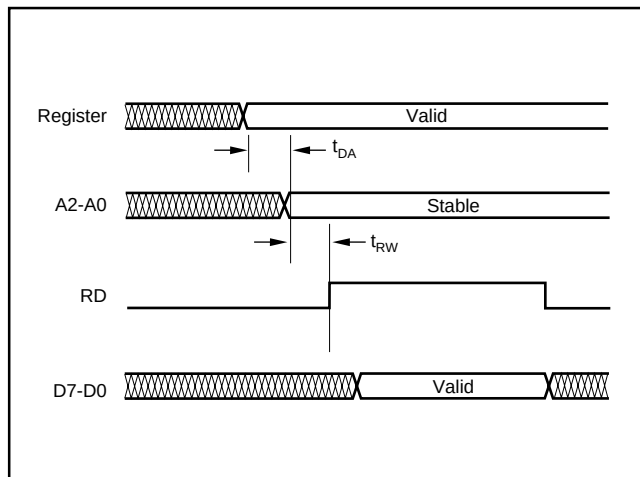


タイミング図

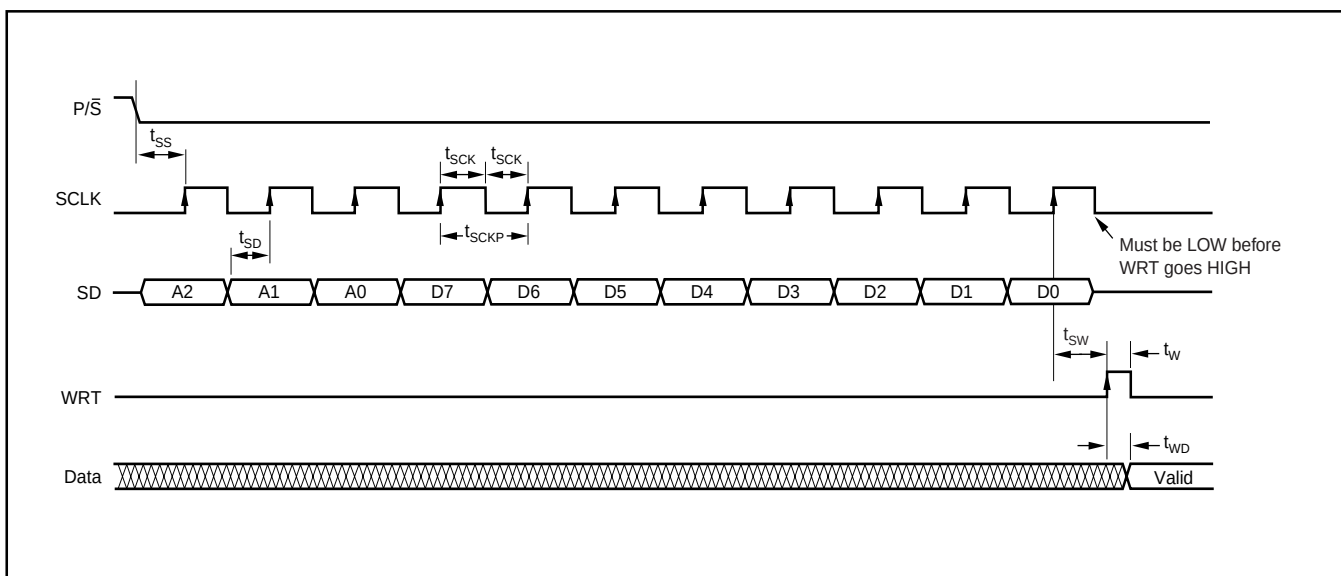
パラレル・ポートの書き込みのタイミング



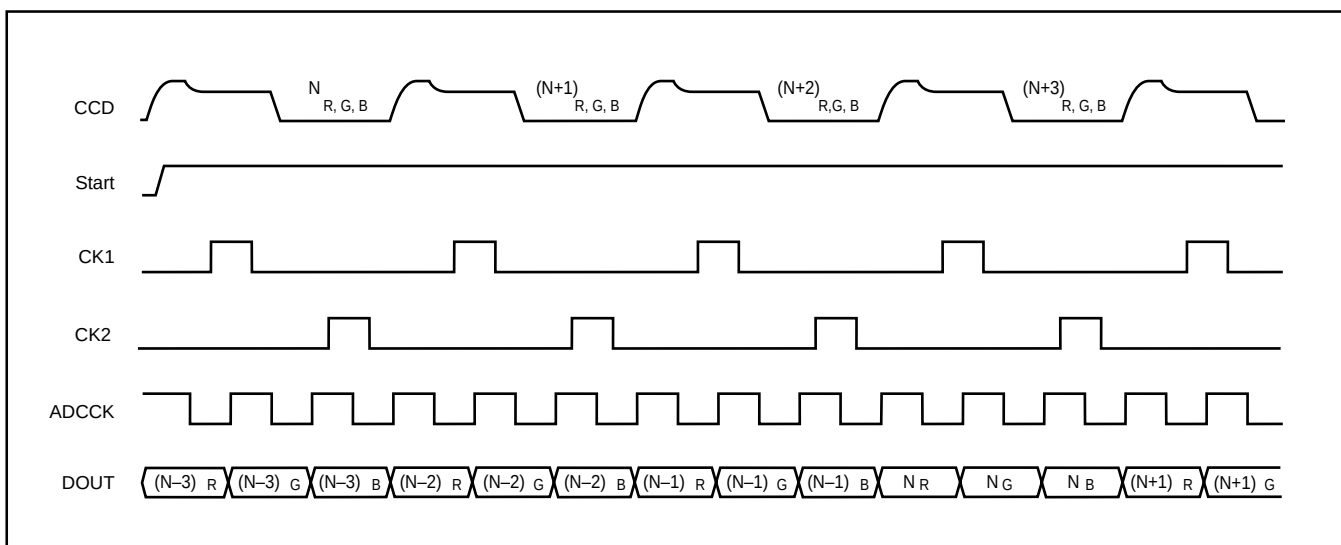
読み取りのタイミング



シリアル・ポートの書き込みのタイミング

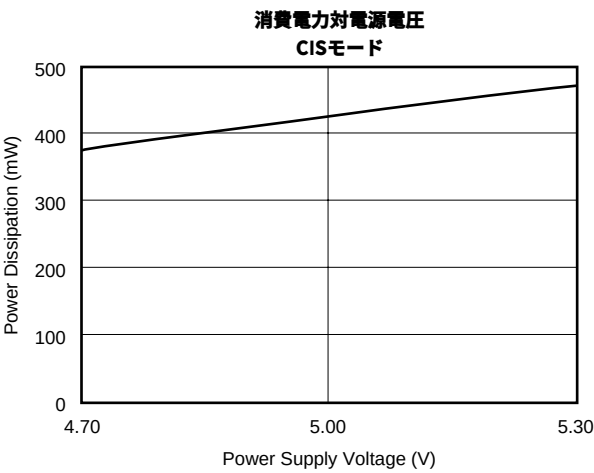
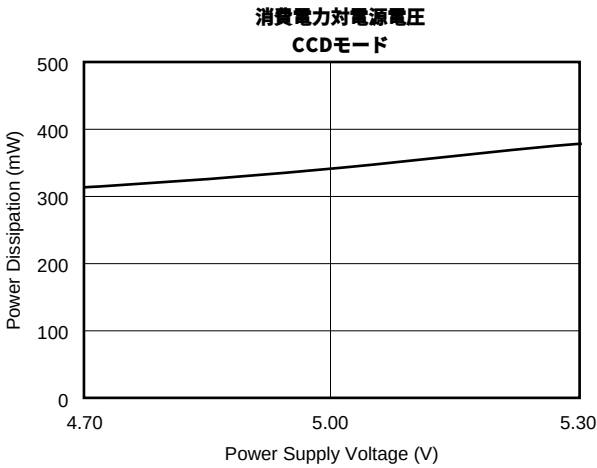


DOUTのタイミング図 3チャンネルCCDモード



代表的性能曲線

特に記述のない限り、 $T_A = +25^{\circ}\text{C}$ 、 $V_{DDA} = +5\text{V}$ 、 $V_{DDD} = +5\text{V}$ 、 $f_{ADCCK} = 6\text{MHz}$ 、 $f_{CK2} = 2\text{MHz}$ です。



動作原理

VSP3000は、次の4つのモードのいずれかで動作します。

- 3チャンネルCCDモード
- 3チャンネルCISモード
- 1チャンネルCCDモード
- 1チャンネルCISモード

3チャンネルCCDモード

VSP3000は、このモードでは3出力のCCD信号を同時に処理することができます。各信号は、RINP、GINP、およびBINP入力にAC結合されます。このモードでは、RINN、GINN、BINNは使用せず、グランドに接続します。CLP信号は、内部バイアス回路で各入力を適正な電圧にクランプし、内部の相関二重サンブラ(CDS)回路が正しく動作できるようにします。VSP3000の入力は、DC結合の入力としても印加できますが、適正なDCレベルにレベル・シフトする必要があります。

CDSは、入力されたCCD信号から2つのサンプルを取ります。すなわち、CK1の立ち下がりがエッジでCCDのリファレンス・レベルをサンプリングし、CK2の立ち下がりがエッジでCCDの情報をサンプリングします。CDSは、2つのサンプルの差を計算して、その結果を出力します。

3つのチャンネルを使用して、3つの入力が同時に処理されます。各チャンネルは5ビットのPGA(0dBから+13dB)と8ビットのオフセットD/Aコンバータ(+50mVから-150mV)からなり、後段の3入力1出力のアナログMUXを通じて高性能12ビットA/Dコンバータにデータを供給します。アナログMUXは、R、G、BまたはB、G、Rのサイクルを実行するようにプログラムすることができます。

STRT信号が“ハイ”のとき、ADCCCKの立ち上がりエッジで変換が開始されます。STRT信号は、各スキャン・ラインの最初のサンプルを示します。STRTが“ロー”になると、アナログMUXはシーケンスの最初のサンプルに切り替わります。

3チャンネルCISモード

VSP3000は、このモードでは3チャンネルのサンブラおよびデジタイザとして動作します。CCDモードと異なり、VSP3000は、CK1の立ち下がりがエッジで各入力のサンプルを1つだけ取りま

す。サンプルが1つだけのため、この動作ではCK2をグランドに接続します。入力信号は、ほとんどの場合DC結合されます。例えば、Rチャンネルの場合、RINPがCIS信号入力、RINNがCISリファレンス信号です。Gチャンネル(GINPおよびGINN)およびBチャンネル(BINPおよびBINN)についても同様です。

3つのCDSは、このモードではトラック/ホールドのように動作するCIS信号処理回路になり、3つの入力が同時に処理されます。各CIS信号処理回路は、5ビットのPGA(0dBから+13dB)と8ビットのオフセットDAC(+50mVから-150mV)からなり、後段の3入力1出力のアナログMUXを通じて高性能12ビットA/Dコンバータにデータを供給します。アナログMUXは、R、G、BまたはB、G、Rのサイクルを実行するようにプログラムすることができます。

STRT信号が“ハイ”のとき、ADCCCKの立ち上がりエッジで変換が開始されます。STRT信号は、各スキャン・ラインの最初のサンプルを示します。STRTが“ロー”になると、アナログMUXはシーケンスの最初のサンプルに切り替わります。

1チャンネルCCDモード

VSP3000は、このモードでは1つのCCD信号のみを処理します。CCD信号は、構成レジスタで選択しているRINP、GINP、またはBINPにAC結合されます。このモードでは、RINN、GINN、BINNは使用せず、グランドに接続します。CLP信号は、内部バイアス回路で入力を適正な電圧にクランプし、内部のCDS回路が正しく動作できるようにします。VSP3000の入力は、DC結合の入力としても印加できますが、適正なDCレベルにレベル・シフトする必要があります。

CDSは、入力されたCCD信号から2つのサンプルを取りま

す。すなわち、CK1の立ち下がりがエッジでCCDのリファレンスの値をサンプリングし、CK2の立ち下がりがエッジでCCDの情報をサンプリングします。CDSは、2つのサンプルの差を計算して、その結果を出力します。

1チャンネルCISモード

VSP3000は、このモードでは1チャンネルのサンブラおよびデジタイザとして動作します。CDSモードと異なり、VSP3000は、CK1の立ち下がりがエッジで各入力のサンプルを1つだけ取りま

す。サンプルが1つだけのため、この動作ではCK2をグランドに接続します。入力信号は、ほとんどの場合DC結合されます。この場合、VSP3000の入力は差動入力になります。例えば、Rチャンネルの場合、RINPがCIS信号入力、RINNがCISリファレンス信号です。Gチャンネル(GINPおよびGINN)およびBチャンネル(BINPおよびBINN)についても同様です。

CDSは、このモードではトラック/ホールドのように動作するCIS信号処理回路になります。各CIS信号処理回路は、5ビットのPGA(0dBから+13dB)と8ビットのオフセットDAC(+50mVから-150mV)からなり、後段の3入力1出力のアナログMUXを通じて高性能12ビットA/Dコンバータにデータを供給します。このモードでは、アナログMUXはチャンネル間のサイクルを実行せず、構成レジスタで設定された特定のチャンネルに接続されます。

アナログPGA

各チャンネルに1つのアナログPGAがあります。アナログPGAは、5ビットのPGAゲイン・レジスタで制御します。アナログPGAのゲインは、1から4.44(0dBから+13dB)までです。PGAの伝達関数は、次の式で表されます。

$$\text{ゲイン} = 4 / (4 - 0.1 \cdot X)$$

ここで、Xは5ビットPGAゲイン・レジスタの整数表現です。PGAの伝達関数のプロットを図1に示します。

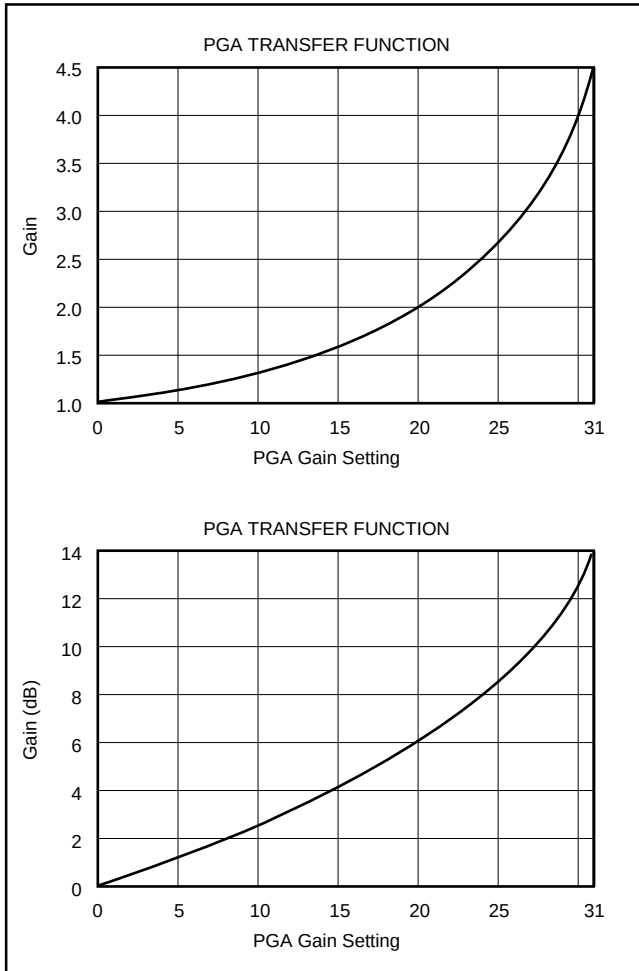


図1.PGAの伝達関数

AC入力カップリング・コンデンサの選択

入力カップリング・コンデンサの目的は、CCDアレイのDC出力がVSP3000に影響しないように分離することです。内部クランプ回路は、CCD出力信号に必要なDC成分を復元します。内部クランプ電圧 V_{CLAMP} は、リファレンスから供給され、 V_{REF} の値に依存します。 V_{REF} が1Vのとき V_{CLAMP} は2.5Vに、 V_{REF} が1.5Vのとき V_{CLAMP} は3Vになります。入力カップリング・コンデンサの容量を決定する要因には、CCD信号のスイング、最後のクランプ期間以後の入力コンデンサ両端の電圧ドロップ、VSP3000の入力回路のリーケージ電流、CK1の周期など、多くのものがあります。

図2に、VSP3000の入力の簡略化した等価回路を示します。この等価回路では、入力カップリング・コンデンサ C_{IN} とサンプリング・コンデンサ C_1 がコンデンサ・デバイダとして構成されています(CK1の間)。AC解析では、オペアンプ入力をグラウンドに接続します。

したがって、サンプリング電圧 V_S は次の式で表されます(CK1の間)。

$$V_S = (C_{IN} / (C_{IN} + C_1)) \cdot V_{IN}$$

この式から、 C_{IN} の値が大きいほど V_S が V_{IN} に近くなることが分かります。すなわち、 C_{IN} の値が大きければ、入力信号 V_{IN} の減衰が小さくなります。ただし、大きい C_{IN} には不利な点もあります。 C_{IN} が大きいほど、入力信号のDC成分を復元するために必要なダミー(光学的黒)ピクセルの数が増えます。

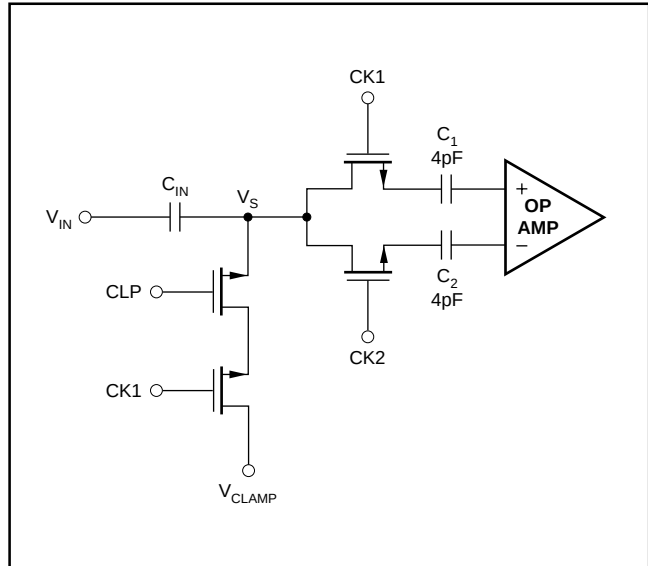


図2.VSP3000の入力の等価回路

C_{MAX} および C_{MIN} の選択

前に述べたように、CLP信号で C_{IN} を充電する十分な時間がある場合は、大きい C_{IN} が推奨されます。通常、ほとんどの場合に0.01 μ Fから0.1 μ Fの C_{IN} を使用することができます。 C_{IN} を最適化するため、次の2つの式を使用して C_{MAX} および C_{MIN} を計算することができます。

$$C_{MAX} = (t_{CK1} \cdot N) / [R_{SW} \cdot \ln(V_D / V_{ERROR})]$$

t_{CK1} はCK1とCLPの両方が“ハイ”の時間、Nは黒ピクセルの数、 R_{SW} は合計スイッチ抵抗、 V_D は C_{IN} 両端のドロップ、 V_{ERROR} は V_S と V_{CLAMP} の差です。 R_{SW} の公称値は4k Ω +ドライバのインピーダンスです。VSP3000が適正に動作するために許容される V_{ERROR} は0.1Vです。

$$C_{MIN} = (I / V_{ERROR}) \cdot t$$

IはVSP3000の入力回路の標準的なリーケージ電流(10nA)、tはクランプ・パルスの間隔です。

VSP3000のプログラミング

VSP3000は、CCDまたはCISの3つのチャンネルと1つの12ビットA/Dコンバータから構成されています。各チャンネル(R、G、B)に8ビットのオフセット調整レジスタと5ビットのゲイン調整レジスタがあり、ユーザがプログラムすることができます。各種の動作モードをプログラムするための7ビットの構成レジスタもオンチップで内蔵されています。レジスタの一覧を次の表に示します。

アドレス			レジスタ
A2	A1	A0	
0	0	0	構成レジスタ(7ビット)
0	0	1	Rチャンネルのオフセット・レジスタ(8ビット)
0	1	0	Gチャンネルのオフセット・レジスタ(8ビット)
0	1	1	Bチャンネルのオフセット・レジスタ(8ビット)
1	0	0	Rチャンネルのゲイン・レジスタ(5ビット)
1	0	1	Gチャンネルのゲイン・レジスタ(5ビット)
1	1	0	Bチャンネルのゲイン・レジスタ(5ビット)
1	1	1	予約

これらのレジスタは、パラレルまたはシリアル・ポートからアクセスできます。パラレル・モードでは、アドレスおよびデータ・ポートがADCのデータ出力ピンと結合されます。データ・バスがD0からD7(ピン25からピン32)に、アドレス・バスがA0からA2(ピン33からピン35)に割り当てられます。シリアル・モードでは、シリアル・データ(SD)、シリアル・クロック(SCLK)、書き込み信号(パラレルおよびシリアル)の書き込みともWRTピン)が割り当てられます。各モードを指定する方法を次の表に示します。

OE	P/S	モード
0	0	A/Dデータ出力イネーブル、シリアル・モード・イネーブル
0	1	禁止モード
1	0	A/Dデータ出力ディスエーブル、シリアル・モード・イネーブル
1	1	A/Dデータ出力ディスエーブル、パラレル・モード・イネーブル

構成レジスタ

構成レジスタは次のように設計されています。

ビット	ロジック'0'	ロジック'1'
D0	CDSモード	CISモード
D1	$V_{REF} = 1V$	$V_{REF} = 1.5V$
D2	内部リファレンス	外部リファレンス
D3	3チャンネル、D4およびD5ディスエーブル	1チャンネル、D4およびD5イネーブル
		D4 D5
		0 0 Rチャンネル
		0 1 Gチャンネル
		1 0 Bチャンネル
		1 1 XXXXXXXX
D6	$R > G > B$ MUXのシーケンス	$B > G > R$ MUXのシーケンス
D7	XXXXXXXX	XXXXXXXX

構成レジスタの読み取り/書き込みを行うには、次のアドレスを指定します。

A2 = '0'、A1 = '0'、A0 = '0'

例:

3チャンネルCDSモード、 $V_{REF} = 1V$ の内部リファレンス(2Vのフルスケール入力)の場合は、次のように設定します。

D0 = '0'、D1 = '0'、D3 = '0'

この例では、 V_{REF} が1Vになります。

内部リファレンス・モードを使用するときは、 V_{REF} を10 μ Fおよ

び0.1 μ Fのコンデンサでバイパスします。

例:

1チャンネルCISモード(Rチャンネル)、1.2Vの外部リファレンスの場合は、次のように設定します。

D0 = '1'、D1 = X、D2 = '1'、D4 = '0'、D5 = '0'

この例では、 V_{REF} が入力ピンになり、1.2Vを印加します。この入力によりVSP3000のフルスケール入力は2.4Vに設定されます。

オフセット・レジスタ

オフセット・レジスタは、各チャンネルのアナログ・オフセットをPGAの前段で制御します。各チャンネルに1つの8ビット・オフセット・レジスタがあります。オフセットの範囲は、-150mVから+50mVまでです。オフセット・レジスタは、ストレート・バイナリ・コードを使用します。オール'0'は-150mV、オール'1'は+50mVのオフセット調整に対応します。

PGAゲイン・レジスタ

PGAゲイン・レジスタは、各チャンネルのアナログ・ゲインをA/Dコンバータの前段で制御します。各チャンネルに1つの5ビットPGAゲイン・レジスタがあります。ゲインの範囲は、1から4.44(0dBから+13dB)までです。PGAゲイン・レジスタは、ストレート・バイナリ・コードです。オール'0'は0dB、オール'1'は13dBのアナログ・ゲインに対応します。

オフセットおよびゲインのキャリブレーション・シーケンス

VSP3000は、電源投入時に3チャンネルCDSモード、1V内部リファレンス(2Vフルスケール)、アナログ・ゲイン1に初期化されます。このモードは、CCDスキャナのアプリケーションに広く使用されます。キャリブレーション手順はスキャンの最初に実行します。キャリブレーションを実行すると、動作中、その情報(各チャンネルのオフセットおよびゲイン)はVSP3000のレジスタに保持されます。

VSP3000のキャリブレーションには、次の手順を使用します。

ステップ1: VSP3000を適切なモードに設定します。

ステップ2: アナログPGAのゲインを1(コード:00H)に、オフセットを0mV(コード:C0H)に設定します。

ステップ3: 黒いラインをスキャンします。

ステップ4: ADC出力からピクセルのオフセットを計算します。

ステップ5: 入力オフセット・レジスタを調整します。

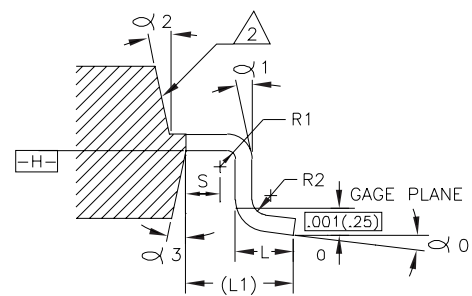
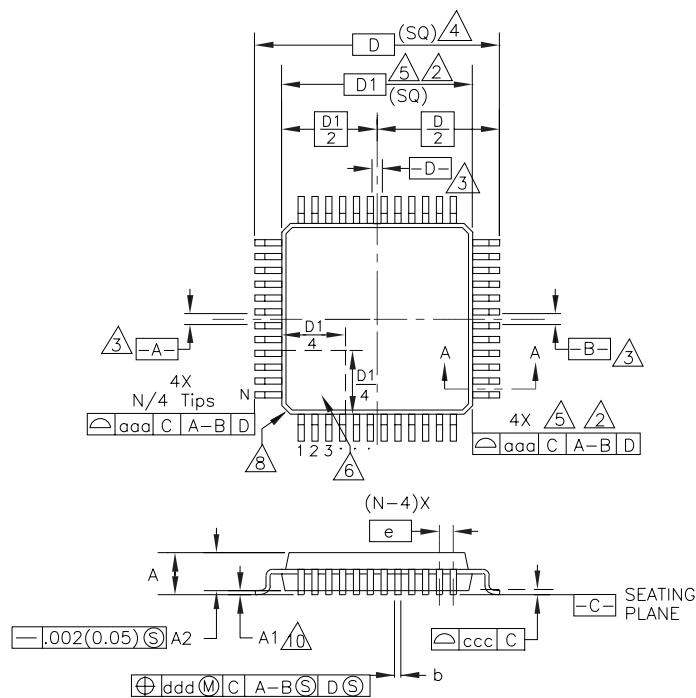
ステップ6: 白いラインをスキャンします。

ステップ7: ゲインを計算します。ゲインは、ADCのフルスケールを白いラインをスキャンしたときのADC出力で割って求めます。

ステップ8: ゲイン・レジスタを設定します。ADC出力がフルスケールに近くない場合は、ステップ3に戻ります。出力がフルスケールに近ければ、キャリブレーションは完了です。

外観

パッケージ番号340 - 48ピンLQFP



DIM	INCHES		MILLIMETERS	
	MIN	MAX	MIN	MAX
A	--	.063	--	1.60
A1	.002	.006	0.05	0.15
A2	.053	.057	1.35	1.45
b	.007	.011	0.17	0.27
C	.004	.008	0.09	0.20
D	.354	BASIC	9.00	BASIC
D1	.276	BASIC	7.00	BASIC
e	.020	BASIC	0.50	BASIC
L	.018	.030	0.45	0.75
L1	.039	REF	1.00	REF
N	48		48	
R1	.003	--	0.08	--
R2	.003	.008	0.08	0.20
S	.008	--	0.20	--
aaa	.008	NOM.	0.20	NOM.
bbb	.008	NOM.	0.20	NOM.
ccc	.003	NOM.	0.08	NOM.
ddd	.003	NOM.	0.08	NOM.
∞0	0°	7°	0°	7°
∞1	0°	--	0°	--
∞2	11°	13°	11°	13°
∞3	11°	13°	11°	13°