



デジタルカメラ用 CCDシグナル・プロセッサ

特 長

- CCD信号処理 :
 相関二重サンプリング
 ブラックレベル・クランプ
 ゲイン・レンジ : $-2\text{dB} \sim +34\text{dB}$
 高SNR : 53dB
- 10ビットA/D変換 :
 27MHzまでの変換レート
 ノー・ミッシング・コード
- ポータブル動作 :
 低電圧 : 2.7V ~ 3.6V
 低電力 : 190mW(3.0V時)
- 低電力 : 160mW(2.7V時)
- パワーダウン・モード : 18mW

アプリケーション

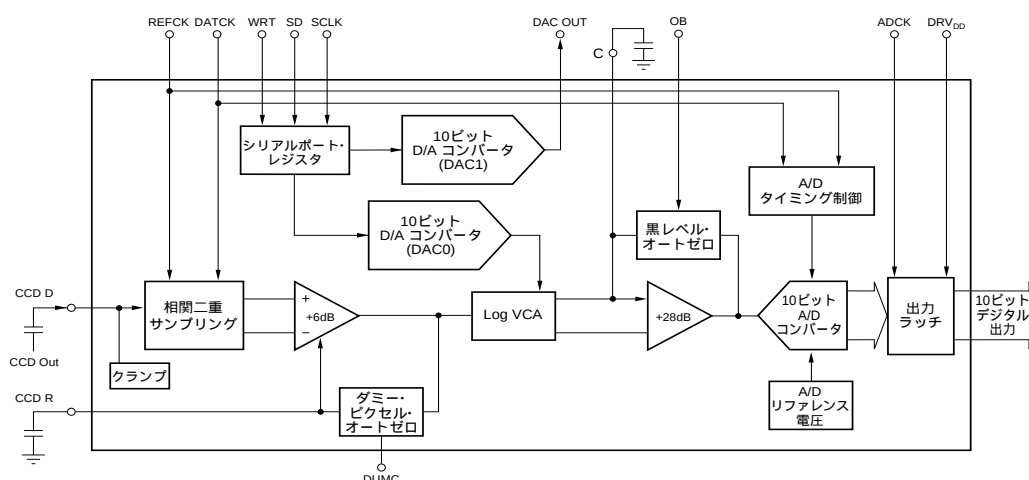
- ビデオカメラ
- デジタルスチルカメラ
- PCカメラ
- 監視カメラ

概 要

VSP2101Yは、デジタルスチルカメラ、ビデオカメラ、監視カメラ、その他CCDなどのイメージ・センサを使用するデジタルカメラ・アプリケーションをターゲットにした特定用途向け標準LSI(ASSP)で、イメージ・センサから出力された信号のアナログ・フロントエンド処理とアナログ信号からデジタルデータへのA/D変換を行います。

入力段には、入力信号のクランプ機能があり、相関二重サンプリング(CDS)部ではCCDなどのイメージ・センサから出力された画素データから輝度情報を抽出します。ゲイン・アンプ部では、CDS部で取り出された信号を様々な撮影環境の光線状態に応じ、 -2 から $+34\text{dB}$ の範囲でデジタル制御により増幅することができます。OB(オプティカル・ブラック)レベル・クランプ機能により、後段のデジタル信号処理系での処理基準となるブラックレベルを正確に確保することができます。また、CDS部には、イメージ・センサ出力に対して $\pm 150\text{mV}$ のオフセット補正能力があります。

ゲイン・コントロールはdBスケールでリニアな特性を持ち、ブラックレベルはゲインを変化させた場合でも高速に復元します。内蔵の汎用10ビットD/Aコンバータ(DAC1)は、ストロボ調光やアイリス調整、イメージ・センサのサブ電圧コントロールなどでのアナログ電圧の発生に使用します。VSP2101Yは、+3V単一電源で動作し、48ピンLQFPパッケージで供給されます。変換レートやS/N比などの基本特性が充実しているため、メガピクセル・クラスのデジタルカメラにも最適です。



仕様

特に記述のない限り、T_A = +25、全電源電圧 = +3.0V、変換レート = 18MHzです。

パラメータ	条件	VSP2101Y			単位
		最小	標準	最大	
分解能			10		Bits
デジタル入力 ロジック・ファミリ ロジック・レベル ロジック電流 A/Dクロック・デューティ・サイクル 入力容量	ロジック“ハイ” ロジック“ロー” ロジック“ハイ” , V _{IN} = +3V ロジック“ロー” , V _{IN} = 0V	2.5	CMOS 50 5	+0.4 10 10	V V μA μA % pF
デジタル出力 ロジック・ファミリ ロジック・レベル	ロジック“ハイ” , C _L = 10pF ロジック“ロー” , C _L = 10pF	2.5	CMOS	+0.4	V V
アナログ出力 汎用D/Aコンバータ出力 最小出力電圧 最大出力電圧 DACセトリングタイム	制御コード = 1023 制御コード = 0		0.3 2.4 1.0		V V μs
伝達特性 微分非直線性 積分非直線性 ノー・ミッシング・コード 信号セトリングタイム 変換レート データ・レイテンシ 信号/雑音比 ⁽¹⁾ CCDオフセット補正範囲 ブラック・クランプ・レベル	黒からフルスケールまでの 変化後からA/Dの1/4LSBまで 入力コンデンサを接地、ゲイン最大	500k	±0.5 ±2.0 保証 5.5 53 ±150 32	110 27M	LSB LSB ns Hz Clocks dB mV LSB
CDS データ・セトリングタイム (フルスケール変化に対し±0.1%以内、R _S = 40Ω) フルスケール出力時の最大入力信号レベル 入力キャパシタンス 入力時定数	DATCKのリーディング・エッジから 最小ゲイン DATCK“ロー”	600	11 20 300		ns mV pF ps
入力クランプ クランプ・オン抵抗 クランプ・レベル			3.3 1.2		kΩ V
ゲイン・コントロール特性 最大ゲイン 最小ゲイン ゲイン・コントロール直線性 ゲイン・コントロール・セトリングタイム	制御コード = 0 制御コード = 1023	32	34 −2 ±1.0 10		dB dB dB μs
電源 定格電圧 無信号時電流 消費電力 パワーダウン・モード		+2.7	+3.0 63 190 18	+3.6	V mA mW mW
温度範囲 仕様範囲 熱抵抗、θ _{JA} 48ピンLQFP	周囲	−25		+85	
			100		/W

注：(1)SNR = 20log(フルスケール電圧/rmsノイズ)

このデータシートに記載されている情報は、信頼し得るものと考えておりますが、不正確な情報や記載漏れ等に関して弊社は責任を負うものではありません。情報の使用について弊社は責任を負いませんので、各ユーザーの責任において御使用下さい。価格や仕様は予告なしに変更される場合がありますのでご了承下さい。ここに記載されているいかなる回路についても工業所有権その他の権利またはその実施権を付与したり承諾したりするものではありません。弊社は弊社製品を生命維持に関する機器またはシステムに使用することを承認しまたは保証するものではありません。

絶対最大定格

電源+V _S	+6V
アナログ入力	-0.3V ~ (+V _S +0.3V)
ロジック入力	-0.3V ~ (+V _S +0.3V)
ケース温度	+100
接合部温度	+150
保存温度	-40 ~ +150

 静電気放電対策

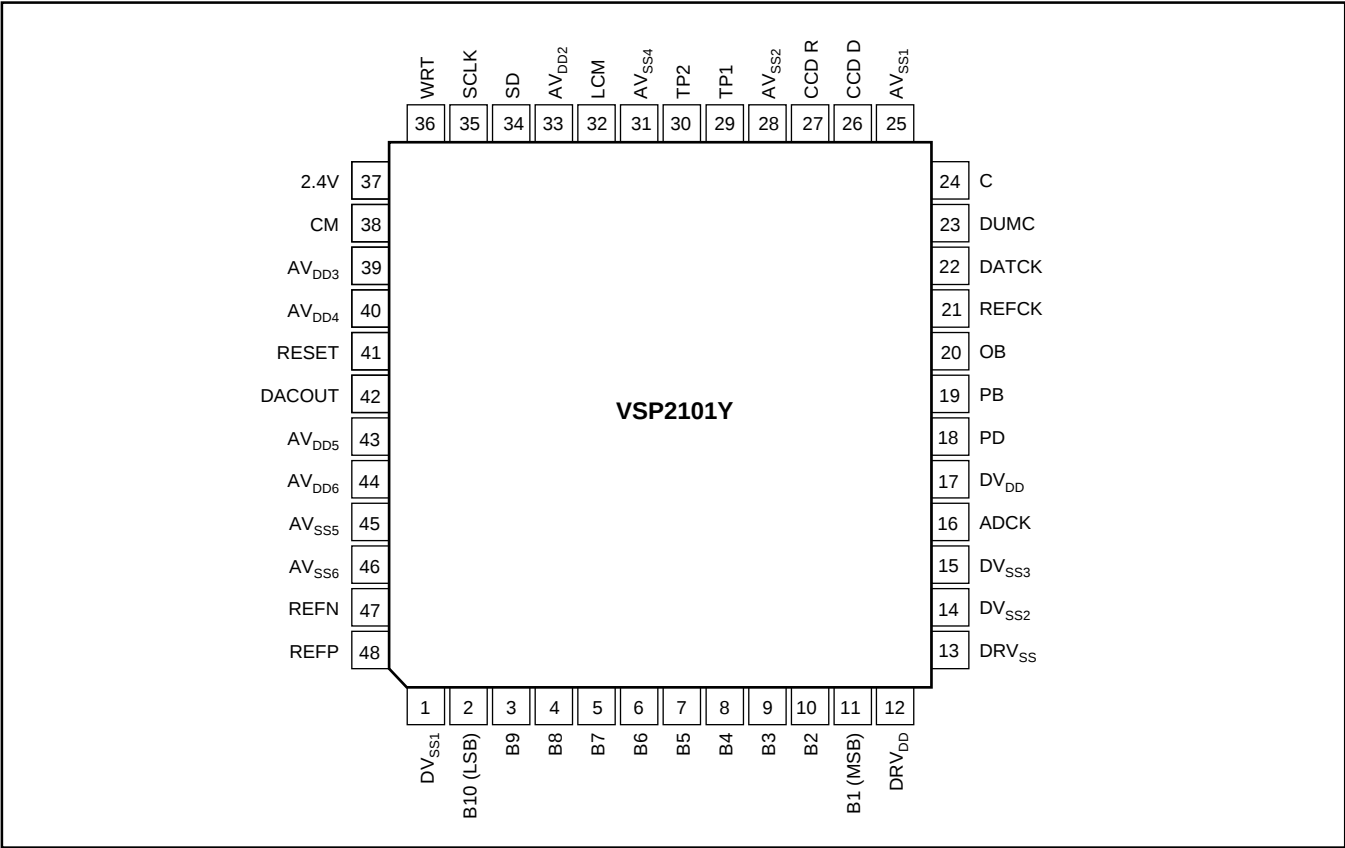
静電気放電はわずかな性能の低下から完全なデバイスの故障に至るまで、様々な損傷を与えます。すべての集積回路は、適切なESD保護方法を用いて、取扱いと保存を行うようにして下さい。高精度の集積回路は、損傷に対して敏感であり、極めてわずかなパラメータの変化により、デバイスに規定された仕様に適合しなくなる場合があります。

パッケージ情報/ご発注の手引き

モデル	パッケージ	パッケージ図番号 ⁽¹⁾	仕様温度範囲	パッケージのマーキング	発注番号 ⁽²⁾	供給時の状態
VSP2101Y	48ピンLQFP	340	-25 ~ +85	VSP2101Y	VSP2101Y	50個入りトレイ
VSP2101Y	48ピンLQFP	340	-25 ~ +85	VSP2101Y	VSP2101Y/2K	テーブリール

注 : (1) 詳細図および寸法表は、データシートの巻末を参照してください。(2) スラッシュ(/) の付いたモデルは、表示数量のテーブリールでのみ供給されます(例えば、/2Kは1リールあたり2,000個入りのデバイスであることを示します)。" VSP2101Y/2K "を発注すると、2,000個入りのテーブリールが1本納入されます。

ピン配置



ピン構成

ピン番号	名称	説明	ピン番号	名称	説明
1	DV _{SS1}	デジタル・グラウンド	23	DUMC	ダミー・クランプパルス(アクティブ ⁺ ロー ⁻)
2	B10(LSB)	ビット10、ADC出力(LSB)	24	C	ブラックレベル・オートゼロ・フィードバック・ループ用コンデンサ
3	B9	ビット9、ADC出力			
4	B8	ビット8、ADC出力	25	AV _{SS1}	アナログ・グラウンド
5	B7	ビット7、ADC出力	26	CCD _D	CCD信号入力
6	B6	ビット6、ADC出力	27	CCD _R	ダミー・ピクセル・フィードバック・ループ用コンデンサ
7	B5	ビット5、ADC出力	28	AV _{SS2}	アナログ・グラウンド
8	B4	ビット4、ADC出力	29	TP1	テストピン1、オープン
9	B3	ビット3、ADC出力	30	TP2	テストピン2、オープン
10	B2	ビット2、ADC出力	31	AV _{SS4}	アナログ・グラウンド
11	B1(MSB)	ビット1、ADC出力(MSB)	32	LCM	アッテネータ同相モード・バイパス
12	DRV _{DD}	デジタル出力(B1-10)のデジタル電源	33	AV _{DD2}	アナログ電源
13	DRV _{SS}	デジタル出力(B1-10)のデジタル・グラウンド	34	SD	D/Aコンバータ用シリアルデータ入力
14	DV _{SS2}	デジタル・グラウンド	35	SCLK	シリアルデータ入力用クロック
15	DV _{SS3}	デジタル・グラウンド	36	WRT	シリアルデータ入力用書き込みパルス (立ち上がりエッジでトリガ)
16	ADCK	デジタルデータ出力ラッチのクロック	37	2.4V	アッテネータ・ラダー・バイパス
17	DV _{DD}	デジタル電源	38	CM	A/Dコンバータ同相モード電圧
18	PD	パワーダウン：“ロー”=通常動作、 “ハイ”=パワーダウン・モード (デジタル出力000000000000)	39	AV _{DD3}	アナログ電源
19	PB	プリ・ブランキング：“ロー”=ADC出力： -FS+32LSB、“ハイ”=ADC出力：通常動作	40	AV _{DD4}	アナログ電源
20	OB	オプティカル・ブラック・クランプパルス (アクティブ ⁺ ロー ⁻)	41	RESET	D/Aコンバータレジスタをリセット(アクティブ ⁺ ロー ⁻)
21	REFCK	CDSリファレンス・サンプリングパルス (アクティブ ⁺ ロー ⁻)	42	DACOUT	D/Aコンバータ(DAC1)出力
22	DATCK	CDSデータ・サンプリングパルス (アクティブ ⁺ ロー ⁻)	43	AV _{DD5}	アナログ電源
			44	AV _{DD6}	アナログ電源
			45	AV _{SS5}	アナログ・グラウンド
			46	AV _{SS6}	アナログ・グラウンド
			47	REFN	A/Dコンバータの - リファレンス(グラウンドへバイパス)
			48	REFP	A/Dコンバータの + リファレンス(グラウンドへバイパス)

DAC0/DAC1のシリアル制御データ・フォーマット

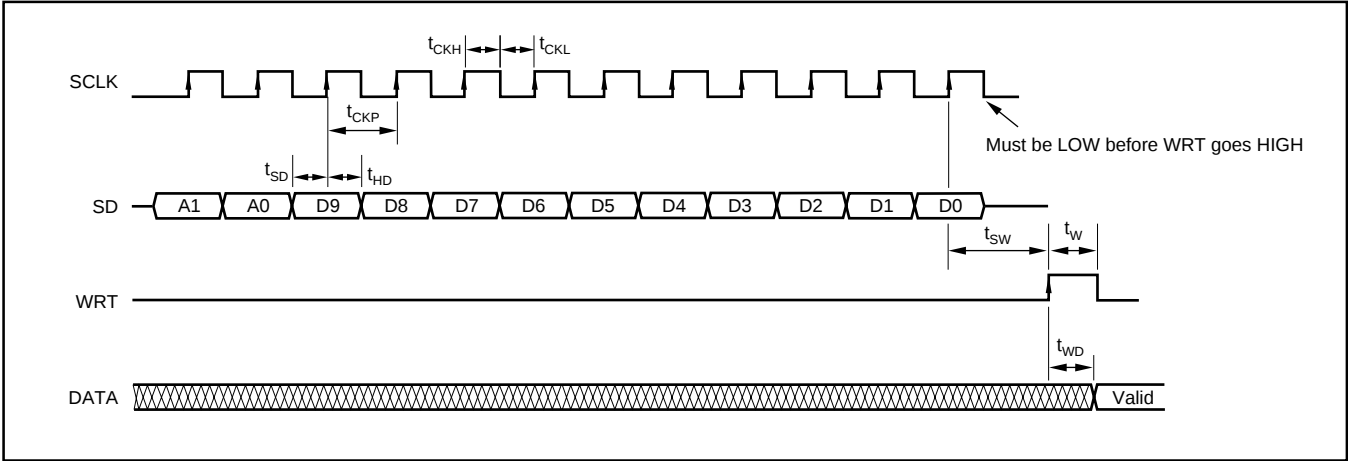
ビット番号	記号	説明
1	A1	スタート・ビット(“ハイ” “ロー” いずれでもよい) アドレス・ビット(内部DACを選択) “ロー” = DAC0、ゲイン制御DAC “ハイ” = DAC1、汎用DAC
2	A0	
3	D9	DAC用デジタル入力データ、ビット10(MSB)
4	D8	DAC用デジタル入力データ、ビット9
5	D7	DAC用デジタル入力データ、ビット8
6	D6	DAC用デジタル入力データ、ビット7
7	D5	DAC用デジタル入力データ、ビット6
8	D4	DAC用デジタル入力データ、ビット5
9	D3	DAC用デジタル入力データ、ビット4
10	D2	DAC用デジタル入力データ、ビット3
11	D1	DAC用デジタル入力データ、ビット2
12	D0	DAC用デジタル入力データ、ビット1(LSB)

シリアルレジスタのタイミング仕様

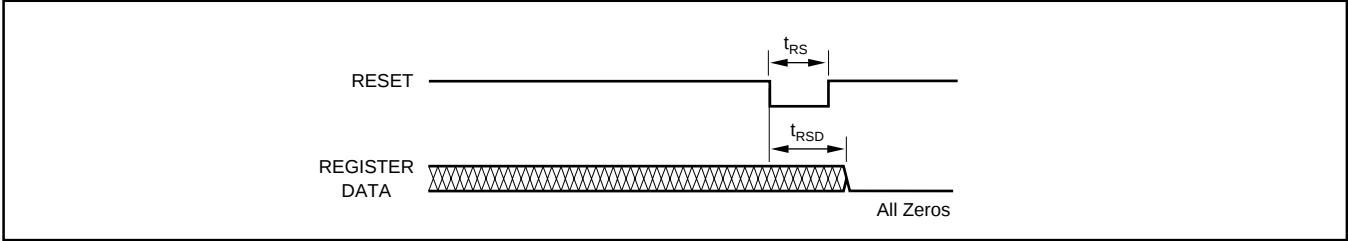
タイミング仕様 = $t_{MIN} \sim t_{MAX}$ 、+3V電源。

記号	パラメータ	最小	標準	最大	単位
t_{CKP}	シリアルクロック周期	100			ns
t_{CKL}	シリアルクロック・パルス幅 “ロー”	50			ns
t_{CKH}	シリアルクロック・パルス幅 “ハイ”	50			ns
t_{SD}	データ・セットアップ時間	50			ns
t_{HD}	データ・ホールド時間	25			ns
t_{SW}	書き込みパルス・セットアップ時間	100			ns
t_W	書き込みパルス幅	50			ns
t_{WD}	データ有効遅延時間	50			ns
t_{RS}	レジスタ・リセットパルス幅	50			ns
t_{RSD}	レジスタ・リセット遅延時間	50			ns

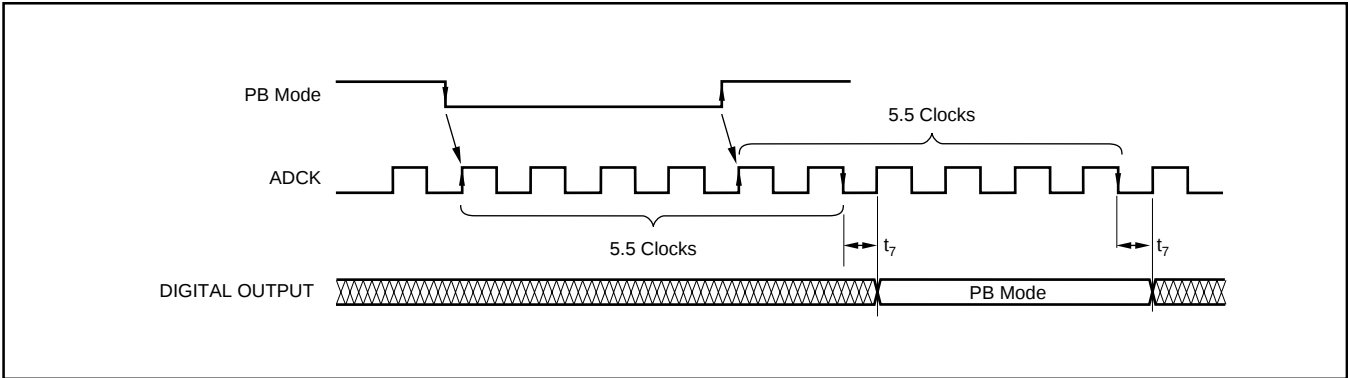
シリアルポートの書き込みのタイミング



レジスタ・リセット・タイミング

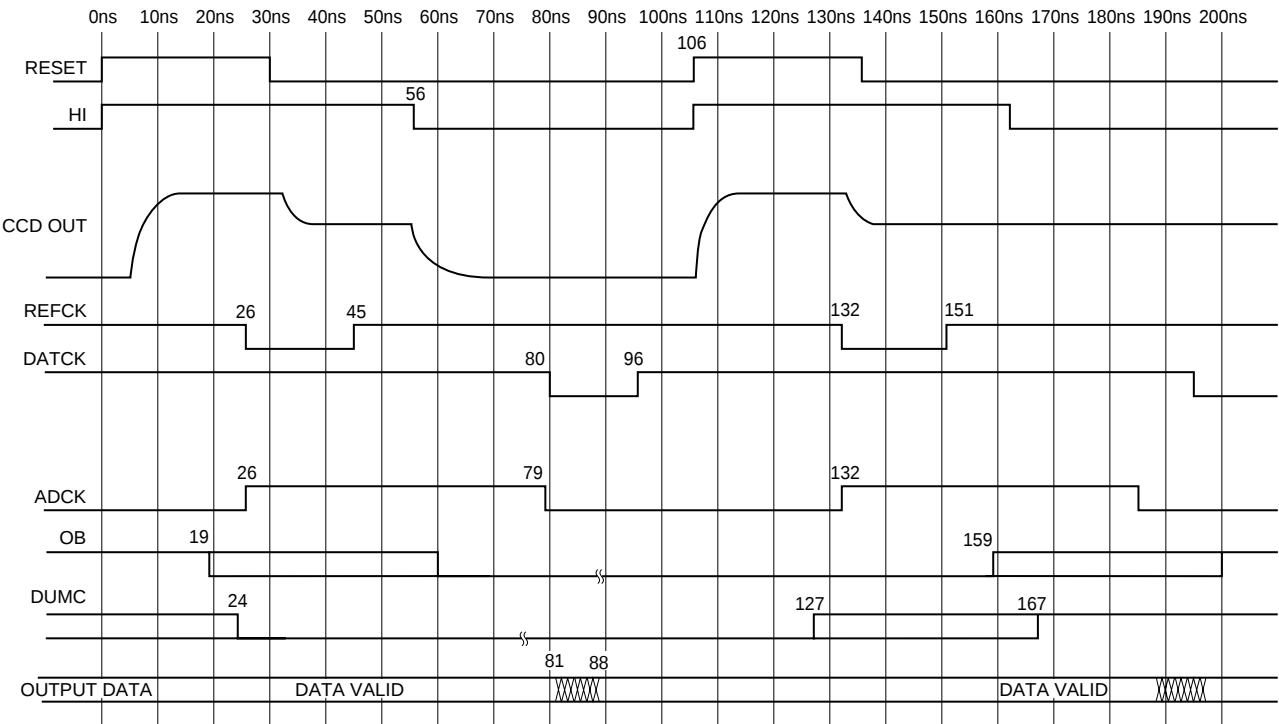


プリ・ブランキング・タイミング

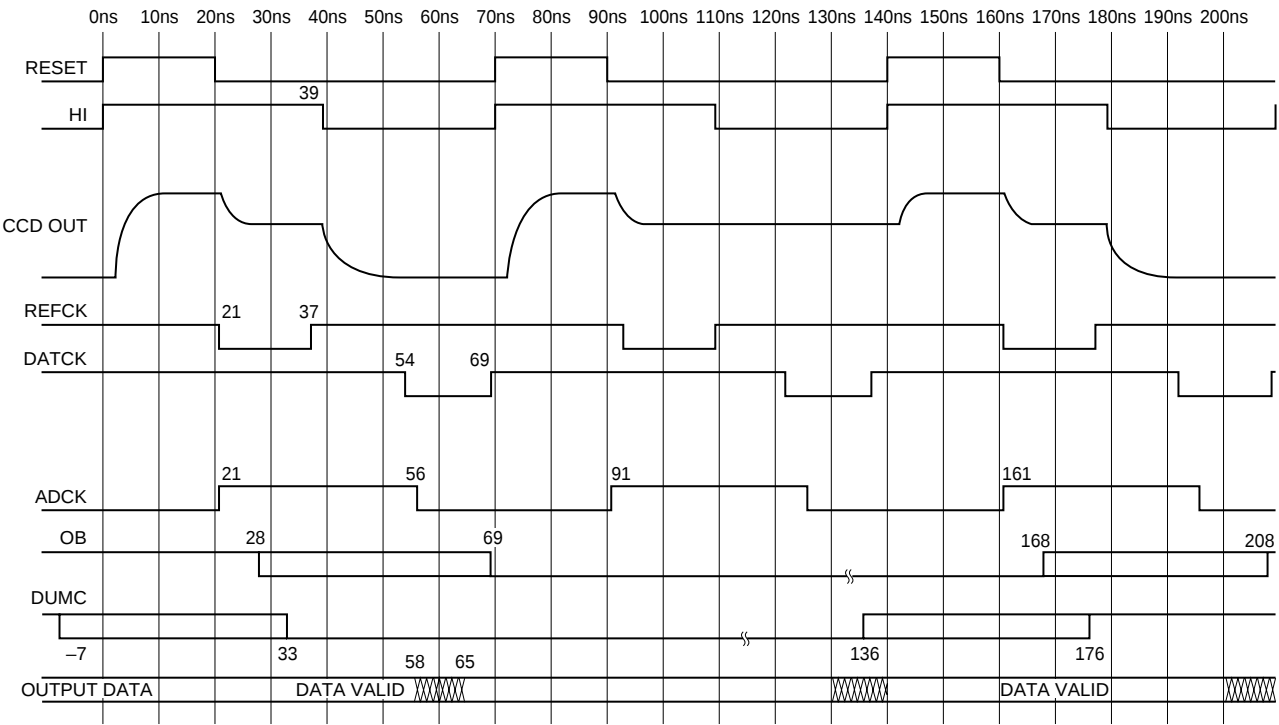


タイミング図

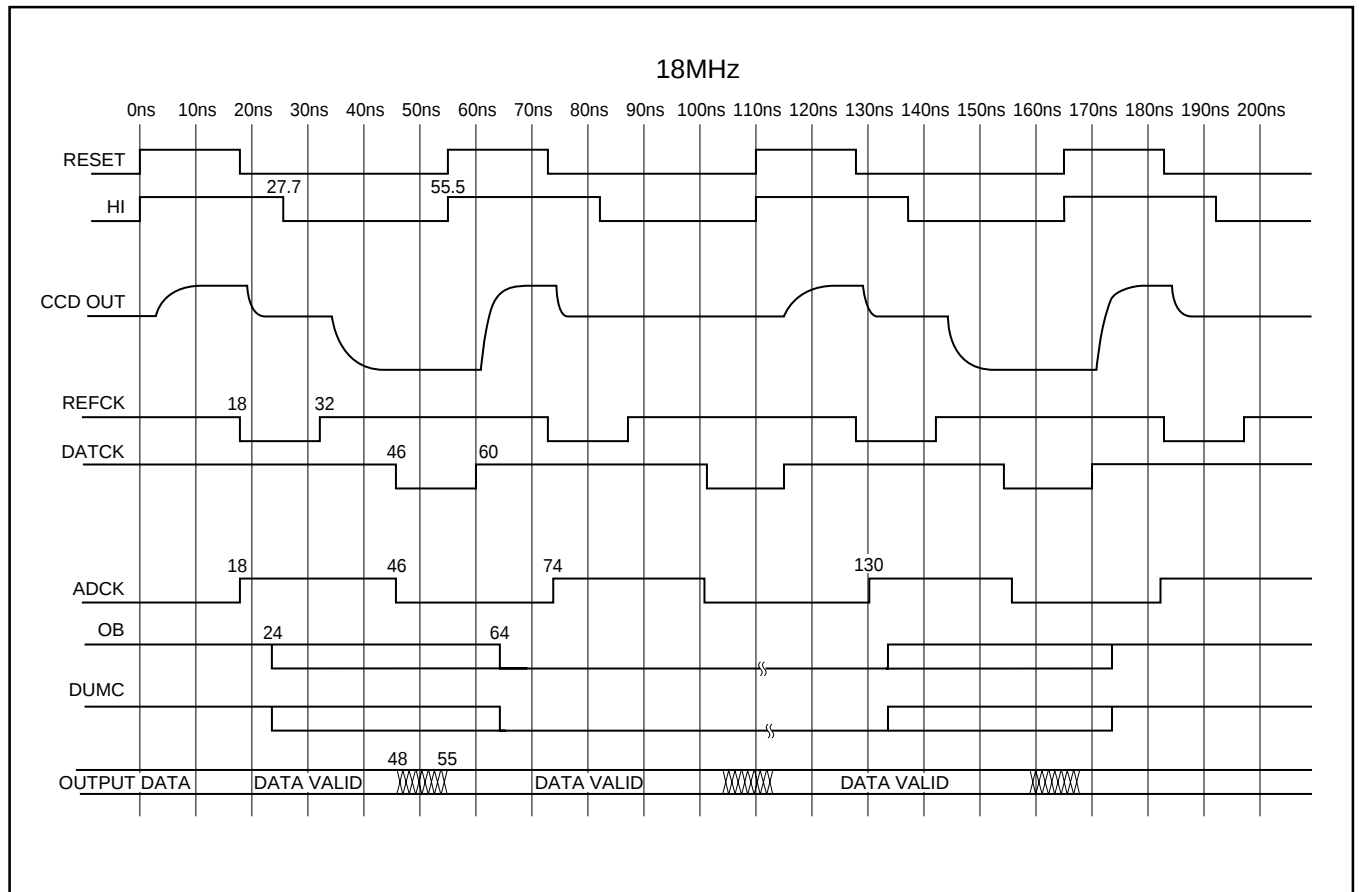
9.5MHz



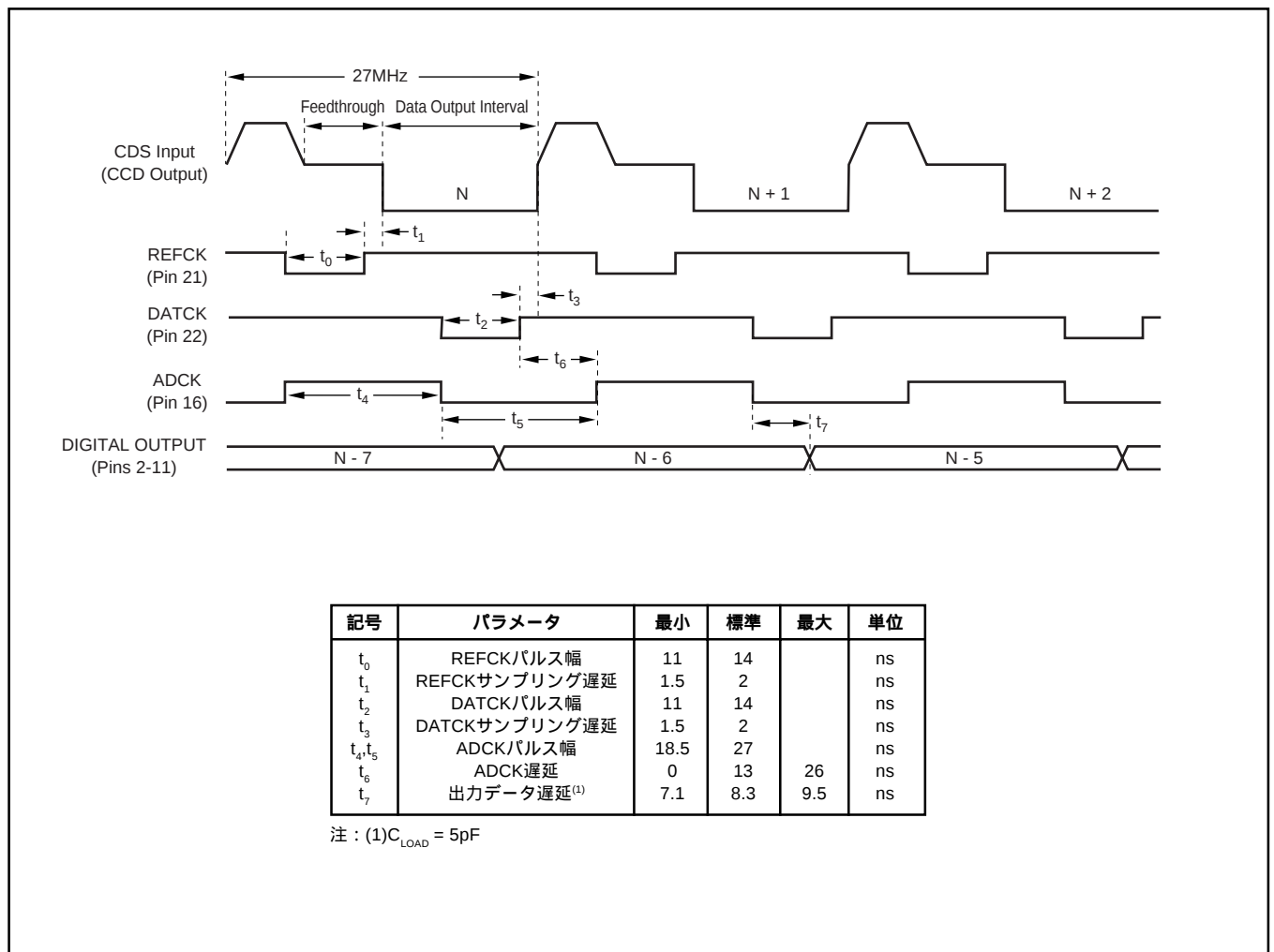
14MHz



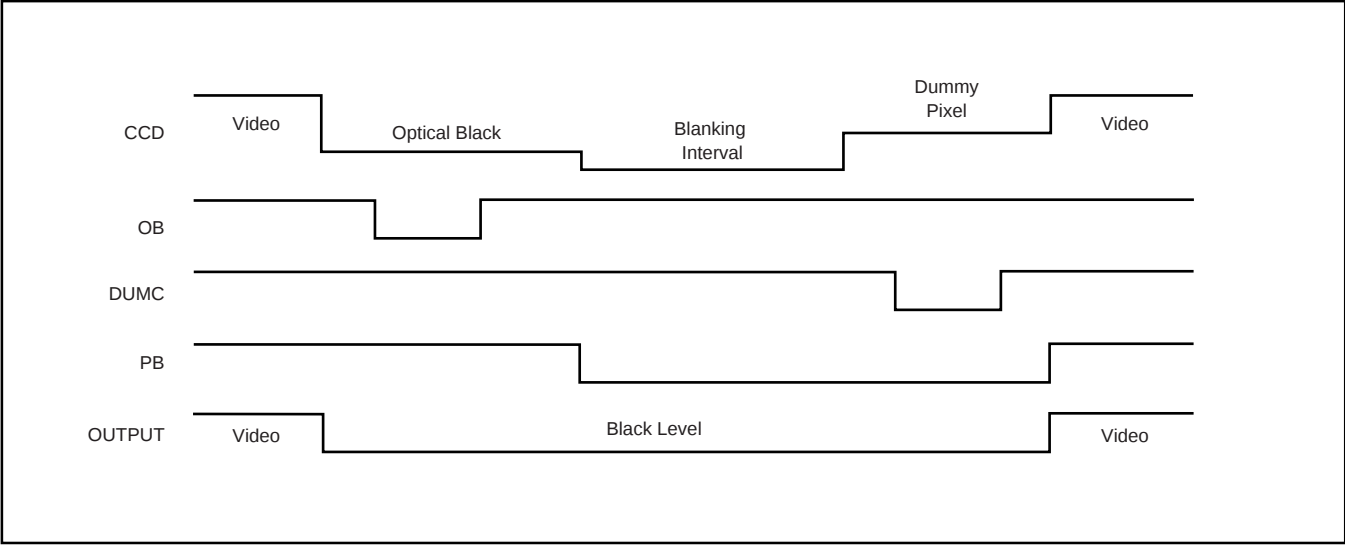
タイミング図



CDS/ADCタイミング図

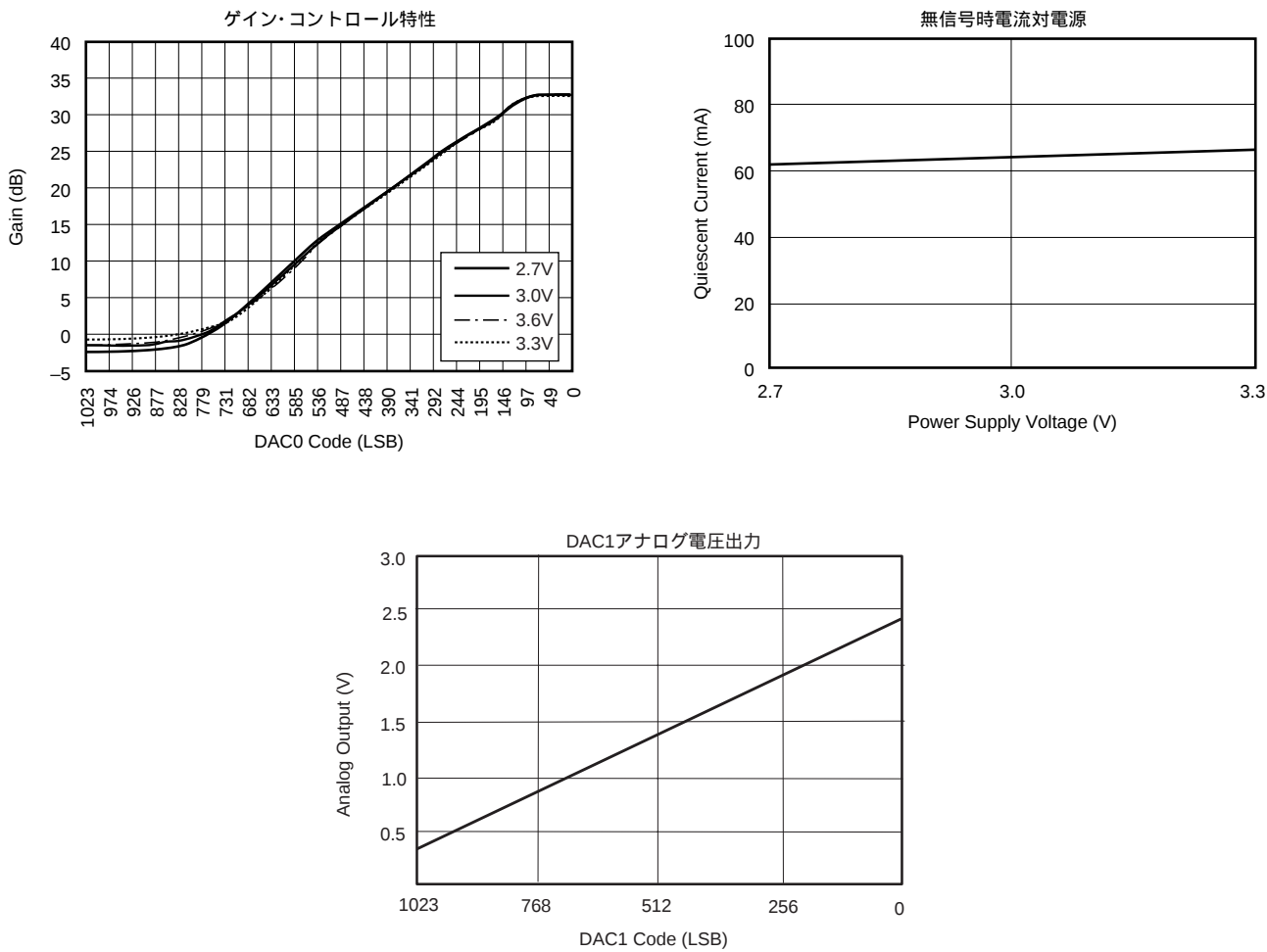


標準水平期間タイミング



代表的性能曲線

特に記述のない限り、 $T_A = +25^\circ\text{C}$ 、電源電圧 = +3.0V、変換レート = 18MHzです。



動作原理

VSP2101は、ビデオカメラやデジタルスチルカメラなどで重要とされるアナログ信号処理をサポートするLSIです。図1に簡略化したブロック図を示します。イメージ・センサからの出力は、まず最初に相関二重サンプリング(CDS)部に送られます。その後、対数特性をもつLogVCAと出力アンプから構成されるゲイン・アンプ部を介して10ビットA/Dコンバータ部へ送られます。

VSP2101には2つのキャリブレーション・サイクルがあり、これによりオフセットを低減させることができます。ダミー・ピクセル期間では、ダミー・ピクセル・オートゼロ回路が動作しCDS部のオフセットを除去します。一方、オブティカル・ブラック期間では別のオートゼロ回路が動作し、出力アンプのオフセットとCDS部で残留したオフセットを除去します。

相関二重サンプリング(CDS)回路

CDS部では、CCDなどのイメージ・センサの出力から低周波ノイズや画素ごとに高速に変動する同相モード・ノイズを除去します。図2のCDSのブロック図を参照してください。イメージ・センサからの出力はリファレンス期間とデータ期間で2回サンプリングします。入力信号に乗った1画素期間より長い周期のノイズは、CDS部での減算動作により除去されます。VSP2101のCDS部は、3つのトラック/ホールド回路から構成されるアーキテクチャを採用しています。トラック/ホールド2では、リファレンス期間にREFCK信号によりサンプリングが行われ、その出力はトラック/ホールド3へ送られ再度サンプリングが行われますが、そのサンプリング・タイミングはデータ期間にDATCK信号でサンプリングを行うトラック/ホールド1と同じタイミングで行われます。これは、CDS動作の高速化および差動アンプのセトリングに時間的な余裕を与えるためです。トラック/ホールド2の出力は、ボルテージ・フォロフによりバッファされています。

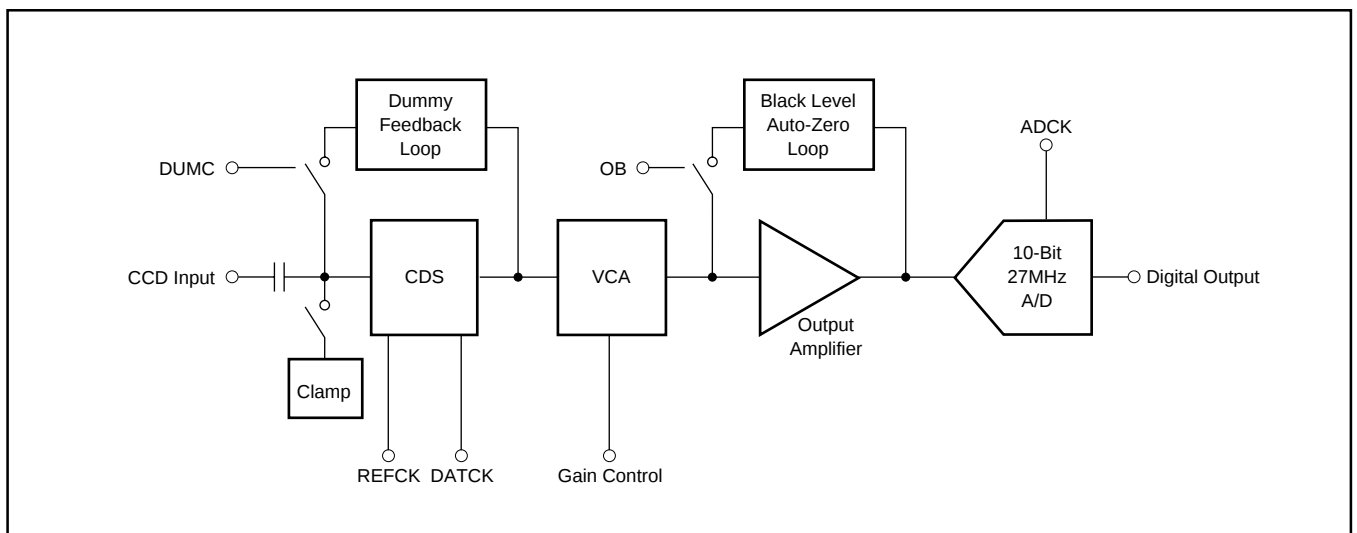


図1. VSP2101の簡略化したブロック図

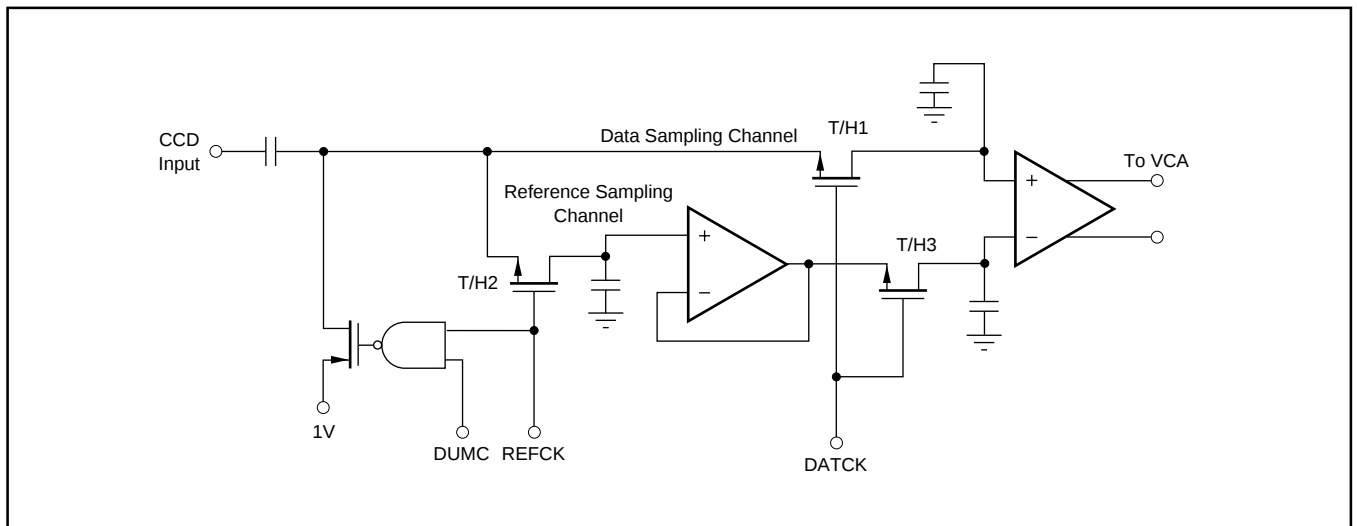


図2. 相関二重サンプリングのブロック図

差動アンプ

CDS部では、データ・サンプリング・チャンネルとリファレンス・サンプリング・チャンネルの出力を差動アンプへ入力し減算動作を行います。この差動アンプは、単に減算を行うためだけでなく、信号を2倍に増幅して全体としての信号対雑音比(S/N比)を改善しています。

入力クランプ

CCDイメージ・センサからの出力は、通常VSP2101と容量的に結合されています。入力のデューティ・サイクルの変動で直流レベルがシフトすることを防ぐために、ダミー・ピクセル期間中は入力コンデンサがREFCK信号とDUMC信号によってクランプされます。この入力クランプ・スイッチには、入力信号の負方向への2Vのスイングを可能にするためP型のトランジスタを使用しています。これにより信号をグランドから1V低いレベルまでスイングさせることができます。通常使用時、VSP2101の入力クランプ・レベルは1Vです。

ダミー・ピクセル・オートゼロ・ループ

ダミー・ピクセル・オートゼロ・ループは、ダミー・ピクセル期間にDUMC信号をアクティブにすることで、通常は水平期間ごとに1回、キャリブレーションが行われます。前述のように、データ・チャンネルとリファレンス・チャンネルの出力は、差動アンプへ入力され、このアンプから出力される差動信号は、LogVCA部とエラー・アンプ部の両方へ送られます。エラー・アンプの出力は差動アンプへフィードバックされ、差動アンプの出力差がゼロになればエラー・アンプの出力もゼロになり、このループは安定し、キャリブレーションが完了します。この回路のブロック図を図3に示します。エラー・アンプはCDS部のオフセットを低減するためのもので、出力アンプでは信号とともにオフセットも増幅され、その結果オフセット量が増大することを防止します。このループの実効的な時定数は、次式によって与えられます。

$$T = \frac{RC}{AD}$$

ここで、Rは10kΩ、Cはピン27(CCD R)に接続される外部コンデンサの容量、Aはエラー・アンプのゲイン(50)、Dはダミー・ピクセル・オートゼロ・ループのデューティ・サイクルですが、ループはサンプリング・モードで動作するため、「1水平期間でのDUMC信号とREFCK信号の両方がアクティブな期間」と「1水平期間でのDUMC信号とREFCK信号の両方がアクティブでない期間」の比になります。

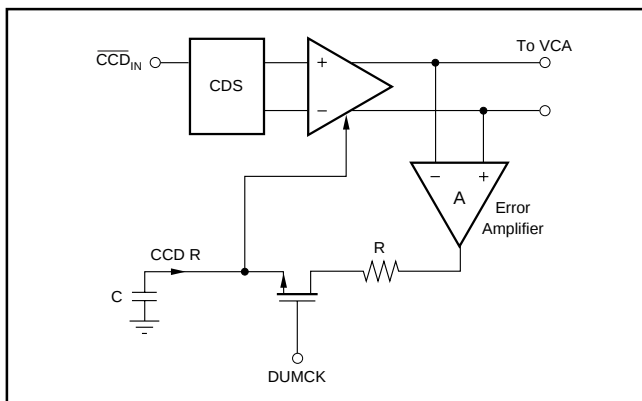


図3. ダミー・ピクセル・ループのブロック図

タイミング

REFCK信号およびDATCK信号は、前に説明したようにCDS部で使用されるサンプリング・パルスです。A/Dコンバータ部で必要なタイミング信号も、この2つの信号をベースにデバイス内部のタイミング発生回路で自動生成されます。A/Dコンバータ部からのデジタル出力は、ADCK信号を出力ラッチ部へ印加することで外部へ取り出すことができます。DUMC信号は、ダミー・ピクセル・オートゼロ・ループをアクティブにするために、OB信号はオプティカル・ブラック・オートゼロ・ループをアクティブにするために使用されます。これらのタイミング入力のためのデジタル信号は、3V系または5V系ロジック・レベルのどちらからでもドライブ可能です。

ゲイン・アンプ

ゲイン・アンプ部は、LogVCA(対数特性を持つ電圧制御型アッテネータ)と出力アンプから構成されており、シリアル・インターフェースを介してDAC0へデジタル・コードを入力することでコントロールできます。DAC0への入力デジタル・コードとゲインの関係は、8ページのゲイン・コントロール特性の図を参照してください。LogVCAは、VSP2101のダイナミック・レンジを最大化するため0から-34dBのコントロール範囲があり、またLogVCA内部回路を差動信号で構成することで、直線性の改善と電源ノイズおよび同相モード・ノイズの除去が可能になりました。LogVCAからの出力は、出力アンプで+28dB増幅され、次段のA/Dコンバータ部へ送られます。

ブラックレベル・オートゼロ・ループ

ブラックレベル・オートゼロ・ループは、オプティカル・ブラック期間にOB信号をアクティブにすることで通常は水平期間ごとに1回、キャリブレーションが行われます。出力アンプの出力と基準レベルをエラー・アンプへ入力し減算動作を行い、この結果を出力アンプへフィードバックします。エラー・アンプで出力アンプの出力と基準レベルの差がゼロになれば、エラー・アンプの出力もゼロになり、このループは安定しキャリブレーションが完了します。キャリブレーションを完了させることで、無信号入力時に出力コードを(マイナス・フルスケール+32) LSB付近に固定することができます。図4にブラックレベル・オートゼロ・ループのブロック図を示します。

また、このループの時定数は次式で求めることができます。

$$T = \frac{C}{(G_M)(D)}$$

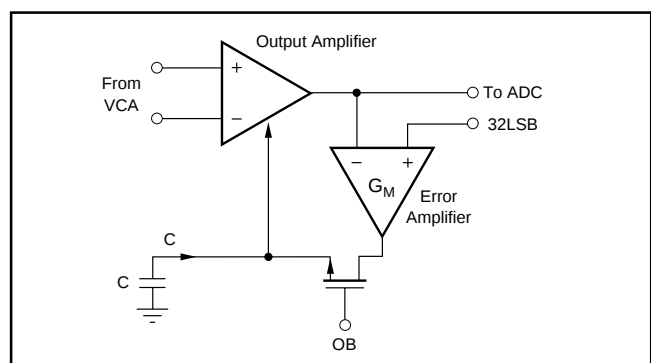


図4. ブラックレベル・オートゼロ・ループ

ここで、Cはピン24(C)に接続されたコンデンサの容量、 G_M は 0.001Ω です。Dはこのループを動作させる期間のデューティ・サイクルですが、ループはサンプリング・モードで動作するため、「1水平期間での、OB信号とREFCK信号の両方がアクティブな期間」と「1水平期間での、OB信号とREFCK信号の両方がアクティブでない期間」の比になります。

A/Dコンバータ

A/Dコンバータは、パイプライン・アーキテクチャを採用しています。データ誤り訂正回路を内蔵し、内部を完全な差動回路で構成することで、10ビットの分解能を保証しています。A/Dコンバータは、システム全体にバイアス電圧を供給するリファレンス電圧発生回路も内蔵しています。

シリアル・インターフェースおよびDAC

VSP2101は、2つの10ビットDAC(DAC0およびDAC1)が内蔵されています。DAC0はゲイン・コントロールのため、DAC1はユーザが自由に使用できる汎用のDACで、アイリス制御やイメージセンサのサブ電圧コントロールなどに使用できます。

これらのDACへの入力データはシリアル・インターフェースを介して行われます。シリアルポートには4つの信号(SD、SCLK、WRT、RESET)により制御される12ビットのシリアル・レジスタが接続されています。SD信号は入力するシリアルデータ、SCLK信号はシリアルデータ・シフト用クロックです。シリアル・レジスタはマスタ・スレーブ式デュアル・フリップフロップで構成されており、SCLK信号の立ち上がりエッジでシリアルデータがマスタ・フリップフロップに取り込まれ、直後のSCLK信号の立ち下がりエッジでそのデータがスレーブ・フリップフロップへ転送されます。そのため、最後のデータをラッチした後はWRT信号を印加する前に必ずSCLK信号を“ロー”に戻しておかなければなりません。またこの理由から、SCLK信号は通常は“ロー”としてください。WRT信号の立ち上がりエッジで、シリアル・レジスタから内部のパラレル・レジスタへ書き込まれます。RESET信号を“ロー”にすれば、非同期でシリアル・レジスタはオール・ゼロにリセットされます。DACへの入力データが全て0のとき、DACからの出力電圧は最大の2.4Vとなります。また、全て1のとき、DACの出力電圧は最小の0.3Vとなります。そのためゲイン・コントロール特性は、DAC0への入力が全て0の場合に最大ゲイン、全て1の場合に最小ゲインとなりますので注意してください。

シリアルデータの入力フォーマットと関連するタイミングについては5ページを参照してください。入力されたシリアルデータが12ビットを超えた場合、最後の12ビットが有効となり、先頭部の12ビットを超えたデータは消失します。シリアル・レジスタのリセットを行った場合には、レジスタの内容がオール・ゼロにリセットされるため、ゲインの設定値は最大に、DAC1の出力も最大電圧となりますので注意してください。

デカップリングおよび接地に関する検討事項

VSP2101にはいくつかの電源ピンがあります。ピン12(DRV_{DD})はデジタル出力ドライバ専用の電源です。また、DV_{DD}はVSP2101の主にデジタル回路部分に、AV_{DD}は主にアナログ回路部分に電源を供給するピンですが、デバイス内部では共通に接続されています。DV_{DD}とAV_{DD}へ別々のレギュレータ等から電源を供給すると、電圧差を生じる場合があり、VSP2101に損傷を与える恐れがあるので、このような取り扱いはいししないでください。VSP2101を安定して動作させるためには、VSP2101をアナログLSIとして取り扱い、DV_{DD}、AV_{DD}はともにシステムのアナログ側電源へ接続することを推奨します。VSP2101をデジタル側電源に接続すると、電源ラインを介して高レベル広帯域ノイズが流入し、VSP2101の特性を劣化させる恐れがあります。

電源系をより安定なものにし、広帯域にわたり低インピーダンスを維持するために各電源ピンとグランド間を $0.1\mu\text{F}$ 程度のセラミック・コンデンサでデカップリングすることを推奨します。最良の結果を得るために、できる限りピンの近くにコンデンサを配置してください。また、そのうちの1つは比較的大容量($1\mu\text{F}$ から $22\mu\text{F}$)のコンデンサとし、VSP2101の近くに配置することを推奨します。図5に推奨されるデカップリング例を示します。

その他の推奨事項

DRV_{DD}(ピン12)は、デジタル出力ドライバ専用の電源で、デバイス内部ではDV_{DD}およびAV_{DD}とは共通に接続されていません。そのため、デバイス外部でもDRV_{DD}は、電源電圧が同じ場合でもDV_{DD}およびAV_{DD}とは共通に接続しないで下さい。また、DRV_{DD}とDV_{DD}、AV_{DD}間の電圧差は0.3V以下としてください。システム上にアナログ側グランドとデジタル側グランドがある場合には、DV_{SS}、AV_{SS}、DRV_{SS}は全てアナログ側グランドへ接続してください。

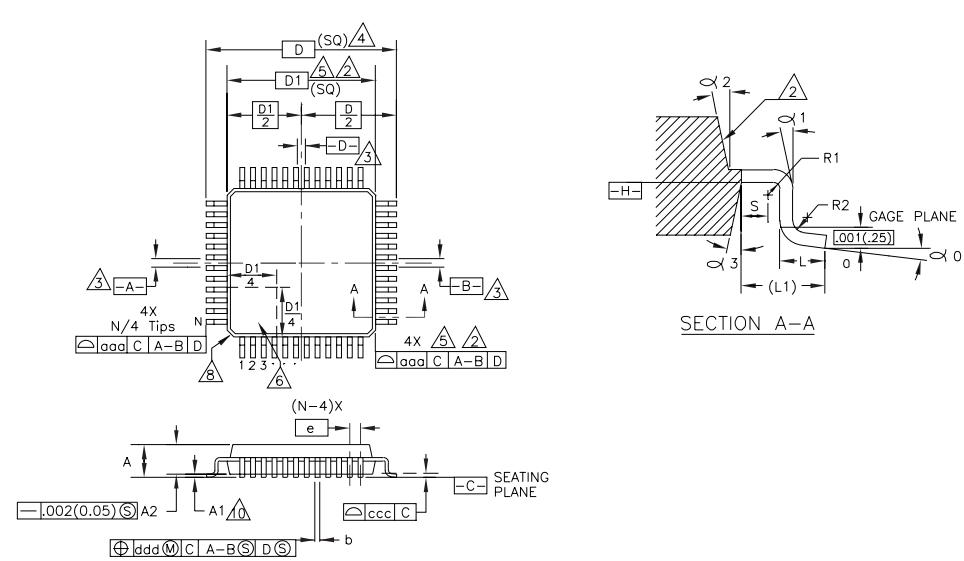
デモボード

VSP2101を使用した回路の性能の初期評価を支援するデモボードDEM-VSP2101が用意されています。DEM-VSP2101回路図を図5に示します。



外観

パッケージ番号340 - 48ピンLQFP



	INCHES		MILLIMETERS	
DIM	MIN	MAX	MIN	MAX
A	--	.063	--	1.60
A1	.002	.006	0.05	0.15
A2	.053	.057	1.35	1.45
b	.007	.011	0.17	0.27
C	.004	.008	0.09	0.20
D	.354	BASIC	9.00	BASIC
D1	.276	BASIC	7.00	BASIC
e	.020	BASIC	0.50	BASIC
L	.018	.030	0.45	0.75
L1	.039	REF	1.00	REF
N	48		48	
R1	.003	--	0.08	--
R2	.003	.008	0.08	0.20
S	.008	--	0.20	--
aaa	.008	NOM.	0.20	NOM.
bbb	.008	NOM.	0.20	NOM.
ccc	.003	NOM.	0.08	NOM.
ddd	.003	NOM.	0.08	NOM.
∞0	0°	7°	0°	7°
∞1	0°	--	0°	--
∞2	11°	13°	11°	13°
∞3	11°	13°	11°	13°