



## デジタルカメラ用CCDシグナル・プロセッサ

### 特 長

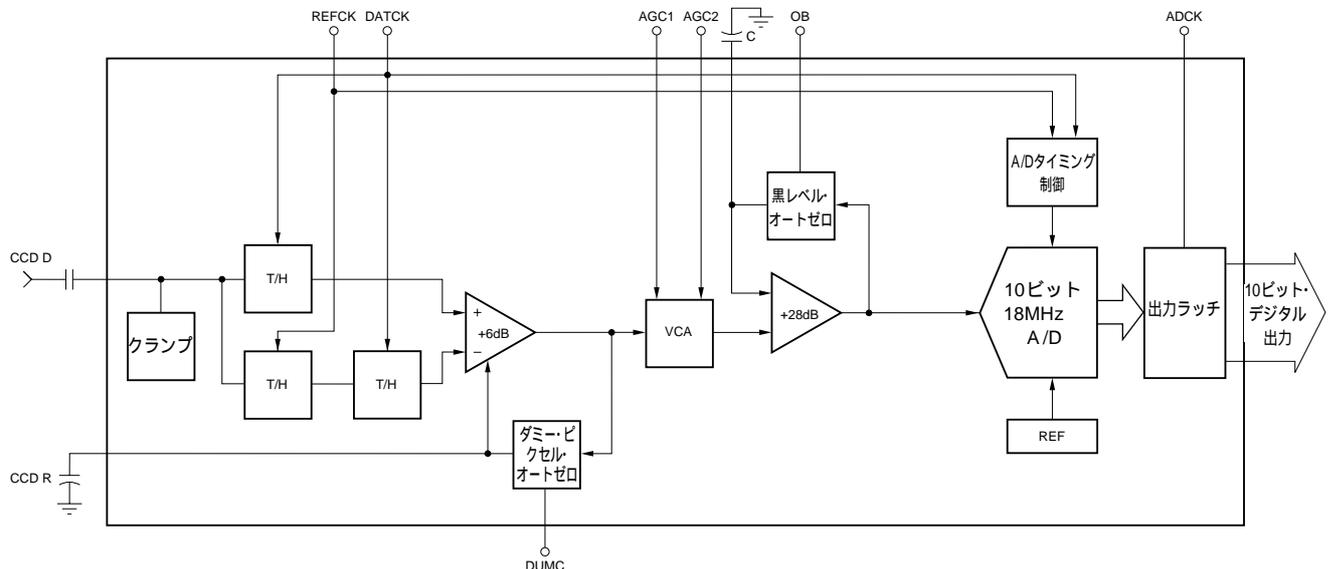
- CCD信号処理 :
  - 相関二重サンプリング
  - 黒レベル・クランプ
  - 可変ゲイン・レンジ : 0 ~ +34dB
  - 高SNR : 53dB
- 10ビットA/D変換 :
  - 18MHzまでの変換レート
  - ノーミッシング・コード
- ポータブル動作 :
  - 低電圧 : 2.7V ~ 3.3V
  - 低電力 : 150mW(2.7V時)

### 概 要

VSP2000は、CCDアレイ出力のシグナル・コンディショニングと10ビットA/D変換を行う完全なデジタルカメラ用ICです。プライマリCCDチャンネルは、ピクセルからビデオ情報を抽出する相関二重サンプリング・イルミネーションの変化に応じたアナログ制御による0dBから+34dBのゲイン・レンジ、正確な黒リファレンスを得るための黒レベル・クランプの機能を備えています。ゲイン・コントロールはdBスケールでリニアな特性をもち、黒レベルはゲインが変化した後で高速に復帰します。VSP2000は、48ピンLQFPパッケージで供給され、+3V単一電源で動作します。

### アプリケーション

- ビデオカメラ
- デジタルスチルカメラ
- PCカメラ
- 監視カメラ



# 仕様

特に記述のない限り、 $T_A = +25$ 、 $AV_{DD} = AV_{DD2} = +3.0V$ 、 $DV_{DD} = DV_{DD1} = DRV_{DD} = +3.0V$ です。

パラメータ	条件	VSP2000Y			単位
		最小	標準	最大	
デジタル入力 ロジック・ファミリ ロジック・レベル  ロジック電流  A/Dクロック・デューティ・サイクル	ロジック“ハイ” ロジック“ロー”  ロジック“ハイ”、 $V_{IN} = +V_{DD}$ ロジック“ロー”、 $V_{IN} = 0V$	$+V_{DD}/2$ 0	CMOS	$+V_{DD}$ +0.4 10 10	V V $\mu A$ $\mu A$ %
デジタル出力 ロジック・ファミリ ロジック・レベル	ロジック“ハイ”、 $C_1 = 10pF$ ロジック“ロー”、 $C_1 = 10pF$	$+V_{DD} - 0.5$ 0	CMOS	$+V_{DD}$ +0.4	V V
伝達特性 分解能 微分非直線性 積分非直線性 ノーマissing・コード 信号セトリングタイム  変換レート データ遅延 信号/雑音比 <sup>(1)</sup>  黒クランプ・レベル	黒からフルスケールまでの変化後から ADSへ1/4 LSBまで    入力コンデンサを接地、 VCAゲイン最大	   500kHz	10 $\pm 0.4$ $\pm 2.0$ 保証  5.5 53 32	110   18	Bit LSB LSB ns MHz Clocks dB LSB
CDS データ・セトリングタイム (フルスケール変化に対し+0.1%以内、 フルスケール変化、 $R_S = 40$ ) 入力キャパシタンス 入力時定数 データ・フルスケール入力	DATAACKのリーディング・エッジから  DATCK“ロー”  ACカップリング用キャパシタの後	   600	11  20 300	   	ns pF ps mV
入カクランプ クランプ・オン抵抗 クランプレベル			3.3 1		k $\Omega$ V
VCA特性 ゲイン・コントロール電圧範囲 最大ゲイン・コントロール電圧でのゲイン ゲイン・コントロール直線性 ゲイン・コントロール・セトリングタイム 伝達関数		0.3 32	34 $\pm 1.0$ 10 18	2.4	V dB dB $\mu s$ dB/V
電源 定格電圧 無信号時電流 消費電力  パワーダウン・モード	3V電源 3V電源 2.7V電源	+2.7	+3.0 60 180 150 24	+3.3	V mA mW mW mW
温度範囲 仕様範囲 熱抵抗, $\theta_{JA}$ 48-ピンLQFP	周囲	-25		+85	$^{\circ}C$  $^{\circ}C/W$

注：(1)SNR=20 log(フルスケール電圧/rmsノイズ)

このデータシートに記載されている情報は、信頼し得るものと考えておりますが、不正確な情報や記載漏れ等に関して弊社は責任を負うものではありません。情報の使用について弊社は責任を負いませんので、各ユーザーの責任において御使用下さい。価格や仕様は予告なしに変更される場合がありますのでご了承下さい。ここに記載されているいかなる回路についても工業所有権その他の権利またはその実施権を付与したり承諾したりするものではありません。弊社は弊社製品を生命維持に関する機器またはシステムに使用することを承認しまたは保証するものではありません。

## 絶対最大定格

+V <sub>S</sub> .....	+6V
アナログ入力 .....	(0-0.3V) ~ (+V <sub>S</sub> +0.3V)
ロジック入力 .....	(0-0.3V) ~ (+V <sub>S</sub> +0.3V)
ケース温度 .....	+100
接合部温度 .....	+150
保存温度 .....	+150



## 静電気放電対策

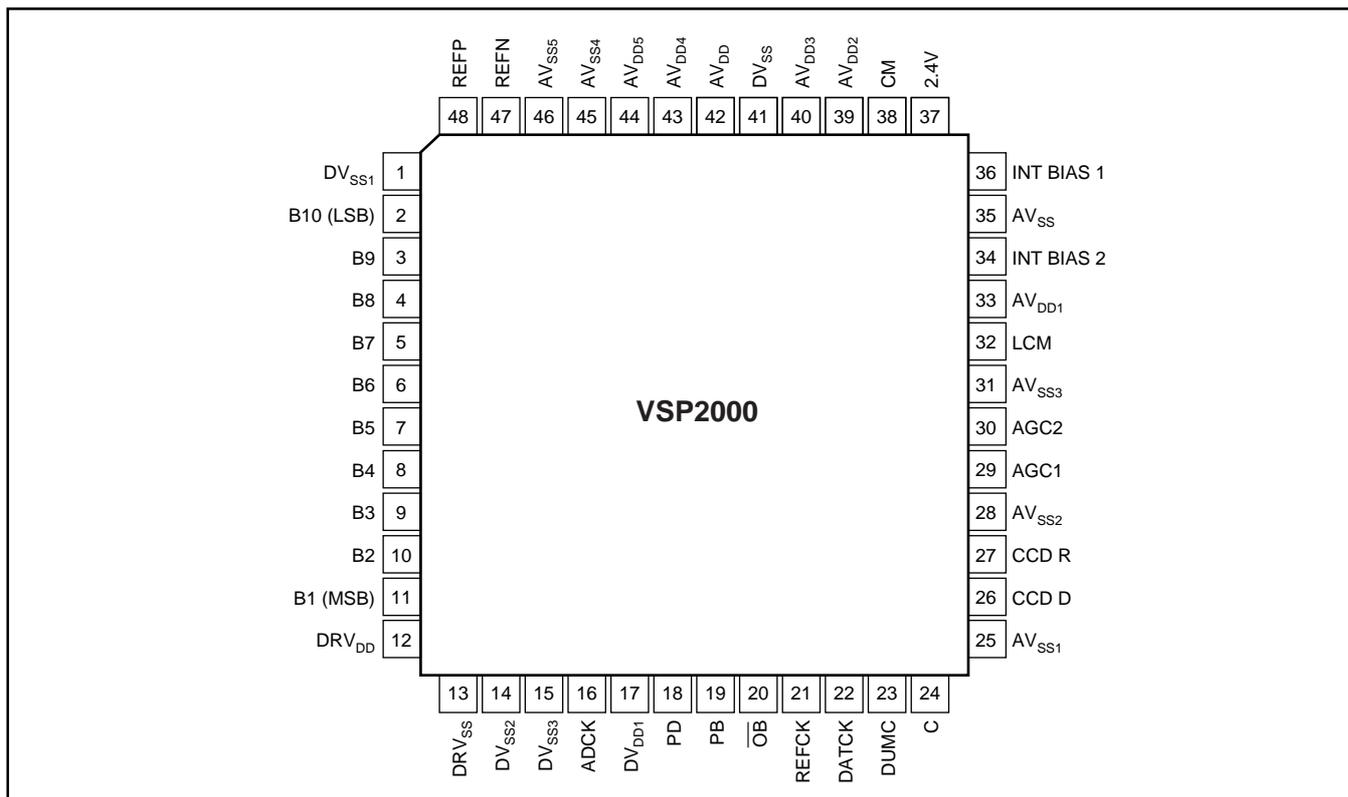
静電気放電はわずかな性能の低下から完全なデバイスの故障に至るまで、様々な損傷を与えます。すべての集積回路は、適切なESD保護方法を用いて、取扱いと保存を行うようにして下さい。高精度の集積回路は、損傷に対して敏感であり、極めてわずかなパラメータの変化により、デバイスに規定された仕様に適合しなくなる場合があります。

## パッケージ情報/ご発注の手引き

モデル	パッケージ	パッケージ図番号 <sup>(1)</sup>	温度範囲
VSP2000Y	48ピンLQFP	340	- 40 ~ +85

注：(1)詳細図および寸法表は、データシートの巻末を参照して下さい。

## ピン配置

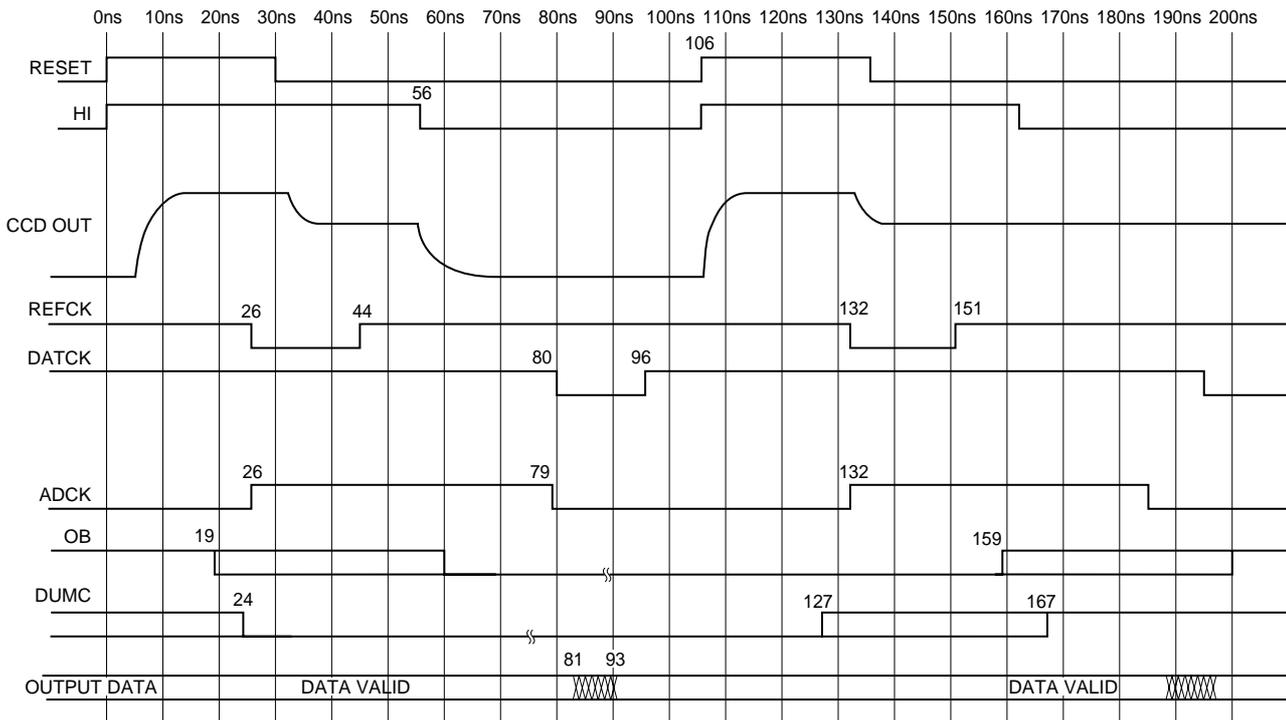


## ピン構成

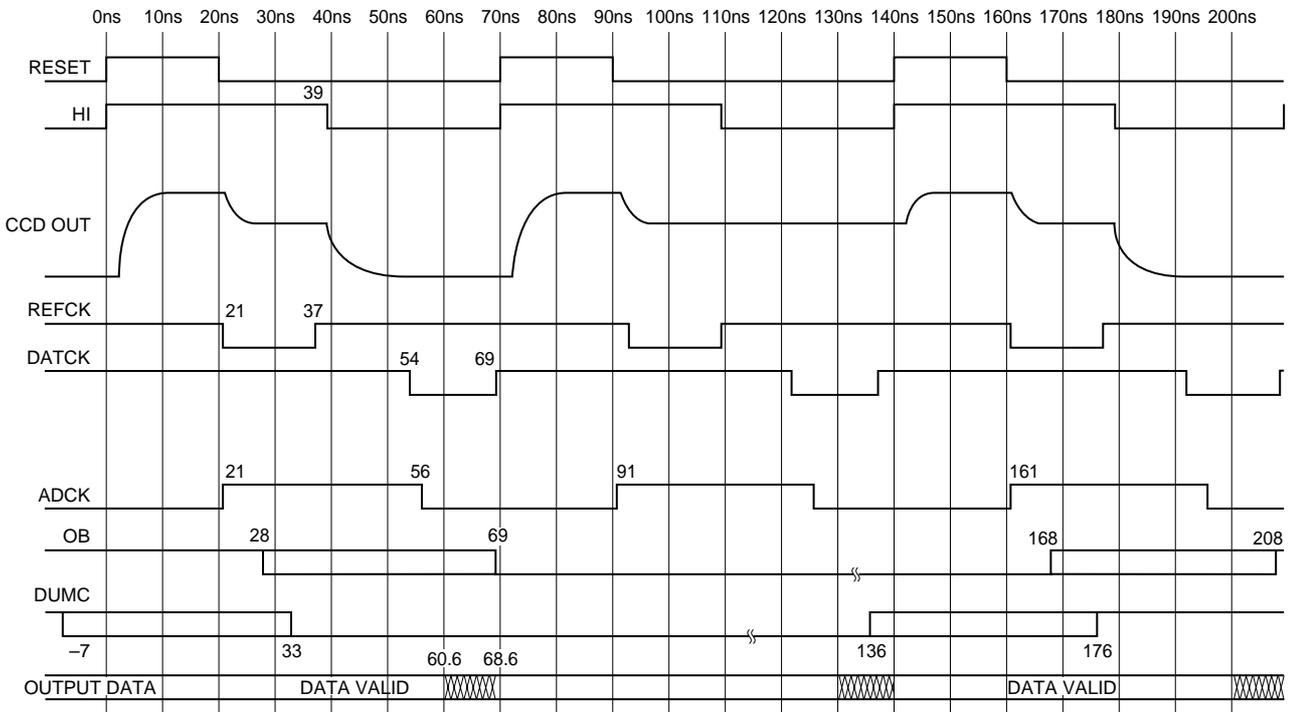
ピン番号	名称	説明	ピン番号	名称	説明
1	DV <sub>SS1</sub>	デジタル・グラウンド	25	AV <sub>SS1</sub>	アナログ・グラウンド
2	B10(LSB)	ビット10(A/DコンバータのLSB)	26	CCD D	CCD信号入力
3	B9	ビット9	27	CCD R	ダミー・フィードバック・ループ用コンデンサ
4	B8	ビット8	28	AV <sub>SS2</sub>	アナログ・グラウンド
5	B7	ビット7	29	AGC1	CCDチャンネルのゲイン設定(1k 抵抗)
6	B6	ビット6	30	AGC2	CCDチャンネルのゲイン設定(16k 抵抗)
7	B5	ビット5	31	AV <sub>SS3</sub>	アナログ・グラウンド
8	B4	ビット4	32	LCM	アッテネータ同相モード・バイパス
9	B3	ビット3	33	AV <sub>DD1</sub>	アナログ+電源
10	B2	ビット2	34	INT BIAS 2	内部バイアス(0.1 μF コンデンサでグラウンドへ接続)
11	B1(MSB)	ビット1(A/DコンバータのMSB)	35	AV <sub>SS</sub>	アナログ・グラウンド
12	DRV <sub>DD</sub>	A/Dコンバータ出力のデジタル+電源	36	INT BIAS 1	内部バイアス(0.1 μF コンデンサでグラウンドへ接続)
13	DRV <sub>SS</sub>	A/Dコンバータ出力のデジタル・グラウンド	37	2.4V	アッテネータ・ラダー・バイパス
14	DV <sub>SS2</sub>	デジタル・グラウンド	38	CM	A/Dコンバータの同相モード電圧
15	DV <sub>SS3</sub>	デジタル・グラウンド	39	AV <sub>DD2</sub>	アナログ+電源
16	ADCK	A/Dコンバータのクロック(立ち上がりエッジでデータ出力)	40	AV <sub>DD3</sub>	アナログ+電源
17	DV <sub>DD1</sub>	デジタル+電源	41	DV <sub>SS</sub>	デジタル・グラウンド
18	PD	L=ノーマル・オペレーション、H=パワーダウン・モード	42	AV <sub>DD</sub>	アナログ+電源
19	PB	L=-FS+32LSB、H=CCDモードのノーマル・オペレーション	43	AV <sub>DD4</sub>	アナログ+電源
20	OB	オプティカル黒クランプ・パルス(“ロー”でクランプ)	44	AV <sub>DD5</sub>	アナログ+電源
21	REFCK	負のパルス(立ち上がりエッジでリセットをサンプリング)	45	AV <sub>SS4</sub>	アナログ・グラウンド
22	DATCK	負のパルス(立ち上がりエッジでデータをサンプリング)	46	AV <sub>SS5</sub>	アナログ・グラウンド
23	DUMC	ダミークランプ・パルス(“ロー”でクランプ)	47	REFN	A/Dコンバータの-リファレンス(グラウンドへバイパス)
24	C	オプティカル・フィードバック・ループ用コンデンサ	48	REFPP	A/Dコンバータの+リファレンス(グラウンドへバイパス)

# タイミング図

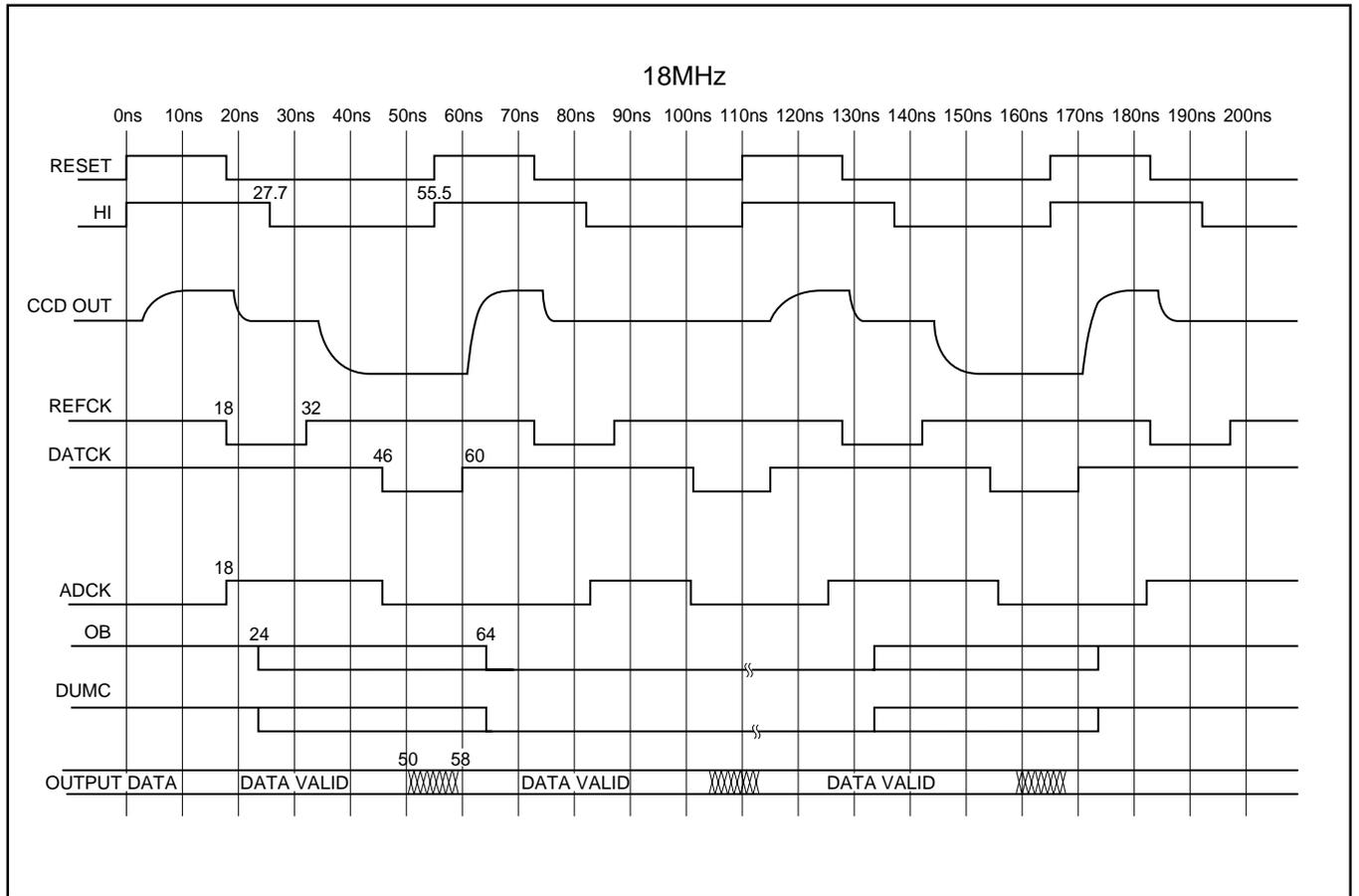
## 9.5MHz



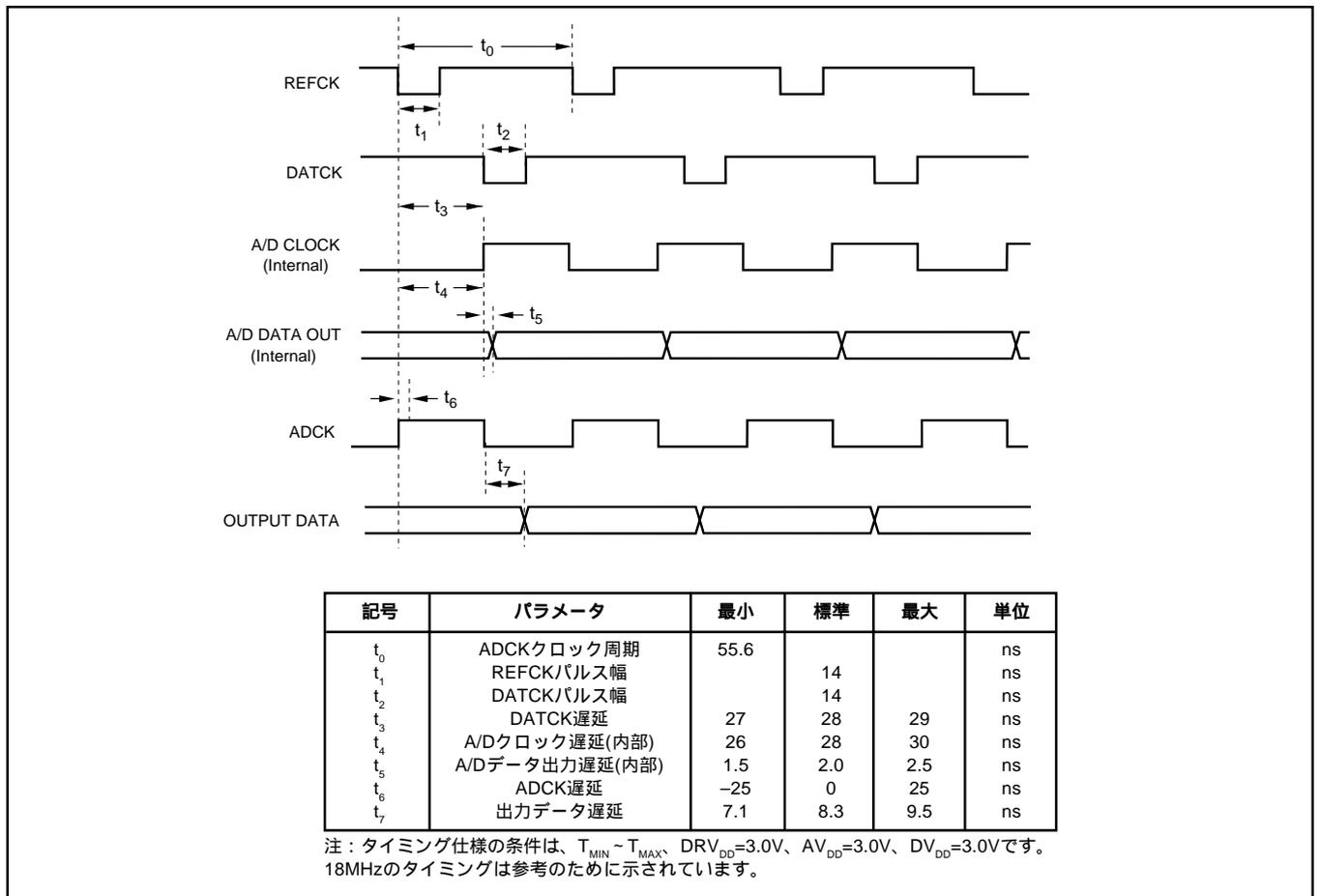
## 14MHz



## タイミング図

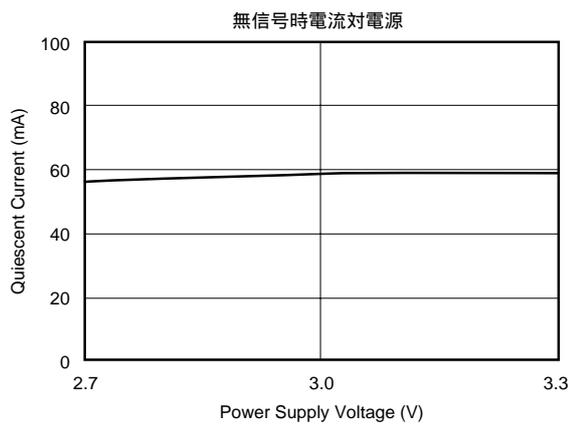
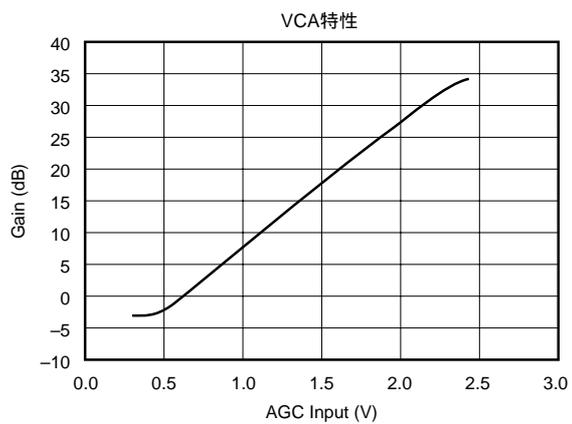


## ADCKタイミング図



# 代表的性能曲線

特に記述のない限り、 $T_A = +25$ 、 $AV_{DD} = AV_{DD2} = +3.0V$ 、 $DV_{DD} = DV_{DD1} = DRV_{DD1} = +3.0V$ です。



# 動作原理

VSP2000は、ビデオカメラやデジタルカメラのアナログ信号処理の重要な機能を多数備えた集積回路です。図1にVSP2000の簡略化したブロック図を示します。

CCDアレイからの出力は、最初に相関二重サンブラ(CDS)、対数的な制御特性をもつ電圧制御アッテネータ、および出力アンプに送られてから、10ビットA/Dコンバータの入力に印加されます。

VSP2000は、2つのキャリブレーション・サイクルによってオフセットの変動を低減します。ダミー・ピクセルの期間は、入力のアートゼロ回路を起動して相関二重サンブラのオフセットを除去します。オプティカル黒の期間は、もう一つのアートゼロ回路を使用して出力アンプのオフセットとCDSの残りのオフセットを除去します。

## 相関二重サンブラ(CDS)

CDSは、イメージ・センサ出力からの低周波雑音を除去します。図2のCDSのブロック図を参照して下さい。CCDアレイからの出力は、リファレンス期間とデータ期間でサンプリングされます。入力のピクセル期間より長い雑音は、減算により除去されます。

VSP2000は、3トラック/ホールドの相関二重サンブラ・アーキテクチャを採用しています。トラック/ホールド2がリファレンス期間にREFCK信号によってサンプリングされ、データのトラック/ホールド1がDATCK信号によってサンプリングされると同時にトラック/ホールド3が再度サンプリングされます。これは、トラック/ホールド2のアクイジション時間のリセット・トランジェントの部分で発生する大きいトランジェントを除去するために行われます。トラック/ホールド2の出力は、ボルテージ・フォロワによってバッファリングされています。

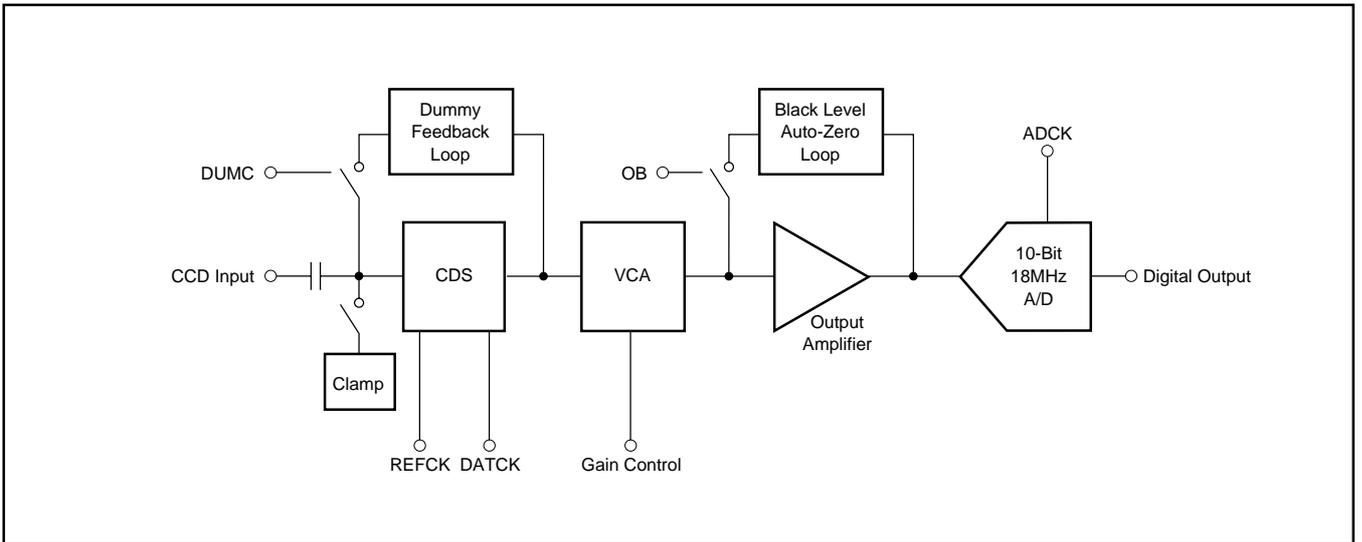


図1.VSP2000の簡略化したブロック図

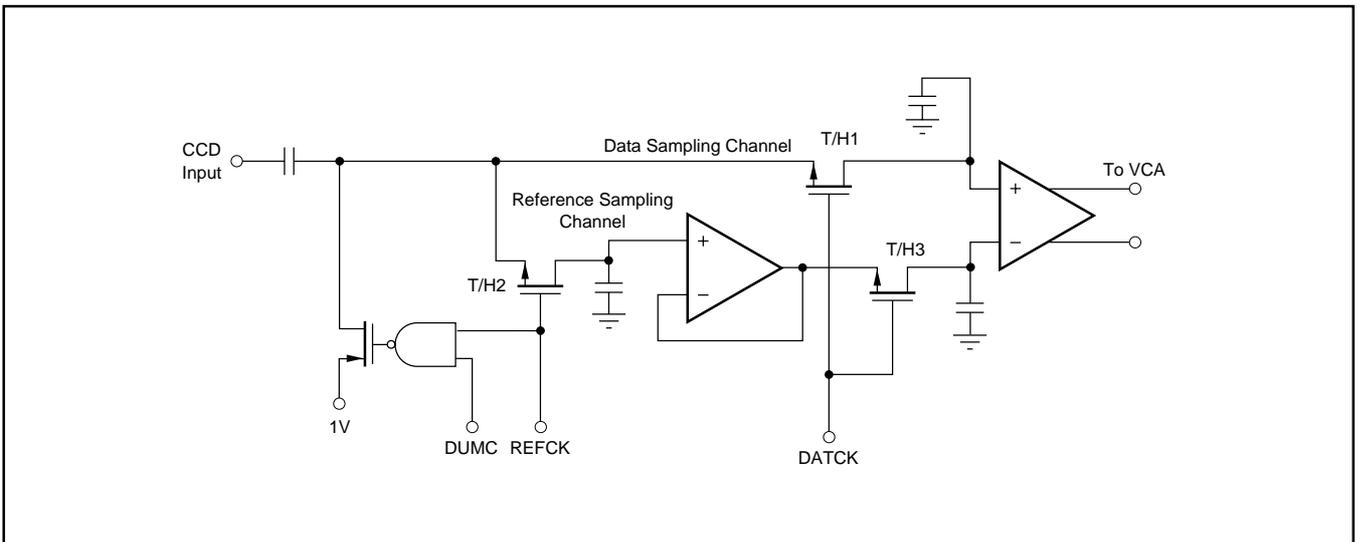


図2.相関二重サンブラのブロック図

## 差動アンプ

相関二重サンブラの機能は、データおよびリファレンス・チャンネルの出力が差動アンプに送られて信号が減算されることにより完了します。差動アンプは、減算を行うだけでなく、信号を2倍に増幅して全体の信号対雑音比を改善します。また、差動信号を生成して電圧制御アッテネータをドライブします。

## 入力クランプ

CCDアレイからの出力は、VSP2000と容量的に結合されず。入力のデューティ・サイクルの変動によるDCレベルのシフトを防止するため、ダミー・ピクセル期間中は入力コンデンサがREFCK信号によってクランプされます。この入力クランプ・スイッチには入力電圧の2Vの低下(信号のグランドから1Vの低下)を許容できるようにPチャンネル・トランジスタが使用されています。通常の条件では、VSP2000の入力バイアスは1Vです。

## ダミー・ピクセル・オートゼロ・ループ

データおよびリファレンス・チャンネルからの出力は、前述の差動アンプによって処理されます。差動アンプからの差動出力は、対数的特性をもつ電圧制御アッテネータと誤差アンプの両方に送られます。誤差アンプは、信号を増幅して差動アンプに供給し、差動アンプの出力で測定されるオフセットをゼロにします。この回路のブロック図を図3に示します。この誤差アンプは、CDSのオフセットを低減し、出力アンプによって大きいオフセットが増幅されることを防止する役割を果たします。

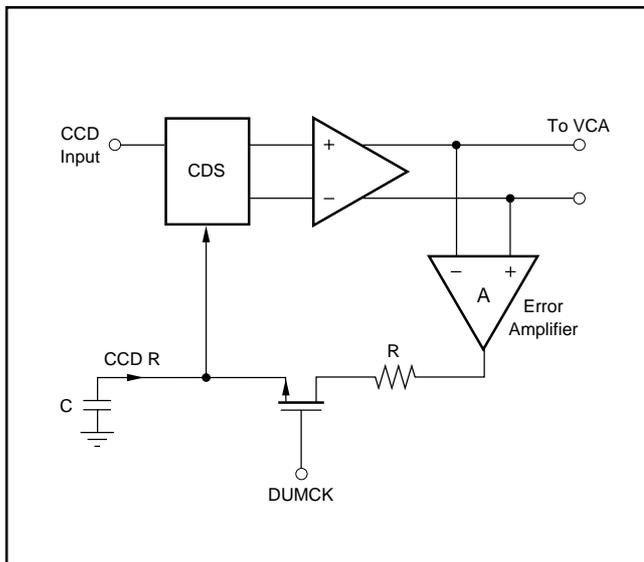


図3.ダミー・ピクセル・ループのブロック図

このループの実効時定数は、次式によって与えられます。

$$T = \frac{RC}{AD}$$

ここで、Rは10kΩ、Cはピン27(CCD R)に接続される外部コンデンサ、Aは誤差アンプのゲインの50、Dはダミー・ピクセル・オートゼロ・ループが動作する時間のデューティ・サイクルです。ループがサンプル・モードで動作するため、デューティ・サイクル(D)を考慮する必要があります。ダミー・オートゼロ・ループの動作は、水平ラインの各期間に1回発生するDUMCK信号によって起動されます。

## タイミング

REFCKおよびDATCK信号は、前に説明したようにCDSを動作させるために使用されますが、内部タイミング回路がA/Dに必要なタイミング信号を作るためにも使用されます。A/Dからの出力は、ADCK信号によって外部回路に読み出されます。DUMCKはダミー・ピクセル・オートゼロ・ループの起動に、OBは黒レベル・オートゼロ・ループの起動に使用されます。REFCK、DATCK、DUMCKおよびOBの入力デジタル・タイミング信号は、3Vまたは5Vのロジック・レベルのいずれからもドライブすることができます。

## 電圧制御アッテネータ

VSP2000には、最大のダイナミック・レンジが得られるように0dBから-34dBの制御レンジをもつ電圧制御アッテネータが内蔵されています。ゲイン・コントロールの制御電圧と減衰の関係は対数的です。アッテネータは、差動アンプからの差動信号を処理し、直線性を改善して電源および同相モード雑音を除去します。アッテネータからの出力は、A/Dに印加される前に28dB増幅されます。VSP2000の標準的なゲイン・コントロールの特性を代表的性能曲線“VCA特性”に示します。AGC1は、粗いゲイン・コントロール、AGC2は細かいゲイン・コントロールです。ゲイン・コントロール信号の印加方式を図4に示します。

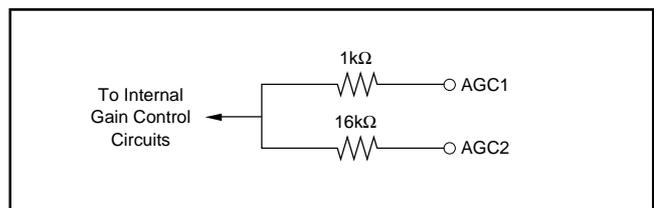


図4.ゲイン・コントロール抵抗

## 黒レベル・オートゼロ・ループ

黒レベル・オートゼロ・ループは、ダミー・ピクセル期間に出力アンプの出力とリファレンス信号の差を増幅します。増幅された差動信号は、出力アンプにフィードバックされ、オフセットが修正されます。これにより、ゼロ信号の条件でCCDチャンネル全体の出力レベルを約 $-FS+32LSB$ に制御することができます。黒レベル・オートゼロ・ループは、タイミング信号OBによって起動されます。図5に黒レベル・オートゼロ・ループのブロック図を示します。ループの時定数は次式によって与えられます。

$$T = \frac{C}{(G_M)(D)}$$

ここで、Cはピン24(C)に接続される外部フィルタのキャパシタンス、 $G_M$ は $0.001\Omega$ 、Dは黒レベル・オートゼロ・ループが動作する時間のデューティ・サイクルです。ループがサンプルモードで動作するため、デューティ・サイクル(D)を考慮する必要があります。黒レベル・オートゼロ・ループの動作は、水平ラインの各期間に1回発生するOB信号によって起動されます。

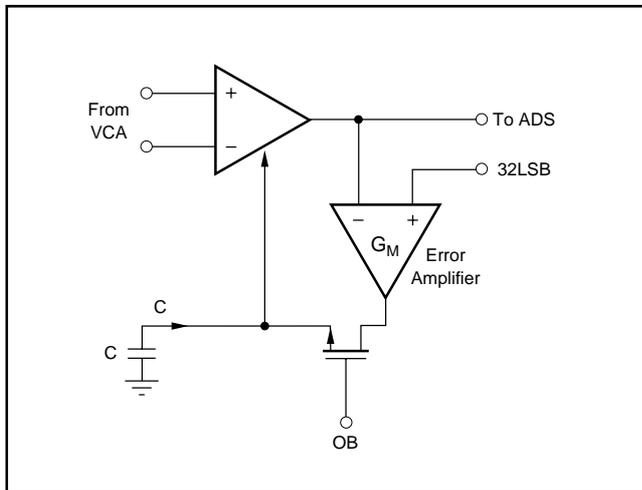


図5.黒レベル・オートゼロ・ループ

## A/Dコンバータ

A/Dコンバータは、パイプライン・アーキテクチャを採用し、完全な差動トポロジおよびデータ誤り訂正回路を使用して10ビットの分解能を保証しています。A/Dコンバータには、システム全体のバイアス電圧を供給するリファレンス回路が内蔵されています。

## デカップリングおよびグラウンディングに関する検討事項

VSP2000には複数の電源ピンがあり、その1つはデジタル出力ドライバの電源専用です(ピン17、 $DV_{DD1}$ )。他の電源ピンはチップ内部で接続されており、アナログおよびデジタル電源ピンに分かれていません。このため、VSP2000をアナログ・コンポーネントとして扱い、アナログ電源のみから電源を供給することを推奨します。デジタル電源ラインにはしばしば高レベルの広帯域雑音が発生し、VSP2000とカップリングして性能が制限されることがあります。

図6に、VSP2000の推奨されるデカップリング方法を示します。ほとんどの場合、 $0.1\mu F$ のセラミック・チップ・コンデンサを使用することにより広い周波数レンジにわたって十分な低インピーダンスを維持することができます。コンデンサの有効性は、各ピンとの距離に大きく依存するため、できるだけピンの近くに配置します。また、プリント基板のVSP2000の近くに大きいバイパス・コンデンサ( $1\mu F$ から $22\mu F$ )を接続します。

## デモ・ボード

VSP2000を使用した回路の性能の初期評価を支援するデモ・ボードDEM-VSP2000が用意されています。DEM-VSP2000の回路図を図6に、ボード・レイアウトを図7aから7cに示します。

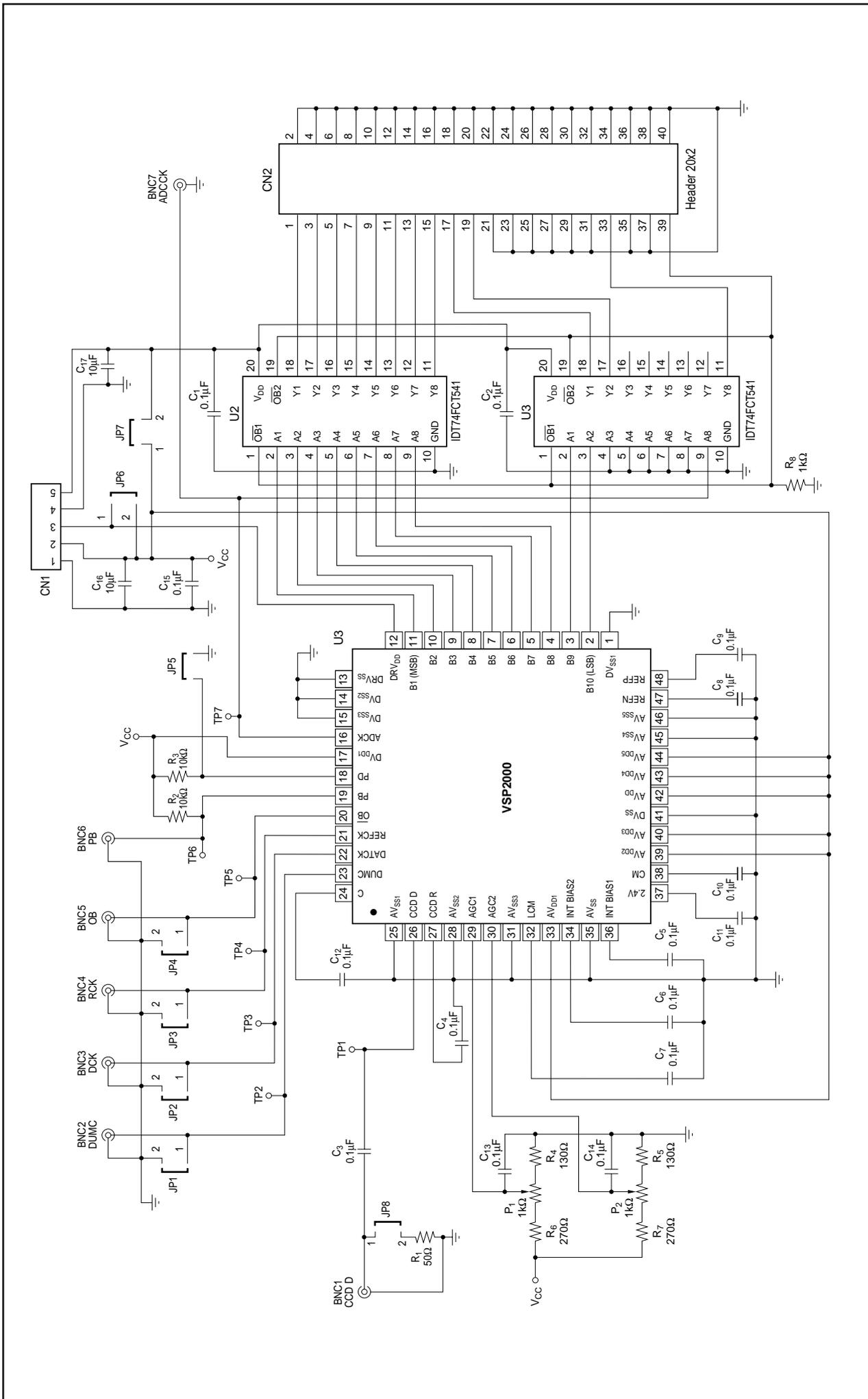


図6. 評価ボードのレイアウトの詳細

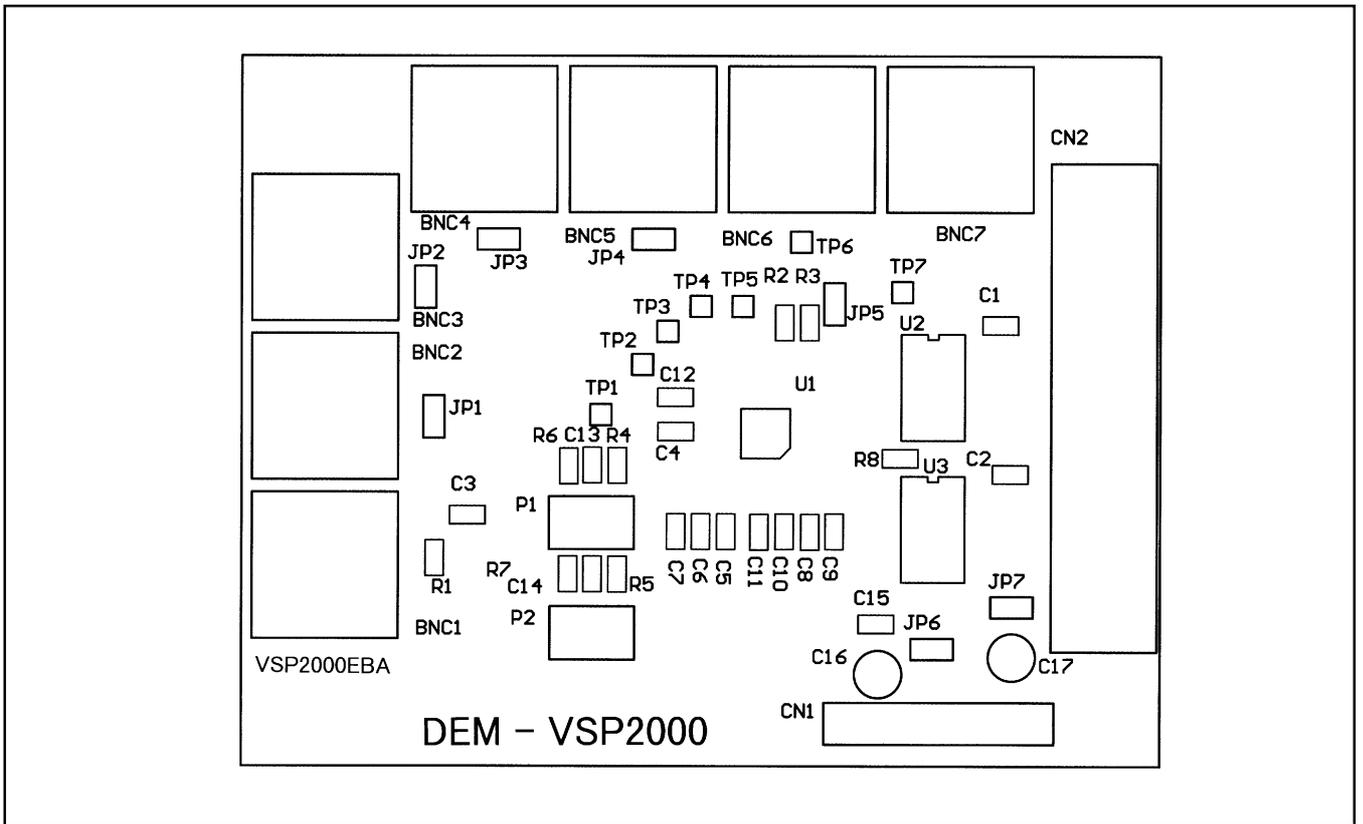


図7 a. 評価用ボードのシルクスクリーン(上面)

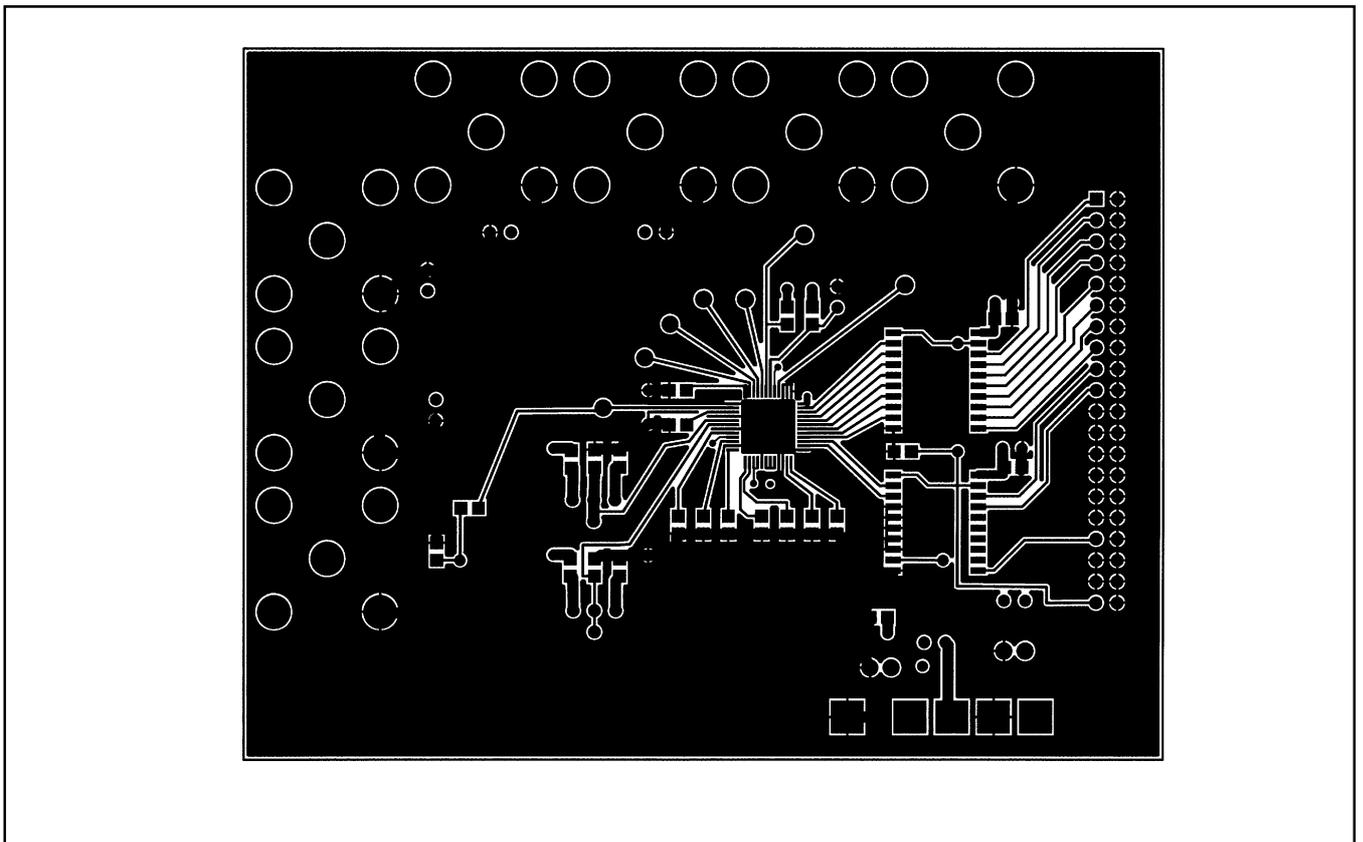


図7b. 上層

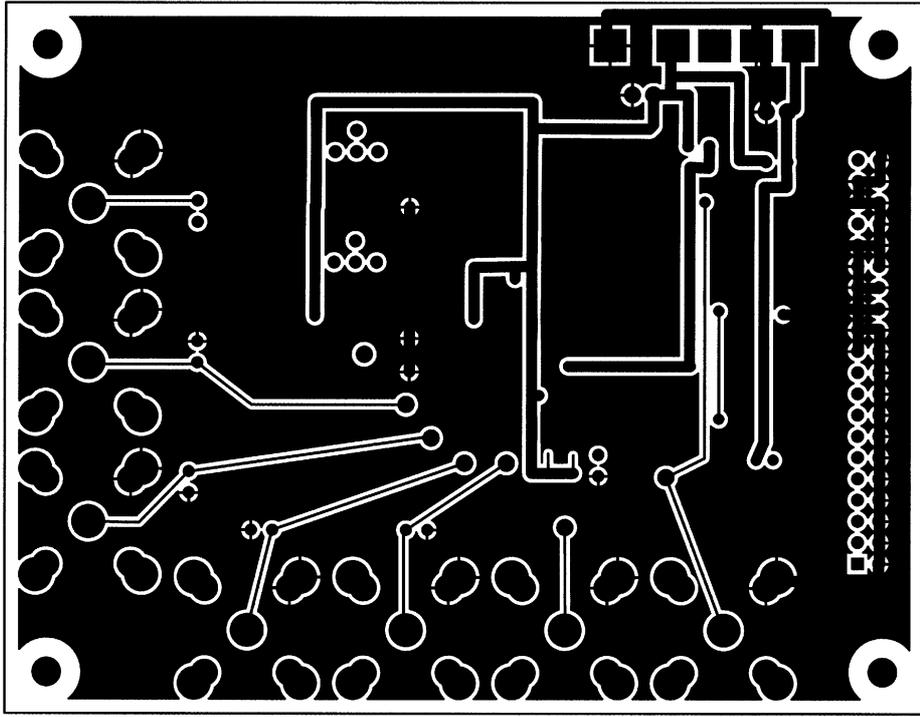
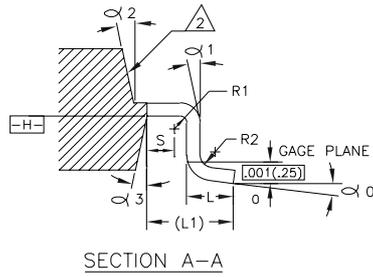
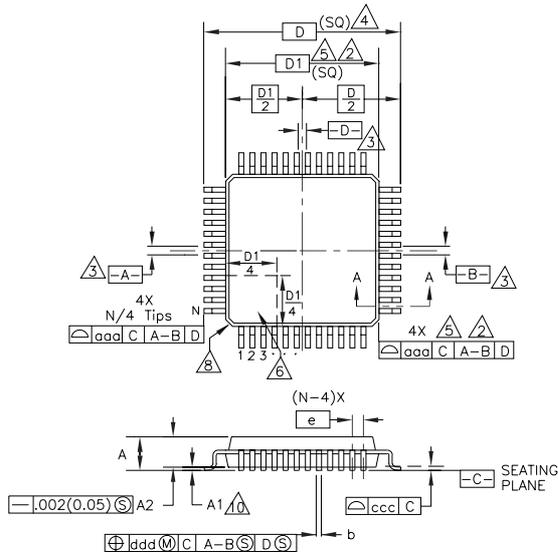


图7c. 下層

外觀

パッケージ番号340 - 48ピンLQFP



DIM	INCHES		MILLIMETERS	
	MIN	MAX	MIN	MAX
A	—	.063	—	1.60
A1	.002	.006	0.05	0.15
A2	.053	.057	1.35	1.45
b	.007	.011	0.17	0.27
C	.004	.008	0.09	0.20
D	.354 BASIC		9.00 BASIC	
D1	.276 BASIC		7.00 BASIC	
e	.020 BASIC		0.50 BASIC	
L	.018	.030	0.45	0.75
L1	.039 REF		1.00REF	
N	48		48	
R1	.003	—	0.08	—
R2	.003	.008	0.08	0.20
S	.008	—	0.20	—
aaa	.008 NOM.		0.20 NOM.	
bbb	.008 NOM.		0.20 NOM.	
ccc	.003 NOM.		0.08 NOM.	
ddd	.003 NOM.		0.08 NOM.	
$\infty 0$	0°	7°	0°	7°
$\infty 1$	0°	—	0°	—
$\infty 2$	11°	13°	11°	13°
$\infty 3$	11°	13°	11°	13°