



SoundPLUS™ 256/384/768f_s 同時出力 プログラマブル・デュアルPLLクロック・ジェネレータ

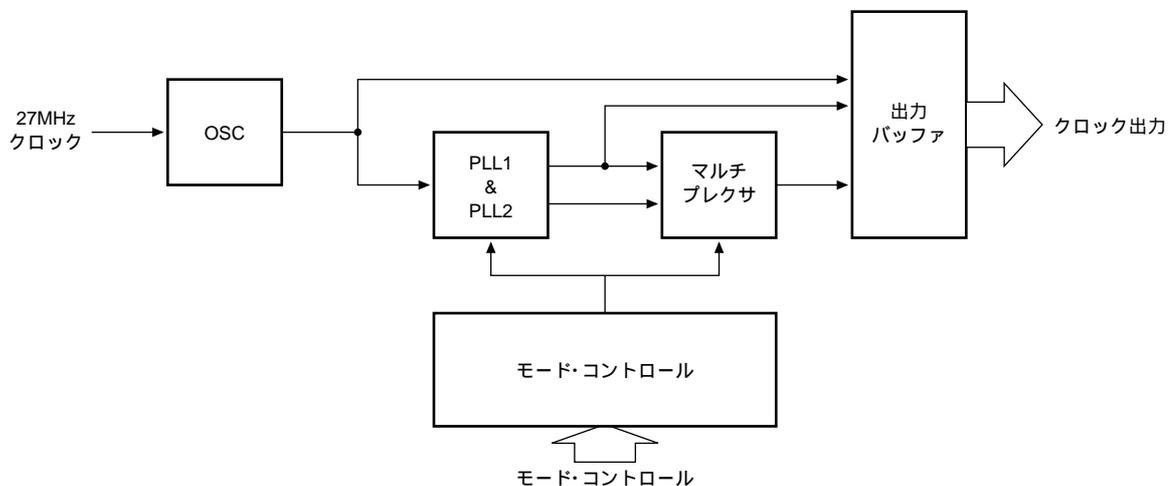
特 長

- マスター・クロック
 内蔵PLL用基準クロック：27MHz
- 高精度、低ジッタ：150ps(標準)(SCKO3)
- 生成システム・クロック
 SCKO1：33.8688MHz固定
 SCKO2：256f_s
 SCKO3：384f_s
 SCKO4：768f_s(f_s = 32、44.1、48kHz)
- 広サンプリング・レート(f_s)対応：
 32、44.1、48、64、88.2、96kHz
- +3.3V CMOSロジック・インターフェース
- パッケージ：小型20ピンSSOP

概 要

PLL1700は、MPEGシステム用に開発した高精度、低ジッタ、マルチ出力PLL(Phase Locked Loop)クロックICです。27MHzのマスター・クロックを入力することでオーディオ系に必要な256/384/768f_sシステム・クロックを生成し、同時に出力します。サンプリング周波数は32、44.1、48、64、88.2、96kHzから選択でき、生成されるシステム・クロックは周波数精度が高くジッタ量が極めて低いため、デルタ・シグマ型D/Aコンバータの特性が最大限に引き出されます。各サンプリング・レートはハードウェア、ソフトウェアにより設定でき、さらにソフトウェア・モードの場合は各クロック出力を独立してON/OFF制御可能です。

PLL1700は+3.3V CMOSロジックLSIと容易にインターフェースできるようにTTL入力、+3.3V CMOSロジック出力を採用しています。また、周辺部品が不要でコストパフォーマンスに優れているため、DVDプレーヤ、DVDオーディオ、デジタルHDTV等のマルチメディア・アプリケーションに最適です。



仕様

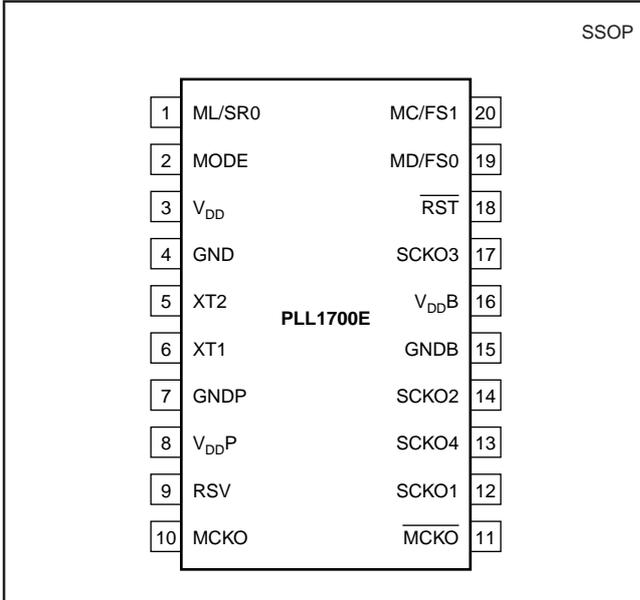
特に記述のない限り、 $T_A = +25$ 、 $V_{DD} = V_{DDP} = +5V$ 、 $V_{DDB} = +3.3V$ 、 $f_M = 27MHz$ 、クリスタル発振、 $f_S = 48kHz$ です。

パラメータ	条件	PLL1700E			単位	
		最小	標準	最大		
デジタル入出力						
ロジック入力レベル		TTLコンパチブル				
入力ロジック・レベル	V_{IH} V_{IL}	2.0		0.8	VDC	
入力ロジック電流	$I_{IH}^{(1)}$ $I_{IL}^{(1)}$ $I_{IH}^{(2)}$ $I_{IL}^{(2)}$	$V_{IN} = V_{DD}$ $V_{IN} = 0V$ $V_{IN} = V_{DD}$ $V_{IN} = 0V$		200 -1 4 -800	μA μA mA μA	
ロジック出力レベル			CMOS			
出力ロジック・レベル	$V_{OH}^{(3)}$ $V_{OL}^{(3)}$	$I_{OH} = 2mA$ $I_{OL} = -4mA$	$V_{DDB} - 0.4V$	0.4	VDC VDC	
サンプリング周波数	f_S	標準 ダブル	32 64	44.1 88.2	48 96	kHz kHz
MCKO、 \overline{MCKO} AC特性	$f_M = 27MHz$ 、 $C_L = 20pF$					
マスター・クロック周波数		26.73	27	27.27	MHz	
クロック・ジッタ ⁽⁴⁾	標準偏差		300		ps	
MCKOデューティ・サイクル(クリスタル発振)		40	50	60	%	
\overline{MCKO} デューティ・サイクル(クリスタル発振)		40	50	60	%	
MCKOデューティ・サイクル(外部クロック入力)			40		%	
\overline{MCKO} デューティ・サイクル(外部クロック入力)			60		%	
SCKO1~4 AC特性	$f_M = 27MHz$ (クリスタル発振)、 $C_L = 20pF$					
生成システム・クロック周波数			33.8688		MHz	
SCKO1 (PLL-1)	固定	8.192		24.576	MHz	
SCKO2	$256f_S$	12.288		36.864	MHz	
SCKO3	$384f_S$	24.576		36.864	MHz	
SCKO4	$768f_S$				MHz	
出力立ち上がり時間 ⁽³⁾	$20 \sim 80\% V_{DDB}$		5		ns	
出力立ち下がり時間 ⁽³⁾	$80 \sim 20\% V_{DDB}$		5		ns	
生成クロック・デューティ・サイクル	SCKO1、3、4	40	50	60	%	
	SCKO2(標準)	40	50	60	%	
	SCKO2(ダブル) ⁽⁵⁾	25	33	40	%	
生成クロック・ジッタ ⁽⁴⁾	SCKO3		150		ps	
	SCKO1、2(標準)、4		300		ps	
	SCKO2(ダブル)		450		ps	
周波数セトリング遅延時間	設定周波数出力まで			20	ms	
パワーアップ時間	設定周波数出力まで		15	30	ms	
電源						
電源電圧	V_{DD} 、 V_{DDP} V_{DDB}	+4.5	+5	+5.5	VDC	
電源電流 ⁽⁶⁾	$I_{DD} + I_{DDP}$ I_{DDB}	+2.7	+3.3	+3.6	VDC	
消費電力	$V_{DD} = V_{DDP} = 5V$ 、 $f_S = 48kHz$ $V_{DDB} = 3.3V$ 、 $f_S = 48kHz$ $f_S = 48kHz$		11	16	mA	
			6	9	mA	
			75	110	mW	
温度範囲						
動作		-25		+85		
保存		-55		+125		
熱抵抗、 θ_{JA}			100		$^{\circ}C/W$	

注：(1)ML、MC、MD、MODE、 \overline{RST} (シュミット・トリガ入力、内部プルダウン)の各端子に適用。(2)XT1端子に適用(外部クロック入力使用の場合は、74HC04等のバッファICを使用されることを推奨します)。(3)MCKO、 \overline{MCKO} 、SCKO4、SCKO3、SCKO2、SCKO1の各端子に適用。(4)ジッタ性能は27MHzクリスタル発振状態におけるジッタの標準偏差として規定されます。(5)SCKO2の倍速クロック出力時のみ、デューティ比33%になります。(6) $f_M = 27MHz$ クリスタル発振、MCKO、 \overline{MCKO} 、SCKO4、SCKO3、SCKO2、SCKO1は無負荷。電流値はPLLの出力周波数に依存して変化します。

このデータシートに記載されている情報は、信頼しうるものと考えておりますが、不正確な情報や記載漏れ等に関して弊社は責任を負うものではありません。情報の使用について弊社は責任を負いませんので、各ユーザーの責任において御使用下さい。価格や仕様は予告なしに変更される場合がありますのでご了承下さい。ここに記載されているいかなる回路についても工業所有権その他の権利またはその実施権を付与したり承諾したりするものではありません。弊社は弊社製品を生命維持に関する機器またはシステムに使用することを承認しまたは保証するものではありません。

ピン配置



絶対最大定格

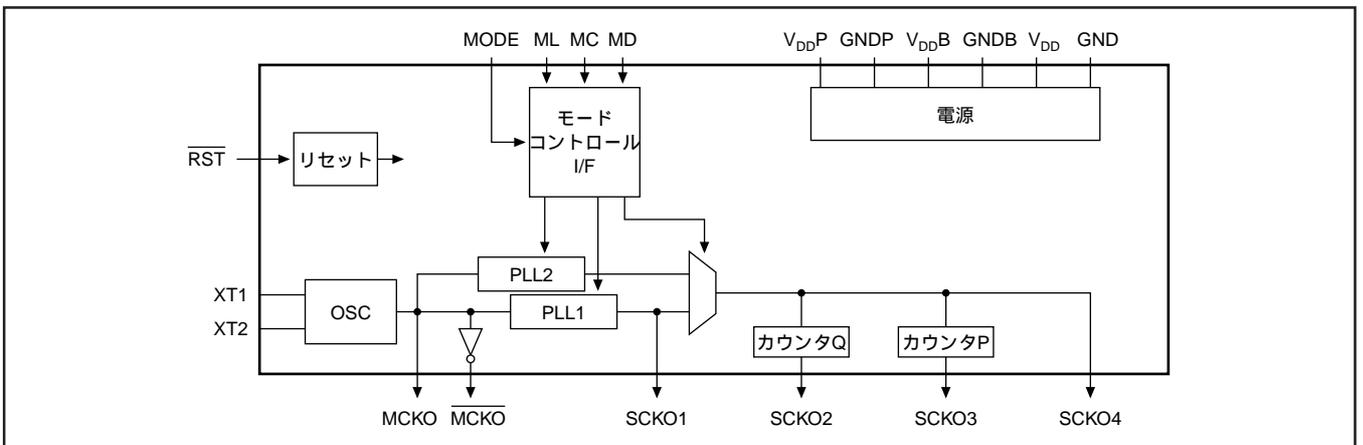
電源電圧 +V _{DD} 、+V _{DDP} 、+V _{DDB}	+6.5V
電源電圧差 +V _{DD} 、+V _{DDP}	±0.1V
GND電圧差 GND、GNDP、GNDB	±0.1V
デジタル入力端子電圧	-0.3V ~ V _{DD} +0.3V
デジタル出力端子電圧	-0.3V ~ V _{DD} B +0.3V
入力電流 (電源、GNDピンを除く)	±10mA
許容電力	300mW
動作温度	-25 ~ +85
保存温度	-55 ~ +125
リード温度(5秒間の半田付け)	+260
パッケージ表面温度 (赤外線リフロ、10秒間)	+235

パッケージ情報/ご発注の手引き

モデル	パッケージ ⁽¹⁾	温度範囲
PLL1700E	20ピンSSOP	-25 ~ +85

注：(1)詳細図および寸法表については、データシートの巻末を参照して下さい。

ブロック図



ピン構成

ピン番号	名称	IN/OUT	機能
1	ML/SR0	IN	制御データ入力用ロードストロープ端子 ⁽¹⁾ (ソフトウェア・モード)倍速サンプリング選択端子 ⁽¹⁾ (ハードウェア・モード)
2	MODE	IN	モード選択端子 ⁽¹⁾ (H:ハードウェア・モード、L:ソフトウェア・モード)
3	V _{DD}	-	デジタル電源端子 +5V
4	GND	-	デジタル・グラウンド端子
5	XT2	IN	水晶振動子接続端子
6	XT1	IN	水晶振動子接続もしくは外部クロック入力端子
7	GNDP	-	PLLグラウンド端子
8	V _{DDP}	-	PLL電源端子 +5V
9	RSV	-	リザーブ端子(オープンで使用)
10	MCKO	OUT	27MHzマスター・クロック出力端子
11	MCKO	OUT	27MHzマスター・クロック反転出力端子
12	SCKO1	OUT	システム・クロック出力1(33.8688MHz)
13	SCKO4	OUT	システム・クロック出力4(768f _s)
14	SCKO2	OUT	システム・クロック出力2(256f _s)
15	GNDB	-	クロック出力バッファ・グラウンド端子
16	V _{DDB}	-	クロック出力バッファ電源端子 +3.3V
17	SCKO3	OUT	システム・クロック出力3(384f _s)
18	RST	IN	リセット ⁽¹⁾ 、アクティブL
19	MD/FS0	IN	制御データ入力端子 ⁽¹⁾ (ソフトウェア・モード)サンプリング周波数選択端子 ⁽¹⁾ (ハードウェア・モード)
20	MC/FS1	IN	制御データ入力用ビット・クロック端子 ⁽¹⁾ (ソフトウェア・モード)サンプリング周波数選択端子 ⁽¹⁾ (ハードウェア・モード)

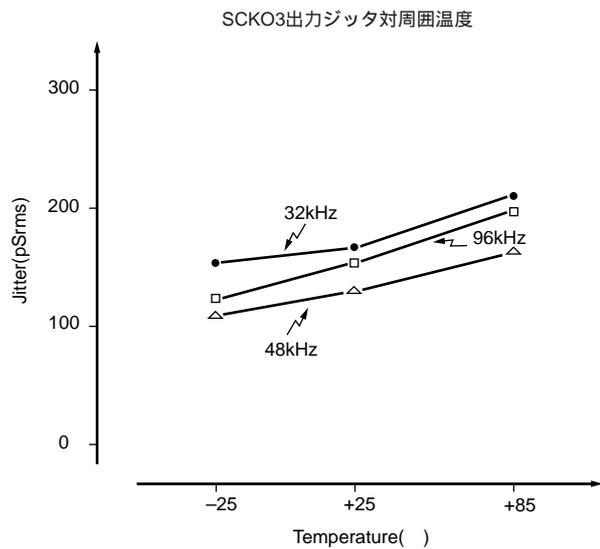
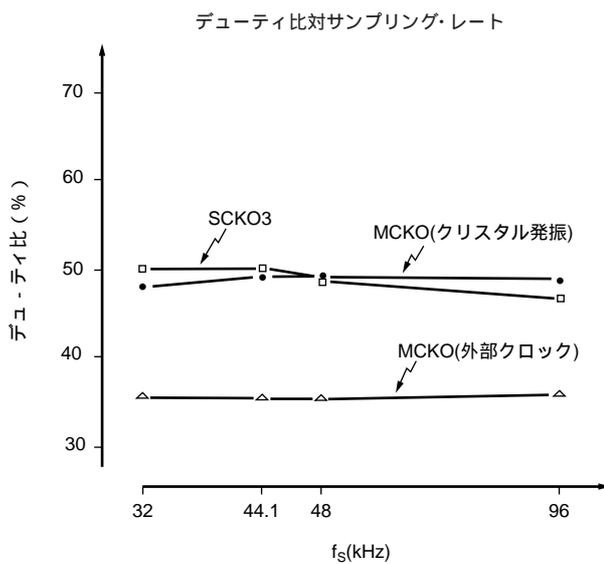
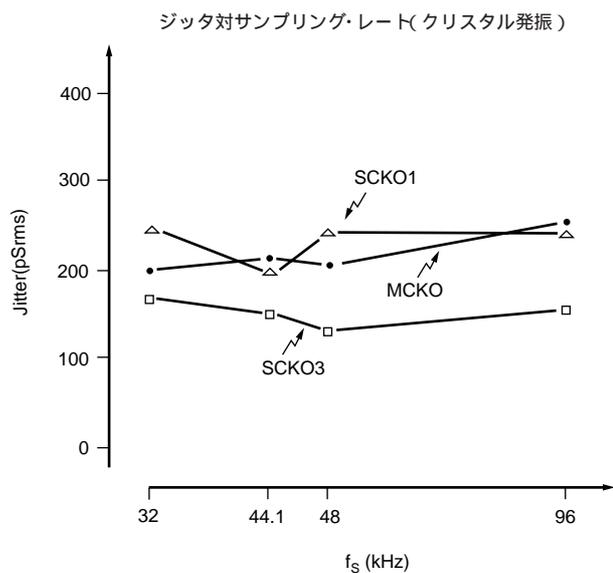
注:(1)内部プルダウン有、シュミット・トリガ入力。

⚡ 静電気放電対策

静電気放電はわずかな性能の低下から完全なデバイスの故障に至るまで、様々な損傷を与えます。すべての集積回路は、適切なESD保護方法を用いて、取扱いと保存を行うようにして下さい。高精度の集積回路は、損傷に対して敏感であり、極めてわずかなパラメータの変化により、デバイスに規定された仕様に適合しなくなる場合があります。

代表的性能曲線

特に記述のない限り、 $T_A = 25$ 、 $V_{DDP} = 5.0V$ 、 $V_{DDB} = 3.3V$ 、 $C_L = 20pF$ です。



マスター・クロックとシステム・クロック

PLL1700における27MHzマスター・クロックおよびデュアルPLL部による生成システム・クロックの内部構成を図1に、27MHzマスター・クロックのクリスタル発振または外部クロックでの接続例等を図2に示します。外部入力では27MHzマスター・クロックはXT1端子に入力し、XT2端子はグランドに接続します。また、XT1-XT2端子間にクリスタル発振子を接続して27MHzマスター・クロックを発振させることもできます。クリスタル発振時の負荷容量C1、C2は同じ容量のものを用いて下さい。クリスタル発振時およびXT1端子への外部27MHzマスター・クロック入力時のクロック条件を図3に示します。

デュアルPLL部では、低ジッタ、高精度システム・クロックを生成します。SCKO1出力は33.8688MHz(768 × 44.1 kHz)出力固定となっています。SCKO2出力はサンプリング・レート(f_s)に応じた $256f_s$ クロックを出力し、SCKO3出力は $384f_s$ クロックを出力します。SCKO4出力は、サンプリング・レートを32、44.1、48kHzに設定した場合は $768f_s$ クロック、64、88.2、96 kHzの場合には $384f_s$ クロックを出力します。

PLL部のレスポンスタイム、すなわち電源オンまたはXT1クロック入力からSCKOに安定したPLL生成クロックを出力するまでに要する時間は標準で15msです。また、周波数を切り替えた場合、セトリングするまでの遅延時間は最大で20msを必要とし

f_s モード	サンプリング・レート f_s (kHz)		
標準 f_s	32	44.1	48
ダブル f_s	64	88.2	96

表 . サンプリング周波数

サンプリング・レート f_s	モード	SCKO2($256f_s$)	SCKO3($384f_s$)	SCKO4($768f_s$)
32kHz	標準	8.192MHz	12.288MHz	24.576MHz
44.1kHz		11.2896MHz	16.9344MHz	33.8688MHz
48kHz		12.288MHz	18.432MHz	36.864MHz
64kHz	ダブル	16.384MHz	24.576MHz	24.576MHz
88.2kHz		22.5792MHz	33.8688MHz	33.8688MHz
96kHz		24.576MHz	36.864MHz	36.864MHz

表 . サンプリング・レートと生成システム・クロック周波数

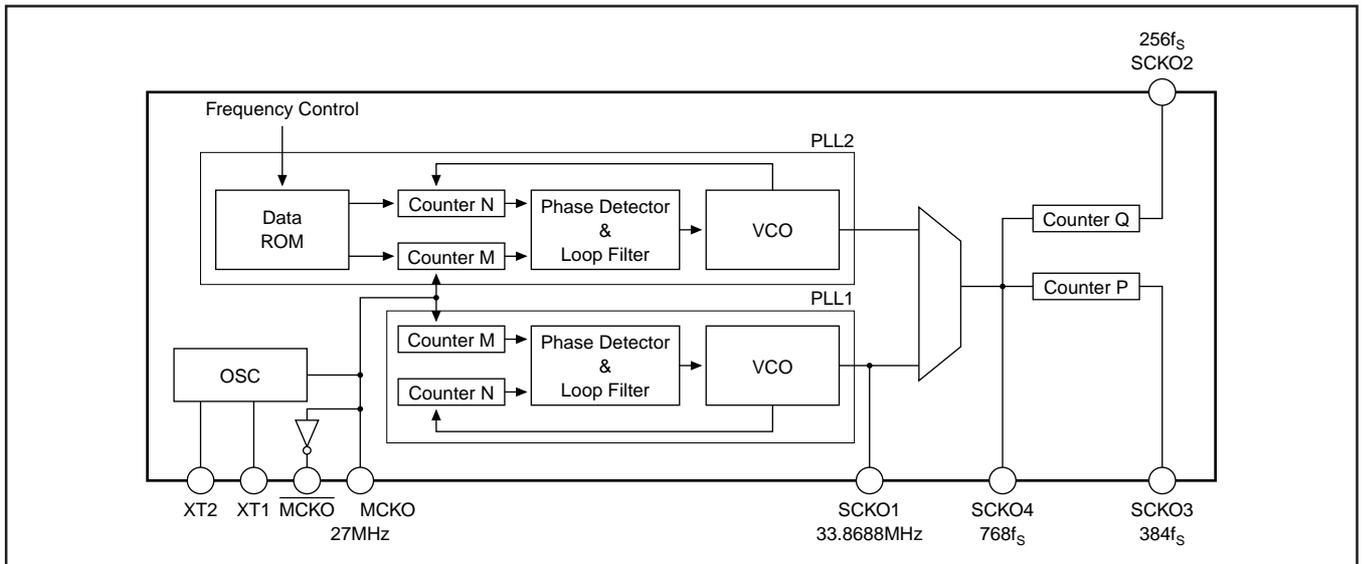


図1. プログラマブルPLL回路ブロック図

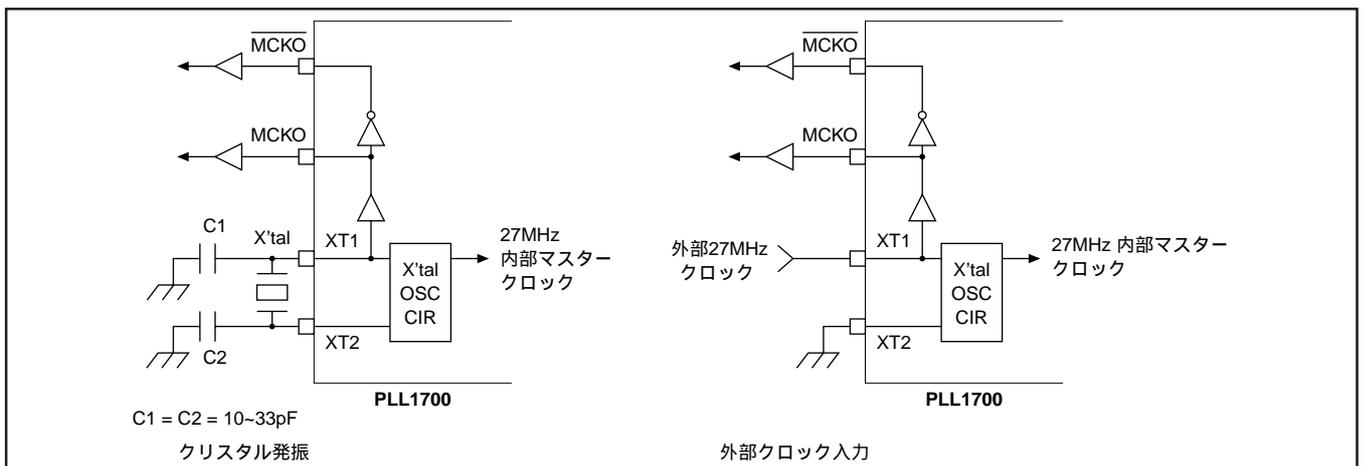


図2. マスター・クロック接続図

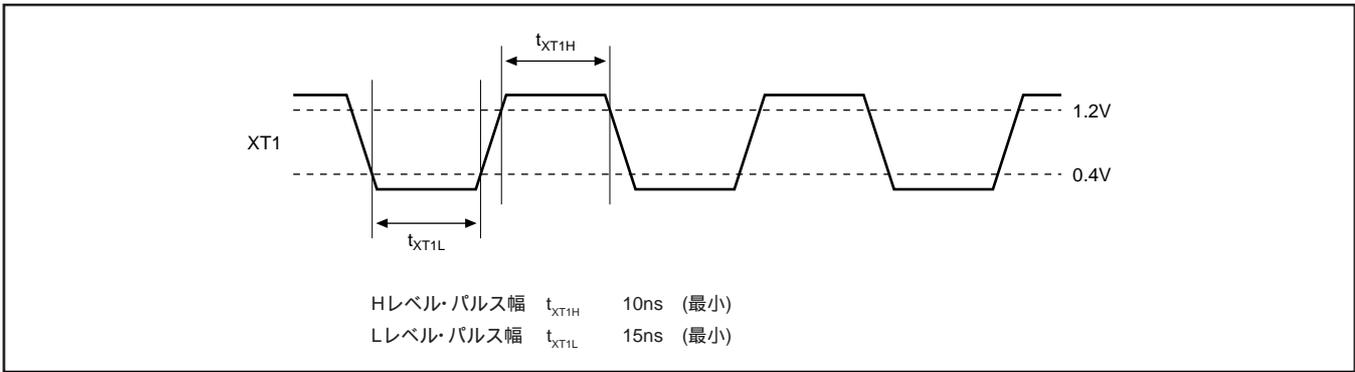


図3. XT1マスター・クロック・タイミング(クリスタル発振、外部入力ともに適用)

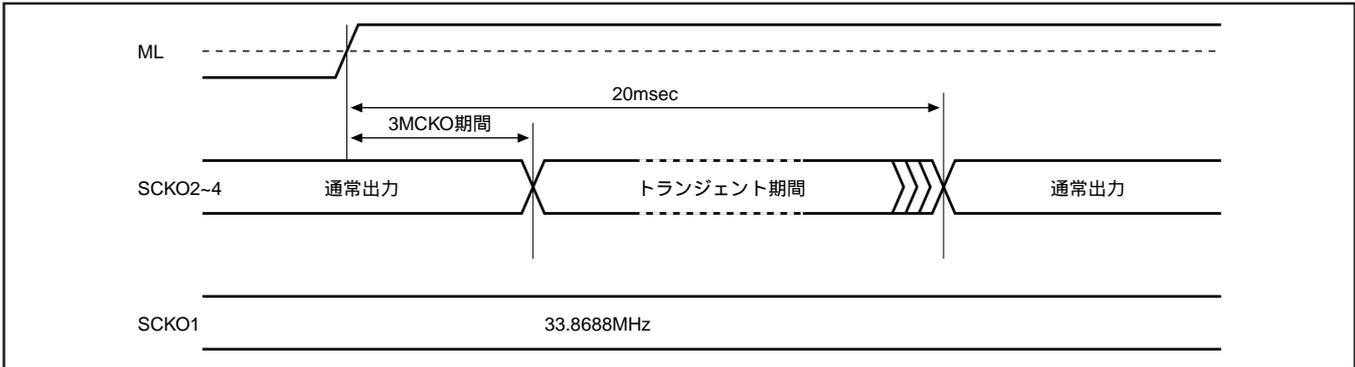


図4. システム・クロック・トランジェント・タイミング

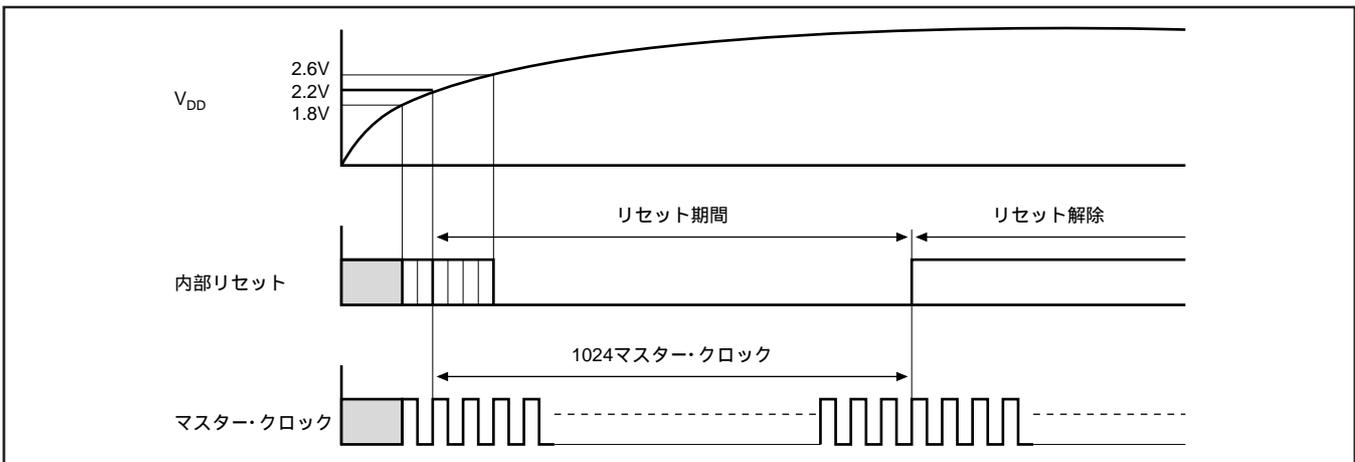


図5. パワーオン・リセットのタイミング

ます。図4に周波数切り替えに対するSCKO出力のレスポンスを示します。SCKO1からSCKO4、MCKO、 $\overline{\text{MCKO}}$ 出力は負荷を重くすると性能面に影響することがあるので、できる限りバッファ回路を介して外部とインターフェースして下さい。

リセット・オペレーション

PLL1700のリセットには、内蔵のパワ - オン・リセットと外部リセットの2種類があります。これらは内部で共通になっており、同等の機能を持っています。リセットにより、ソフトウェア制御時のモードレジスタはデフォルト値に初期化されます。リセット期間中も、すべてのクロックはデフォルト状態で出力されます。

内蔵のパワ - オン・リセットは電源投入後、電源電圧が約2.2V (1.8~2.6V)に達した時点から、1024マスター・クロックをカウントする間、リセット信号を発生します。内蔵のパワ - オン・リセットを使用する場合は $\overline{\text{RST}}$ 端子(ピン18)はHレベルにして下さい。図5にタイミングを示します。

$\overline{\text{RST}}$ 端子(ピン18)をLレベルにすることで外部からリセットをかけることができます。 $\overline{\text{RST}}$ 端子がLレベルの期間と、 $\overline{\text{RST}}$ 信号の立ち上がりエッジから1024マスター・クロックをカウントするまでの間、リセット信号を発生します。図6、7にタイミングおよびリセットパルス・タイミングを示します。

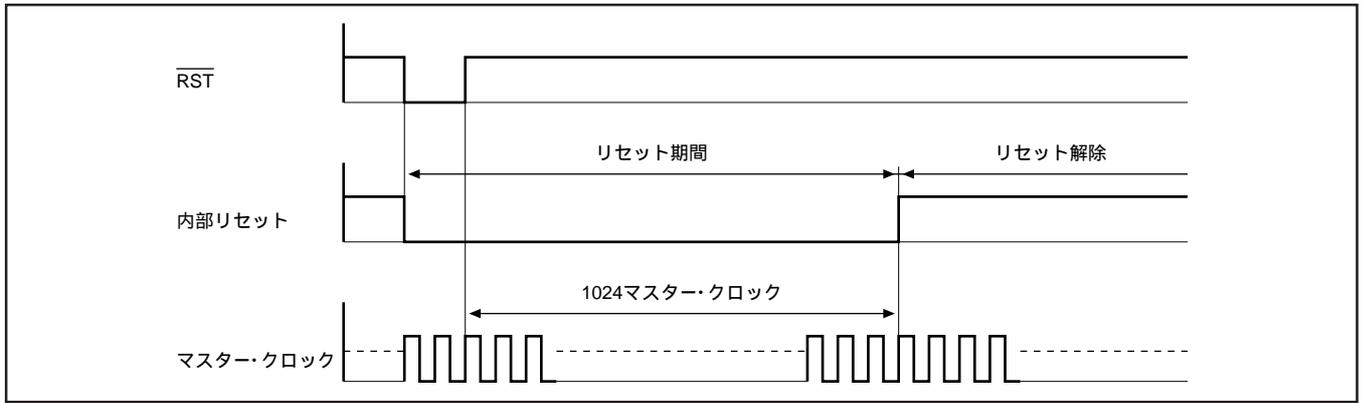


図6. 外部リセットのタイミング



図7. リセットパルス・タイミング

オペレーション・コントロール

PLL1700の各種機能は、MODE端子(ピン2)をLレベルにした場合、ML(ピン1)、MC(ピン20)、MD(ピン19)端子によりソフトウェア・モード(シリアルモード)で制御できます。また、MODE端子(ピン2)をHレベルにした場合は、SR0(ピン1)、FS1(ピン20)、FS0(ピン19)端子によりハードウェア・モード(パラレルモード)で制御できます。表 に制御可能なモードを示します。

機能	MODE = H ハードウェア・ モード	MODE = L ソフトウェア・ モード
サンプリング・レート設定(32、44.1、48kHz)	可	可
サンプリング・レート・モード(標準/ダブル)	可	可
各クロック出力制御	不可	可

表 . 制御可能なモード制御

ハードウェア・モード(MODE=H)

ハードウェア・モード選択時の各端子の機能と制御を示します。

サンプリング・レート設定(FS1、FS0)

FS1(ピン20)、FS0(ピン19)の設定によりサンプリング・レート f_s の選択をします。

サンプリング・レート設定

FS1(ピン20)	FS0(ピン19)	サンプリング・レート f_s
L	L	48kHzグループ
L	H	44.1kHzグループ
H	L	32kHzグループ
H	H	Reserved

サンプリング・レート・モード(SR0)

SR0(ピン1)の設定によりサンプリング・レートに対する標準 f_s 、ダブル f_s の選択をします。

サンプリング・レート・モード

SR0(ピン1)	サンプリング・レート
L	標準 f_s
H	ダブル f_s

ソフトウェア・モード(MODE = L)

ソフトウェア・モードにおいては、シリアルデータ制御により各種機能をコントロールできます。表 に制御可能な機能とイニシャル状態(デフォルト)の設定を示します。

機能	デフォルト
サンプリング・レート設定(32kHz/44.1kHz/48kHz)	48kHzグループ
サンプリング・レート・モード(標準/ダブル)	標準
各クロック出力制御	全出力イネーブル

表 . 制御可能なモードとデフォルト設定

制御データ・フォーマット

ソフトウェア・モード時のシリアル制御はMD(ピン19)、MC(ピン20)、ML(ピン1)に制御データを伝送することにより可能です。シリアル制御データは16ビットのMCクロック、MDデータおよびストローブ信号となるMLクロックから構成されます。MLの立ち下がり後に入力されるMC(クロック)に同期したMD(データ)は各MCの立ち上りエッジで取り込まれ、16ビット目(LSB)のデータが転送された直後のMLの立ち上がりエッジでデータが確

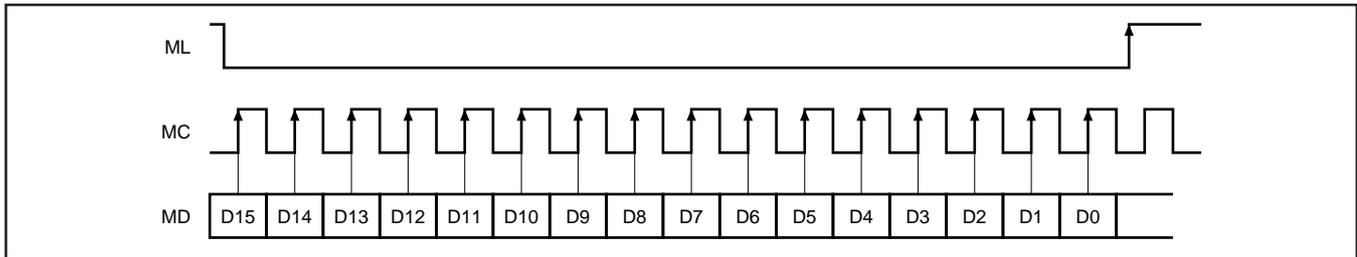


図8. シリアル制御データ・フォーマット

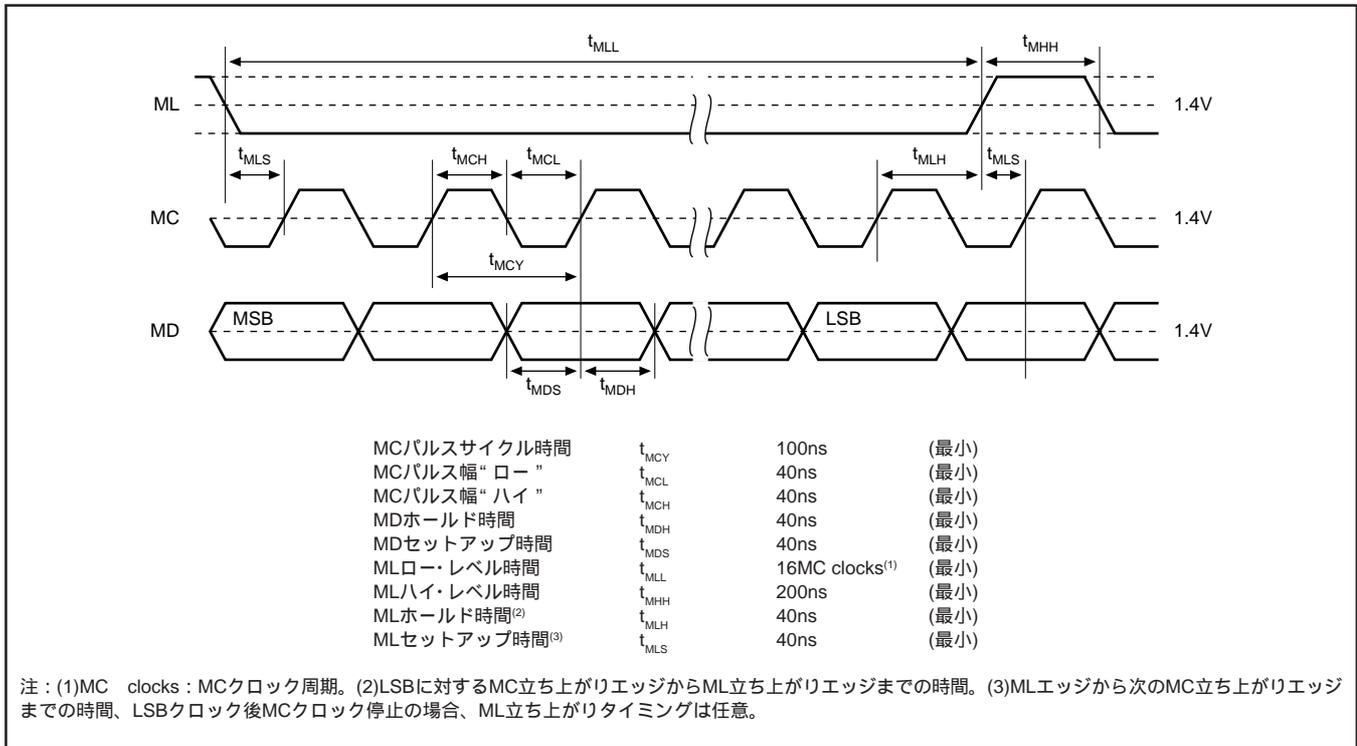


図9. シリアル制御データ・タイミング規定

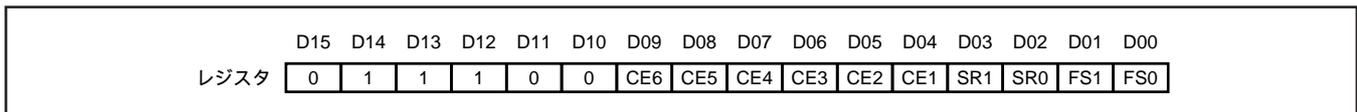


図10. モードレジスタ・ビットマッピング

定されます。MCが16クロック以上の場合にはMLの立ち上がりエッジ以前の16ビットが有効データとなります。図8にシリアル制御データ・フォーマット、図9にタイミング規定を示します。

レジスタ構成

ソフトウェア・モードにおける制御レジスタの構成を図10に示します。また、各ビットの機能を表に示します。

ビット名	機能
CE6	MCKO出力イネーブル/ディスエーブル
CE5	MCKO出力イネーブル/ディスエーブル
CE4	SCKO4出力イネーブル/ディスエーブル
CE3	SCKO3出力イネーブル/ディスエーブル
CE2	SCKO2出力イネーブル/ディスエーブル
CE1	SCKO1出力イネーブル/ディスエーブル
SR(1:0)	サンプリング・レート・モード選択
FS(1:0)	サンプリング周波数グループ選択

表 . レジスタの名称と機能

各ビットの説明

FS1, FS0

これらのビットはサンプリング周波数グループを選択します。

FS1	FS0	サンプリング・レート	デフォルト
0	0	48kHzグループ	○
0	1	44.1kHzグループ	
1	0	32kHzグループ	
1	1	Reserved	

SR1, SR0

これらのビットはサンプリング・レート・モードを選択します。

SR1	SR0	サンプリング・レート・モード	デフォルト
0	0	標準 f_s	○
0	1	ダブル f_s	
1	0	Reserved	
1	1	Reserved	

CE1-6

これらのビットは各クロック出力の停止を制御します。

CE1-6	クロック出力制御	デフォルト
0	クロック出力ディスエーブル	
1	クロック出力イネーブル	○

基本接続回路例

図11にPLL1700の基本接続例を示します。C3、C4、C5のバイパス・コンデンサはできる限りピンに最短距離で接続します。PLL1700は+5V電源および+3.3V電源を供給しますが、+5V電源は共通接続とします。各グランドも共通接続とし、できる限り広いグランド・プレーンに接続します。各クロック出力は容量性負荷のドライブによる性能劣化を避けるためにバッファを介してドライブすることを推奨します。

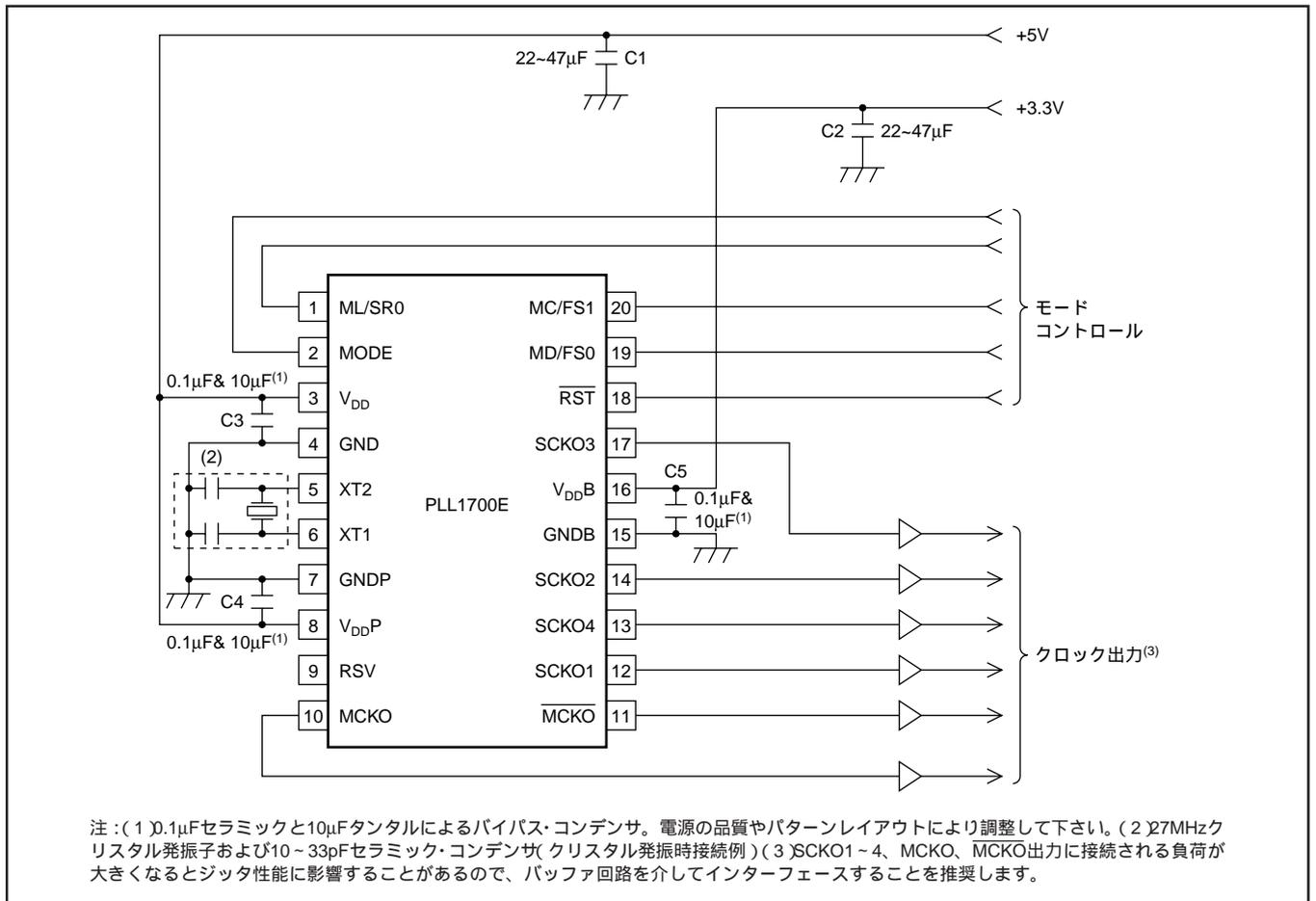


図11. 基本接続回路例

応用例

図12にPLL1700を用いたDVDシステムの構成例を示します。
PLL1700を用いることでDVDシステムの高精度クロックの供給が容易に実現できます。

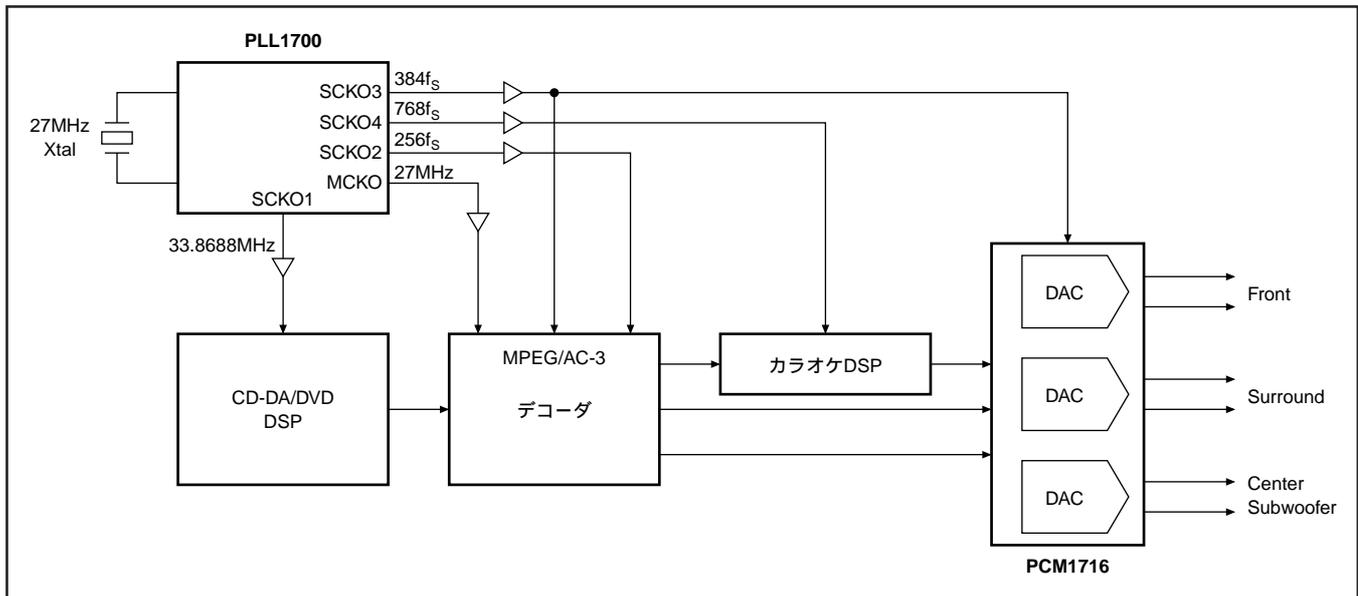
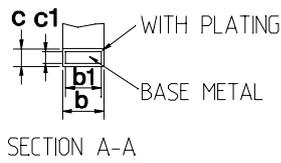
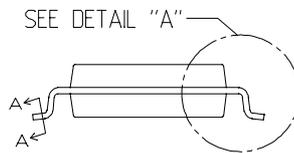
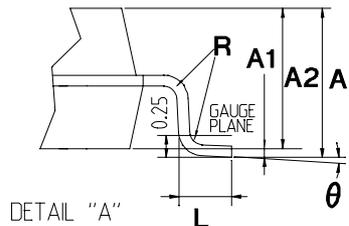
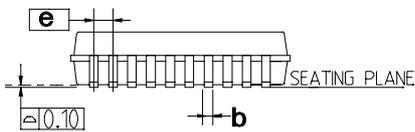
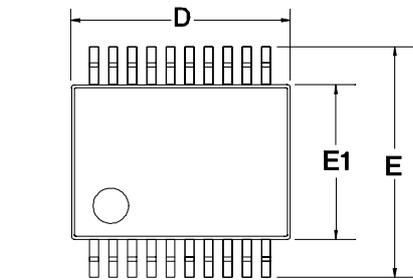


図12. 応用回路例

外観

パッケージ：20ピンSSOP



DIM	MILLIMETERS		
	MIN	TYP	MAX
A	—	—	2.13
A1	0.05	—	0.25
A2	1.62	1.75	1.88
b	0.22	—	0.38
b1	0.22	0.30	0.33
c	0.09	—	0.20
c1	0.09	0.15	0.16
D	6.90	7.20	7.50
E	7.40	7.80	8.20
E1	5.00	5.30	5.60
e	—	0.65 BSC	—
L	0.63	0.90	1.03
R	0.09	—	—
θ	0°	4°	8°