

Sound PLUS アドバンスト1ビット方式 BiCMOSデュアル18ビットD/Aコンバータ

特 長

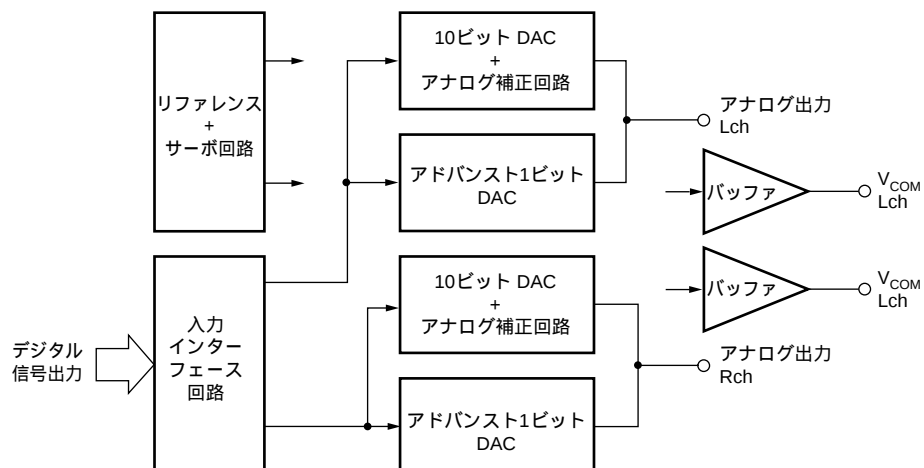
- 18ビット分解能
- 高精度、低歪率
 0.0025%(F/S、Kグレード)(最大)
 0.004%(F/S、Jグレード)(最大)
 0.008%(F/S、AP、AU)(最大)
- S/N比：110dB(1HF-A)(標準)
- 電流出力：1.2mAスパン
- デュアル、同位相
- ノンゼロクロス歪、ノングリッチ
- 低レベル・リニアリティ・エラー
- 8倍オーバー・サンプリング対応
- 5V単一電源動作
- 低消費電力：75mW(標準)
- パッケージ：小型16ピンDIPまたは20ピンSOP
- 動作温度範囲：-25 ~ +85

概 要

PCM69Aは、画期的新技术とBiCMOSプロセスの採用により優れたコストパフォーマンスを実現したデュアル18ビット分解能D/Aコンバータです。主な特長を次にあげます。

- 新技术の採用により優れた小信号再生能力を達成
 - ・パー・ブラウンの誇るNiCrラダーセグメント+高精度レーザ・トリミング技術
- アドバンスト1ビット方式の採用
- デジタルオフセットおよびアナログ補正回路の採用
- デジタルフィルタのシステムクロックで動作し、高い動作クロックが不要：あらゆる f_s に対応(タイミング条件あり)
- 高次ノイズ・シェーピング1ビット方式に比べダイナミック動作でのノイズフロアの上昇がなく、実使用上のS/N比が高い
- 高次ノイズ・シェーピング1ビット方式に比べシステムクロックのジッタの影響を受けない

PCM69Aはこのような優れた性能を有しているため、CDプレーヤ、BSチューナ、DAT、電子楽器等のあらゆるデジタル・オーディオ・アプリケーションに最適です。



仕様

特に記述のない限り、T_A = +25、+V_{CC} = +V_{DD} = +5.0Vにおけるものです。

パラメータ	PCM69A			単位
	最小	標準	最大	
デジタル入力				
分解能		18		Bits
ロジックレベル				
V _{IH} I _{IH} = ±5μA	+2.0		+V _{DD}	VDC
V _{IL} I _{IL} = ±5μA	0.0		+0.8	VDC
入力クロック周波数		16.94		MHz
伝達特性				
ゲイン誤差		±3	±10	%
ゲイン誤差、チャンネル間ミスマッチ		±1	±5	%
V _{COM} 電圧	3.35	3.5	3.65	V
S/N比(バイポーラ・ゼロ点、1HF-Aフィルタ)		110		dB
チャンネルセパレーション(f = 1kHz)		106		dB
レベルリニアリティ・エラー(f = 1kHz、−90dB出力)		±1		dB
全高調波歪率 ⁽¹⁾				
V _O = F/S 69A(P/U)			0.008	%
69A(P-J/U-J)			0.004	%
69A(P-K/U-K)			0.0025	%
V _O = −60dB 69A(P-U)			2.0	%
69A(P-J/U-J)			1.0	%
69A(P-K/U-K)			1.0	%
ダイナミックレンジ(EIAJ)		106		dB
ウォームアップ時間		1		分
出力				
出力電流		1.2		mA
出力インピーダンス		1.8k		Ω
電源条件				
電源電圧(+V _{CC} = +V _{DD} 、共通接続)	+4.75	+5.00	+5.25	VDC
電源電流(+V _{CC} = +V _{DD} 、共通接続)		15	20	mA
消費電力(+V _{CC} = +V _{DD} 、共通接続)		75	105	mW
温度範囲				
動作	−25		+85	°C
保存	−55		+100	°C

注：(1)データレート8f_s、理想18ビットデータ、信号周波数f = 991Hz、平均値測定。システムクロック384f_s (16.9344MHz、f_s = 44.1kHz)

このデータシートに記載されている情報は、信頼しうるものと考えておりますが、不正確な情報や記載漏れ等に関して弊社は責任を負うものではありません。情報の使用について弊社は責任を負いませんので、各ユーザーの責任において御使用下さい。価格や仕様は予告なしに変更される場合がありますのでご了承下さい。ここに記載されているいかなる回路についても工業所有権その他の権利またはその実施権を付与したり承諾したりするものではありません。弊社は弊社製品を生命維持に関する機器またはシステムに使用することを承認または保証するものではありません。

絶対最大定格:DIP

電源電圧	+6.5V
入力ロジック電圧	-0.3V ~ V_{DD} +0.3V
保存温度	-55 ~ +100
動作温度	-25 ~ +85
リード温度	260、10秒
消費電力	500mW

絶対最大定格:SOP

電源電圧	+6.5V
入力ロジック電圧	-0.3V ~ V_{DD} +0.3V
保存温度	-55 ~ +100
動作温度	-25 ~ +85
リード温度	260、10秒
消費電力	300mW

ピン構成(DIP)

ピン番号	名 称
1	$+V_{CC}$ (アナログ系電源)
2	$V_{COM}^{\wedge}$ Lch
3	$I_{OUT}^{\wedge}$ Lch
4	SERVO、DC
5	REF、DC
6	$I_{OUT}^{\wedge}$ Rch
7	$V_{COM}^{\wedge}$ Rch
8	アナログ・グラウンド(アナログ系共通)
9	デジタル・グラウンド(デジタル系共通)
10	DATA Rch
11	BCK
12	SYS CLK
13	WDCK
14	DATA Lch
15	TP1
16	$+V_{DD}$ (デジタル系電源)

ピン構成(SOP)

ピン番号	名 称
1	$+V_{CC}$ (アナログ系電源)
2	$V_{COM}^{\wedge}$ Lch
3	N.C
4	$I_{OUT}^{\wedge}$ Lch
5	SERVO、DC
6	REF、DC
7	$I_{OUT}^{\wedge}$ Rch
8	NC(接続なし)
9	$V_{COM}^{\wedge}$ Rch
10	アナログ・グラウンド(アナログ系共通)
11	デジタル・グラウンド(デジタル系共通)
12	TP2(内部プルアップ有)
13	DATA Rch
14	BCK
15	SYS CLK
16	WDCK
17	DATA Lch
18	TP3(内部プルアップ有)
19	TP1
20	$+V_{DD}$ (デジタル系電源)

パッケージ情報/ご発注の手引き⁽¹⁾

モデル	パッケージ
PCM69AP	16ピンDIP
PCM69AU	20ピンSOP
PCM69AP-J	16ピンDIP
PCM69AU-J	20ピンSOP
PCM69AP-K	16ピンDIP
PCM69AU-K	20ピンSOP

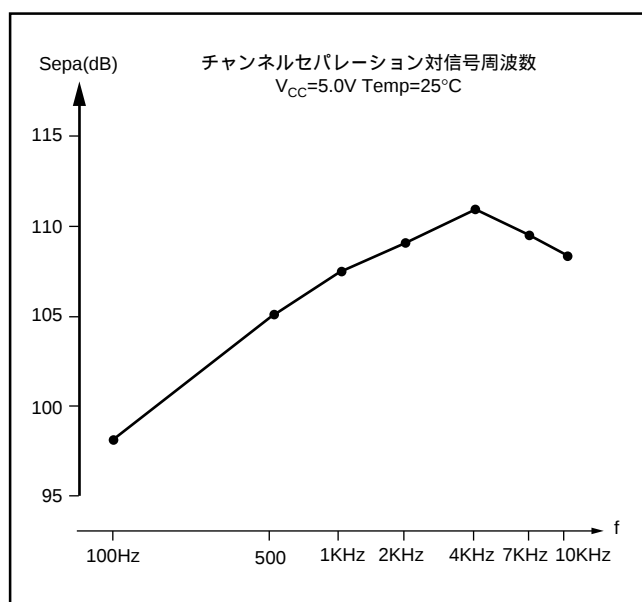
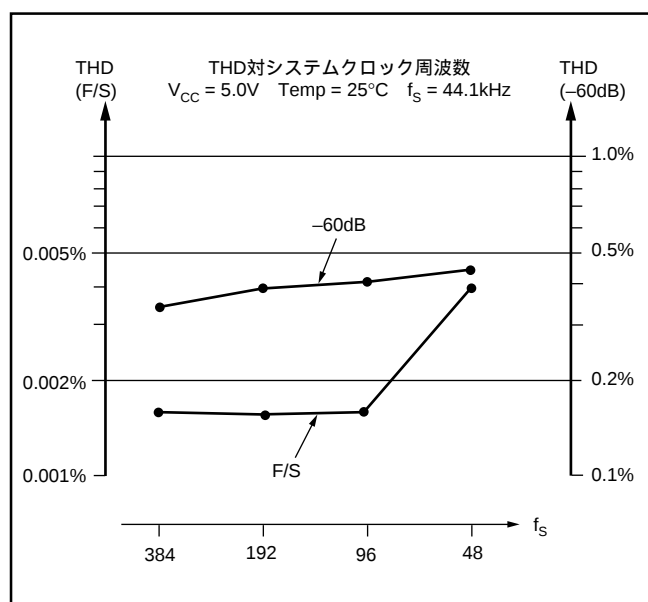
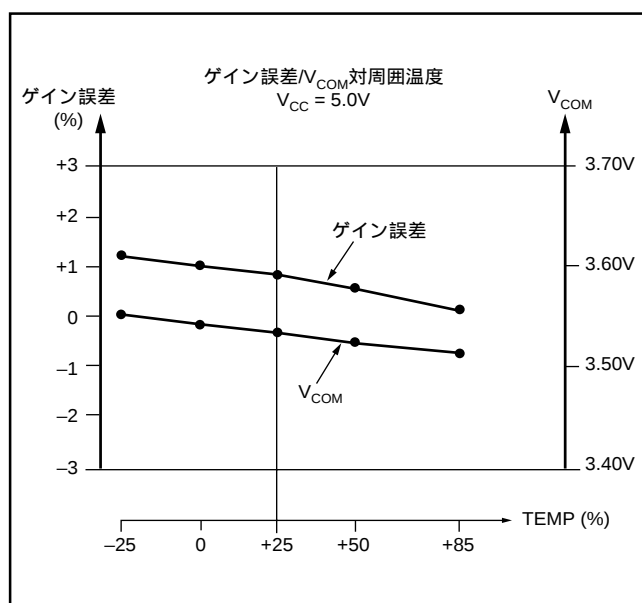
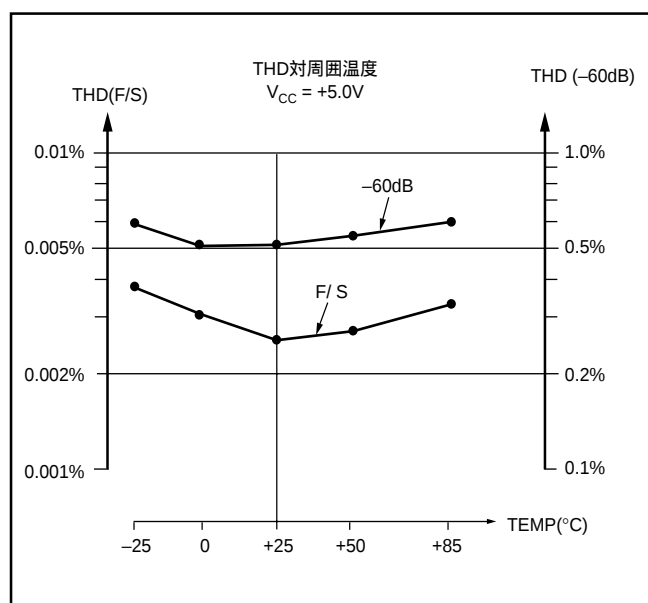
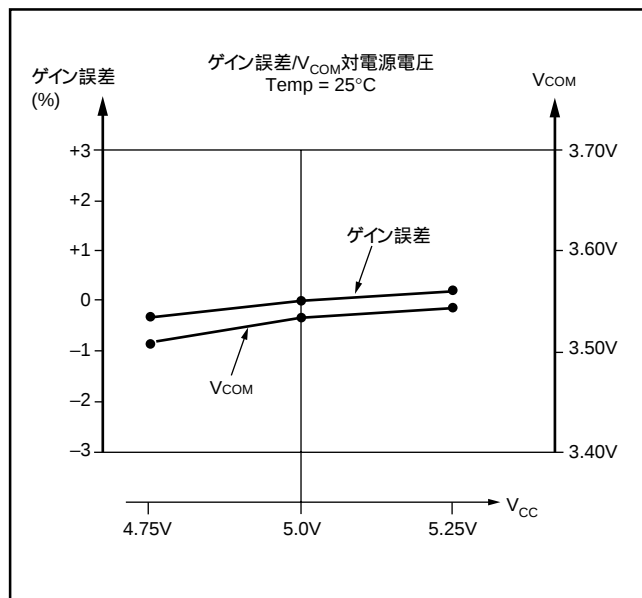
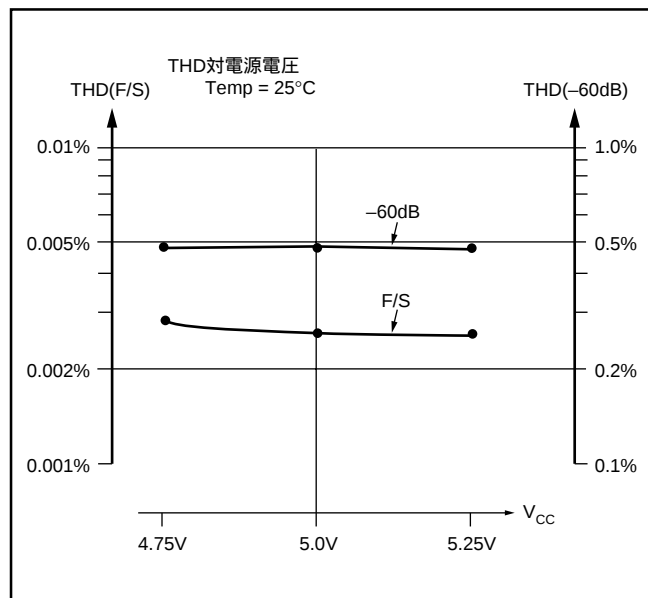
注：(1)詳細図および寸法表は、データシートの巻末を参照して下さい。



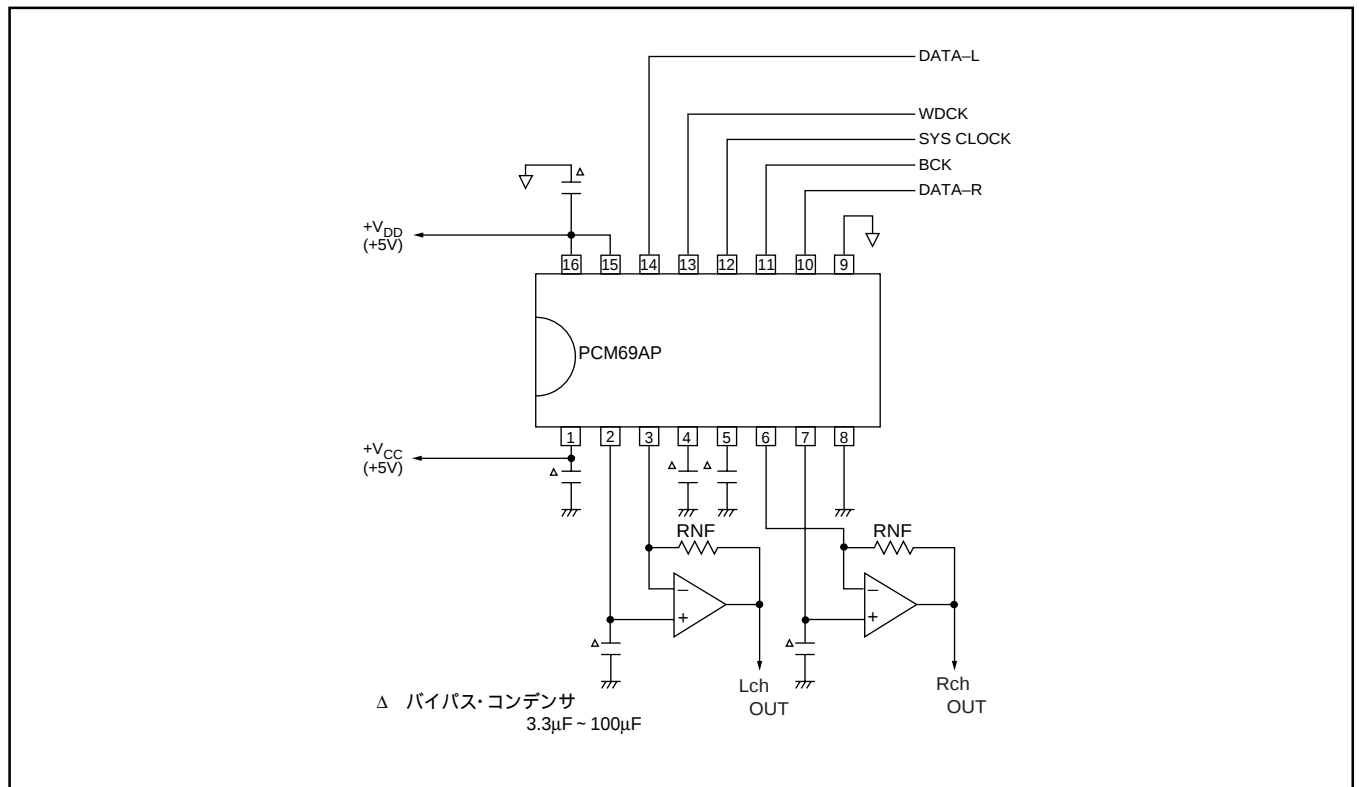
静電気放電対策

静電気放電はわずかな性能の低下から完全なデバイスの故障に至るまで、様々な損傷を与えます。すべての集積回路は、適切なESD保護方法を用いて、取扱いと保存を行うようにして下さい。高精度の集積回路は、損傷に対して敏感であり、極めてわずかなパラメータの変化により、デバイスに規定された仕様に適合しなくなる場合があります。

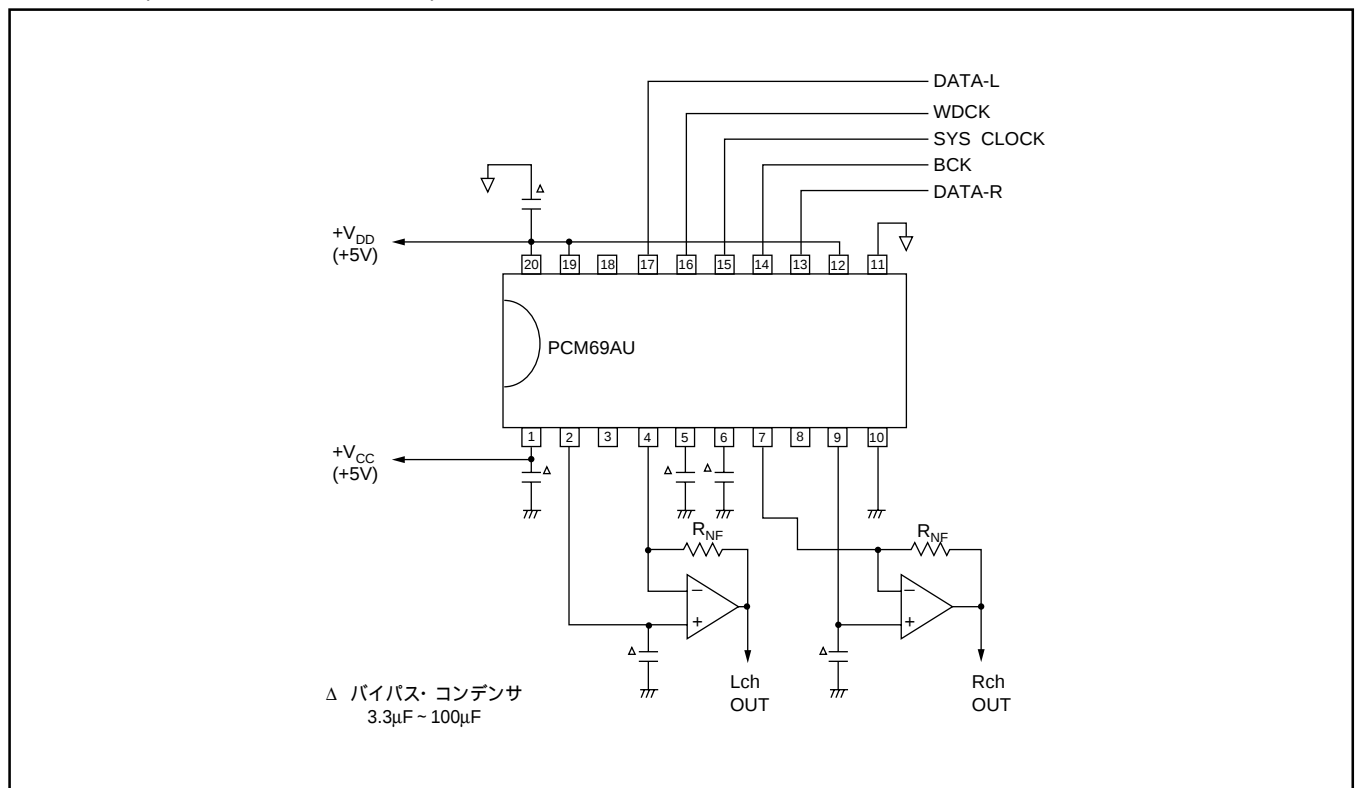
代表的性能曲線



基本接続図(PCM69AP、16ピンDIP)



基本接続図(PCM69AU、20ピンSOP)



仕様の説明

PCM69Aは、18ビット分解能を持つD/Aコンバータで、高次のオーバー・サンプリング対応が可能です。D/Aコンバータの伝達特性は図1の伝達特性で示され、デジタル入力コードとD/Aコンバータの出力との関係は表に示されています。

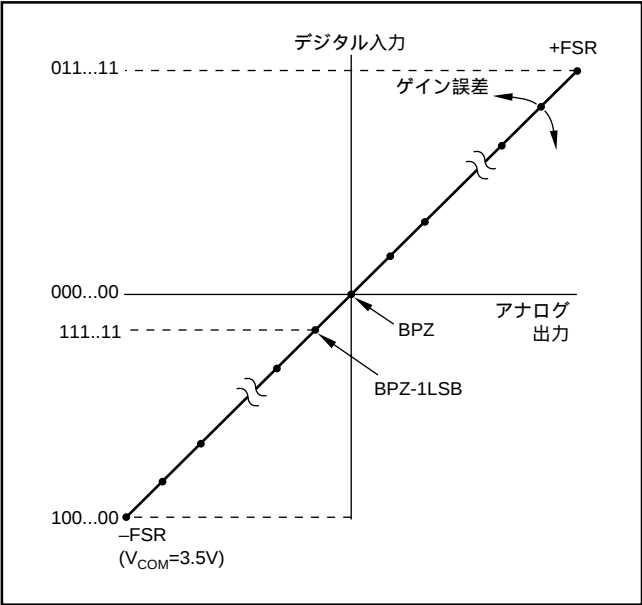


図1. DACの入出力特性

デジタル入力コード

PCM69AはBinary Two's Complement(BTC)のシリアル入力データ(MSBファースト)に対応しています。デジタル入力とアナログ出力の関係は表を参照して下さい。ここでは18ビット・データを24ビットのHex Codeで表しています。また、アナログ出力はI/V変換後のもので、電流出力ダイレクトではまったく正反対の極性となります。

デジタル入力	アナログ出力(電圧)
7FFFFFFF(Hex)	+FSR
00003F(Hex)	BPZ
FFFFFF(Hex)	BPZ - 1LSB
80003F(Hex)	-FSR

表 . デジタル入力コードとアナログ出力

ゲイン誤差およびチャンネル間ミスマッチ

PCM69Aの出力は電流出力で1.2mAスパンとなっています。この1.2mAに対する実際の出力との差はゲイン誤差で定義され、フルスケールに対するパーセントで規定されています。このゲイン誤差は標準3%にトリミングされています。また、PCM69AはデュアルタイプなのでL/R両チャンネル間のゲイン誤差をチャンネル間ミスマッチで定義し、このチャンネル間ミスマッチは標準1%です。

外部オペアンプでI/V変換後の電圧出力はI/V変換の帰還抵抗で求められますが、-FSR点がV_COM電圧(3.5V)となる点に注意してください(図2参照)。

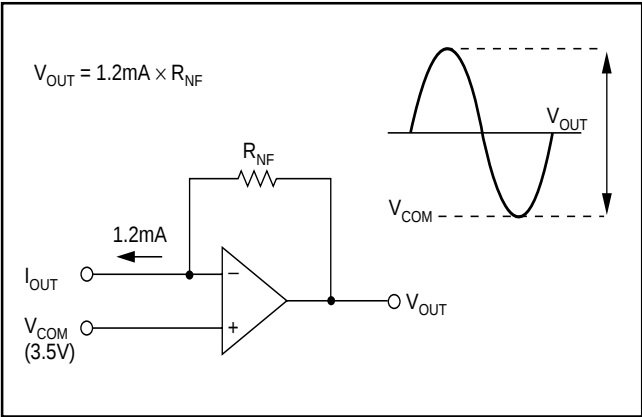


図2. I/V変換出力

V_COM電圧

PCM69Aは5V単一電源動作を行っているため、内部にてリファレンスおよびサーボ回路によるバイアス電圧を設けてあり、電流出力の基準コモンがこのV_COM電圧となっています。通常、オペアンプによるI/V変換後はこのV_COM電圧がオペアンプの非反転入力に接続されるため、I/V変換後の-FSR電圧はV_COM電圧となります。

ダイナミックレンジ

ダイナミックレンジはD/Aコンバータが作ることのできる最小信号とフルスケール信号との比で、一般にデシベル(dB)で表され、理論的には6 x n(Bit)、すなわち18ビットでは108dBとなります。ただし、実際にはD/Aコンバータの精度や周辺条件の影響等により制限され、この理論値よりも小さくなり、EIAJにおけるCDプレーヤのダイナミックレンジ定義は-60dB出力におけるTHD + Nです。PCM69Aでは、18ビット理想データで標準106dBのダイナミックレンジを得ることができます。

S/N比

フルスケール出力時の信号レベルとバイポーラ・ゼロ出力時の雑音レベルとの比をS/N比で定義し、通常(dB)で表されます。PCM69Aの出力雑音レベルは極めて小さいので周辺回路の条件については十分注意しなければなりません。PCM69Aでは「IHF-A」フィルタにて標準110dBのS/N比を得ることができます。

チャンネル・セパレーション

PCM69Aは、デュアルDACなのでL/R両チャンネル間のクロストーク成分をチャンネル・セパレーションで定義し、片方のチャンネルがフルスケール出力の時、もう一方のチャンネルへのクロストーク成分との比で規定しています。

レベル・リニアリティ・エラー

これはデジタル入力値に対する実際のアナログ出力値との公差で定義され、PCM69Aではアドバンスト・ワンビット方式の採用により-90dB出力で標準±1dBです。16ビットの変換における±1/2LSBの量子化誤差は+1.94dB、-2.5dBですから実用上は何ら問題ありません。

全高調波歪

THDはオーディオ・アプリケーションに有効で、直線性誤差の大きさと分布、微分直線性誤差、および雑音、さらに量子化誤差の割合です。有効にするためには、THDは高レベルと低レベルの両入力信号に対して規定されなければなりません。この誤差は、調整不可能で、オーディオ・アプリケーション用D/Aコンバータの精度を最も的確に表現しています。

THDは高調波の自乗の和の平方根と入力の基本波周波数の値の比として定義され、パーセントかdBで表されます。入力換算のPCM69Aの誤差のrms値は次式で表されます。

$$\text{THD} = \epsilon_{\text{rms}} / E_{\text{rms}}$$

$$\epsilon_{\text{rms}} = \sqrt{1/n \sum_{i=1}^n [E_L(i) + E_Q(i)]^2}$$

ここで、nはあるサイン波の1サイクル内のサンプル数で、 $E_L(i)$ は、各サンプリング点におけるPCM69A直線性誤差、 $E_Q(i)$ は各サンプリング点における量子化誤差です。よって、THDは次のように表されます。

$$\text{THD} = \frac{\epsilon_{\text{rms}}}{E_{\text{rms}}} \times 100\%$$

$$= \frac{\sqrt{1/n \sum_{i=1}^n [E_L(i) + E_Q(i)]^2}}{E_{\text{rms}}} \times 100\%$$

ここで、 E_{rms} は信号電圧レベルのrmsです。

この表現は、一般的にTHDと各デジタルワードにおける直線性誤差の自乗の和の平方根の間に相関があることを示しています。しかし、この表現はD/Aの最悪の直線性誤差がTHDに直接関係するという意味ではありません。

PCM69Aにおいては、基準サンプリング周波数は44.1kHzを選択しており、実際のテストは高次のオーバーサンプリング・デジタルフィルタとのインターフェースを考慮し、8倍オーバーサンプリング、信号周波数991Hzでテストされています。信号出力レベルは0dB(フルスケール)、-60dBの2ポイントで、ディグリッチャー回路なしの各条件でテストされます。

システム クロック

PCM69AP/AUは384系、256 f_s 系に限らず、例えば100 f_s 、202 f_s 等あらゆる f_s 系で動作可能ですが、システムクロックとWDCKとの間に同期関係が必要です。これらタイミングについてはロジックタイミングの項で説明しています。また、このシステムクロックはD/A変換のダイナミックレンジに直接影響するのであまり低くすることはおすすめできません。PCM69Aは384 f_s 、システムクロックの条件でテストされています。また、システムクロック周波数は16.9344MHzでテストされており、最大20MHzまでの入力に対応できますが保証値ではありません。

ロジックタイミング

PCM69AはシステムクロックSYS CLK、WDCK、DATA(LおよびR)、ビットクロックBCKの各デジタル入力が設けてあり、その基本的なタイミングフォーマットを図3に示します。

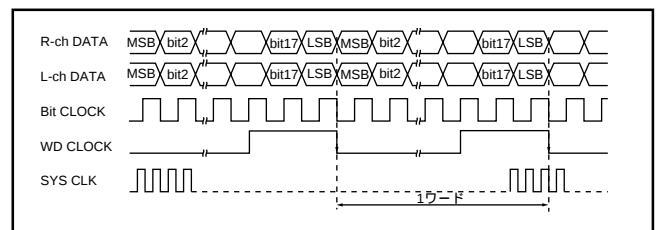


図3. 基本入力タイミングチャート(18ビットL/Rパラレル対応)

シリアルデータはBinary two's Complement(BTC)に対応し、MSBファーストです。WDCK1ワード期間中のシステムクロックは384 f_s の8倍オーバーサンプリングでは384/8 = 48クロックとなります。また、各タイミングの詳細を図4に示します。

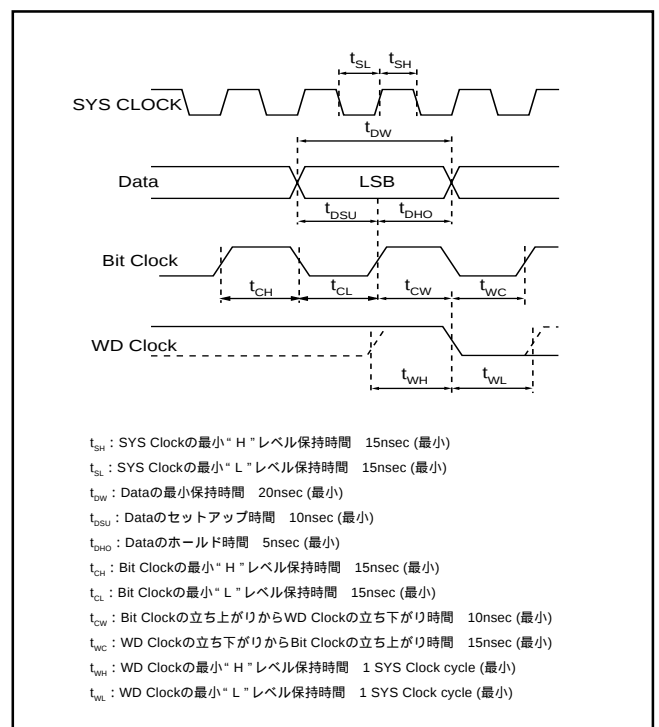


図4. タイミング公差

システムクロックとWDCKのタイミング

PCM69Aの場合、システムクロックは前述のとおり、何 f_s でも対応可能ですが、システムクロックとWDCKとの間に図5に示すようなタイミング関係が必要です。

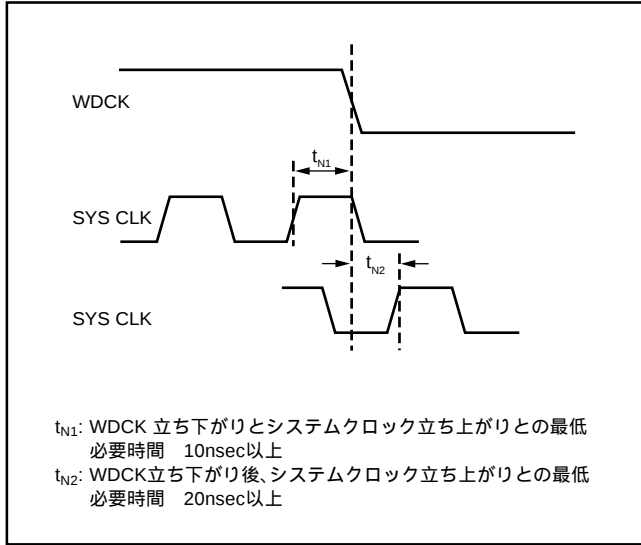


図5. PCM69Aのシステムクロック条件

電源条件

PCM69Aは5V単一電源動作です。入力ロジックインターフェース回路を主とするアナログ系電源およびコモンを設けてありますが、全てのテストは両電源およびコモンは共通接続で行っています。

使用方法と動作に関する説明 バイパスコンデンサ

PCM69Aの電源、リファレンス、サーボ、 V_{COM} 各端子のバイパスコンデンサはできる限り最短距離でグランドプレーンに接続します。容量値は実装条件により多少異なってきますが、 $3.3\mu F$ から $100\mu F$ の間で最適値を決めてください。また、デジタルノイズのアナログ部への干渉を最小限にするため $+V_{DD}$ (デジタル電源)とD・GND(デジタルコモン)間にはセラミック系コンデンサを併用することをおすすめします。

I/V変換出力電圧のシフト

PCM69Aは5V単一電源動作ですが、I/V変換回路や出力ローパスフィルタ回路の電源電圧によってはI/V変換後の出力電圧中点を5V単一電源では $1/2V_{CC}$ に、また、正負両電源では0Vにシフトさせる等の応用が必要です。

この電圧シフトの方法としてはオペアンプの反転入力にオフセット電流を加えてやるのが一般的ですがオフセット抵抗の計算例を図6に示します。

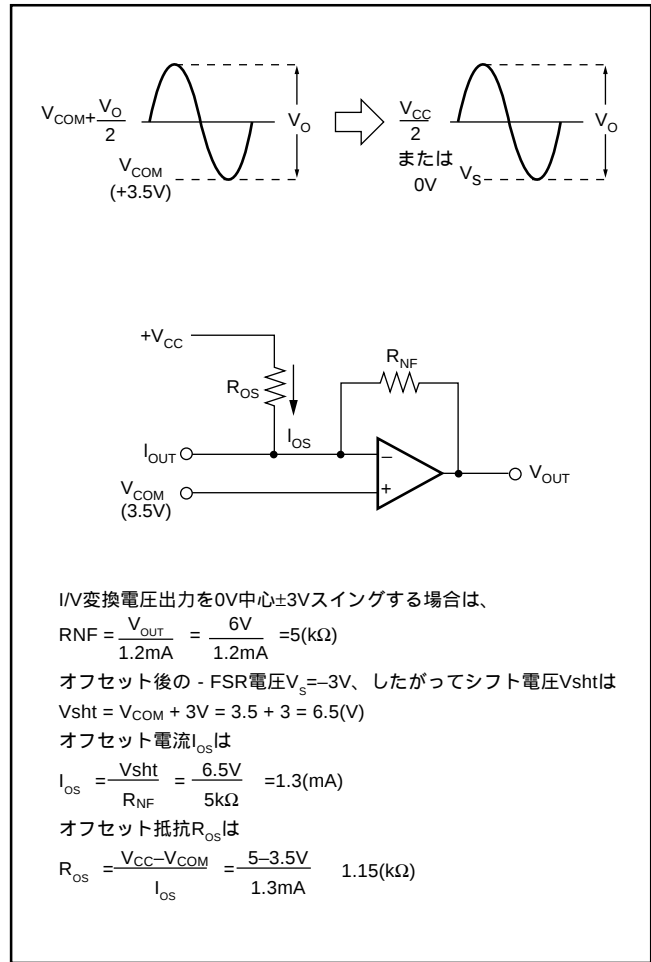


図6. オフセット附加によるI/V変換電圧シフト

実アプリケーションにおいては電流ノイズの影響によるTHDやS/N比の劣化を防止するため、図6におけるオフセット抵抗 R_{OS} は分割し、デカップリングフィルタを構成しなければなりません。図7はその例を示したもので、オフセット用抵抗 820Ω (330Ω とシリーズで約 $1.15k\Omega$)とコンデンサC1でノイズデカップリングを構成しています。

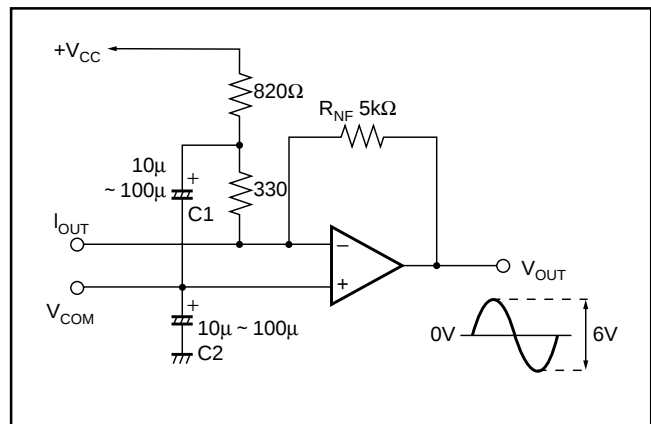


図7. 実回路例

アドバンスト1ビット・コンストラクション

図8にPCM69Aの内部ブロック図(片チャンネル分)を示します。入力デジタル信号は、入力インターフェース回路にてL/R両チャンネルおよび上位10ビットと下位8ビットの信号に分割されます。上位10ビットデータはデジタルオフセット回路を介し10ビット分解能電流出力DACへ入力されます。この10ビット分解能DACは定電流セグメント+R-2Rラダー・ネットワークで構成されており、パー・ブラウン独自の高精度NiCr薄膜抵抗およびレーザ・トリミング技術にて18ビット相当の精度をもっています。ここで、上位10ビットにおけるダイナミックレンジDR(10)は

$$DR_{(10)} = 6.02 \times 10 + 1.78 = 61.98(\text{dB})$$

となります。

一方、下位8ビットは1次ノイズシェーパと等価なデジタル帰還回路に伝達され、システムクロックにてノイズシェーピングされます。この時ノイズシェーパによるダイナミックレンジDR(N)はシステムクロックを $384f_s$ とすれば、

$$\begin{aligned} DR_{(N)} &= 10 \log \left\{ \frac{9}{2\pi^2} (2^N - 1)^2 \cdot M^3 \right\} \\ &= 10 \log \frac{9}{2\pi^2} \cdot 384^3 \\ &= 74.2(\text{dB}) \end{aligned}$$

N：量子化ビット数

M：オーバー・サンプリング倍率

となり、両出力は直接加算されるため、総合のダイナミックレンジDRは

$$\begin{aligned} DR &= DR_{(10)} + DR_{(N)} \\ &= 61.98 + 74.12 = 136.1(\text{dB}) \end{aligned}$$

となります。

すなわち、上位10ビットによるダイナミックレンジは量子化ビット数で決まるためPCM69Aにおいては固定で、システムクロック周波数によって下位8ビット分に対するダイナミックレンジが決まります。また、1ビットのノイズシェーパされたデジタル信号は1ビットDACに伝送されますが、この1ビットDACは10ビット分解能DACのビット10と重みづけを同じくするアナログ定電流セグメントで、そのON/OFFレベルはフルスケールの $1/2^{10}$ のレベルであり、ノイズシェーパによるデジタル信号はパルス数で重みづけを行うため、他の高次ノイズシェーピング方式DACに比べてノイズブースト特性がなく、ダイナミック動作時のノイズフロアの上昇やジッタに対する影響がありません。

次にデジタルオフセットは、入力信号レベルが小信号になった場合10ビット分解能DACのMSBがON/OFFしないようにビットn相当のデジタルオフセットを付加したデータを10ビット分解能DACに伝送します。10ビット分解能DACはMSBをクロスしないビットn相当のオフセットを持ったアナログ信号を出力します。ここで、アナログ補正回路は同様にビットn重みづけをもつ定電流回路で10ビット分解能DACは直接加算し、オフセット分を補正して原データ出力にします。この動作により、PCM69Aの小信号出力は従来からのDACにみられる“ゼロクロス歪”の発生が原理的にありません。

すなわち、PCM69Aは従来DACの欠点である小信号リニアリティー(ゼロクロス歪を含む)を改善し、高次ノイズシェーピング方式にみられるダイナミック動作でのノイズフロアの上昇を抑え、ノイズシェーピングのメリットを組み合わせたアドバンスト1ビット方式となっています。

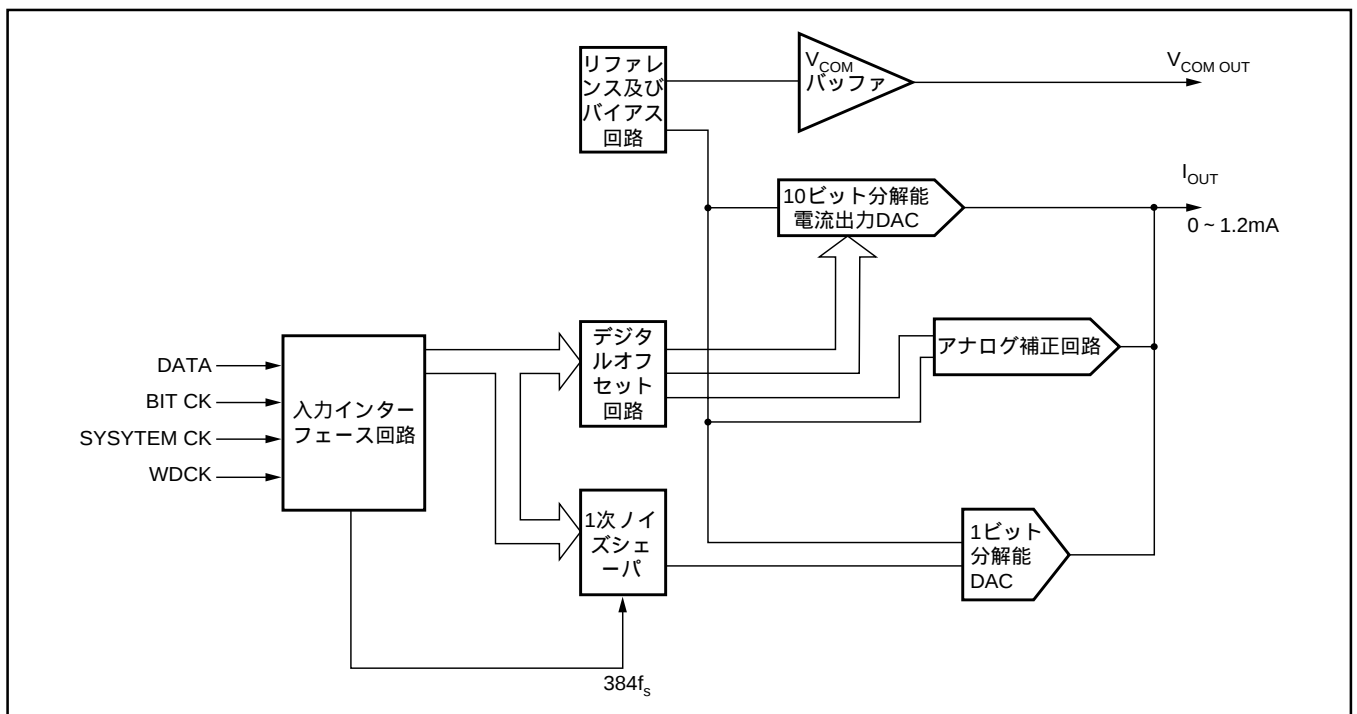


図8. PCM69A基本ブロック図

16ビット/20ビット入力オペレーション

PCM69Aは18ビット分解能DACですが、SOPタイプのPCM69AUはTP端子の設定により、16ビット、18ビット、20ビットおよびL/Rシリアル、L/Rパラレル等のインターフェースが可能です。表 にこれらの関係を示します。

TP1	TP2	TP3	DATA-Rch	入力フォーマット				
0	0	1	0	16ビットL/Rシリアル ⁽¹⁾ <table><tr><td>L</td><td>R</td><td>L</td><td>R</td></tr></table> WDCK	L	R	L	R
L	R	L	R					
0	0	1	1	16ビットL/Rシリアル ⁽¹⁾ <table><tr><td>L</td><td>R</td><td>L</td><td>R</td></tr></table> WDCK	L	R	L	R
L	R	L	R					
0	1	1	0	18ビットL/Rシリアル ⁽¹⁾ <table><tr><td>L</td><td>R</td><td>L</td><td>R</td></tr></table> WDCK	L	R	L	R
L	R	L	R					
0	1	1	1	18ビットL/Rシリアル ⁽¹⁾ <table><tr><td>L</td><td>R</td><td>L</td><td>R</td></tr></table> WDCK	L	R	L	R
L	R	L	R					
1	0	1	×	20ビットL/R/パラレル				
1	0	0	×	20ビットL/R/パラレル WDCK反転 ⁽²⁾				
1	1	1	×	18ビットL/R/パラレル				
1	1	0	×	18ビットL/R/パラレル WDCK反転 ⁽²⁾				

表 . PCM69AU(SOP)のインターフェース・フォーマット
注：(1)入力フォーマットがL/Rシリアルの場合、L/RシリアルデータはDATA、Lch(17番ピン)へ入力してください。(2)WDCKの立ち上がりでデータ取り込み(通常はWDCKの立ち下がり)。

PCM69AP(DIP)では18ビットのL/RシリアルまたはL/Rパラレルのフォーマットにのみ対応可能です。表 にこれらの関係を示します。

TP1	DATA-Rch	入力フォーマット				
0	0	18ビットL/Rシリアル <table><tr><td>L</td><td>R</td><td>L</td><td>R</td></tr></table> WDCK	L	R	L	R
L	R	L	R			
0	1	18ビットL/Rシリアル <table><tr><td>L</td><td>R</td><td>L</td><td>R</td></tr></table> WDCK	L	R	L	R
L	R	L	R			
1	×	18ビットL/Rパラレル				

表 . PCM69AP(DIP)のインターフェース・フォーマット

入力データは8倍オーバーサンプリング・デジタルフィルタで現在ほとんどLch/Rch交互データ出力ですが、表 に示すように16ビット、Lch/Rch交互データ出力にも対応でき、この時のタイミングは図9のようになります。
(SONY社CXD2551を例に)

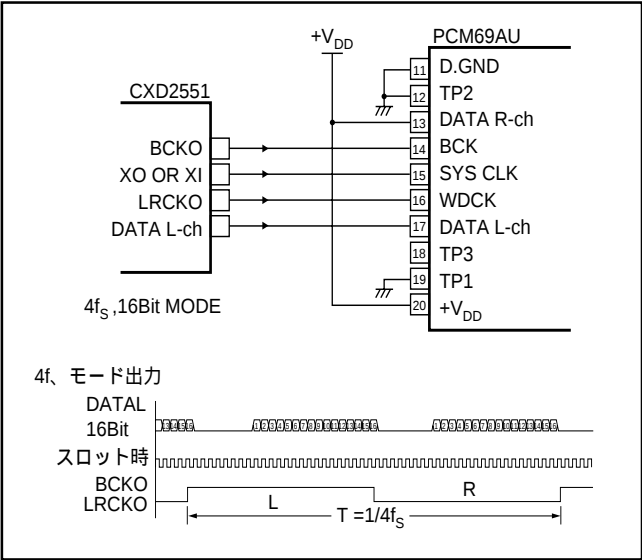


図9. 16ビットL/R交互タイミング例

THDテストシステム

PCM69AのTHDテストシステムのブロック図を図10に示します。18ビット・デジタルデータはPCM69AでD/A変換され、LPF、PGAを介してTHDメータへ送られます。

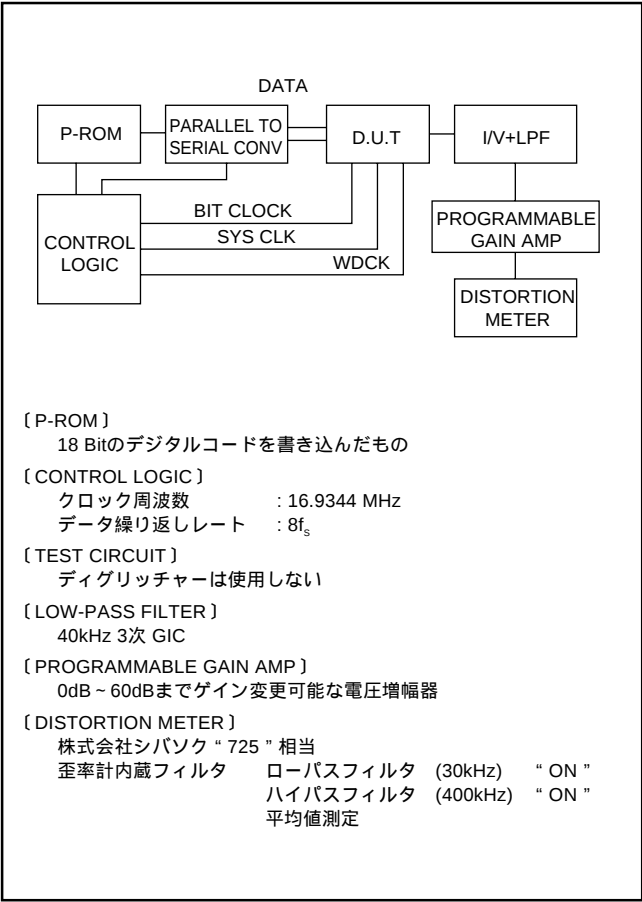
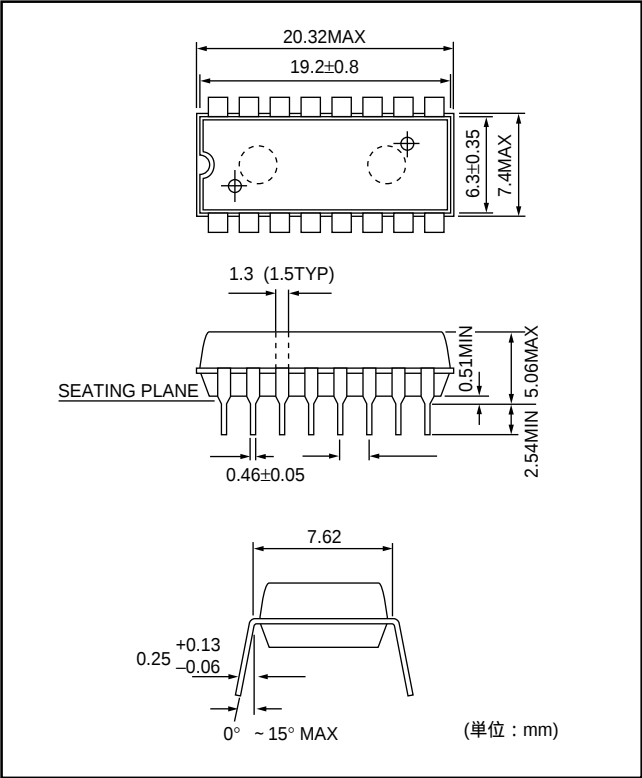


図10. THDテストシステム

デジタルフィルタとTHD

PCM69Aは18ビット分解能であるため、上図THDテストにおいても理想18ビットDATAでTHDテストを行っています。
CDプレーヤ等の16ビットデジタル信号源からデジタルフィルタで補間した18ビットデータは理想18ビット・データに比べてデジタルフィルタの再量子化ノイズを含んでいるため、出力ローパスフィルタ条件とのかね合わせで、THDレベルは多少理想18ビット時に比べ劣化します。また、EIAJ規格におけるCDプレーヤのダイナミックレンジ測定においても、原データは16ビット理論値で制限されることに注意してください。
現在市販されているデジタルフィルタでは、NPC社“ SM5813 ”、“ SM5840 ”、“ SM5818 ”、YAMAHA社“ YM3434 ”、SONY社“ CXD2551 ”等にPCM69A(384fs)は直接インターフェース可能です。

外觀:16ピンDIP



外觀:20ピンSOP

