



SoundPlus™ 低電圧、低消費電力、 16ビット・モデム・コーデック

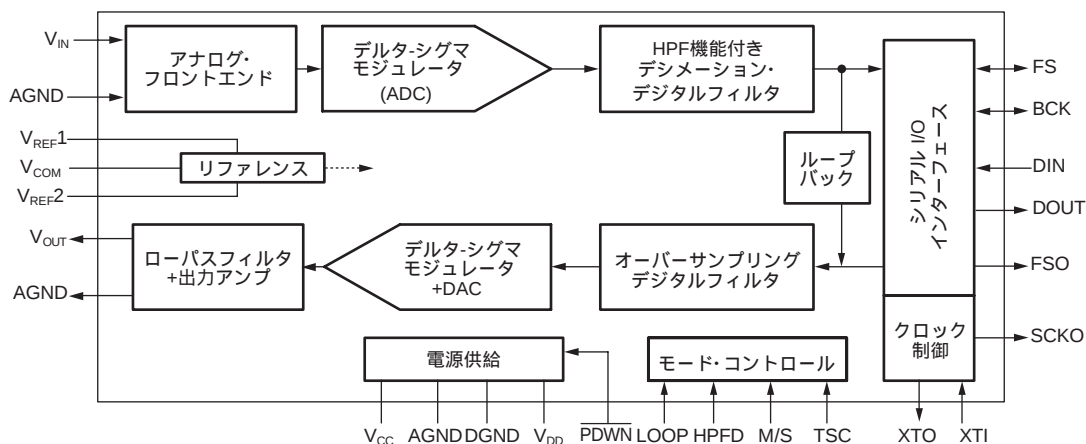
特 長

- 16ビット、シングルチャンネル、デルタ-シグマ ADC+DAC
- 56kbps、V.34bis モデム用アナログ・フロントエンド(AFE)回路に最適
- 16ビット・インターフェース
- DAC/ADC特性
 サンプル周波数：7.2kHz ~ 26kHz
 THD+N：-85dB(標準)
 ダイナミック・レンジ：88dB(標準)
 (at $f_{IN} = 1\text{kHz}$ 、 $f_s = 8\text{kHz}$)
 パスバンドリップル：±0.4dB
 (at $0.0002f_s$ to $0.425f_s$)
- システムクロック：512 f_s
- マスター/スレープ動作選択可
- ループバック、HPF、パワーダウン・モード、タイムスロット制御機能付
- 単一+3.3V電源電圧動作
- パッケージ：24ピンSSOP

概 要

PCM3500は、最大56kbpsまで対応可能なモデムにおけるアナログ・フロントエンド(AFE)用に開発された、ローコスト、シングルチップ、モデム・コーデックです。ADC部はシングルエンド入力で、アナログ・アンチエイリアシングフィルタ機能付きフロントエンド部とデルタ-シグマ・モジュレータ、ハイパス(HPF)機能付きデシメーション・デジタルフィルタで構成されています。ADC出力データは、ループバック機能によりDAC部へ直接伝送することも出来ます。DAC部はオーバーサンプリング・デジタルフィルタおよびデルタ-シグマDAC、ローパス機能付きシングルエンド・アナログ出力アンプで構成されています。

PCM3500は単一3.3Vで動作し、マスター/スレープ動作の選択機能、タイムスロット動作も可能であるためマルチAFEアプリケーションにおいても利用でき、Webモデム、Webフォン、セットトップ・ボックス、ハンドヘルドPC等のアプリケーションに最適なデバイスです。



仕様

特に記述のない限り、T_A = +25℃、V_{DD} = V_{CC} = 3.3V、f_s = 8kHz、XTI = 512 f_s、シングルエンド入出力、測定帯域 100Hz ~ 0.45f_s によるものです。

パラメータ	条件	PCM3500E			単位
		最小	標準	最大	
分解能 シリアルデータ・フォーマット			16 MSBファースト、2'sコンプリ		bits
デジタル入出力					
ロジック・ファミリ 入力ロジック電圧 V _{IH} ⁽¹⁾ V _{IL} ⁽¹⁾ 入力ロジック電流 I _{IN} ⁽²⁾ I _{IN} ⁽³⁾ 出力ロジック電圧 V _{OH} ⁽⁴⁾ V _{OL} ⁽⁴⁾ クロック周波数 サンプリング周波数(f _s) システムクロック周波数	 I _{OUT} = -1mA I _{OUT} = +1mA ADCとDAC両方	0.7V _{DD} V _{DD} -3 7.2	CMOS 8 512 f _s	0.3V _{DD} ±1 100 0.3 26	VDC VDC μA μA VDC VDC kHz
ADC特性					
DC特性 入力フルスケール電圧 ゲイン誤差 オフセット誤差 入力抵抗 AC特性 THD+N ダイナミック・レンジ S/N比 クロストーク パスバンドリップル : HPF ON パスバンドリップル : HPF OFF ロールオフ特性 at 0.0002 f _s ロールオフ特性 at 0.56 f _s ストップバンド減衰量 遅延時間	HPF OFF f _{IN} = 1kHz、V _{IN} = -0.5dB DACチャンネル アイドル、0dB入力 0.0002 f _s ~ 0.425 f _s 0 ~ 0.425 f _s HPF ON 0.58 f _s ~ f _s	 82 82 80	0.6V _{CC} ±2 ±2 50 -85 88 88 85 ±0.05 ±0.05 -3 -30 -65 18/f _s	±5 -80 4m	Vp-p % of FSR % of FSR kΩ dB dB dB dB dB dB dB db sec
DAC特性					
DC特性 フルスケール出力電圧 ゲイン誤差 オフセット誤差 負荷抵抗 AC特性 THD+N ダイナミック・レンジ S/N比 クロストーク パスバンド・リップル 遅延時間	 f _{IN} = 1kHz、V _{OUT} = 0dB ADCチャンネル アイドル、0dB入力 0 ~ 0.425 f _s	10 84 84 84	0.6V _{CC} ±1 ±1 -90 92 92 92 ±0.4 12/f _s	 -82 4m	Vp-p % of FSR % of FSR kΩ dB dB dB dB dB sec
電源条件					
電源電圧 電源電流 パワーダウン時総合電源電流 消費電力	V _{CC} およびV _{DD} V _{CC} = V _{DD} = 3.3V V _{CC} = V _{DD} = 3.3V、XTI無入力 V _{CC} = V _{DD} = 3.3V	2.7	3.3 9 60 30	3.6 12 40	VDC mA μA mW
温度範囲					
動作 保存 熱抵抗、θ _{JA}		-25 -55		+85 +125	/W

注：(1)ピン6、7、8、9、10、17、18、19、20：M/S、TSC、BCK、FS、DIN、SCKIO、XTI、HPFD、LOOP、PDWN。(2)ピン8、9、10、15、17：BCK、FS、DIN、XTI(シュミット・トリガ入力)(3)ピン6、7、18、19、20：M/S、TSC、HPFD、LOOP、PDWN(内部プルダウン付きシュミット・トリガ入力)(4)ピン8、9、11、12、15、16：DOUT、FSO、SCKIO、XTO。

このデータシートに記載されている情報は、信頼しうるものと考えておりますが、不正確な情報や記載漏れ等に関して弊社は責任を負うものではありません。情報の使用について弊社は責任を負えませんので、各ユーザーの責任において御使用下さい。価格や仕様は予告なしに変更される場合がありますのでご了承下さい。ここに記載されているいかなる回路についても工業所有権その他の権利またはその実施権を付与したり承諾したりするものではありません。弊社は弊社製品を生命維持に関する機器またはシステムに使用することを承認しまたは保証するものではありません。

絶対最大定格

電源電圧 $+V_{DD}$ 、 $+V_{CC}$	+6.5V
電源電圧差	$\pm 0.1V$
グランド電圧差	$\pm 0.1V$
デジタル入力電圧	$-0.3 \sim V_{DD} + 0.3V$
入力電流 (電源、グランドを除く)	$\pm 10mA$
許容消費電力	300mW
動作温度	$-25 \sim +85$
保存温度	$-55 \sim +125$
リード温度 (5秒間の半田付け)	+260
パッケージ表面温度 (リフロー、10秒間)	+235



静電気放電対策

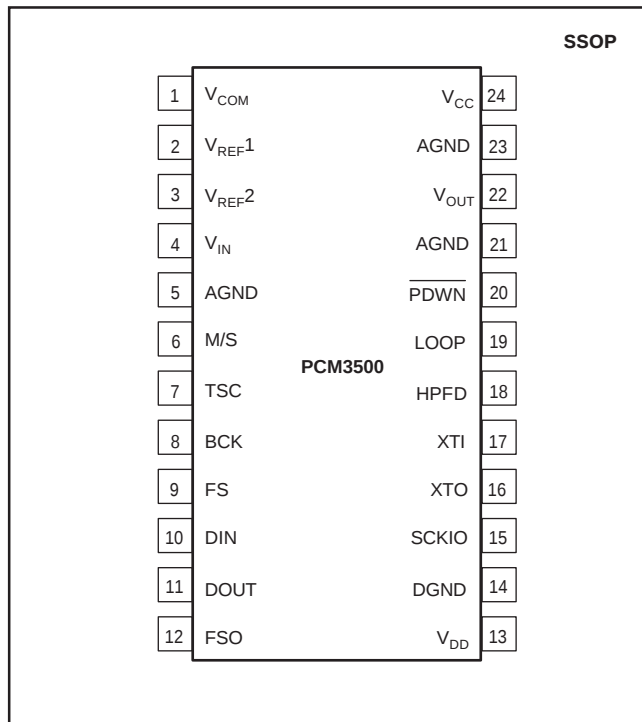
静電気放電はわずかな性能の低下から完全なデバイスの故障に至るまで、様々な損傷を与えます。すべての集積回路は、適切なESD保護方法を用いて、取扱いと保存を行うようにして下さい。高精度の集積回路は、損傷に対して敏感であり、極めてわずかなパラメータの変化により、デバイスに規定された仕様に適合しなくなる場合があります。

パッケージ情報/ご発注の手引き

モデル	パッケージ
PCM3500E	24ピンSSOP

注：(1)詳細図および寸法表は、データシートの巻末を参照してください。

ピン配置

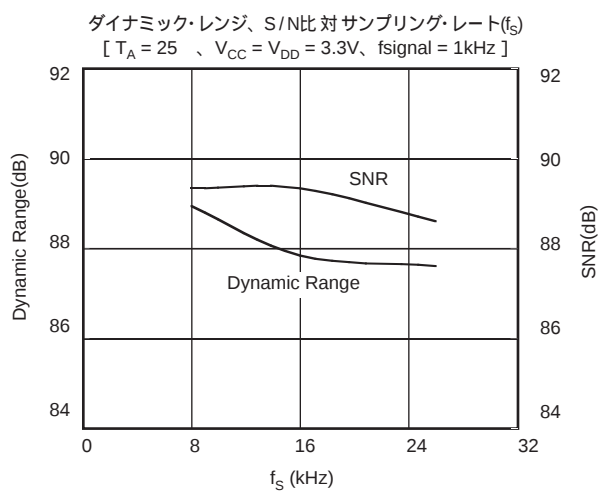
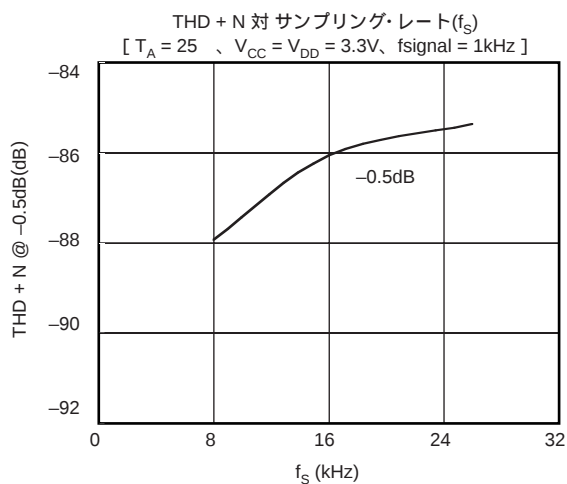
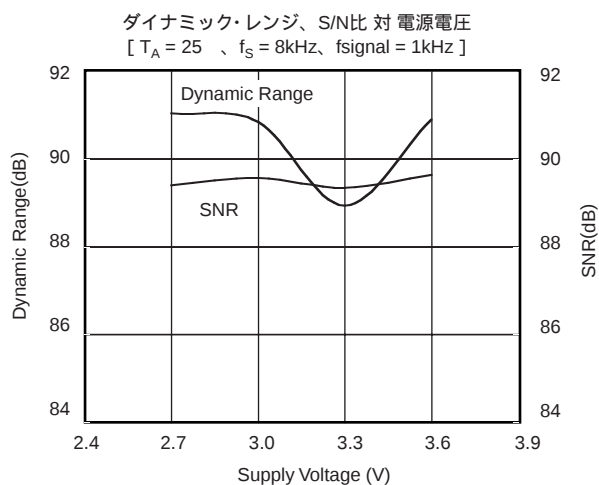
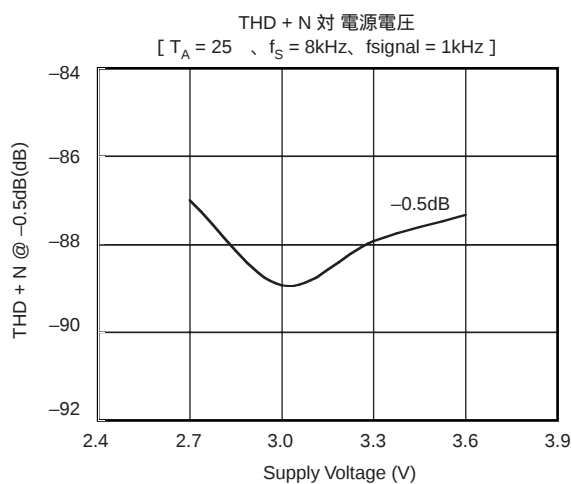
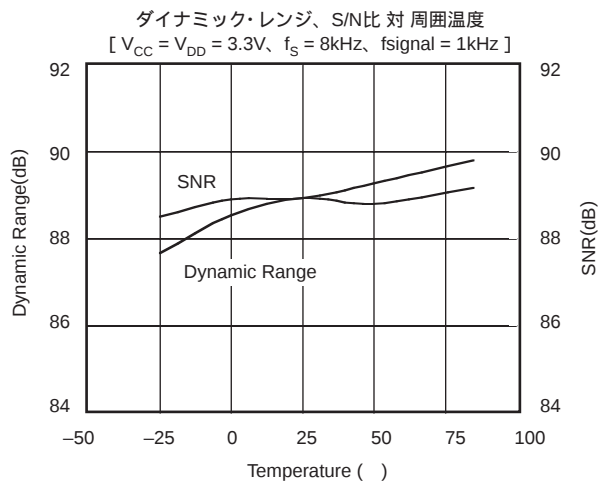
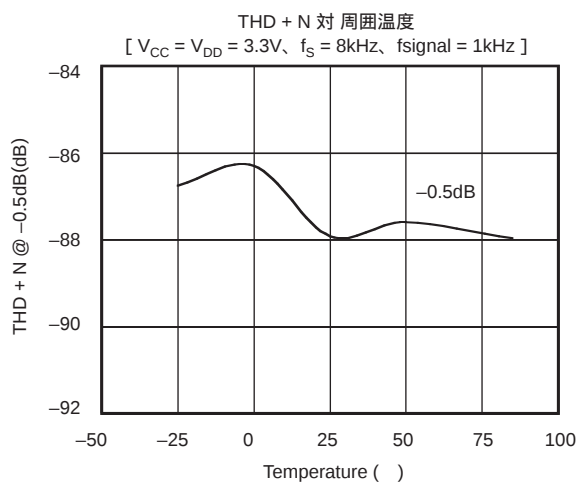


ピン構成

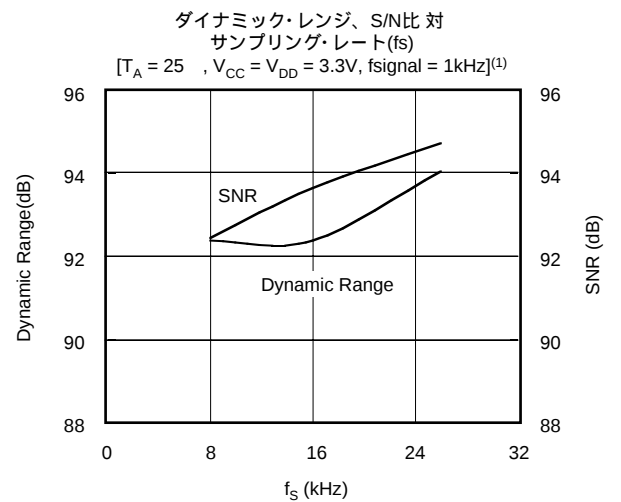
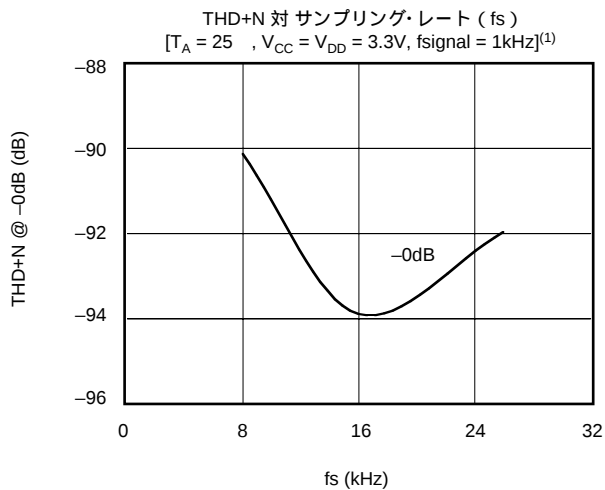
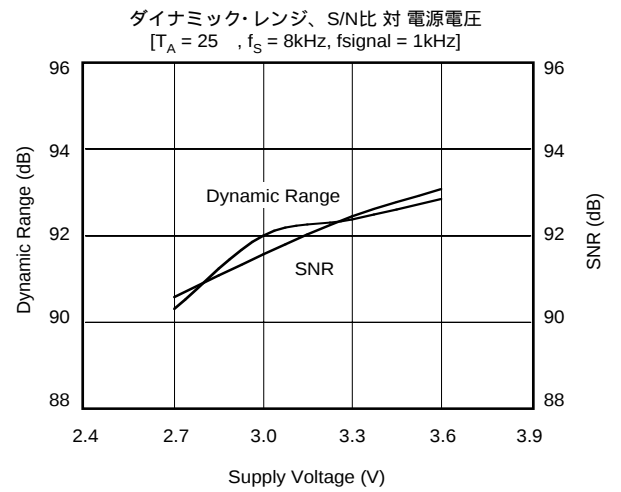
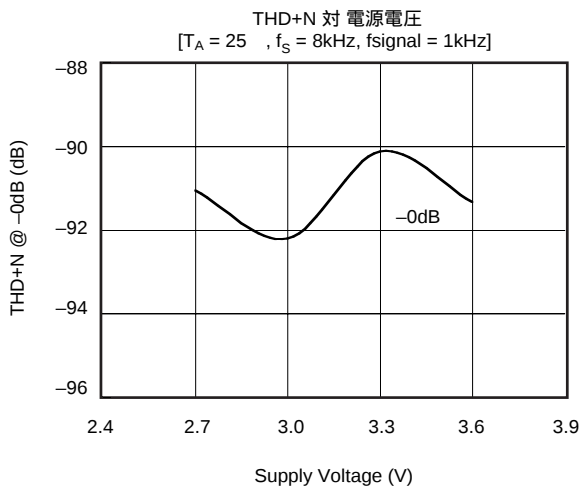
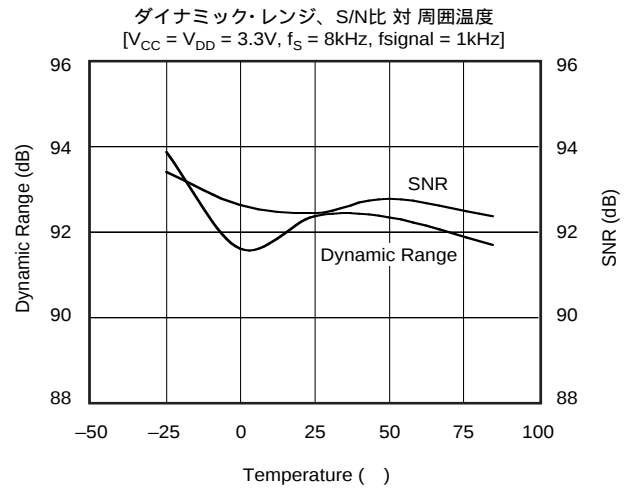
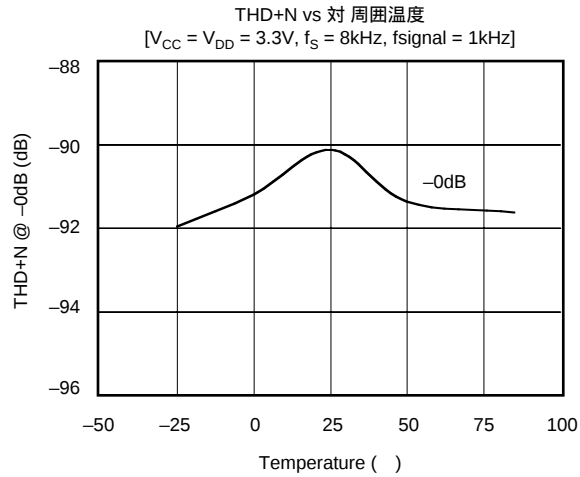
ピン番号	ピン名	IN/OUT	説明
1	V_{COM}	-	アナログ入出力アンプ・コモン ($0.5V_{CC}$)
2	V_{REF1}	-	内部基準電圧1 ($0.2V_{CC}$)
3	V_{REF2}	-	内部基準電圧2 ($0.99V_{CC}$)
4	V_{IN}	IN	ADCアナログ入力
5	AGND	-	アナログ・グランド (対ADC信号入力)
6	M/S	IN	マスター/スレーブ動作選択。“ハイ”：マスター・モード、“ロー”：スレーブ・モード ⁽²⁾
7	TSC	IN	タイムスロット動作選択。“ハイ”：タイムスロット動作、“ロー”：通常動作 ⁽²⁾
8	BCK	IN/OUT	ビットクロック入出力 ⁽¹⁾
9	FS	IN/OUT	フレーム同期クロック入出力 ⁽¹⁾
10	DIN	IN	シリアルデータ入力 ⁽¹⁾
11	DOUT	OUT	シリアルデータ出力 ⁽³⁾
12	FSO	OUT	タイムスロット動作フレーム同期クロック出力
13	V_{DD}	-	デジタル電源
14	DGND	-	デジタル・グランド (内部サブストレートでAGNDと接続)
15	SCKIO	IN/OUT	XTIクロック・バッファ出力、またはXTI端子GND接続時はシステムクロック入力
16	XTO	-	システムクロック発振用クリスタル接続端子
17	XTI	IN	システムクロック入力およびシステムクロック発振用クリスタル接続端子
18	HPFD	IN	HPF動作選択。“ハイ”：OFF、“ロー”：ON ⁽²⁾
19	LOOP	IN	ADC → DACループバック動作制御。“ハイ”：ループバック動作、“ロー”：通常動作 ⁽²⁾
20	PDWN	IN	パワーダウンおよびリセット制御。“ロー”でパワーダウンおよびリセット ⁽²⁾
21	AGND	-	アナログ・グランド (対DAC信号出力)
22	V_{OUT}	OUT	DACアナログ信号出力
23	AGND	-	アナログ・グランド (内部サブストレートでDGNDと接続)
24	V_{CC}	-	アナログ電源

注：(1)シュミット・トリガ入力 (2)内部ブルダウン付きシュミット・トリガ入力 (3)タイムスロット動作時トライステート制御

ADC標準特性曲線

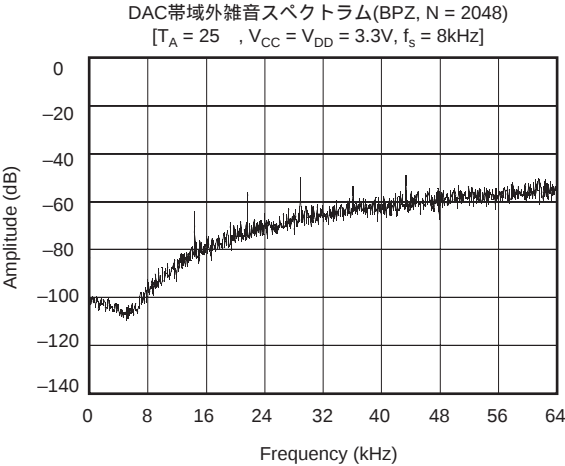
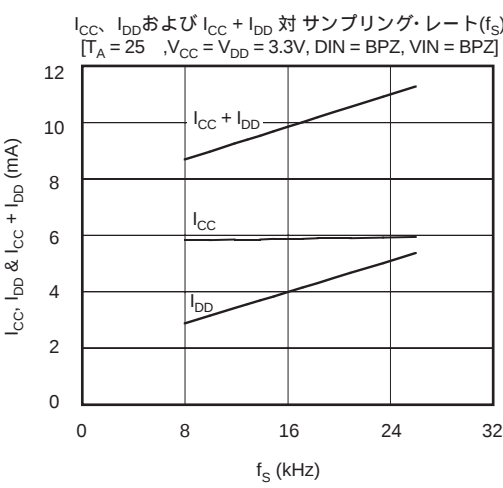
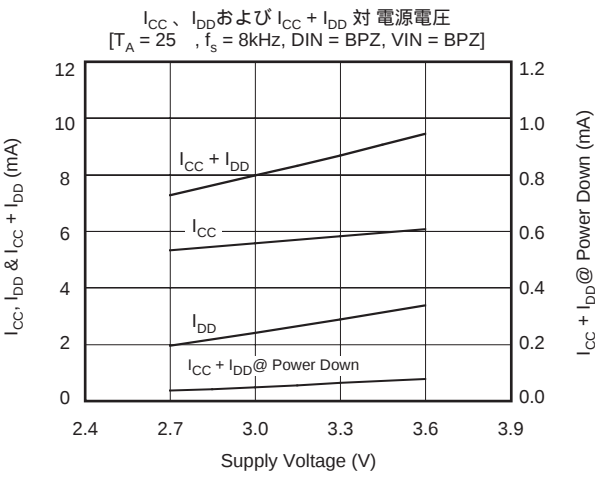


DAC標準特性曲線



注：(1)帯域幅は全ての f_s 条件で3.4kHzです。

DAC標準特性曲線



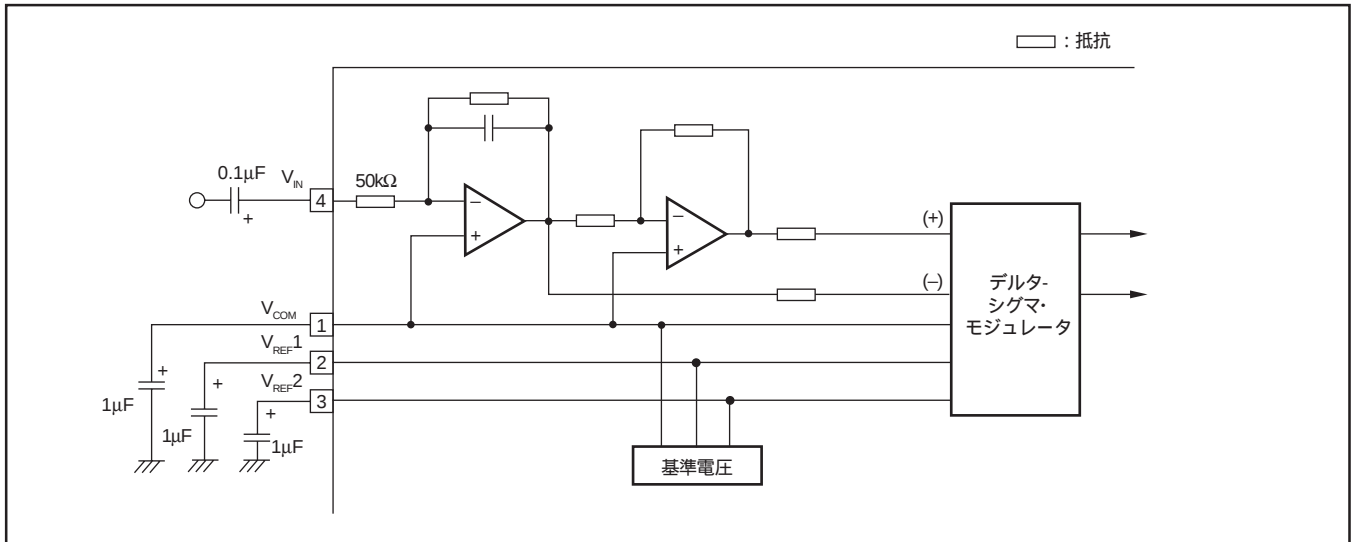


図1. アナログ・フロントエンド部等価回路

システムクロック

PCM3500のシステムクロックは、サンプリング周波数 f_s に対して $512f_s$ のシステムクロック周波数で動作します。例えば、 $f_s = 8\text{kHz}$ 時のシステムクロック $512f_s$ は、 $8\text{k} \times 512 = 4.096\text{MHz}$ となります。システムクロックはXTI/XTO端子にクリスタルを接続して内部発振させる動作と、XTI端子あるいはSCKIO端子に外部からシステムクロックを供給する外部入力での動作のいずれも対

応可能です。

図2にクリスタル発振での接続例を、図3に外部入力での接続例をそれぞれ示します。また、システムクロックは後述するマスター/スレーブ動作におけるスレーブ動作において、フレーム同期クロック $FS(f_s)$ と完全に $512f_s$ の関係で同期していなければなりません。外部入力でのシステムクロックのタイミング規定を図4に示します。

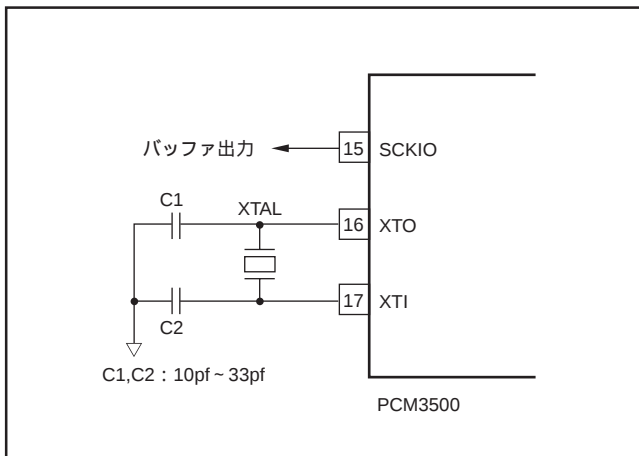


図2. クリスタル発振接続例

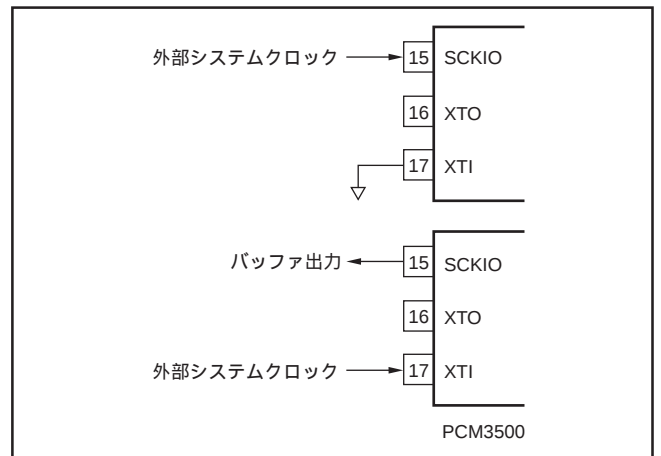


図3. 外部システムクロック入力接続例

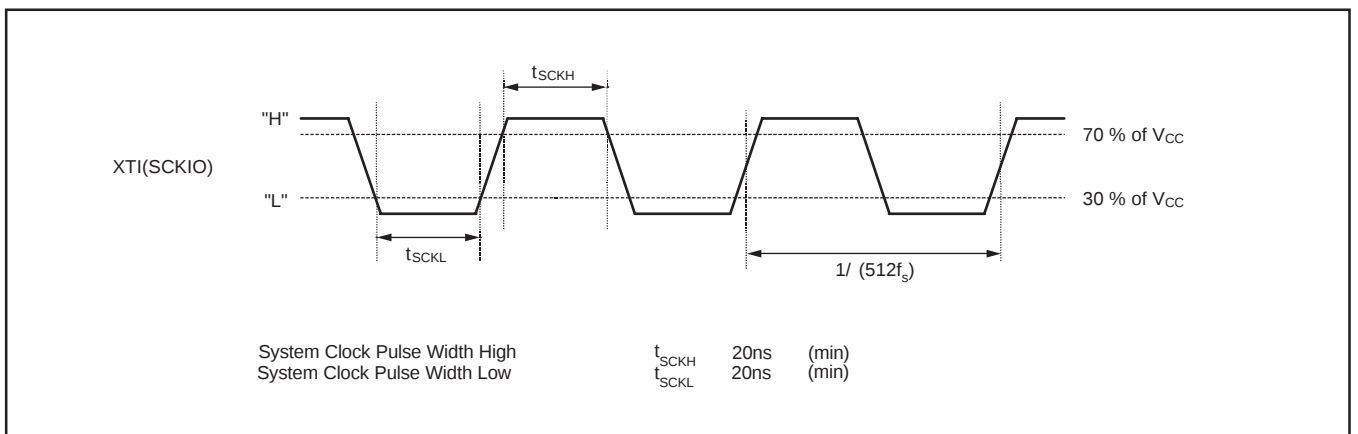


図4. 外部システムクロック入力タイミング規定

パワーダウンおよびリセット・オペレーション

PCM3500には次に示す内蔵のパワーオン・リセットとパワーダウンによる外部リセットがあります。これらのリセット機能は内部動作に対して共通になっており、デバイスをイニシャル状態に設定します。リセット期間中のDAC出力はGNDレベルに固定され、ADCデジタル出力はハイ・インピーダンス状態をそれぞれ出力します。リセット解除からのADCデジタル出力、DACアナログ出力はそれぞれ所定にディレイをもって正常出力になります。このタイミング関係を図7に示します。

パワーオン・リセット

図5にパワーオン・リセット・タイミングを示します。内蔵のパワーオン・リセットは電源電圧を検知して自動的に行われます。電源投入後、電源電圧が標準2.2V(2.0Vから2.4V)を超えたとリセット動作となり、システムクロックを1024クロック分カウントした後リセットを解除します。このパワーオン・リセット使用時には、 $\overline{\text{PDWN}}$ 端子は“ハイ”レベルとします。パワーオンと同時にシステムクロックは供給されなければなりません。

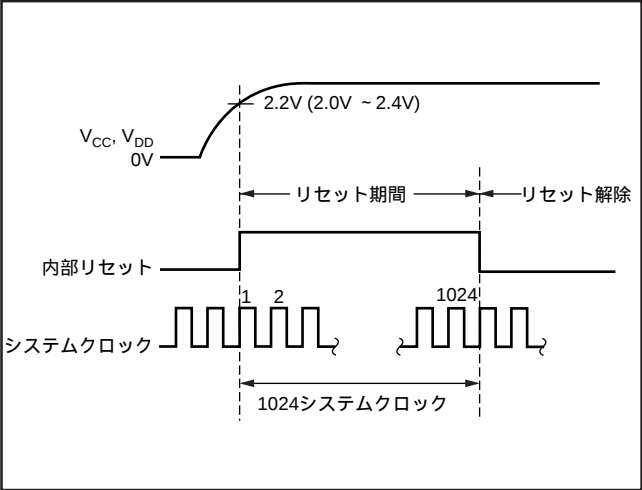


図5. パワーオン・リセット・タイミング

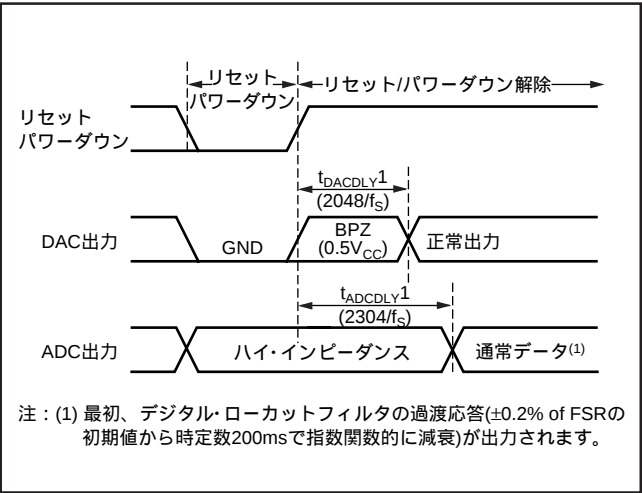


図7. リセット・パワーダウンでのADC/DAC出力

パワーダウンおよび外部リセット

図6にパワーダウンおよび外部リセット・タイミングを示します。 $\overline{\text{PDWN}}$ 端子(内部プルダウン付き)を“ロー”レベルにすると、PCM3500の動作はパワーダウン・モードになり、電源電流が通常動作時の9mA(標準)に対して60 μ A(標準)にセーブできます。このパワーダウン時のADCデジタル出力はハイ・インピーダンスに、DACアナログ出力はGNDレベルにそれぞれ固定されます。

$\overline{\text{PDWN}}$ 端子を“ロー”レベルから“ハイ”レベルに変化(通常動作に設定)させると、この“ロー”から“ハイ”のトリガを検出してリセット動作を行います。この時にリセット動作は前述の内部リセットと同じです。したがって、パワーダウンはその復帰において内部リセットと同じ動作をし、外部リセットを兼ねることになります。なお、内部でパワーダウン動作を実行するために $\overline{\text{PDWN}} = \text{L}$ とした後、最小3クロック以上のシステムクロックが必要です。

同期はずれ時の動作

$\text{FS}(f_s)$ クロックとシステムクロック($512f_s$)の同期関係が非同期となった場合、また非同期から同期状態へ回復した場合の動作を図8に示します。

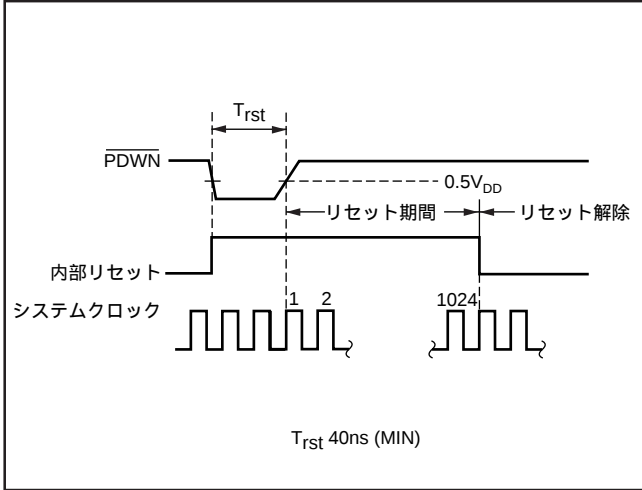


図6. パワーダウンおよび外部リセット・タイミング

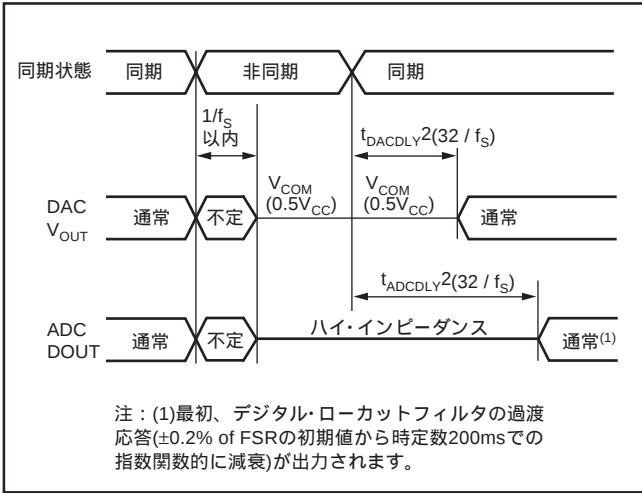


図8. 同期/非同期時のADC/DAC出力

マスター /スレーブ動作

PCM3500は、M/Sピン(ピン6、内部プルダウン付き)の設定によりマスター動作、スレーブ動作の選択が可能です。M/Sピンは“ハイ”の時、PCM3500はマスター動作となり、フレーム同期クロックFSおよびBCKクロックはそれぞれ出力となりシステムクロックから分周されて生成されます。M/Sピンが“ロー”の場合は、PCM3500はスレーブ動作となり、FSクロックおよびBCKクロックは外部より供給しなければなりません。なお、スレーブ動作時はFSクロック(f_s)とシステムクロック($512f_s$)は同期していなければなりません。この設定はパワーオン・リセット時および $\overline{\text{PDWN}} = \text{L}$ からHへのタイミングで更新されます。

M/S	FS	BCK
H : マスター動作 L : スレーブ動作	出力 入力	出力 入力

シリアル・インターフェース

PCM3500は、ADCデジタル出力およびDACデジタル入力をそれぞれフレーム同期クロックFS(ピン9)、ビットクロックBCK(ピン8)、データ入力DIN(ピン10)、データ出力DOUT(ピン11)の各端子により外部システムとシリアル・インターフェースします。ADCデジタル出力データ、DACデジタル入力データのフォーマットはそれぞれMSBファースト、2'sコンプリになっています。スレーブ動作時では、FSクロックはシステムクロックとの同期関係が必要です。このシリアル・インターフェース・フォーマットおよびインターフェース・タイミング規定を図9および図10、図11にそれぞれ示します。

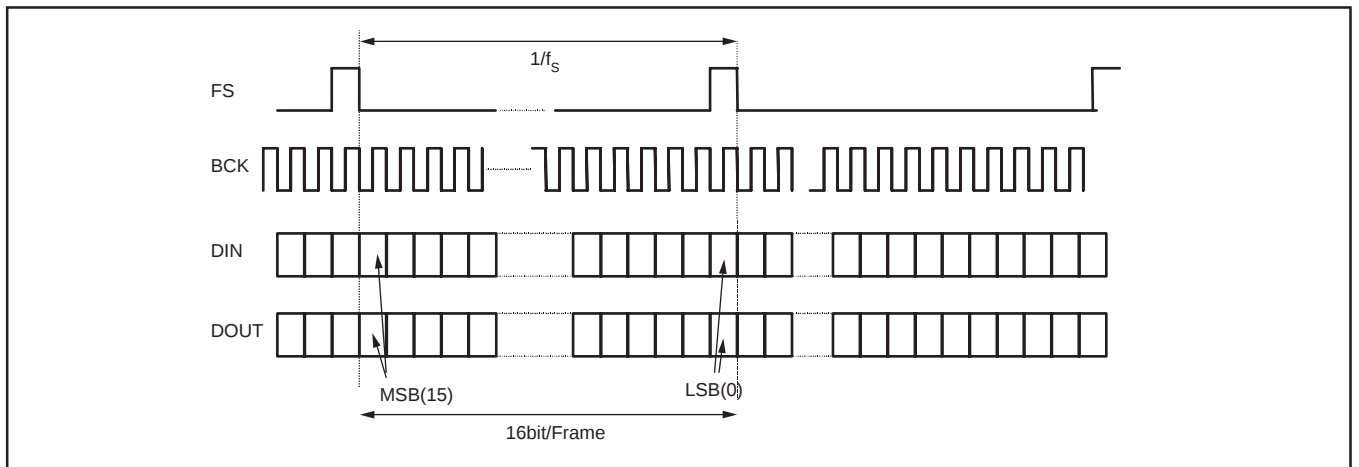


図9. シリアル・インターフェース・フォーマット

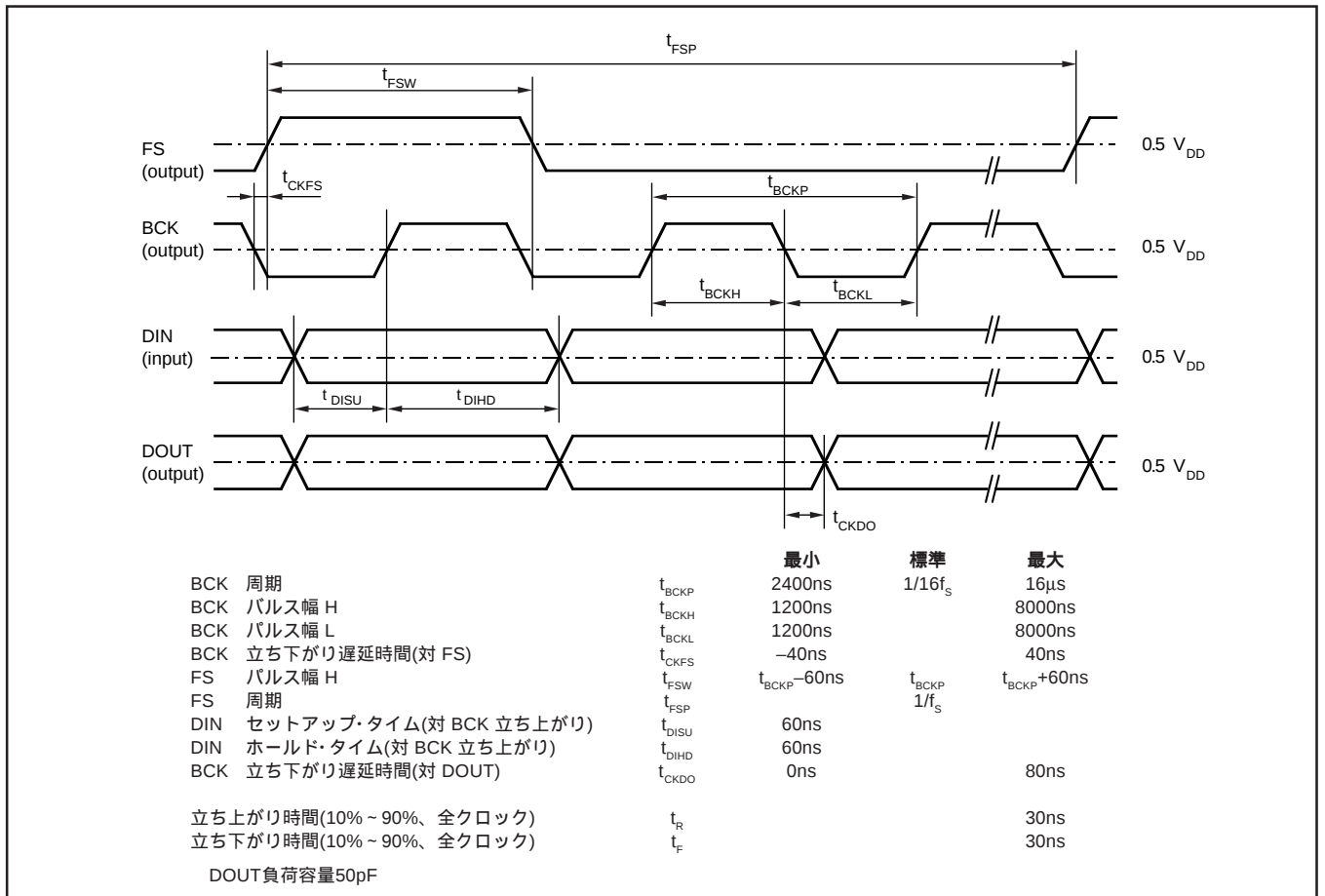


図10. シリアル・インターフェース・タイミング規定(マスター・モード)

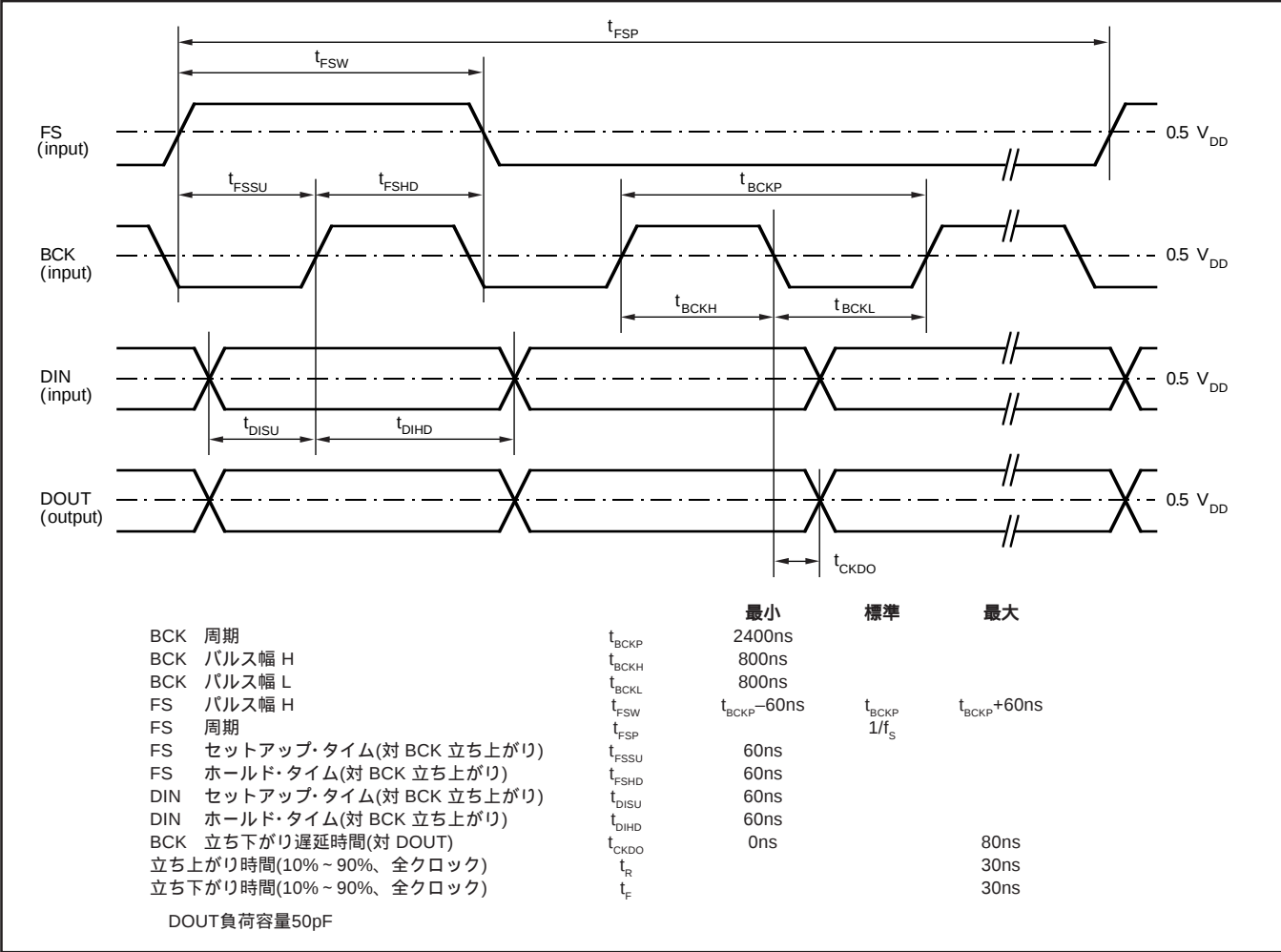


図11. シリアル・インターフェース・タイミング規定(スレープ・モード)

タイムスロット動作選択

PCM3500では、TSC端子(内部プルダウン付き、ピン7)を“ハイ”に設定することによりタイムスロット動作を選択することができ、PCM3500を複数個使用(最大4個)するマルチシステムで有効な動作/インターフェース方法です。この設定は、パワーオン・リセット時および $\overline{\text{PDWN}} = \text{L}$ からHへのタイミングで更新されます。

TSC	動作
H	タイムスロット動作
L	通常動作

タイムスロット動作例を図10に示します。図12に示す例では、4個のPCM3500をマスター動作×1、スレーブ動作×3として動作させ、システムクロック、BCK、DIN、DOUTを共通接続

続で用いることができます。フレーム同期用クロックはマスター動作のPCM3500(A)のFSO端子(ピン12)から次のスレーブ動作PCM3500(B)のFS端子に供給され、PCM3500(B)のFSOから次のFSへとカスケードで接続します。

このタイムスロット動作のタイミングを図13に示します。タイムスロット動作では、フレーム同期クロックFSはサンプリング周波数 f_s のまま変わりませんが、16ビットで構成される1スロット・データはFS期間内で4分割され、1FS期間内に16ビット・データが4スロット入出力されます。したがって、データおよびBCKのクロック・スピードは1FS期間内で4倍になり、BCKクロックスピードは $64f_s$ となります。各16ビット・データの取り込みには対応するFS(FSO)クロックを用いることができます。タイムスロット動作時のタイミング規定を図14、図15に示します。

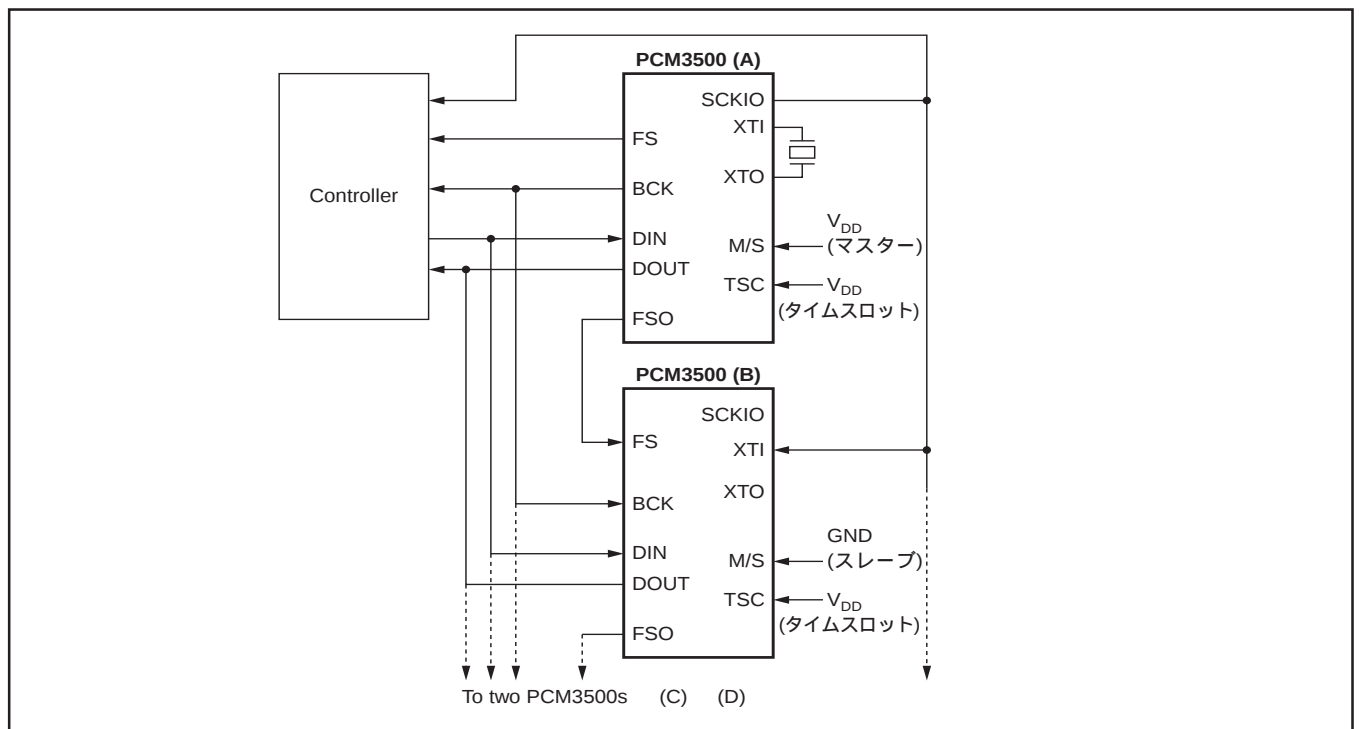


図12. タイムスロット動作接続例

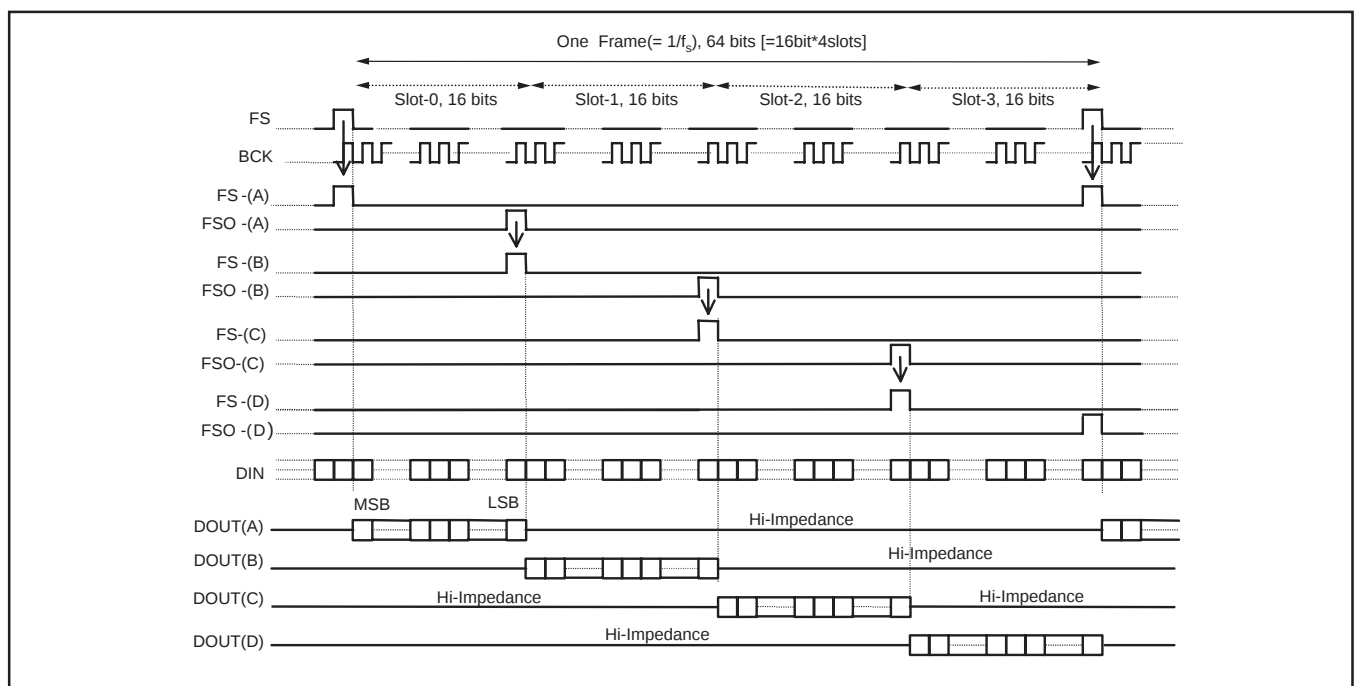


図13. タイムスロット動作タイミング

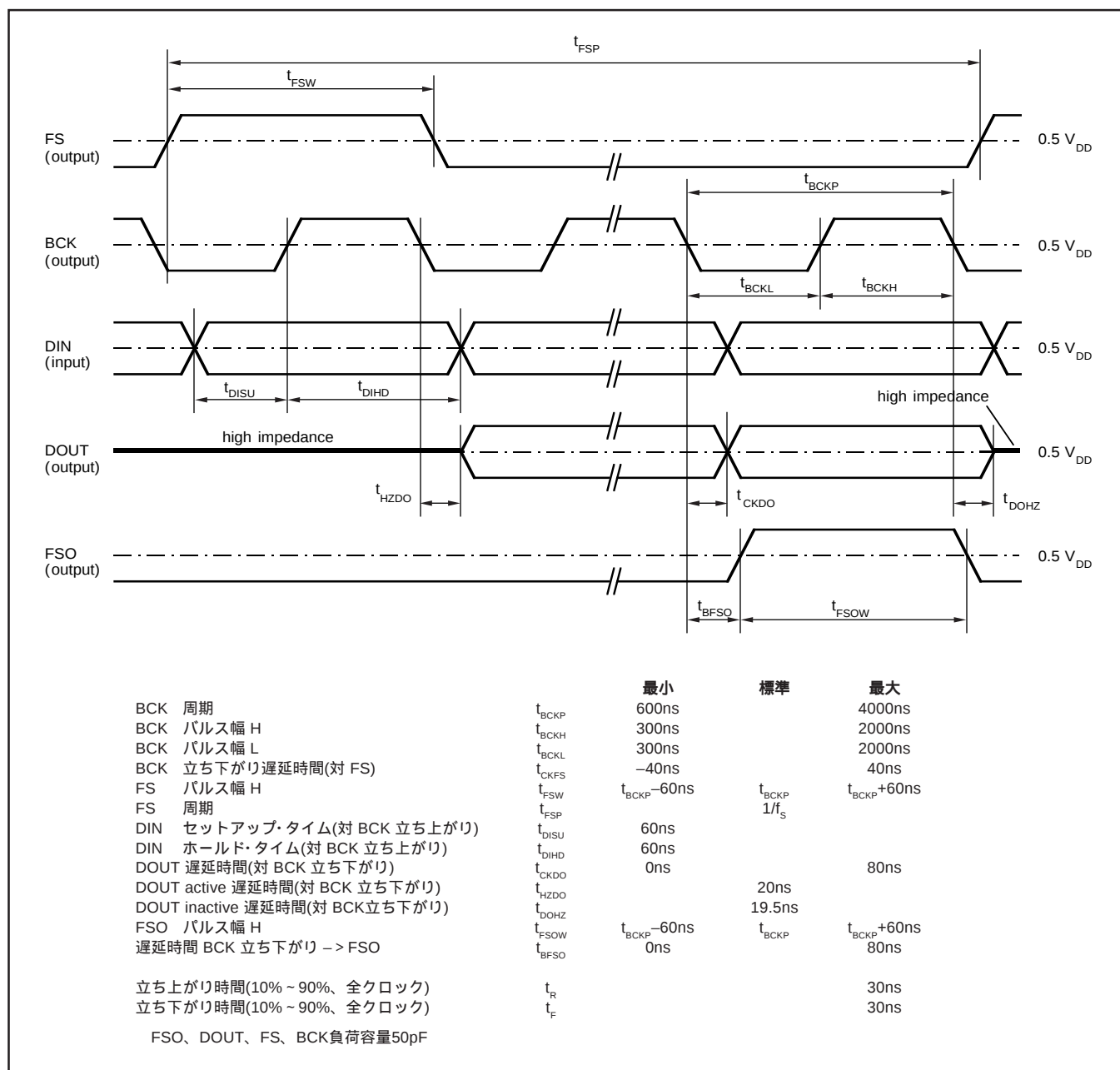


図14. タイムスロット動作タイミング規定(マスター・モード)

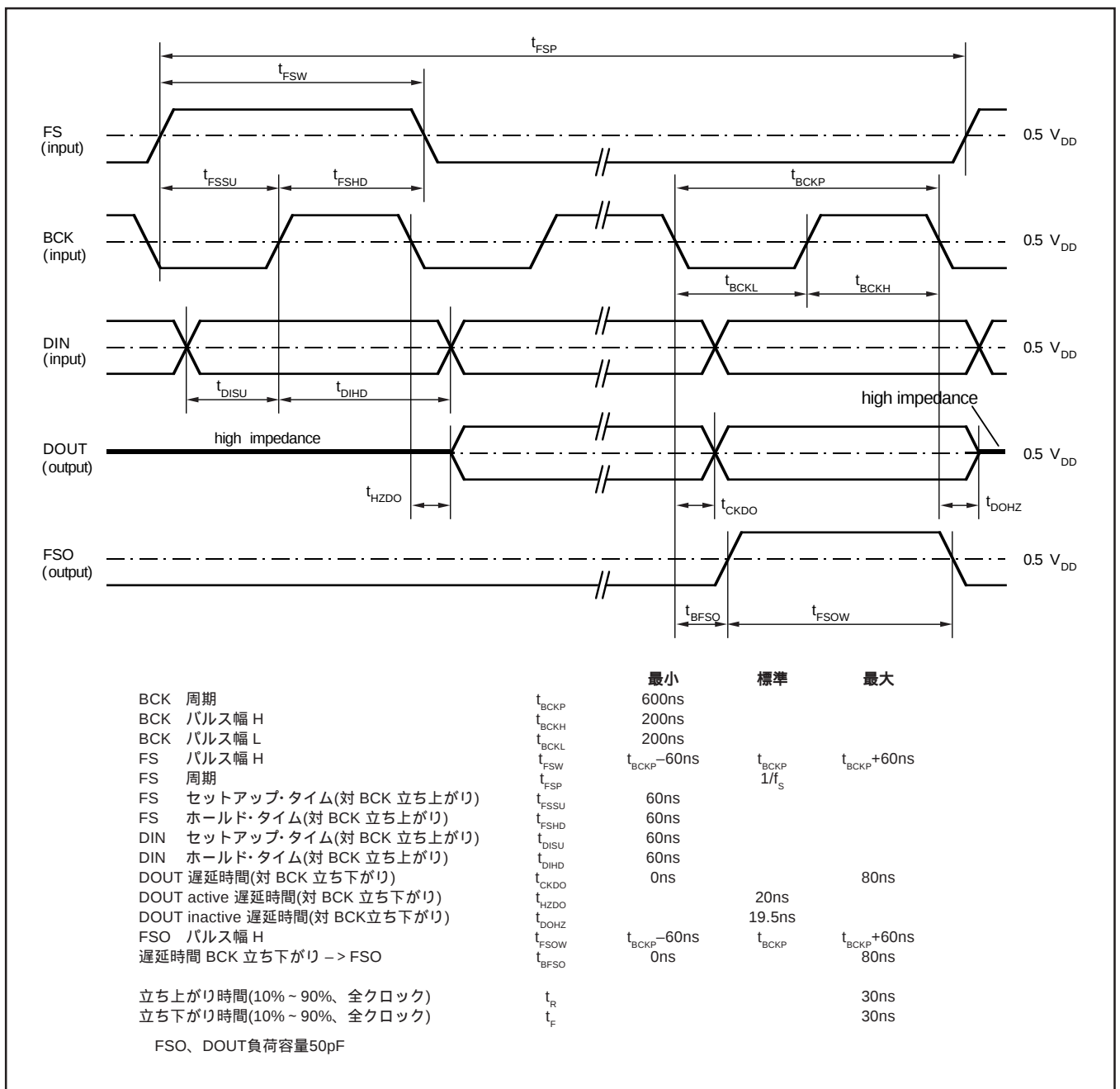


図15. タイムスロット動作タイミング規定(スレープ・モード)

ハイパスフィルタ動作選択

ADC部における内蔵ハイパスフィルタ(HPF)動作のON/OFFはHPFD端子(ピン18、内部プルダウン付き)で選択可能です。

HPFD	HPF動作
H	OFF
L	ON

このHPFは、ADC部アナログ・フロントエンド部に存在するDC成分(オフセット)をデジタルフィルタ内でデジタル演算を行って除去します。これにより、ADCデジタルデータはADCアナログ入力でのDC成分(オフセット)に関係なく、オフセット成分を含まないデータを出力することができます。HPFの周波数特性に関してはフィルタ特性の曲線を参照して下さい。

ループバック動作選択

ループバック動作は、ADCデジタルデータ(DOUT)を内部で直接DACデジタル入力(DIN)にインターフェースする機能で、LOOP端子(ピン19、内部プルダウン付き)で選択します。

LOOP	動作
H	ループバック動作
L	通常動作

ループバック動作時においても他のインターフェース機能(FS、BCK、DOUT)は通常動作と同じに機能していますが、DACデジタル入力(DIN)は無視され、DOUT信号がDACよりD/A変換され出力されます。このループバック機能は、システムチェック、アナログ入力—アナログ出力での特性チェック等に有効です。

DAC出力外部ポスト・ローパスフィルタ

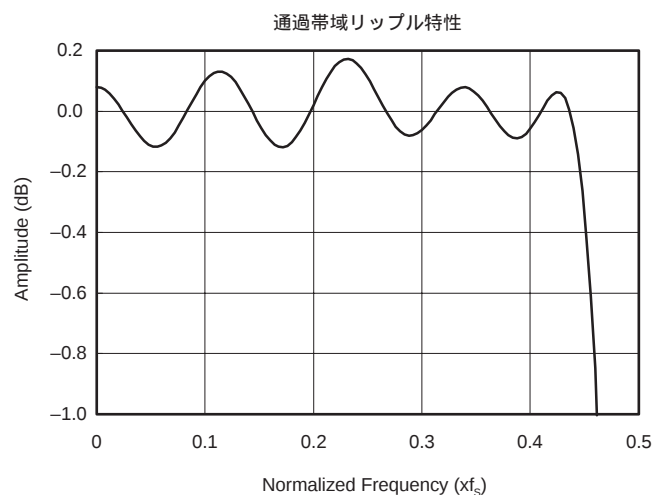
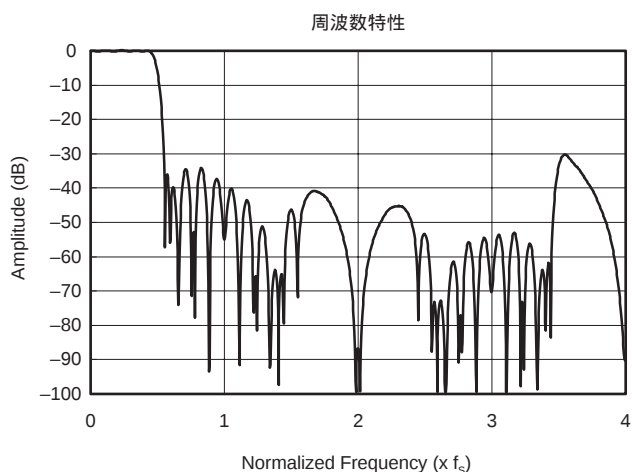
PCM3500は、DAC出力アンプ部にアナログ・ローパスフィルタ(LPF)を内蔵しており、Analog Smoothing Filterとして機能しています。このフィルタはデルタ・シグマ変調による帯域外の量子化ノイズ・スペクトラムを除去し、良質な帯域内アナログ信号を再生しますが、フィルタ特性(周波数特性)はサンプリング周波数付近でも急峻ではないので、帯域外で急峻なフィルタ特性を要求される場合は、PCM3500の外部に2次から3次程度のポストLPFを接続して下さい。

ADC入力外部アンチ・エリアシング・ローパスフィルタ

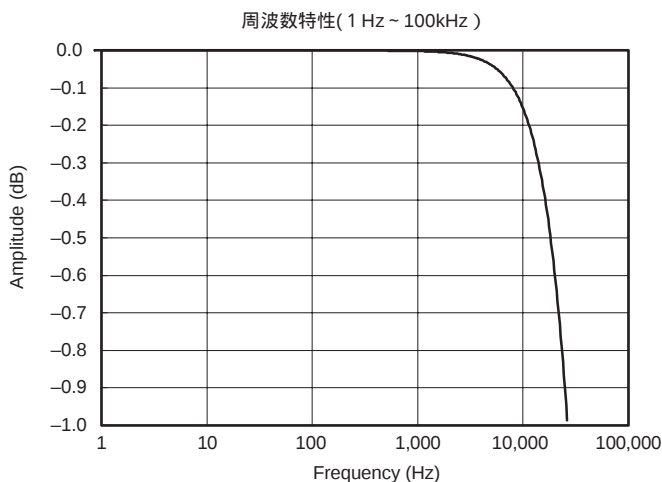
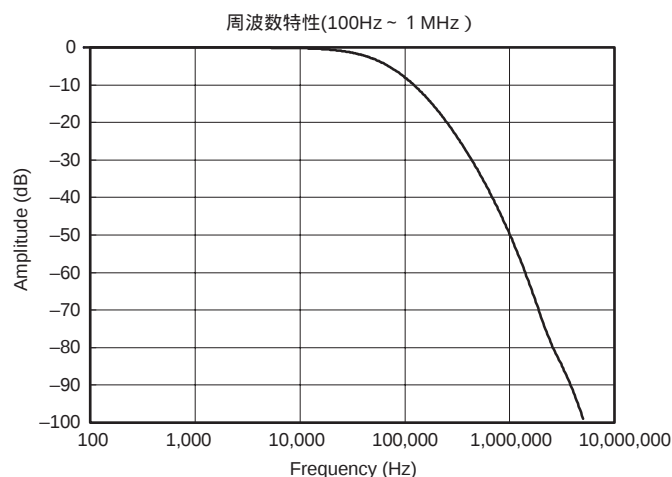
PCM3500は、アナログ・フロントエンド部にアンチ・エリアシング・ローパスフィルタ(LPF)を構成しており、なおかつデシメーション・デジタルLPFを内蔵しているため、一般的なアプリケーションでは、外部にアンチ・エリアシングLPFを接続する必要はありません。

DAC部フィルタ特性

デジタルフィルタ特性



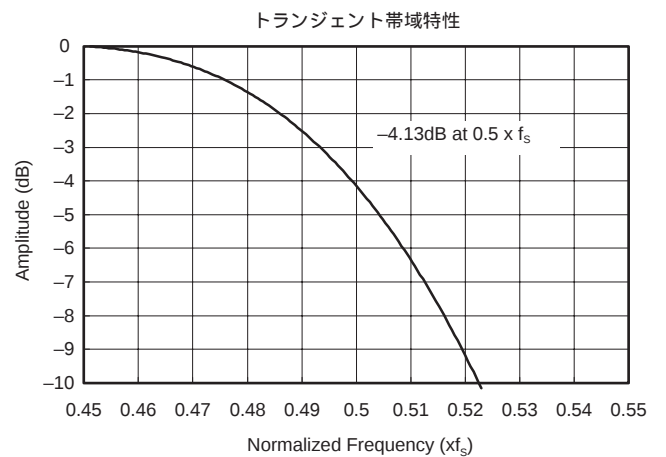
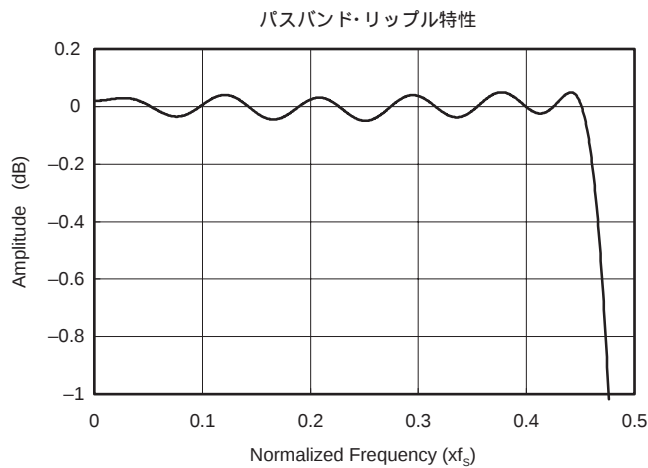
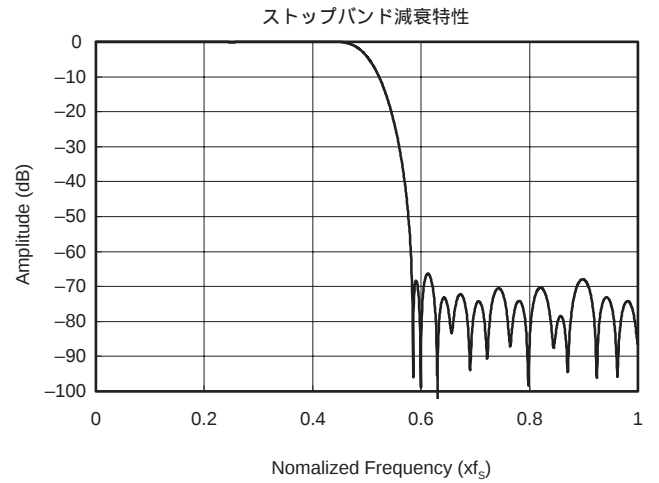
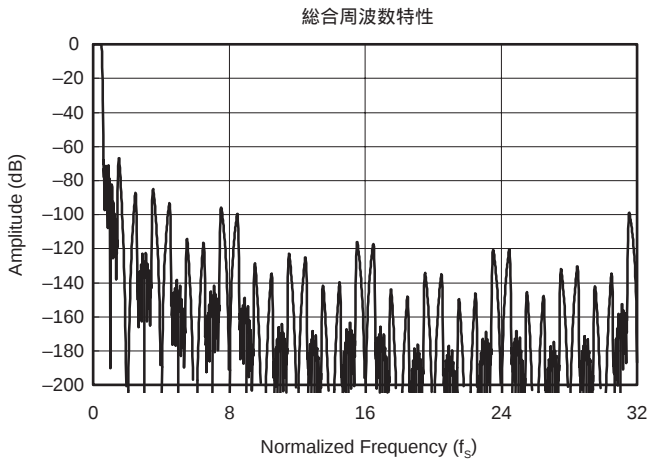
アナログフィルタ特性



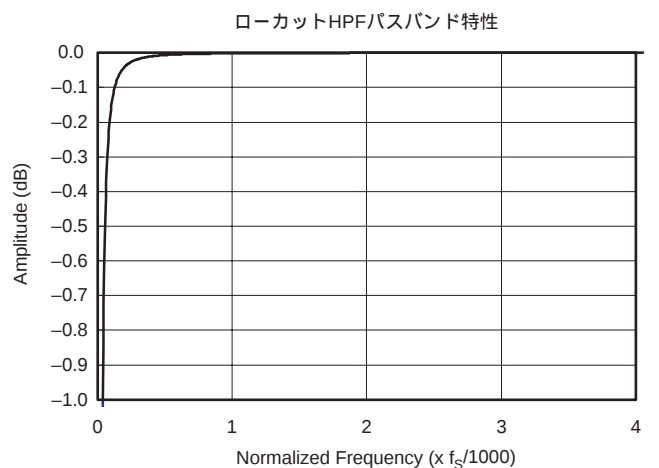
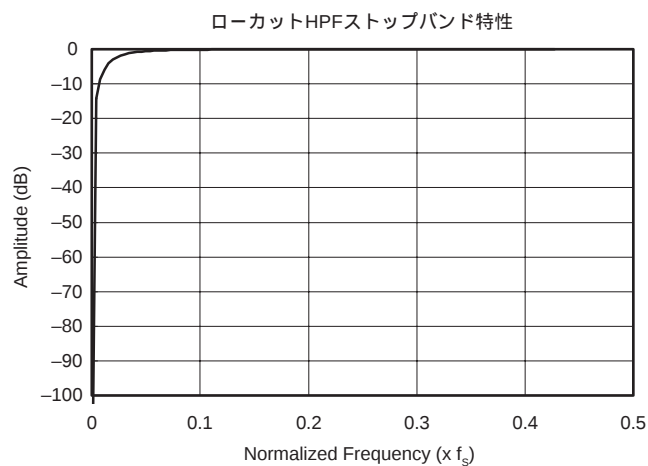
ADC部フィルタ特性

デジタルフィルタ

デシメーション・デジタルフィルタ周波数特性



デジタル・ハイパスフィルタ(HPF)周波数特性



アナログフィルタ(アンチ・エリアシングフィルタ)周波数特性

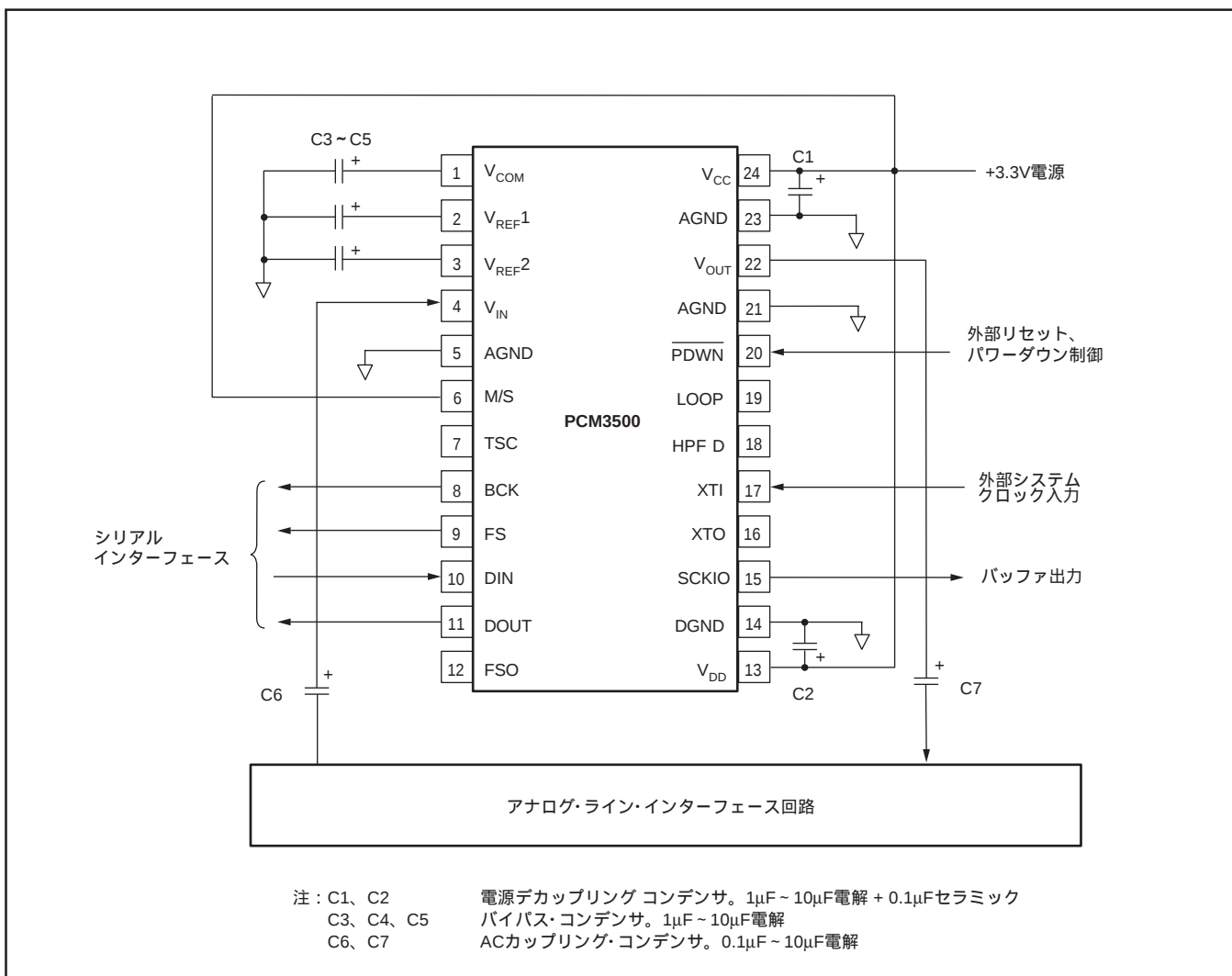
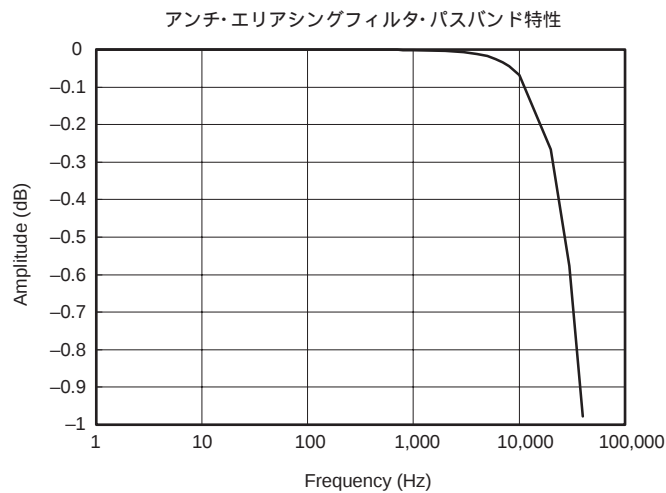
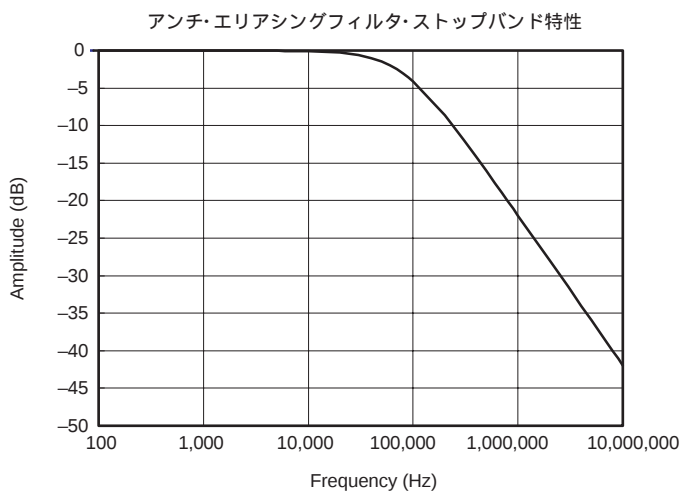
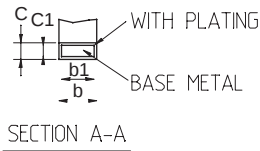
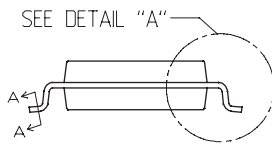
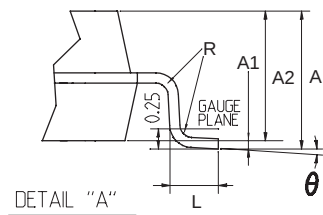
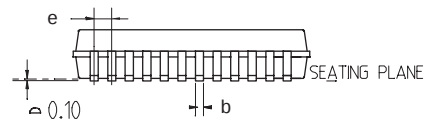
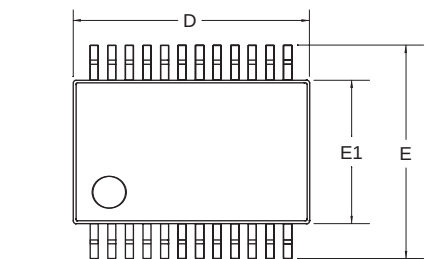


図16. PCM3500基本接続図

外観

パッケージ：24ピンSSOP



Unit: mm

DIM	MIN	TYP	MAX
A	--	--	2.13
A1	0.05	--	0.25
A2	1.62	1.75	1.88
b	0.22	--	0.38
b1	0.22	0.30	0.33
c	0.09	--	0.20
c1	0.09	0.15	0.16
D	7.90	8.20	8.50
E	7.40	7.80	8.20
E1	5.00	5.30	5.60
e	--	0.65 BSC	--
L	0.63	0.90	1.03
R	0.09	--	--
θ	0°	4°	8°