



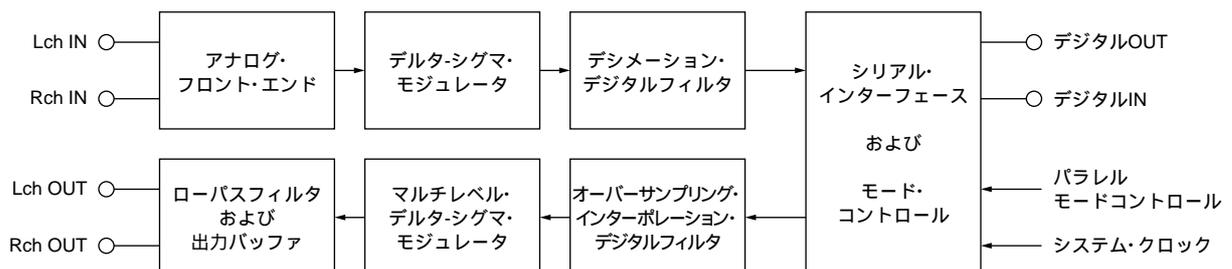
SoundPlus +3V電源、16ビット
シングルエンド アナログ入出力
ステレオ・オーディオ・コーデック

特 長

- 16ビット $\Delta\Sigma$ ADC + DAC
- サンプリング・レート：48kHz(最大)
- システム・クロック：256/384/512fs
- ステレオADC部
 シングルエンド電圧入力
 高性能
 THD + N：0.006%(標準)
 ダイナミック・レンジ：89dB(標準)
 S/N比：89dB(標準)
 64倍デシメーション・デジタルフィルタ
 阻止帯域減衰量：65dB
 アンチ・エリアシングフィルタ内蔵
- ステレオDAC部
 同位相アナログ電圧出力
 高性能
 THD + N：0.006%(標準)
 ダイナミック・レンジ：93dB(標準)
 S/N比：93dB(標準)
 8倍オーバー・サンプリング・デジタルフィルタ
 阻止帯域減衰量：35dB
 2次アナログ・ローパスフィルタ内蔵
- マルチファンクション
 16ビットPCMオーディオ・インターフェース
 デジタル・ディエンファシス
 ADC/DAC独立制御パワーダウン
- 単一 +3V電源動作
- パッケージ：24ピンTSSOP

概 要

PCM3006は、ローコスト、高性能なステレオ・オーディオ・コーデック(ADC+DAC)です。PCM3006のアナログ信号入出力は、ともにシングルエンド入出力となっており、前後のアナログ回路が簡単な構成で設計できるため、大変使いやすくなっています。PCM3006はハードウェア(パラレルポート)制御によるADC部/DAC部独立パワーダウン制御、ディエンファシス制御などの機能を持ち、単一+3V電源動作のため、MD等のデジタル・オーディオ・アプリケーション、DVQ(デジタル・ビデオカメラ)等のポータブル・アプリケーションに幅広く使用できます。また、高性能、低コストで、デジタル・オーディオ・アプリケーションに最適です。



仕様

特に記述のない限り、 $T_A = +25$ 、 $V_{DD} = V_{CC} = 3.0V$ 、 $f_s = 44.1kHz$ 、 $SYSCK = 384f_s$ 、16ビット・データです。

パラメータ	条件	PCM3006T			単位
		最小	標準	最大	
デジタル入力/出力					
入力ロジック					
入力ロジックレベル	$V_{IH}^{(1)(2)}$ $V_{IL}^{(1)(2)}$	0.7V _{DD}		0.3V _{DD}	VDC VDC
入力ロジック電流	$I_{IN}^{(2)}$			± 1	μA
入力ロジック電流	$I_{IN}^{(1)}$			100	μA
出力ロジック					
出力ロジックレベル	$I_{OUT} = -1mA$ $I_{OUT} = +1mA$	V _{DD} -0.3		0.3	VDC VDC
クロック周波数					
サンプリング周波数	f_s	32.0	44.1	48.0	kHz
システム・クロック周波数	256f _s	8.1920	11.2896	12.2880	MHz
	384f _s	12.2880	16.9344	18.4320	MHz
	512f _s	16.3840	22.5792	24.5760	MHz
ADC特性					
分解能			16		Bits
DC精度					
ゲイン・ミスマッチ、チャンネル間			± 1.0	± 3.0	% of FSR
ゲイン誤差			± 2.0	± 5.0	% of FSR
ゲイン・ドリフト			± 20		ppm of FSR/
ダイナミック特性 ⁽⁴⁾					
THD + N	$V_{IN} = -0.5dB$ $V_{IN} = -60dB$		0.006	0.015	%
ダイナミック・レンジ	Aウェイト	84	89		dB
S/N比	Aウェイト	84	89		dB
チャンネル・セパレーション		82	86		dB
アナログ入力					
入力電圧			0.6V _{CC}		Vp-p
センター電圧			0.5V _{CC}		V
入力インピーダンス			30		k Ω
アンチ・エリアシングフィルタ周波数応答	-3dB		150		kHz
デジタルフィルタ特性					
パスバンド				0.454f _s	Hz
ストップバンド		0.583f _s			Hz
パスバンド・リップル				± 0.05	dB
ストップバンド・アッテネーション		-65			dB
遅延時間			17.4/f _s		sec
LCF周波数応答	-3dB		0.019f _s		mHz

このデータシートに記載されている情報は、信頼しうるものと考えておりますが、不正確な情報や記載漏れ等に関して弊社は責任を負うものではありません。情報の使用について弊社は責任を負いませんので、各ユーザーの責任において御使用下さい。価格や仕様は予告なしに変更される場合がありますのでご了承下さい。ここに記載されているいかなる回路についても工業所有権その他の権利またはその実施権を付与したり承諾したりするものではありません。弊社は弊社製品を生命維持に関する機器またはシステムに使用することを承認しまたは保証するものではありません。

仕様(続き)

特に記述のない限り、 $T_A = +25$ 、 $V_{DD} = V_{CC} = 3.0V$ 、 $f_s = 44.1kHz$ 、 $SYSCK = 384f_s$ 、16ビット・データです。

パラメータ	条件	PCM3006T			単位
		最小	標準	最大	
DAC特性					
分解能		16			Bits
DC精度 ゲイン・ミスマッチ、チャンネル間 ゲイン誤差 ゲイン・ドリフト バイポーラ・ゼロ誤差 バイポーラ・ゼロ・ドリフト			± 1.0 ± 1.0 ± 20 ± 2.5 ± 20	± 3.0 ± 5.0	% of FSR % of FSR ppm of FSR/ % of FSR ppm of FSR/
ダイナミック特性⁽⁵⁾ THD + N $V_{OUT} = 0dB$ (FS) $V_{OUT} = -60dB$ ダイナミック・レンジ S/N比 チャンネル・セパレーション	EIAJ、Aウェイト EIAJ、Aウェイト	86 86 84	0.006 3.0 93 93 90	0.015	% % dB dB dB
アナログ出力 出力電圧 センター電圧 負荷インピーダンス LPF周波数応答	ACカップリング $f = 20kHz$	10	$0.6V_{CC}$ $0.5V_{CC}$ -0.16		Vp-p V k Ω dB
デジタルフィルタ特性 パスバンド ストップバンド パスバンド・リップル ストップバンド・アッテネーション 遅延時間		0.555 f_s -35		$0.445f_s$ ± 0.17	Hz Hz dB dB sec
電源供給 電源電圧 V_{CC} 、 V_{DD} V_{CC} 、 V_{DD} 電源電流 消費電力	$256f_s$ 、 $512f_s$ 、0 ~ 70 $V_{CC} = V_{DD} = 3.0V$ $V_{CC} = V_{DD} = 3.0V$	2.7 2.4	3.0 3.0 18 12 7 50 54 36 21 150	3.6 3.6 24 16 10 72 48 30	VDC VDC mA mA mA μA mW mW mW mW μW
温度範囲 動作 保存 熱抵抗 θ_{JA}		-25 -55		+85 +125	/W

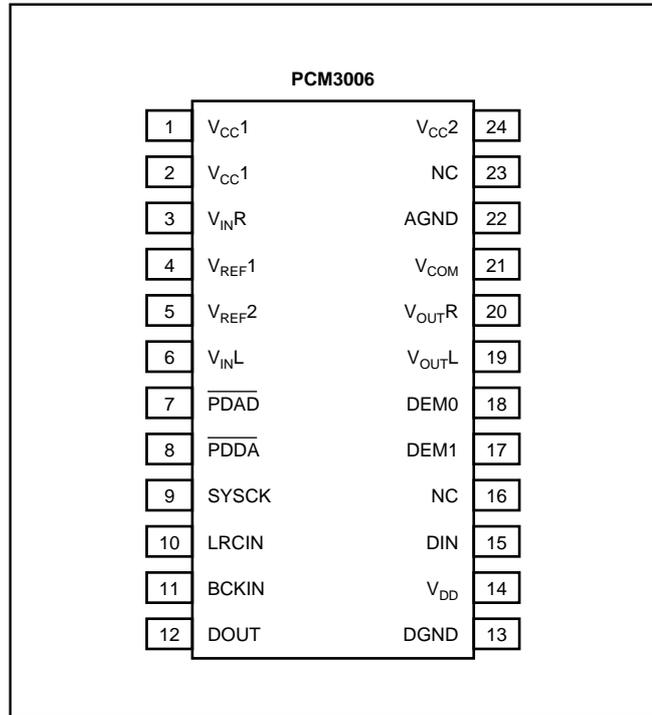
注：(1)ピン7、8、17、18：PDAD、PDDA、DEM1、DEM0(シュミット・トリガ入力、100k Ω 標準プルダウン抵抗) (2)ピン9、10、11、15：SYSCK、LRCIN、BCKIN、DIN(シュミット・トリガ入力) (3)ピン12：DOOUT (4) $f_{in} = 1kHz$ 、オーディオ・プレジジョン社のシステムを使用、RMSモード、20kHz LPF、400Hz HPF。 (5) $f_{out} = 1kHz$ 、オーディオ・プレジジョン社のシステムを使用、RMSモード、20kHz LPF、400Hz HPF。 (6)SYSCK、BCKIN、LRCINは停止。

ピン構成

ピン番号	名称	IN/OUT	説明
1	V _{CC1}	—	ADC部アナログ電源
2	V _{CC1}	—	ADC部アナログ電源
3	V _{INR}	IN	Rchアナログ入力
4	V _{REF1}	—	基準電圧1
5	V _{REF2}	—	基準電圧2
6	V _{INL}	IN	Lchアナログ入力
7 ⁽¹⁾⁽²⁾	PDAD	IN	ADC部パワーダウン、この端子はアクティブ“L”です。
8 ⁽¹⁾⁽²⁾	PDDA	IN	DAC部パワーダウン、この端子はアクティブ“L”です。
9 ⁽²⁾	SYSCK	IN	システム・クロック入力、256f _s 、384f _s 、512f _s
10 ⁽²⁾	LRCIN	IN	サンプリング・クロック入力
11 ⁽²⁾	BCKIN	IN	ビット・クロック入力
12	DOUT	OUT	オーディオデータ出力
13	DGND	—	デジタル・グラウンド
14	V _{DD}	—	デジタル電源
15 ⁽²⁾	DIN	IN	オーディオデータ入力
16	NC	—	未接続
17 ⁽¹⁾⁽²⁾	DEM1	IN	ディエンファシス制御1
18 ⁽¹⁾⁽²⁾	DEM0	IN	ディエンファシス制御0
19	V _{OUTL}	OUT	Lchアナログ出力
20	V _{OUTR}	OUT	Rchアナログ出力
21	V _{COM}	—	アナログ入出力アンプ・コモン
22	AGND	—	アナログ・グラウンド
23	NC	—	未接続
24	V _{CC2}	—	DAC部アナログ電源

注：(1)内部でプルダウンされています(プルダウン抵抗：100Ω(標準))。
(2)シュミット・トリガ入力。

ピン配置



絶対最大定格

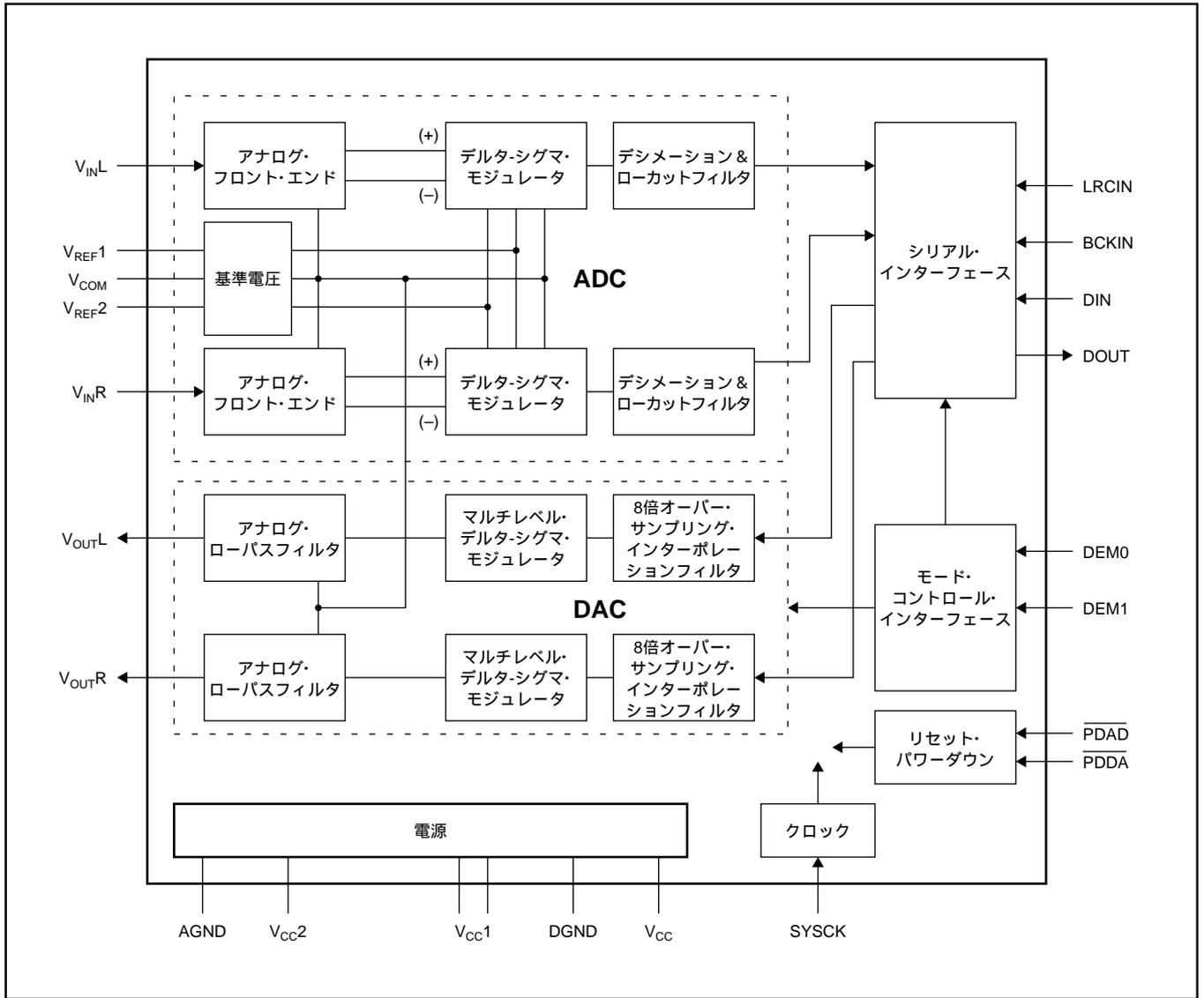
電源電圧+V _{DD}	+6.5V
+V _{CC1}	+6.5V
+V _{CC2}	+6.5V
電源電圧差	±0.1V
GND電圧差	±0.1V
デジタル入力電圧	-0.3 ~ V _{DD} +0.3V
アナログ入力電圧	-0.3 ~ V _{CC} +0.3V
入力電流(電源、グラウンドを除く)	±10mA
許容電力	300mW
動作温度	-25 ~ +85
保存温度	-55 ~ +125
リード温度(半田付け)	+260 (5秒間)
パッケージ表面温度(リフロー)	+235 (10秒間)

パッケージ情報/ご発注の手引き⁽¹⁾

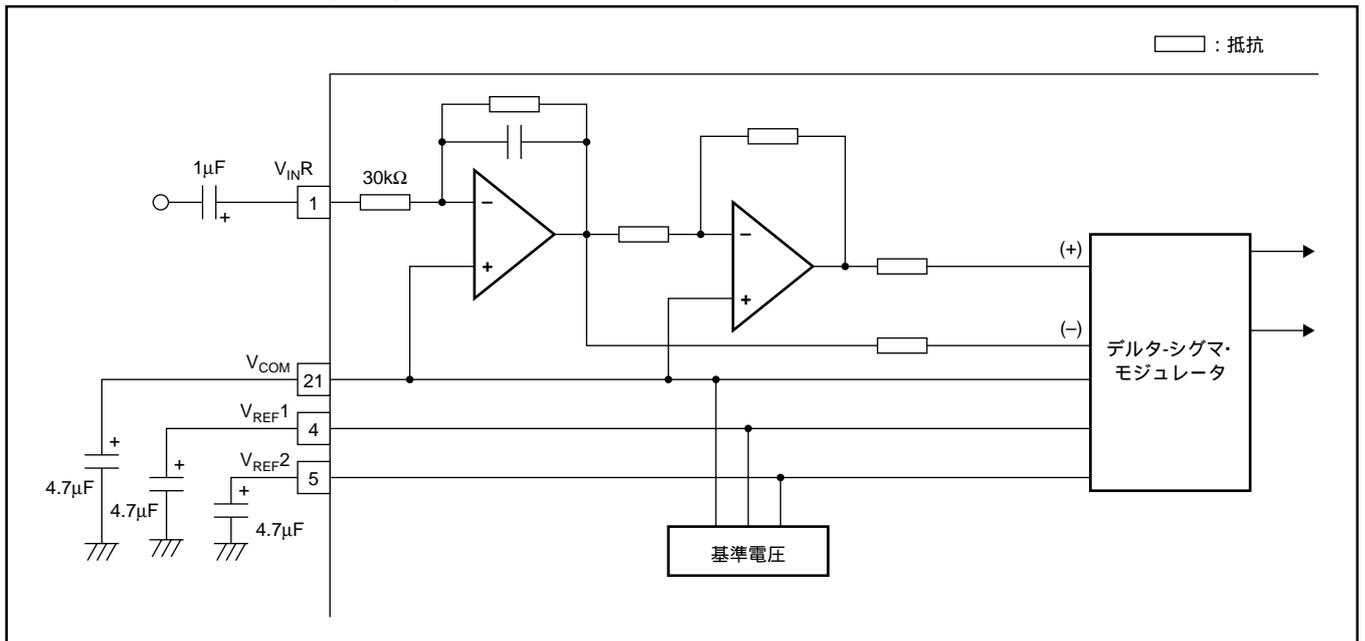
モデル	パッケージ	温度範囲
PCM3006T	24ピン・プラスチックTSSOP	-25 ~ +85

注：(1)詳細図および寸法表は、データシートの巻末を参照して下さい。

ブロック図



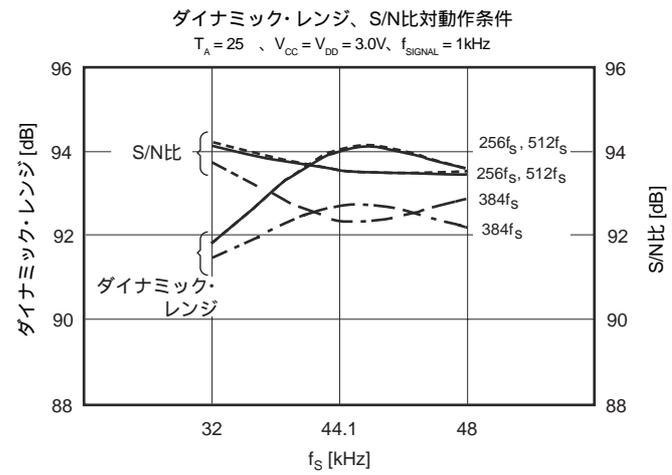
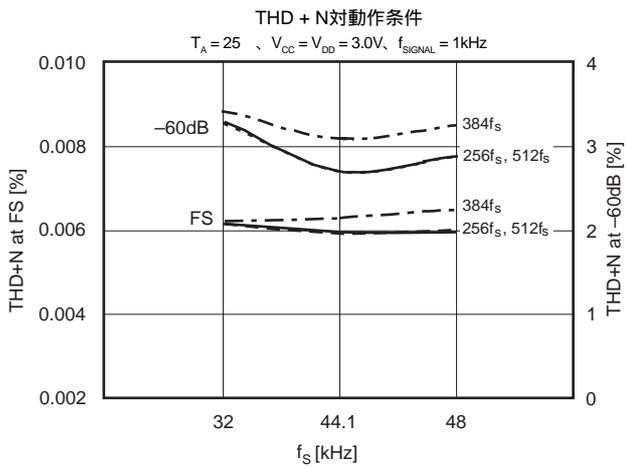
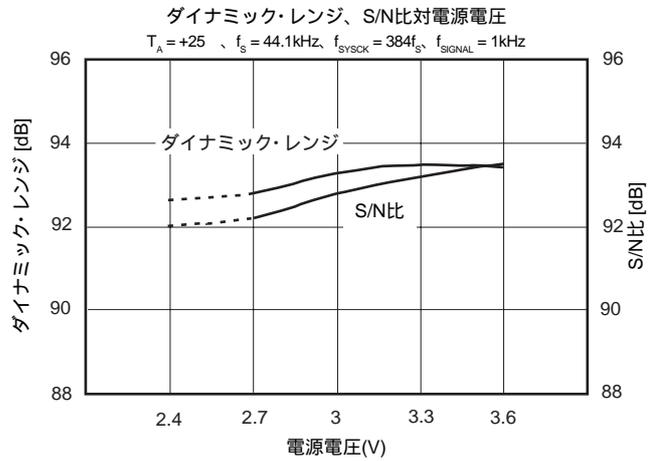
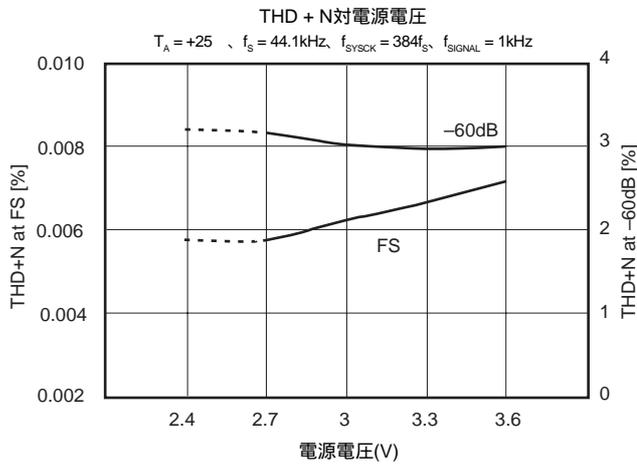
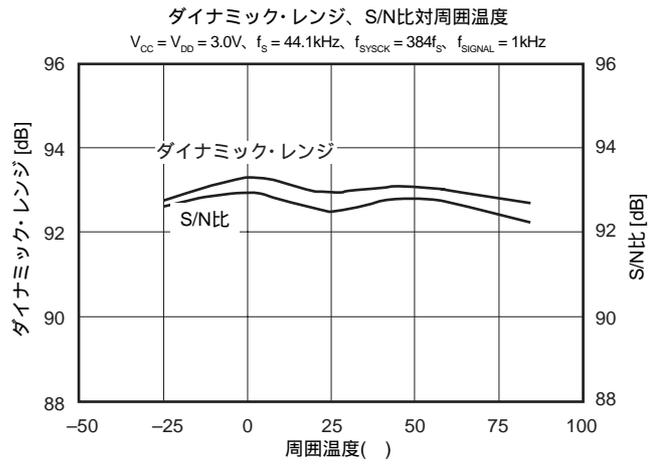
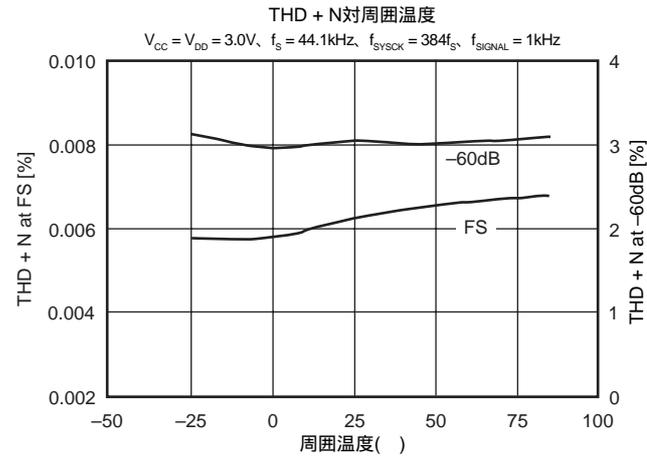
アナログ・フロント・エンド(R-ch)



代表的性能曲線

対電源電圧特性の2.4V~2.7V区間については、 $256f_s$ に対する特性です。

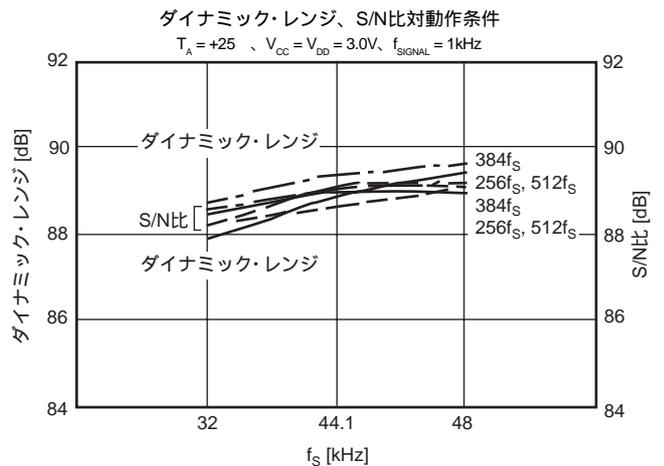
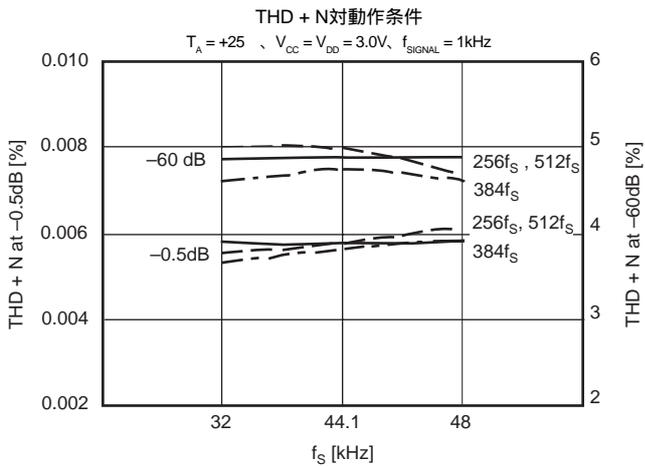
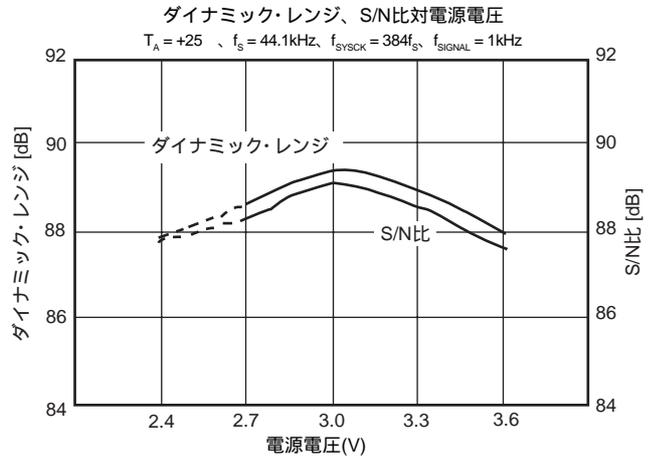
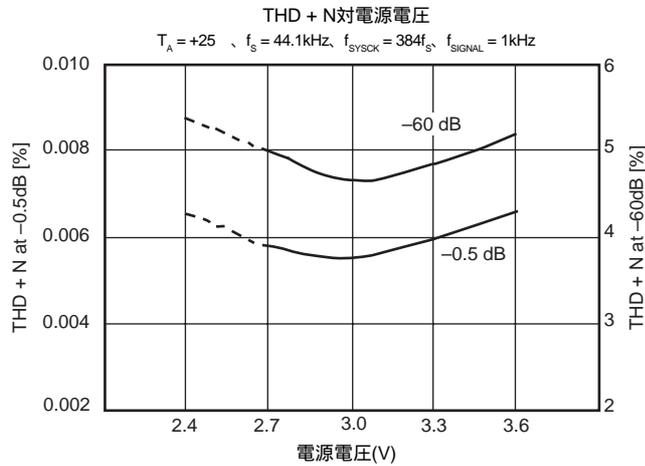
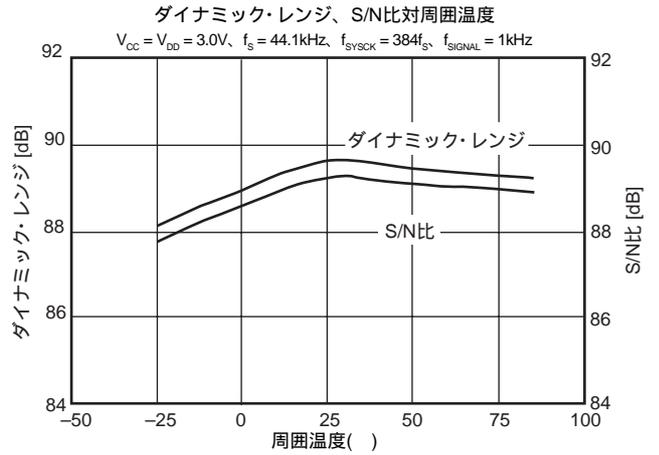
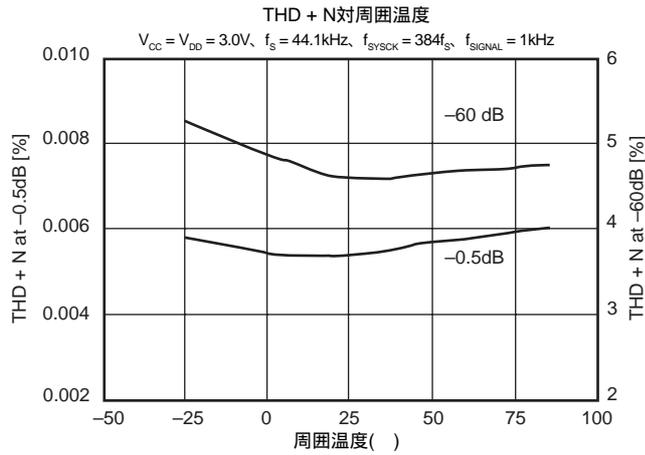
DAC部



代表的性能曲線

対電源電圧特性の2.4V ~ 2.7V区間については、256f_sに対する特性です。

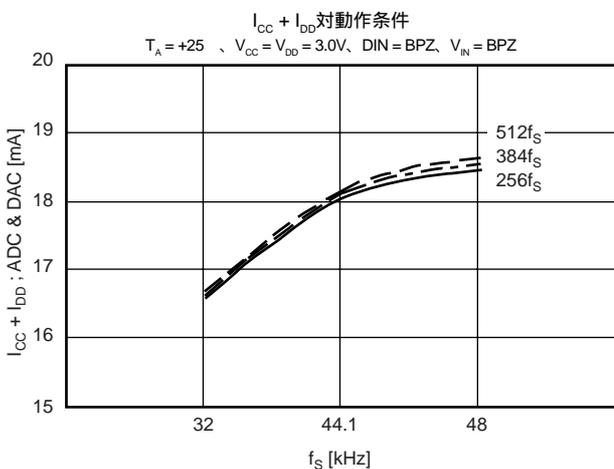
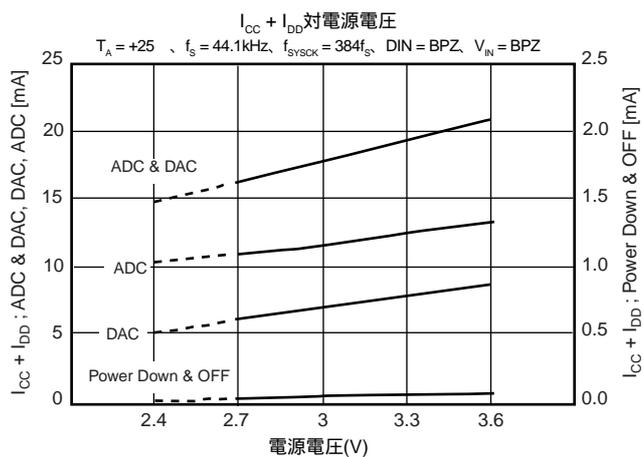
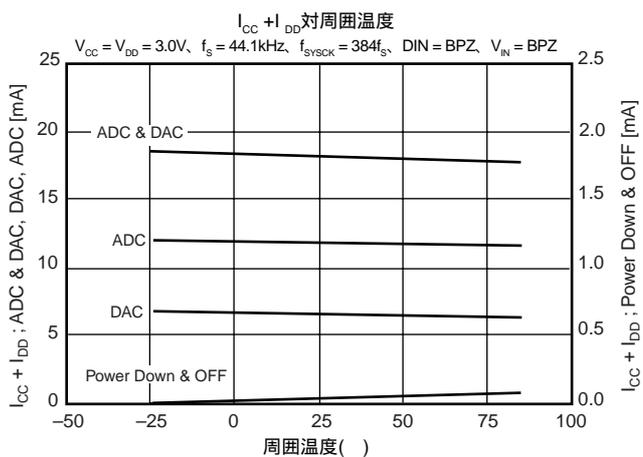
ADC部



代表的性能曲線

対電源電圧特性の2.4V~2.7V区間については、256f_sに対する特性です。

電源電流



動作原理

ADC部

PCM3006のADC部は、ブロック図に示すように、リファレンス回路、シングルエンド入力/差動変換回路、5次 $\Delta\Sigma$ モジュレータ、デシメーションフィルタ、ローカットフィルタ等により構成されています。高精度基準電圧源は、ADC部に必要な基準電圧を供給すると同時にアナログ入力電圧範囲を決定します。PCM3006のADC部は、広いダイナミック・レンジと優れた電源変動除去比を得るために完全差動回路で構成されています。このため、シングルエンド入力/差動変換回路を内蔵し、最少の外付け部品で高性能を実現しています。図1に5次 $\Delta\Sigma$ 変調器のブロック図と伝達関数を示します。

5次 $\Delta\Sigma$ 変調器は、5個の差動回路構成スイッチト・キャパシタ方式積分器、比較器、1ビットD/Aコンバータから構成されており、高次 $\Delta\Sigma$ 変調器を用いて変調器出力データに特定の周期のパターンが発生しないようにしています。この $\Delta\Sigma$ 変調器は $64f_s$ で動作し、出力された1ビット・データは次段の20ビット・デシメーションフィルタによって $64f_s$ までの周波数成分を除去されます。このように高次アンチ・エイリアスフィルタが不要になるため1次アンチ・エイリアスフィルタを内蔵しています。また、IC内部で発生するオフセットを除去するため、カットオフ周波数(-3dB)が 0.8Hz ($f_s = 44.1\text{kHz}$)のデジタル・ローカットフィルタを内蔵しており、外部でキャリブレーションを行う必要はありません。

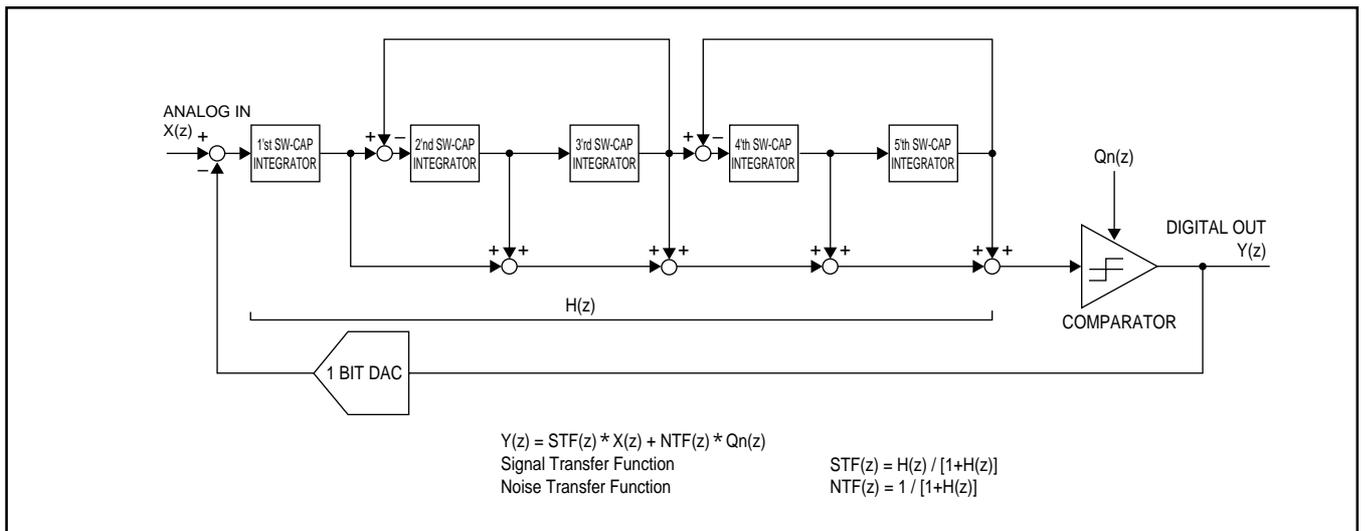


図1. ADC部 $\Delta\Sigma$ 変調器のブロック図

DAC部 $\Delta\Sigma$ セクションの動作原理

PCM3006のDAC部 $\Delta\Sigma$ セクションでは、振幅方向に5レベルの分解能を持つ5レベル量子化器を用いて5レベルの $\Delta\Sigma$ 変調を行います。デジタルフィルタでオーバー・サンプリングされた21ビットのデータは、 $\Delta\Sigma$ 変調された5レベル(0、1、2、3、4)信号に変換されます。図2にこの5レベル $\Delta\Sigma$ 変調器のブロック図を示します。次数は3次としていますが、一般的な1ビット(2レベル)の $\Delta\Sigma$ 変調に比べて、系の安定性および耐ジッタ性能に優れています。

デジタルフィルタ部と変調部との総合オーバー・サンプリング・レートは $64f_s$ となっています。一般的な変調では、次数を高くすると系が不安定になる問題がありますが、PCM3006では5レベル変調および系全体の位相補償により優れた安定性を得ています。図3に $\Delta\Sigma$ 変調後の量子化雑音レベルの理論スペクトル特性($f_s = 44.1\text{kHz}$ 、システム・クロック = $256f_s$ 、信号周波数 $f_{\text{sig}} = 1\text{kHz}$)を示します。PCM3006では、5レベル変調により、オーディオ帯域において-120dB以上量子雑音を抑制しています。

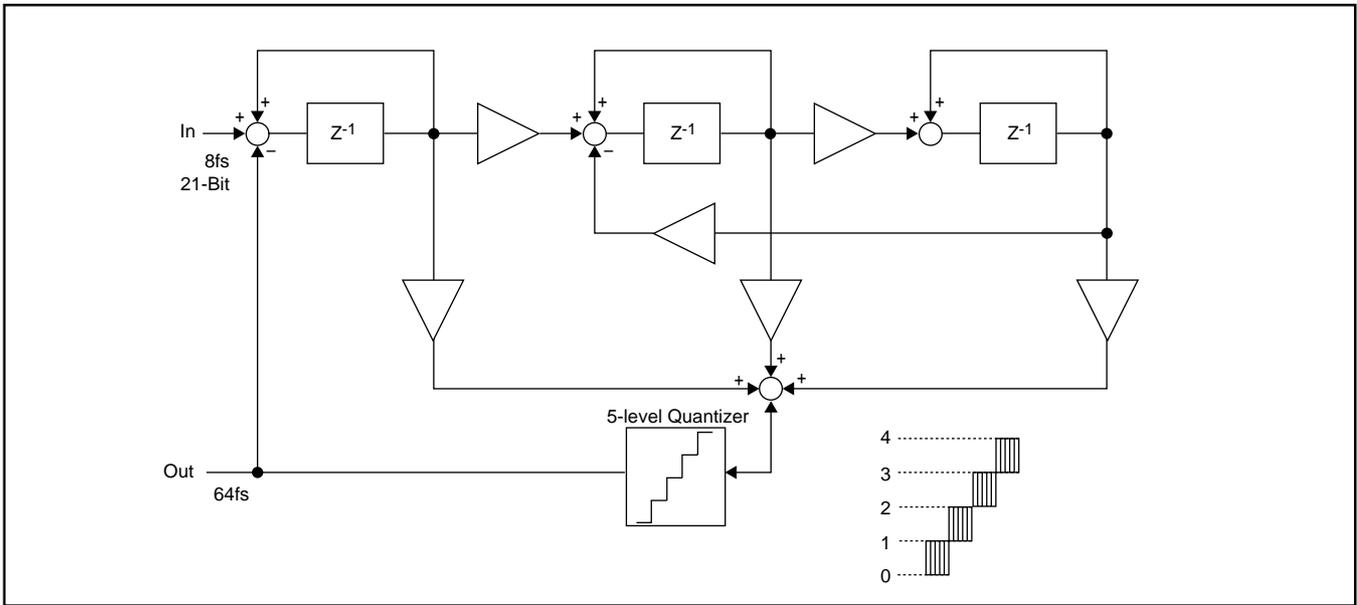


図2. 5レベル変調器のブロック図

マルチレベル の耐ジッタ特性

PCM3006は、5レベル量子化器の使用により、他の一般的な1ビットDACに比べてシステム・クロックのジッタ耐量に優位性を持っています。図4にシミュレーションによるジッタ量対ダイナミック・レンジの比較データを示します。

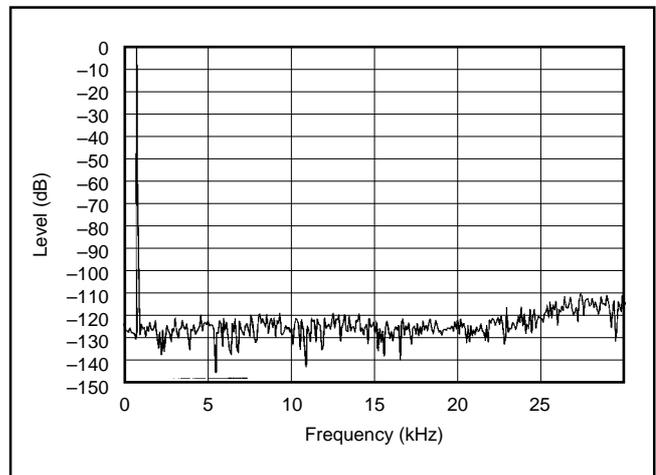


図3. 量子化器雑音特性

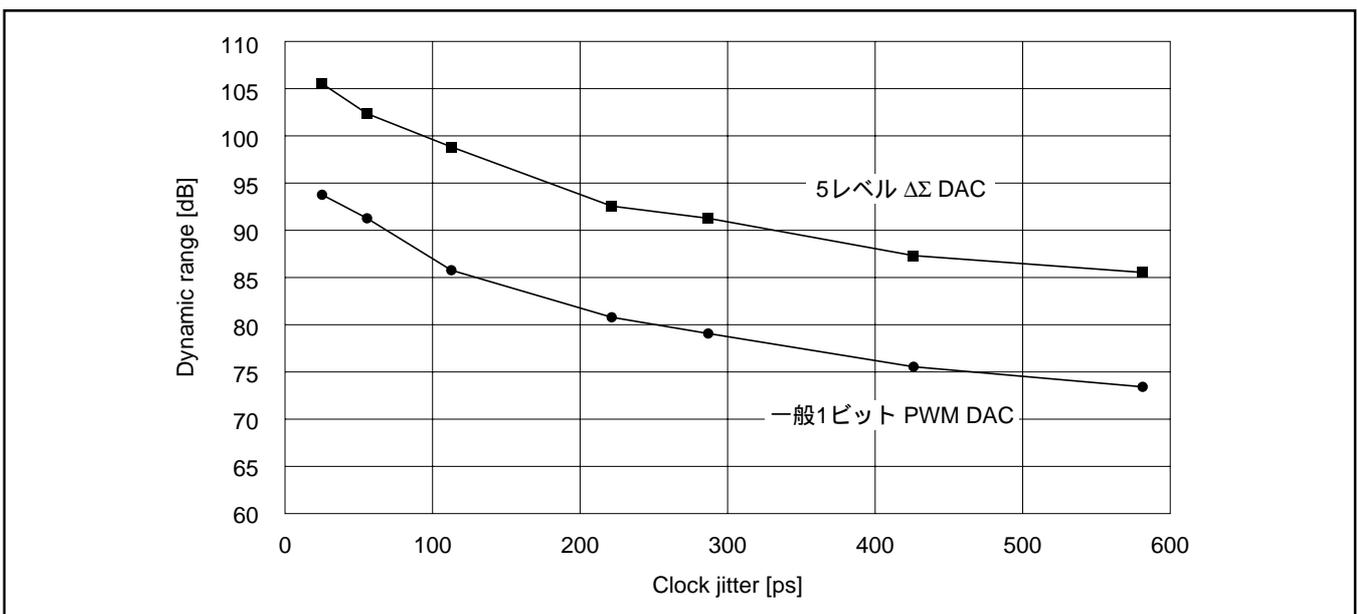


図4. ジッタ量対ダイナミック・レンジ・シミュレーション・データ

オーディオデータ・インターフェース

PCM3006は、LRCIN(ピン10)、BCKIN(ピン11)、DIN(ピン15)、DOUT(ピン12)により外部システムとインターフェースします。入出力フォーマットは、ADC出力に対し16ビットMSBファースト前詰め、DAC入力に対し16ビットMSBファースト後詰め

詰めをサポートします。オーディオデータ・フォーマットとタイミング規定を図5および図6に示します。PCM3006は3種類のBCKINとLRCINの組み合わせ、64、48、32BCKIN/LRCKをサポートしています。

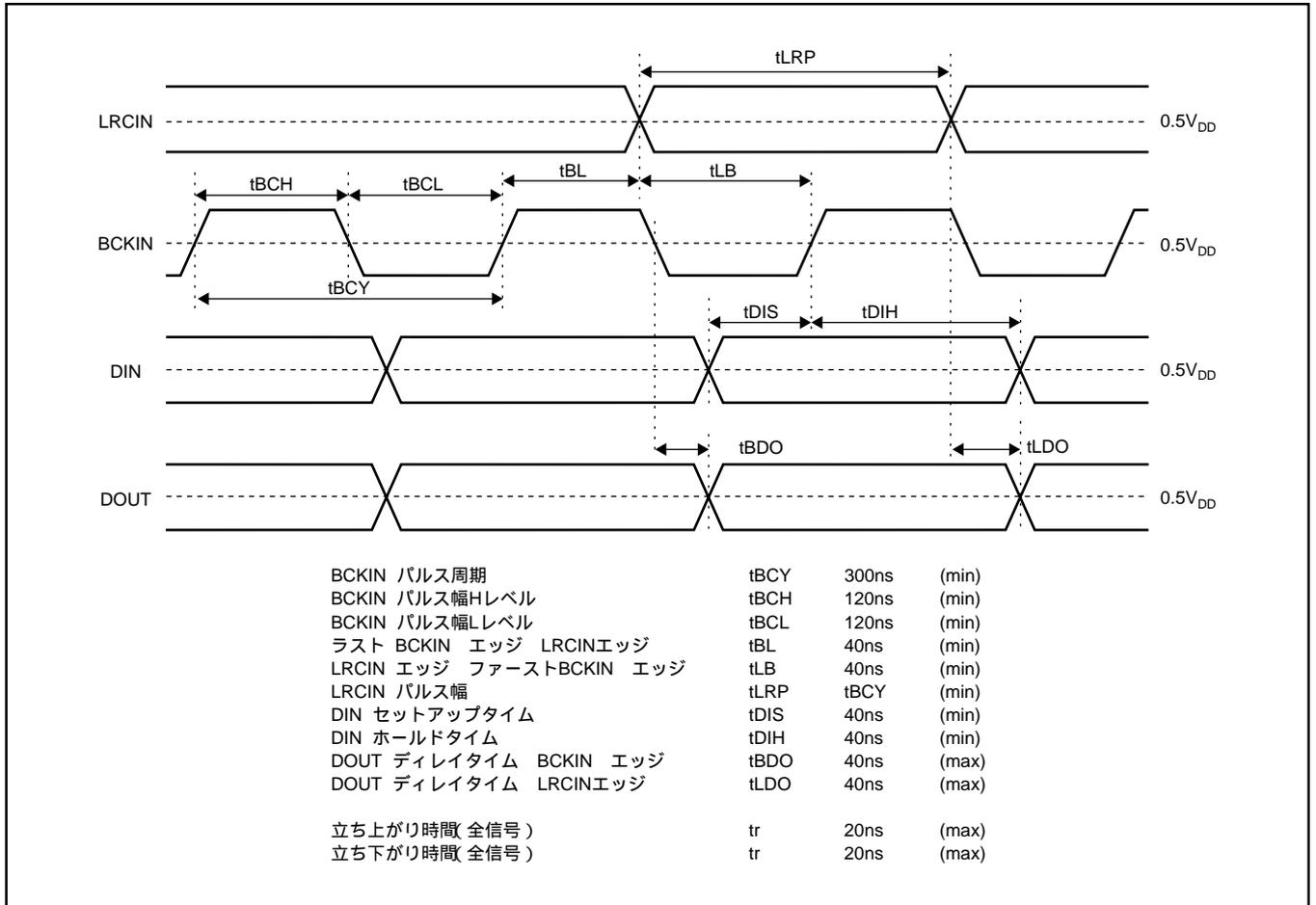


図5. 入出力タイミング規定

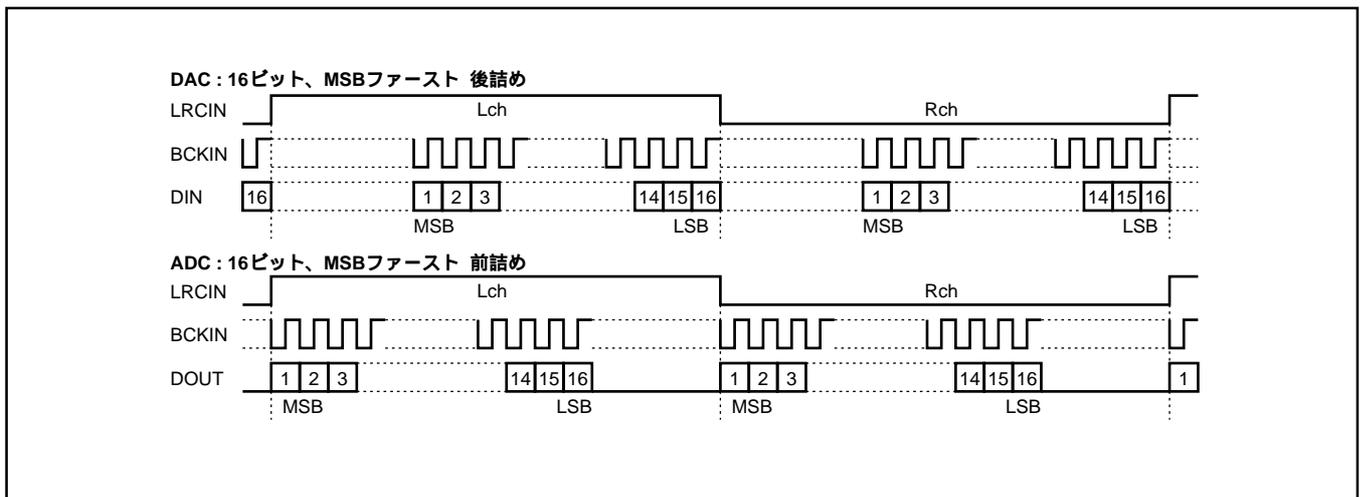


図6. オーディオデータ入出力フォーマット

システム・クロック

PCM3006のシステム・クロックは、 $256f_s$ 、 $384f_s$ 、 $512f_s$ のいずれにも対応可能で、内部に f_s 自動判別機能を有しているため、外部からの $256f_s/384f_s/512f_s$ の選択制御は必要ありません。また、 $384f_s$ 、 $512f_s$ 時には $256f_s$ に分周され、デジタルフィルタやモジュ

レータのクロックになります。システム・クロックはSYSCK(ピン9)に入力します。システム・クロックとLRCINクロック(基準サンプリング・レート)は同期をとる必要がありますが、位相を正確に合わせる必要はありません。サンプリング周波数とシステム・クロック周波数との関係、システム・クロックのタイミング規定を表 および図7に示します。

サンプリング・レート周波数(kHz)	システム・クロック周波数(MHz)		
	$256f_s$	$384f_s$	$512f_s$
32.0	8.1920	12.2880	16.3840
44.1	11.2896	16.9344	22.5792
48	12.2880	18.4320	24.5760

表 . システム・クロックとサンプリング・クロック

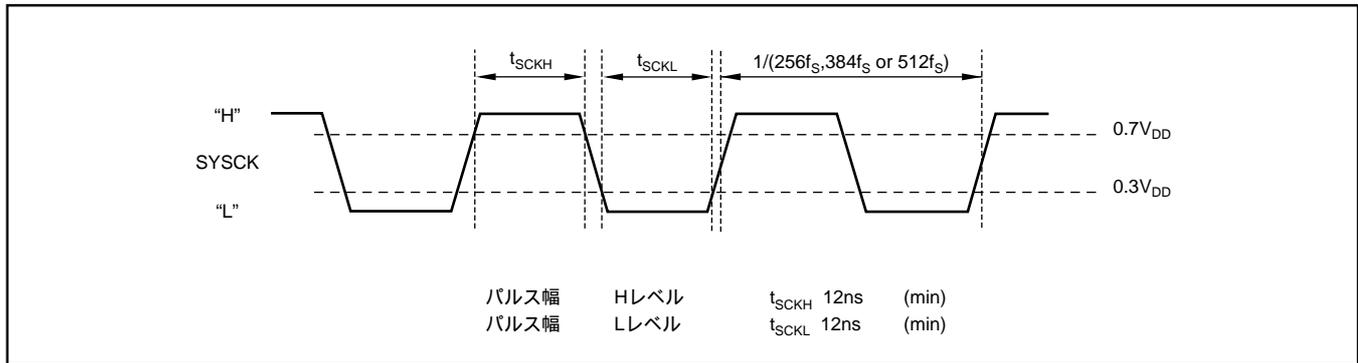


図7. PCM3006システム・クロック・タイミング規定

リセット・オペレーション

PCM3006には、次に示す内蔵のパワーオン・リセットと外部制御によるリセットがあります。これらのリセット機能は内部動作に対しては共通になっており、同じ働きをします。

電源電圧が2.2V(標準)以下の場合、およびリセット期間中のDACアナログ出力はGNDレベルに固定され、ADCデジタル出力はゼロデータを出します。リセット解除後、DAC出力は $t_{DACDLY} \cdot 1(16384/f_s)$ 間BPZ($0.5V_{CC}$)を出力し、ADC出力は $t_{ADCDLY} \cdot 1(18432/f_s)$ 間はゼロデータを出します。ADC部ではこの後デジタル・ローカットフィルタの過渡応答(時定数200ms)が現れます。

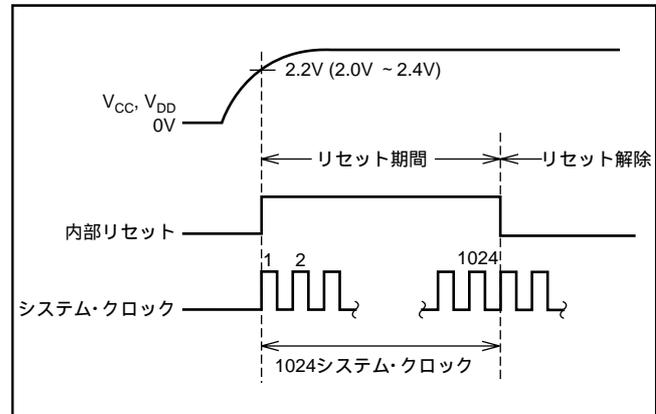


図8. パワーオン・リセット・タイミング

パワーオン・リセット

内蔵のパワーオン・リセットは電源電圧を検知して自動的に行われます。電源投入後、電源電圧が標準2.2V(2.0Vから2.4V)を超えると、リセット動作になり、システム・クロックを1024クロック分カウントした後にリセットを解除します。パワーオン・リセット使用時にはPDAD(ピン7)とPDDA(ピン8)をHレベルとします。

外部リセット

PDAD(ピン7)とPDDA(ピン8)を同時に一定期間Lレベルにすることにより、外部からリセットをかけることができます。端子入力がLからHに変化した後、パワーオン・リセットと同様に1024システム・クロックのカウント後、リセット解除となるまでの間はリセット期間となります。

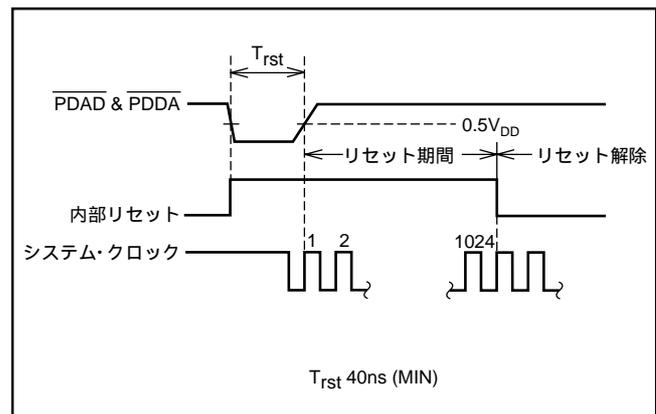


図9. 外部リセット・タイミング

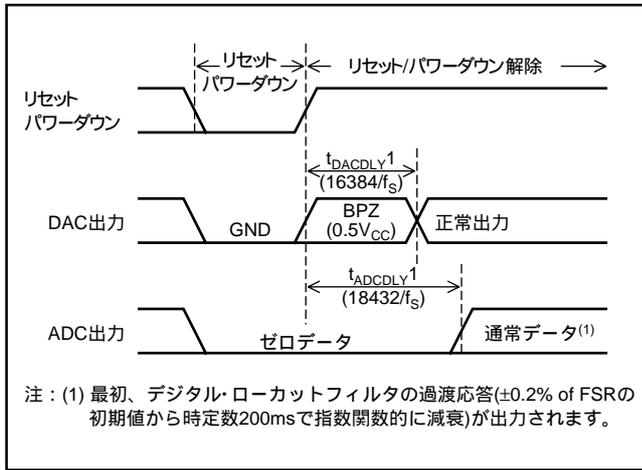


図10. リセットおよびパワーダウンに対するADC/DAC出力

外部システムとの同期動作

PCM3006は、LRCINクロック(基準サンプリング・レート f_s)とシステム・クロック($256/384/512f_s$)との同期関係を常時内部でモニタしています(リセット時を除く)。LRCINクロックの1サイクル($1/f_s$)の間に256、384、512のシステム・クロックがあれば同期関係は成立します。この同期関係がずれた場合の動作は次のようになります。

$1/f_s$ 期間以内の同期ズレ

1LRCINクロック・サイクル($1/f_s$)の間だけ瞬時にシステム・クロックが255($256f_s$ に対し)、385($384f_s$ に対し)、511($512f_s$ に対し)クロックになった場合、このシステム・クロックのズレ時間が±5ビット・クロック(BCKIN)期間内であれば、正常動作を保ちます。ズレ時間が±6ビット・クロック期間を超えると同期外れ状態となります。

f_s が変化する場合の同期ズレ

f_s が32kHzから48kHzに変化する場合等でLRCINクロックとシステム・クロックの同期が $1/f_s$ 期間以上ズレた場合は同期外れ状態となります。

同期外れ時のDAC

同期状態から同期外れ状態になると $1/f_s$ 期間はDAC出力は不定となり、その後 $0.5V_{CC}$ (BPZ)を出力します。また、同期外れ状態から同期状態になった場合、 $t_{DACDLY2}(32/f_s)$ 期間DAC出力は $0.5V_{CC}$ (BPZ)となり、その後正常出力となります。

同期外れ時のADC

同期状態から同期外れ状態になると、 $1/f_s$ 期間はADC出力は不定となり、その後ゼロデータを出力します。また、同期外れ状態から同期状態になった場合、 $t_{ADC DLY2}(32/f_s)$ 期間ADC出力はゼロとなり、その後データを出力します。この場合、デジタル・ローカットフィルタの過渡応答が現れますのでシステム上で問題のある場合は、この部分のデータを考慮した処理を行ってください。

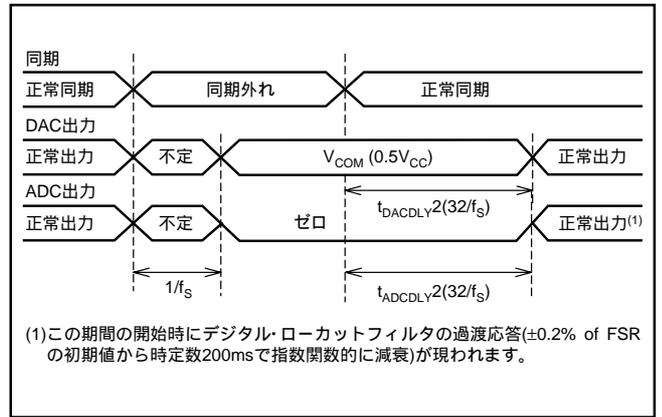


図11. 同期外れ時のADC/DAC出力

データが不定の間、オーディオ信号にノイズが発生することがあります。また通常状態からデータ不定状態、あるいはゼロデータから通常状態への遷移は、アナログおよびデジタル信号に不連続を生じ、それがオーディオ信号にノイズを発生させることがあります。

動作モードの説明

PCM3006は \overline{PDAD} 、 \overline{PDDA} 、 $\overline{DEM0}$ 、 $\overline{DEM1}$ の各端子でパワーダウンとディエンファシス制御を行うことができます。

ディエンファシス制御

PCM3006は、 $\overline{DEM0}$ (ピン18)、 $\overline{DEM1}$ (ピン17)でDACのディエンファシス制御を行うことができます。

DEM1(ピン17)	DEM0(ピン18)	ディエンファシス	周波数
0	0	ON	44.1kHz
0	1	OFF	-
1	0	ON	48.0kHz
1	1	ON	32.0kHz

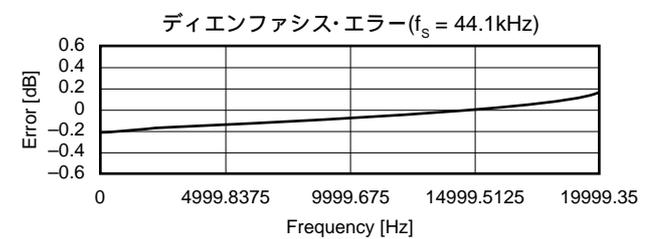
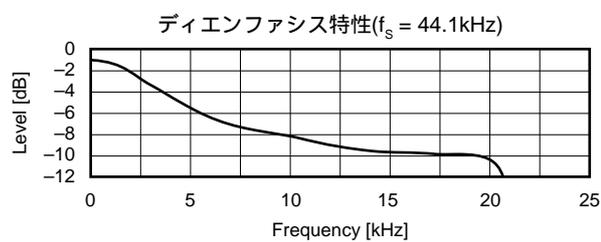
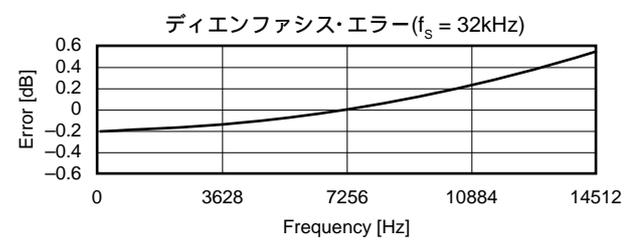
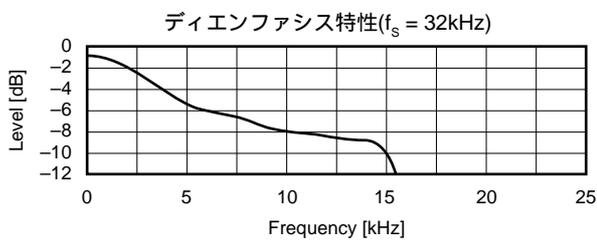
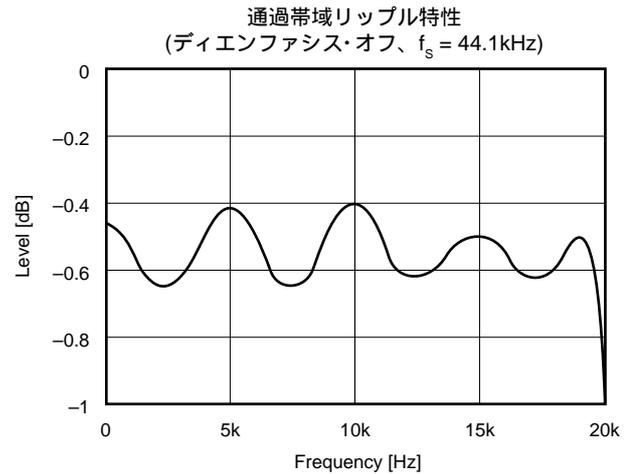
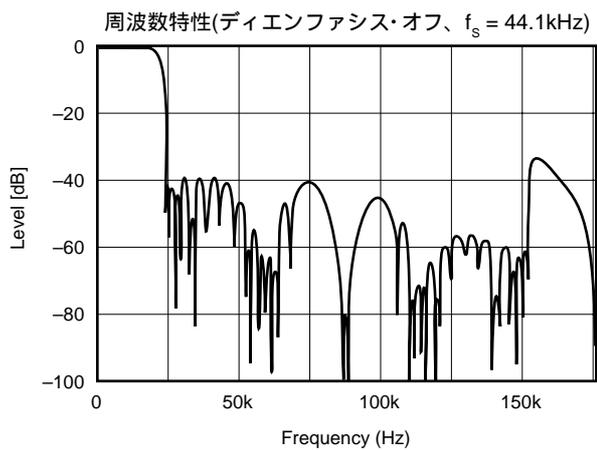
パワーダウン制御

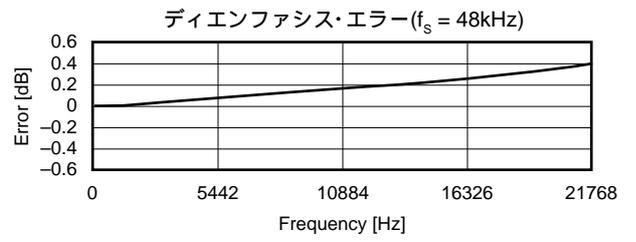
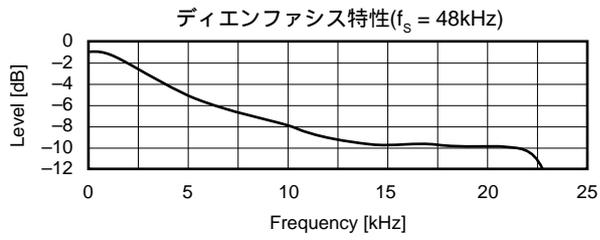
\overline{PDAD} (ピン7)、 \overline{PDDA} (ピン8)をLレベルにすることで、パワーダウン・モードに入ります。このとき、ADCの出力データはゼロデータに、DACの出力はGNDレベルに固定されます。また、 \overline{PDAD} 、 \overline{PDDA} を同時にLレベルにすることでリセット制御を行うことができます。パワーダウン制御によるADC/DAC出力の応答を図10に示します。

PDAD(ピン7)	PDDA(ピン8)	パワーダウン
0	0	ADC/DACパワーダウン(リセット)
0	1	ADCパワーダウン
1	0	DACパワーダウン
1	1	ADC/DAC正常動作

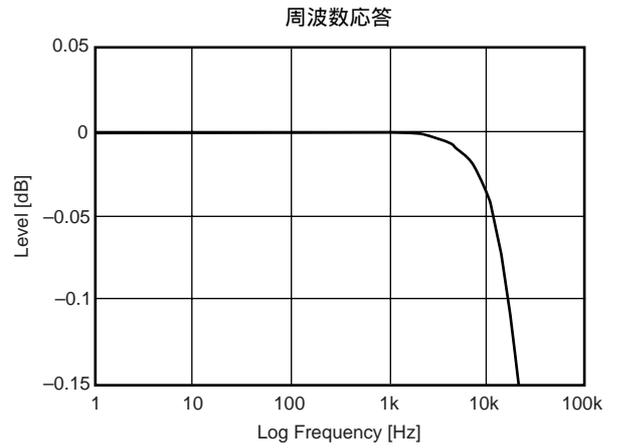
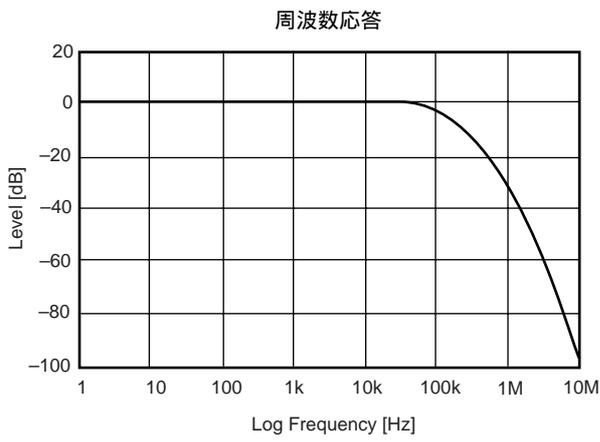
DAC部フィルタ特性

デジタルフィルタ特性





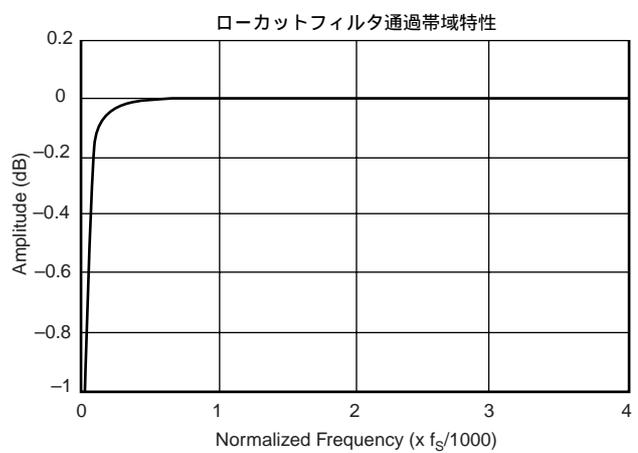
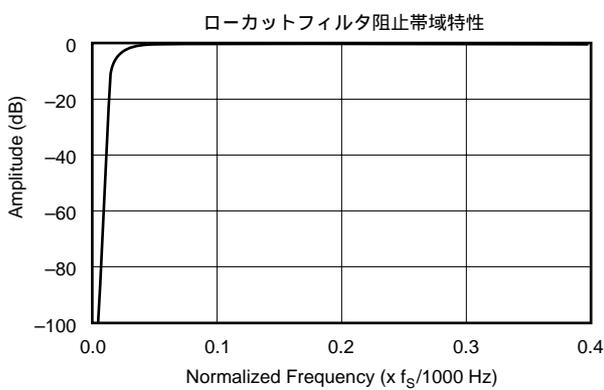
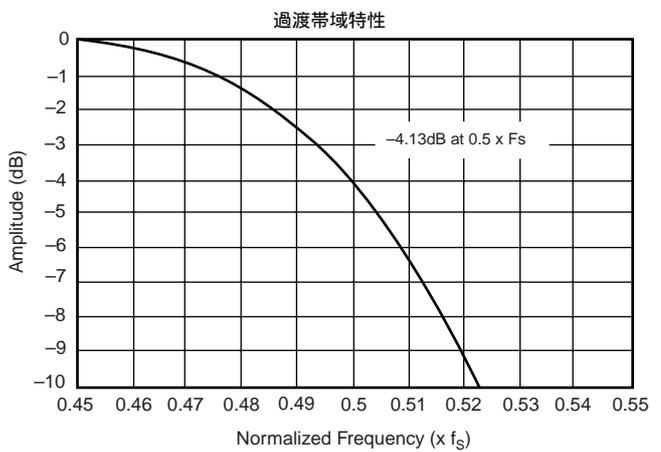
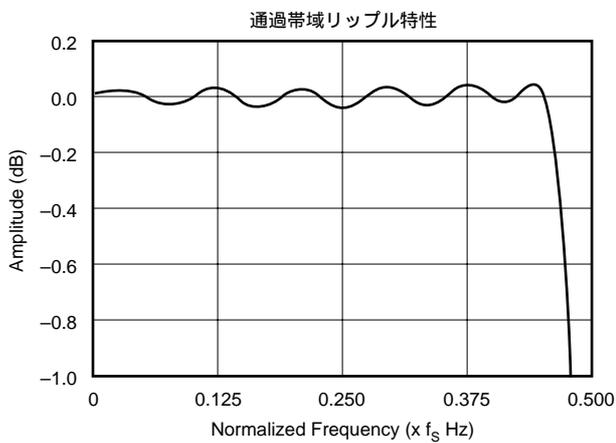
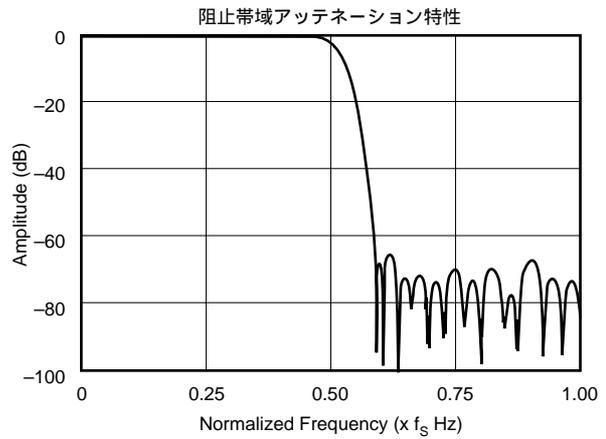
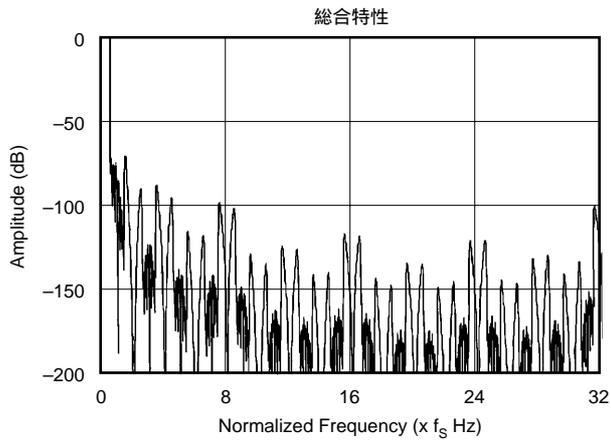
アナログフィルタ特性 : 1Hz ~ 10MHz、1Hz ~ 20kHz



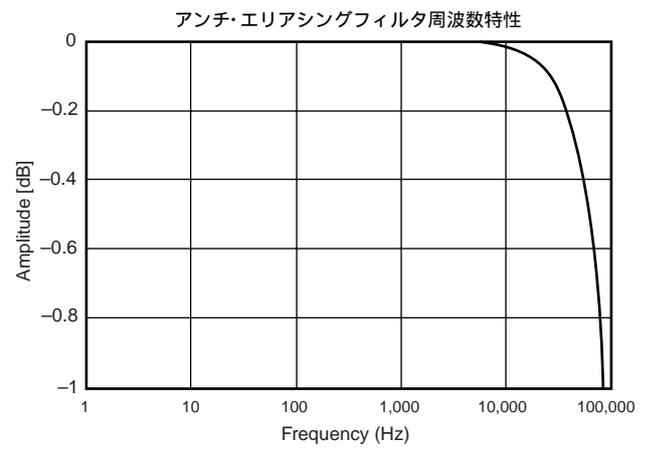
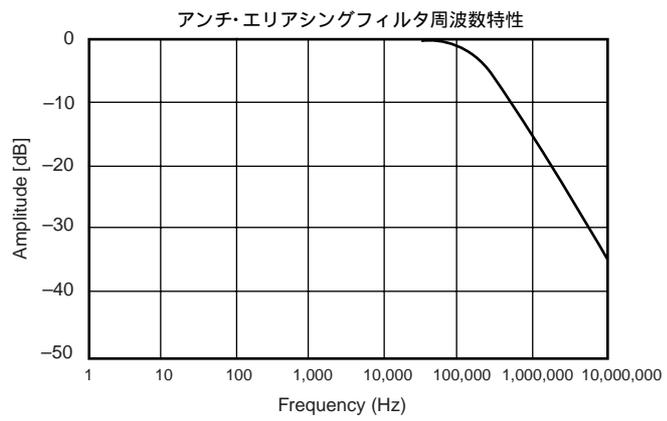
ADC部フィルタ特性

デジタルフィルタ特性

デシメーションフィルタ周波数特性



アナログフィルタ特性



基本接続回路例

図12にPCM3006の接続例を示します。この例では V_{CC1} 、 V_{CC2} 、 V_{DD} を共通電源とし、ノイズの少ないアナログ電源から供給しています。別電源で使用する場合には、各電源端子の電位差を $\pm 0.1V$ 以下として下さい。外付け部品等は可能な限り端子の近

くに最短距離で接続してください。本データシートに記載されているDAC部のダイナミック特性を得るためには20kHz帯域制限しなければなりません。

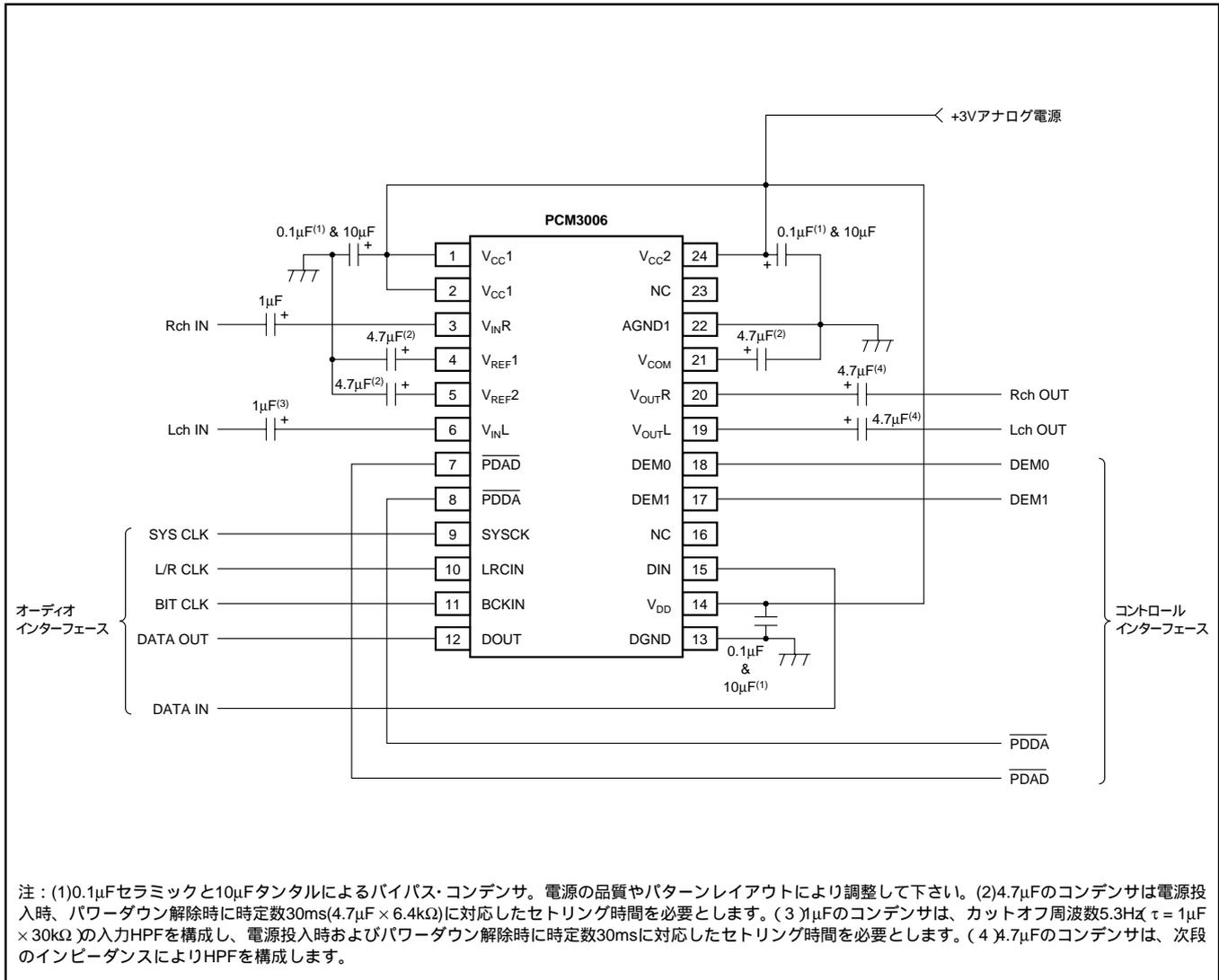


図12. 回路接続例

パターンレイアウト上の注意

電源端子(V_{CC1} 、 V_{CC2} 、 V_{DD})

デジタル電源は、デジタル・グラウンドに対し、アナログ電源はアナログ・グラウンドに対し最短距離で $0.1\mu\text{F}$ 程度のセラミック・コンデンサと $10\mu\text{F}$ 程度の電解コンデンサを接続し、ノイズの少ない電源を供給してください。また、ラッチアップ等を防ぐため、共通電源を推奨します。

グラウンド

PCM3006の内部では、デジタル - アナログ間の影響を避け最良の特性を得るため、アナログ部とデジタル部のグラウンドを分離しています。デジタル、アナログの各グラウンド端子はICの直下のできるだけ低インピーダンスのグラウンドに共通接続してください。デジタルノイズによるアナログ・グラウンドへの影響を避けるためにグラウンドを分離する場合は、電位差を $\pm 0.1\text{V}$ 以下としてください。

V_{IN} 端子

アナログ・フロント・エンド部のアンプの非反転入力端子が基準電圧にバイアスされているため、 $1\mu\text{F}$ のコンデンサでACカップルして使用することを推奨します。 V_{IN} 端子の入力インピーダンスが $30\text{k}\Omega$ なので、 $1\mu\text{F}$ のコンデンサを使用した場合、カットオフ周波数 5.3Hz のハイパスフィルタを構成しますので容量の選択に注意してください。

V_{REF} 端子

V_{REF} 端子は、ADC部の基準電圧となるため $4.7\mu\text{F}$ (標準)タンタル・コンデンサをそれぞれ V_{REF1} 、 V_{REF2} 端子とAGND間に最短距離で接続してください。

V_{COM} 端子

V_{COM} 端子はADC部入力アンプ、およびDAC部出力アンプのコモンであり、 $4.7\mu\text{F}$ 程度のタンタル・コンデンサをAGND間に最短距離で接続します。

システム・クロック

PCM3006は、システム・クロックをもとに内部動作を行っており、システム・クロックのデューティ、ジッタ等の品質がダイナミック特性に影響を与えることがあります。できるだけ高品位のクロックをSYSCKピンから入力することで、ダイナミック特性を最大限に引き出せます。また、PCM3006は、ADC、DACともにダイナミック回路を使用しているため、ADCおよびDACがともにパワーダウン状態にある場合を除き、電源が供給されている限りSYSCK、BCKIN、LRCINは供給しなければなりません。BCKIN、LRCINが供給されない状態では“同期外れ”、SYSCKが供給されない状態では“リセット”の動作になります。

リセット・コントロール

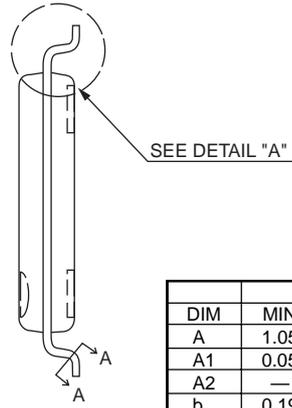
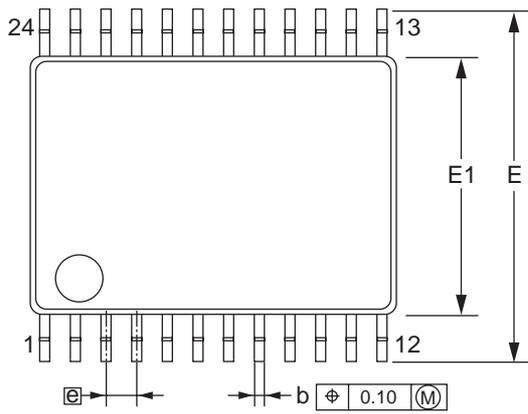
V_{REF} 端子、 V_{COM} 端子のコンデンサ容量を $22\mu\text{F}$ 以上にする場合は、 V_{REF} 、 V_{COM} の各端子の立ち上がり時間が遅くなりますので内部が安定になる前にパワーオン・リセットが完了することがあります。このような場合には外部リセットを使用してください。

外部ミュート

パワーダウンON/OFF制御時のクリック・ノイズ(DAC出力のDCレベル変動により発生)を抑えるためには、外部回路によるミュートが必要です。外部ミュートON、コーデック・パワーダウンON、必要な場合は、SYSCK停止 - 再開、コーデック・パワーダウンOFF、外部ミュートOFFとするコントロール・シーケンスが推奨されます。

外觀

パッケージ : 24-pin TSSOP



DIM	MILLIMETERS		
	MIN	TYP	MAX
A	1.05	1.25	1.45
A1	0.05	0.10	0.15
A2	—	1.15	—
b	0.19	0.22	0.30
b1	0.19	0.20	0.25
c	0.09	—	0.20
c1	0.09	—	0.16
D	7.70	7.80	8.20
E	7.40	7.60	7.80
E1	—	5.60	6.00
e	—	0.65BSC	—
L	0.30	0.50	0.70
R	0.09	—	—
θ	0°	—	10°

