

SoundPlus™ +3V電源、16/20ビット
 シングルエンド アナログ入出力
 ステレオ・オーディオ・コーデック

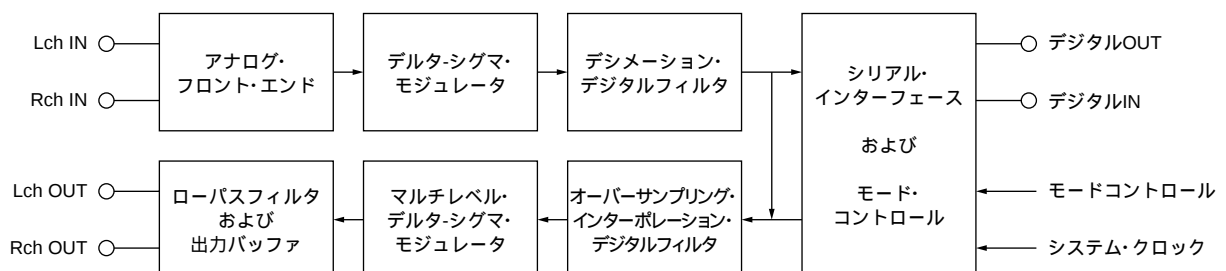
特 長

- 16/20ビット $\Delta\Sigma$ ADC + DAC
- サンプリング・レート：48kHz(最大)
- システム・クロック：256/384/512f_s
- PCM3002：ソフトウェア制御
- PCM3003：ハードウェア制御
- ステレオADC部
 シングルエンド電圧入力
 高性能
 THD + N：0.005%(標準)
 ダイナミック・レンジ：90dB(標準)
 S/N比：90dB(標準)
 64倍デシメーション・デジタルフィルタ
 阻止帯域減衰量：65dB
 アンチ・エリアシング・フィルタ内蔵
- ステレオDAC部
 同位相アナログ電圧出力
 高性能
 THD + N：0.005%(標準)
 ダイナミック・レンジ：94dB(標準)
 S/N比：94dB(標準)
 8倍オーバー・サンプリング・デジタルフィルタ
 阻止帯域減衰量：35dB
 2次アナログ・ローパスフィルタ内蔵
- マルチファンクション
 16/20ビットPCMオーディオ・インターフェース
 デジタル・ディエンファシス
 ADC/DAC独立制御パワーダウ
- 単一 +3V電源動作
- パッケージ：24ピンSSOP

概 要

PCM3002/3003は、ローコスト、高性能なステレオ・オーディオ・コーデック(ADC + DAC)です。PCM3002は各種ファンクションをソフトウェアで、PCM3003は各種ファンクションをハードウェア(パラレルポート)で制御するモデルとなっています。

PCM3002/3003のアナログ信号入出力は、ともにシングルエンド入出力となっており、前後のアナログ回路が簡単な構成で設計できるため、大変使いやすくなっています。また、PCM3002/3003は豊富なPCMオーディオ・インターフェースと単一 +3V電源動作、ADC部/DAC部独立パワーダウ制御などの機能を持ち、MD等のデジタル・オーディオ・アプリケーション、DVC(デジタル・ビデオカメラ)等のポータブル・アプリケーションに幅広く使用できます。また、高性能、低コストで、デジタル・オーディオ・アプリケーションに最適です。



仕様

特に記述のない限り、T_A = +25℃、V_{DD} = V_{CC} = 3.0V、f_s = 44.1kHz、SYSCK = 384f_s、16ビット・データです。

パラメータ	条件	PCM3002E, PCM3003E			単位
		最小	標準	最大	
デジタル入力/出力					
入力ロジック					
入力ロジックレベル	V _{IH} ⁽¹⁾⁽²⁾⁽³⁾ V _{IL} ⁽¹⁾⁽²⁾⁽³⁾	0.7V _{DD}		0.3V _{DD}	VDC VDC
入力ロジック電流	I _{IN} ⁽²⁾			±1	μA
入力ロジック電流	I _{IN} ⁽¹⁾⁽³⁾			100	μA
出力ロジック					
出力ロジックレベル	I _{OUT} = −1mA I _{OUT} = +1mA	V _{DD} −0.3		0.3	VDC VDC
出力ロジックレベル	I _{OUT} = +1mA			0.3	VDC
クロック周波数					
サンプリング周波数 f _s		32.0	44.1	48.0	kHz
システム・クロック周波数	256f _s	8.1920	11.2896	12.2880	MHz
	384f _s	12.2880	16.9344	18.4320	MHz
	512f _s	16.3840	22.5792	24.5760	MHz
ADC特性					
分解能		20			Bits
DC精度					
ゲイン・ミスマッチ、チャンネル間			±1.0	±3.0	% of FSR
ゲイン誤差			±2.0	±5.0	% of FSR
ゲイン・ドリフト			±20		ppm of FSR/
バイポーラ・ゼロ誤差	LCFバイパス ⁽⁶⁾		±1.7		% of FSR
バイポーラ・ゼロ・ドリフト	LCFバイパス		±20		ppm of FSR/
ダイナミック特性 ⁽⁷⁾					
THD + N	V _{IN} = −0.5dB		0.005	0.010	%
	V _{IN} = −60dB		4.0		%
ダイナミック・レンジ	Aウェイト	86	90		dB
S/N比	Aウェイト	86	90		dB
チャンネル・セパレーション		84	88		dB
アナログ入力					
入力電圧			0.6V _{CC}		Vp-p
センター電圧			0.5V _{CC}		V
入力インピーダンス			30		kΩ
アンチ・エリアシング・フィルタ周波数応答	−3dB		150		kHz
デジタルフィルタ特性					
パスバンド		0.583f _s		0.454f _s	Hz
ストップバンド					Hz
パスバンド・リップル				±0.05	dB
ストップバンド・アッテネーション		−65			dB
遅延時間			17.4/f _s		sec
LCF周波数応答	−3dB		0.019f _s		MHz

このデータシートに記載されている情報は、信頼しうるものと考えておりますが、不正確な情報や記載漏れ等に関して弊社は責任を負うものではありません。情報の使用について弊社は責任を負えませんので、各ユーザーの責任において御使用下さい。価格や仕様は予告なしに変更される場合がありますのでご了承下さい。ここに記載されているいかなる回路についても工業所有権その他の権利またはその実施権を付与したり承諾したりするものではありません。弊社は弊社製品を生命維持に関する機器またはシステムに使用することを承認しまたは保証するものではありません。

仕様(続き)

特に記述のない限り、 $T_A = +25$ 、 $V_{DD} = V_{CC} = 3.0V$ 、 $f_s = 44.1kHz$ 、 $SYSCK = 384f_s$ 、16ビット・データです。

パラメータ	条件	PCM3002E, PCM3003E			単位
		最小	標準	最大	
DAC特性					
分解能		20			Bits
DC精度 ゲイン・ミスマッチ、チャンネル間 ゲイン誤差 ゲイン・ドリフト バイポーラ・ゼロ誤差 バイポーラ・ゼロ・ドリフト			±1.0 ±1.0 ±20 ±2.5 ±20	±3.0 ±5.0	% of FSR % of FSR ppm of FSR/ % of FSR ppm of FSR/
ダイナミック特性 ^⑧ THD + N V _{OUT} = 0dB (FS) V _{OUT} = -60dB ダイナミック・レンジ S/N比 チャンネル・セパレーション	EIAJ、Aウェイト EIAJ、Aウェイト	88 88 86	0.005 2.5 94 94 91	0.010	% % dB dB dB
アナログ出力 出力電圧 センター電圧 負荷インピーダンス LPF周波数応答	ACカップリング f = 20kHz	10	0.6V _{CC} 0.5V _{CC} -0.16		Vp-p V kΩ dB
デジタルフィルタ特性 パスバンド ストップバンド パスバンド・リップル ストップバンド・アッテネーション 遅延時間		0.555f _s -35		0.445f _s ±0.17	Hz Hz dB dB sec
電源供給 電源電圧 V _{CC} 、V _{DD} V _{CC} 、V _{DD} 電源電流 ADC、DAC動作 ADC動作 DAC動作 ADC、DACパワーダウン ^⑨ 消費電力 ADC、DAC動作 ADC動作 DAC動作 ADC、DACパワーダウン ^⑨	256f _s 、512f _s 、0 ~ 70 V _{CC} = V _{DD} = 3.0V V _{CC} = V _{DD} = 3.0V V _{CC} = V _{DD} = 3.0V V _{CC} = V _{DD} = 3.0V V _{CC} = V _{DD} = 3.0V V _{CC} = V _{DD} = 3.0V V _{CC} = V _{DD} = 3.0V V _{CC} = V _{DD} = 3.0V V _{CC} = V _{DD} = 3.0V	2.7 2.4	3.0 3.0 18 12 7 50 54 36 21 150	3.6 3.6 24 16 10	VDC VDC mA mA mA μA mW mW mW mW μW
温度範囲 動作 保存 熱抵抗θ _{JA}		-25 -55		+85 +125	/W

注：(1)ピン7、8、17、18：PCM3002：RST、ML、MD、MC PCM3003： $\overline{PDA\overline{D}}$ 、 $\overline{PDDA}$ 、DEM1、DEM0(シュミット・トリガ入力、100k Ω 標準プルダウン抵抗) (2)ピン9、10、11、15：SYSCK、LRCIN、BCKIN、DIN(シュミット・トリガ入力) (3)ピン16：PCM3003 20ビット(シュミット・トリガ入力、100k Ω 標準プルダウン抵抗) (4)ピン16：PCM3002 ZERQ(オープン・ドレイン出力) (5)ピン12：DOUT (6)オフセットをキャンセルするためのローカットフィルタ(PCM3002のみ)。 (7) $f_{in} = 1kHz$ 、オーディオ・プレジジョン社のシステムを使用、RMSモード、20kHz LPF、400Hz HPF。 (8) $f_{out} = 1kHz$ 、オーディオ・プレジジョン社のシステムを使用、RMSモード、20kHz LPF、400Hz HPF。 (9)SYSCK、BCKIN、LRCINは停止。

絶対最大定格

電源電圧+ V_{DD}	+6.5V
+ V_{CC1}	+6.5V
+ V_{CC2}	+6.5V
電源電圧差	$\pm 0.1V$
GND電圧差	$\pm 0.1V$
デジタル入力電圧	$-0.3 \sim V_{DD} + 0.3V$
アナログ入力電圧	$-0.3 \sim V_{CC} + 0.3V$
入力電流(電源、グラウンドを除く)	$\pm 10mA$
許容電力	300mW
動作温度	-25 ~ +85
保存温度	-55 ~ +125
リード温度(半田付け)	+260 (5秒間)
パッケージ表面温度(リフロー)	+235 (10秒間)

パッケージ情報⁽¹⁾

モデル	パッケージ	温度範囲
PCM3002E	24ピンSSOP	-25 ~ +85
PCM3003E	24ピンSSOP	-25 ~ +85

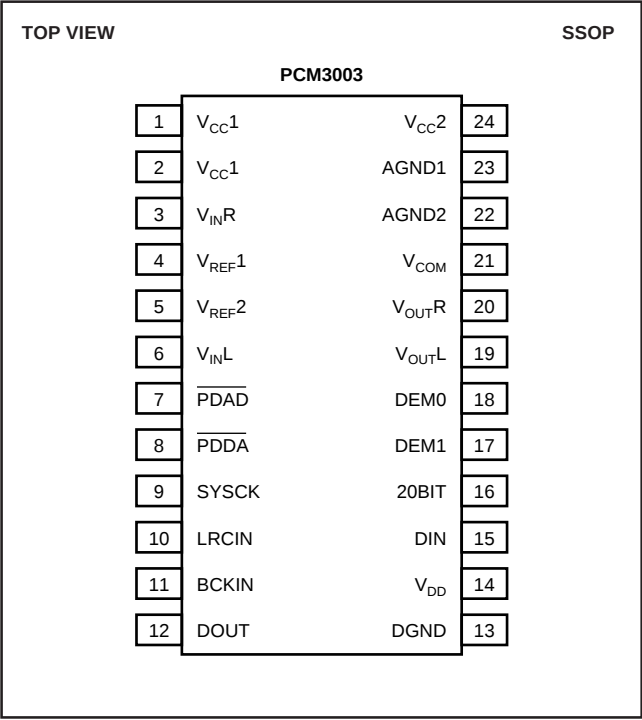
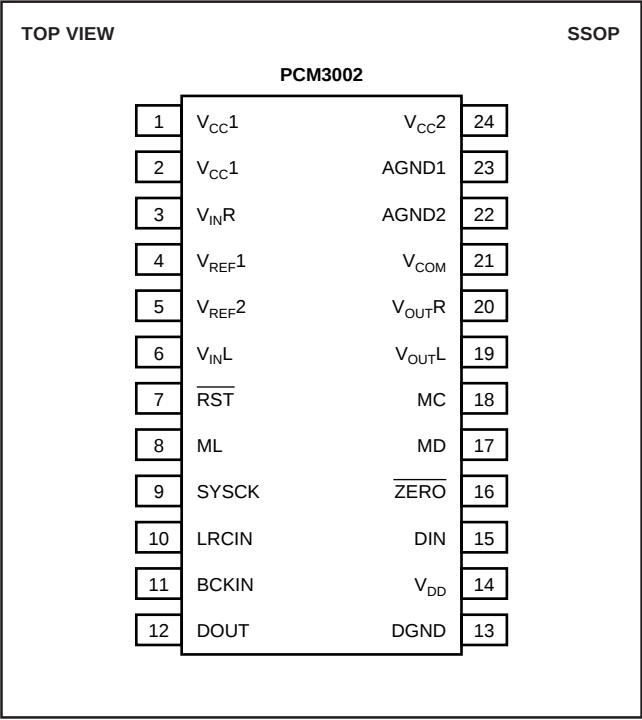
注：(1)詳細図および寸法表は、データシートの巻末を参照して下さい。



静電気放電対策

静電気放電はわずかな性能の低下から完全なデバイスの故障に至るまで、様々な損傷を与えます。すべての集積回路は、適切なESD保護方法を用いて、取扱いと保存を行うようにして下さい。高精度の集積回路は、損傷に対して敏感であり、極めてわずかなパラメータの変化により、デバイスに規定された仕様に適合しなくなる場合があります。

ピン配置



ピン構成(PCM3002)

ピン番号	名称	IN/OUT	説明
1	V _{CC} 1	—	ADC部アナログ電源
2	V _{CC} 1	—	ADC部アナログ電源
3	V _{IN} R	IN	Rchアナログ入力
4	V _{REF} 1	—	基準電圧1
5	V _{REF} 2	—	基準電圧2
6	V _{IN} L	IN	Lchアナログ入力
7 ⁽¹⁾⁽²⁾	RST	IN	リセット入力、この端子はアクティブ “ L ”です。
8 ⁽¹⁾⁽²⁾	ML	IN	各種制御データ入力用ロードストローブ
9 ⁽²⁾	SYSCK	IN	システム・クロック入力、256f _s 、384f _s 、 512f _s
10 ⁽²⁾	LRCIN	IN	サンプリング・クロック入力
11 ⁽²⁾	BCKIN	IN	ビット・クロック入力
12	DOUT	OUT	オーディオデータ出力
13	DGND	—	デジタル・グラウンド
14	V _{DD}	—	デジタル電源
15 ⁽²⁾	DIN	IN	オーディオデータ入力
16 ⁽³⁾	ZERO	IN	ゼロフラグ出力端子
17 ⁽¹⁾⁽²⁾	MD	IN	各種制御データ入力
18 ⁽¹⁾⁽²⁾	MC	IN	各種制御データ入力用ビット・クロック
19	V _{OUT} L	OUT	Lhcアナログ出力
20	V _{OUT} R	OUT	Rchアナログ出力
21	V _{COM}	—	アナログ入出力アンプ・コモン
22	AGND2	—	DAC部アナログ・グラウンド
23	AGND1	—	ADC部アナログ・グラウンド
24	V _{CC} 2	—	DAC部アナログ電源

注：(1) 内部でプルダウンされています(プルダウン抵抗：100kΩ(標準))。
(2) シュミット・トリガ入力
(3) オープン・ドレイン出力

ピン構成(PCM3003)

ピン番号	名称	IN/OUT	説明
1	V _{CC} 1	—	ADC部アナログ電源
2	V _{CC} 1	—	ADC部アナログ電源
3	V _{IN} R	IN	Rchアナログ入力
4	V _{REF} 1	—	基準電圧1
5	V _{REF} 2	—	基準電圧2
6	V _{IN} L	IN	Lchアナログ入力
7 ⁽¹⁾⁽²⁾	PDAD	IN	ADC部パワーダウン、この端子はアクティブ “ L ”です。
8 ⁽¹⁾⁽²⁾	PDDA	IN	DAC部パワーダウン、この端子はアクティブ “ L ”です。
9 ⁽²⁾	SYSCK	IN	システム・クロック入力、256f _s 、384f _s 、 512f _s
10 ⁽²⁾	LRCIN	IN	サンプリング・クロック入力
11 ⁽²⁾	BCKIN	IN	ビット・クロック入力
12	DOUT	OUT	オーディオデータ出力
13	DGND	—	デジタル・グラウンド
14	V _{DD}	—	デジタル電源
15 ⁽²⁾	DIN	IN	オーディオデータ入力
16 ⁽¹⁾⁽²⁾	20BIT	IN	20/16ビット・データ・フォーマット選択
17 ⁽¹⁾⁽²⁾	DEM1	IN	ディエンファシス制御1
18 ⁽¹⁾⁽²⁾	DEM0	IN	ディエンファシス制御0
19	V _{OUT} L	OUT	Lchアナログ出力
20	V _{OUT} R	OUT	Rchアナログ出力
21	V _{COM}	—	アナログ入出力アンプ・コモン
22	AGND2	—	DAC部アナログ・グラウンド
23	AGND1	—	ADC部アナログ・グラウンド
24	V _{CC} 2	—	DAC部アナログ電源

注：(1) 内部でプルダウンされています(プルダウン抵抗：100Ω(標準))。
(2) シュミット・トリガ入力。

The diagram illustrates the internal architecture of the PCM3003 integrated circuit. It is divided into two main functional blocks: the ADC (Analog-to-Digital Converter) and the DAC (Digital-to-Analog Converter), both enclosed in dashed boxes.

ADC Section:

- Inputs:** V_{INL} and V_{INR} are connected to the "アナログ・フロント・エンド" (Analog Front End) blocks.
- Reference:** V_{REF1} , V_{COM} , and V_{REF2} are connected to the "基準電圧" (Reference Voltage) block.
- Processing:** Each front end feeds into a "デルタ・シグマ・モジュレータ" (Delta-Sigma Modulator), which then passes through a "デシメーション & ローカットフィルタ" (Decimation & Low-Pass Filter).

DAC Section:

- Processing:** The filtered signals from the ADC feed into "マルチレベル・デルタ・シグマ・モジュレータ" (Multi-Level Delta-Sigma Modulators), which then pass through "8倍オーバー・サンプリング・インターポレーションフィルタ" (8x Over-Sampling Interpolation Filters).
- Outputs:** The filtered signals are connected to "アナログ・ローパスフィルタ" (Analog Low-Pass Filters), which produce the final outputs V_{OUTL} and V_{OUTR} .

Power and Control:

- Power Supply:** A "電源" (Power Supply) block is connected to pins AGND2, V_{CC2} , AGND1, V_{CC1} , DGND, and V_{DD} .
- Control:** A "モード/フォーマット・コントロール・インターフェース" (Mode/Format Control Interface) block manages the device via pins MC(DEM0), MD(DEM1), ML(20BIT), and $\overline{RST(PDAD)}$ (PDDA).
- Other:** A "リセット・パワーダウン" (Reset Power-Down) block is connected to $\overline{RST(PDAD)}$ and PDDA. A "クロック" (Clock) block is connected to SYSCK, and a "ゼロ検出" (Zero Detection) block is connected to $\overline{ZERO}$ (noted as PCM3002 only).

Serial Interface:

- A "シリアル・インターフェース" (Serial Interface) block handles external communication via LRCIN, BCKIN, DIN, DOUT, and MC(DEM0).

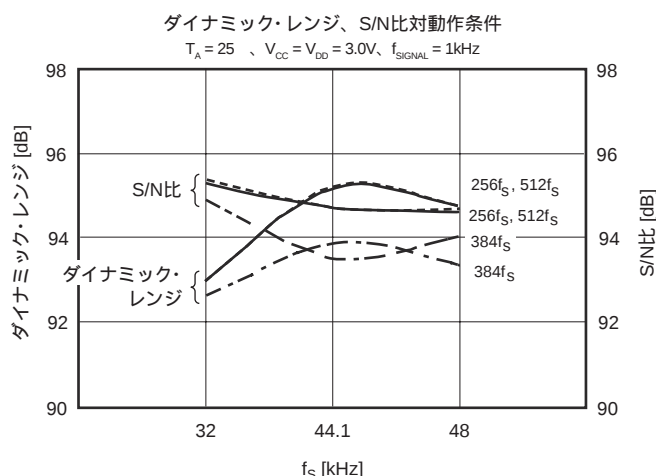
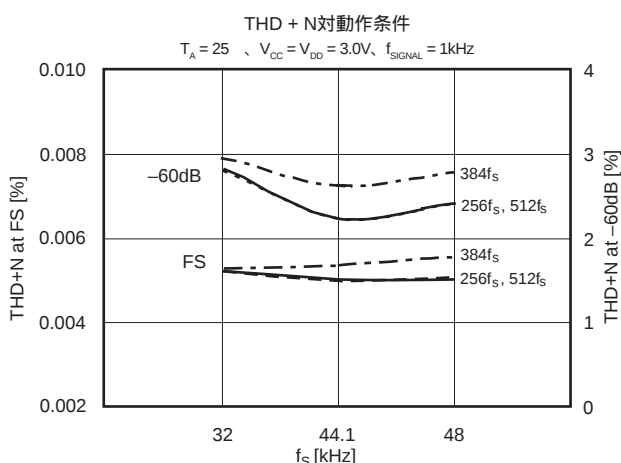
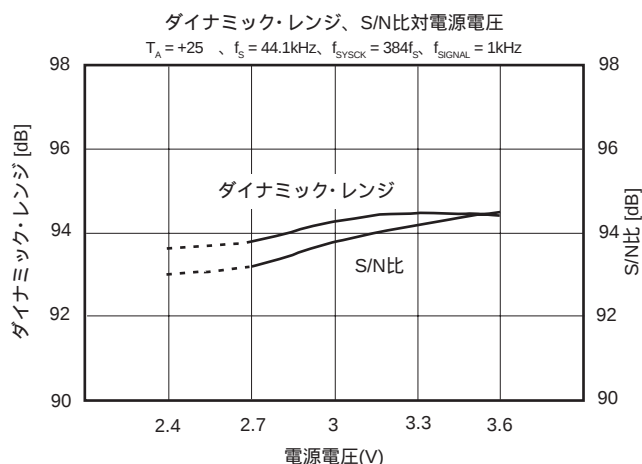
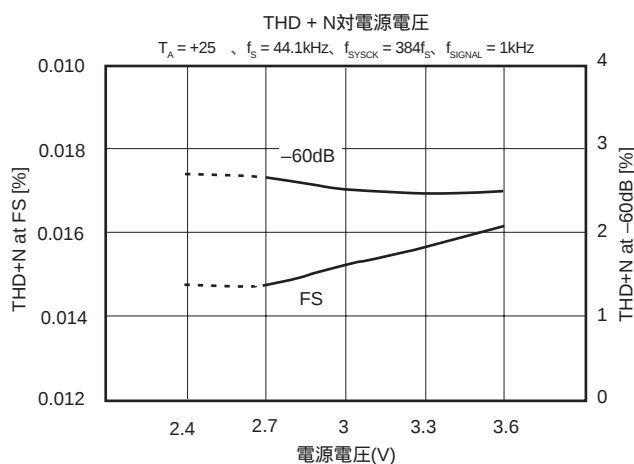
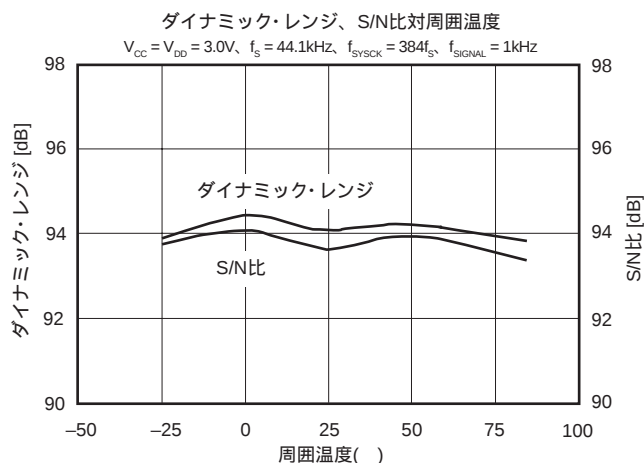
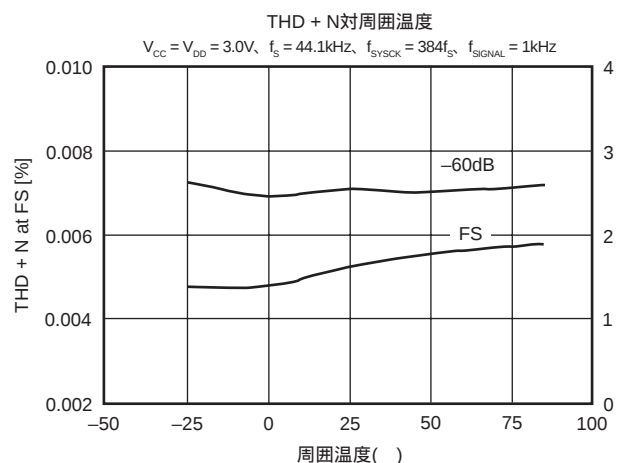
Legend:

()内の名称はPCM3003

代表的性能曲線

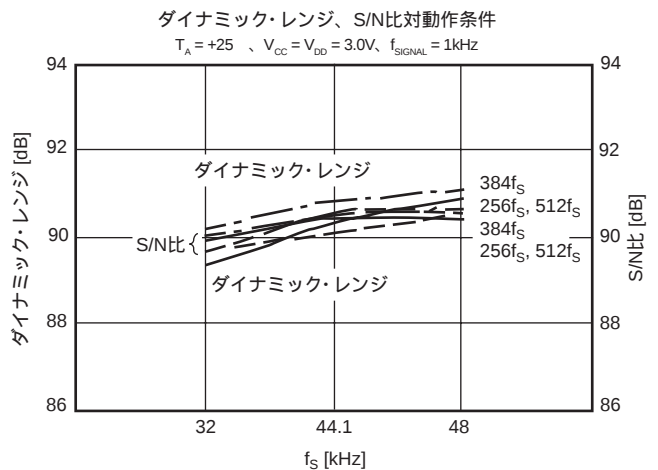
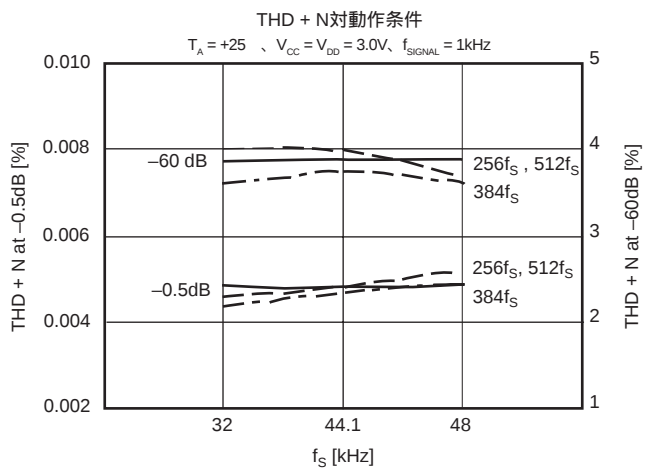
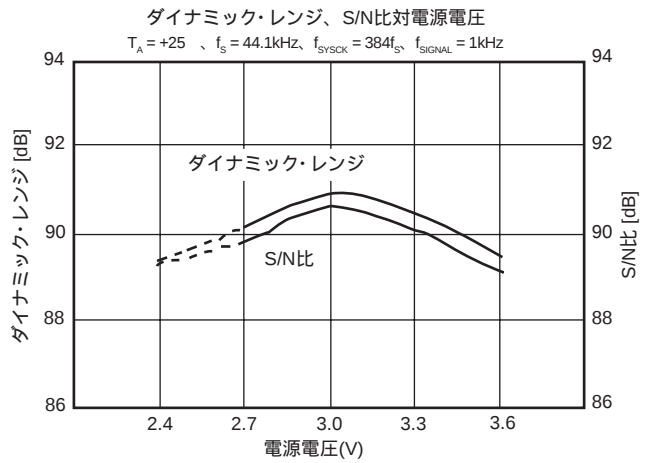
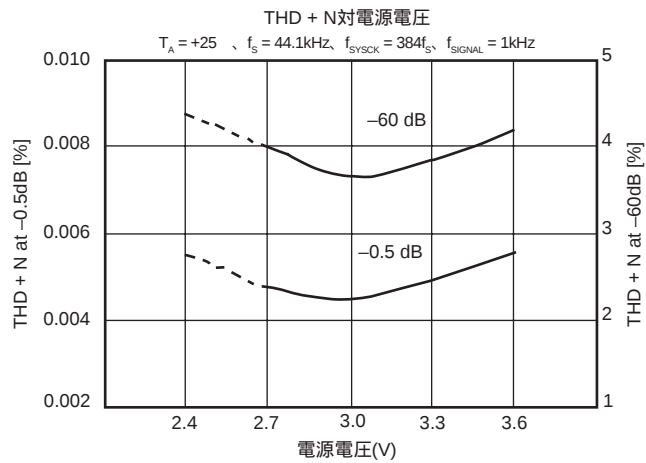
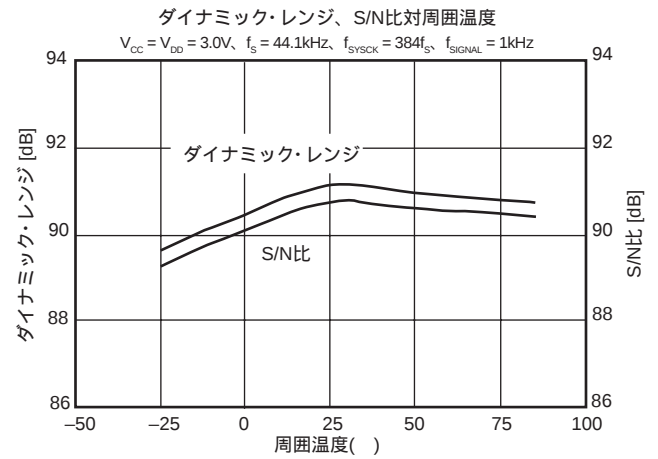
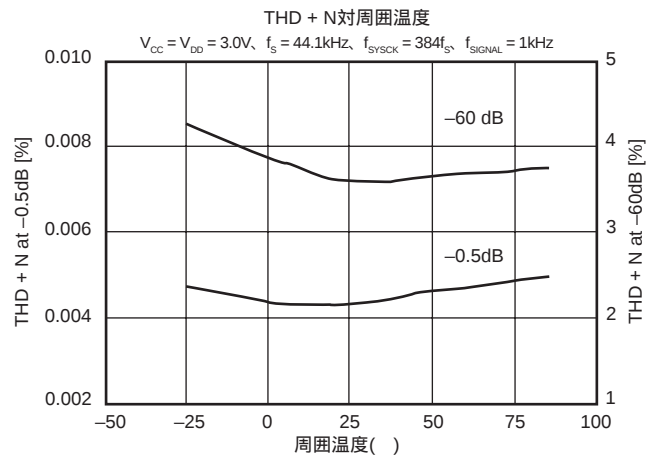
対電源電圧特性の2.4V～2.7V区間については、256f_sに対する特性です。

DAC部



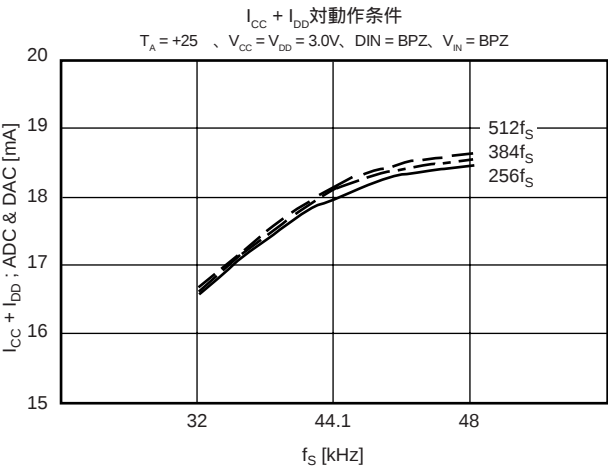
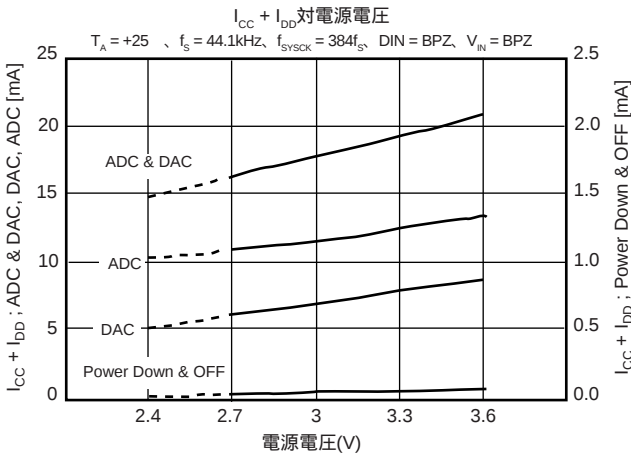
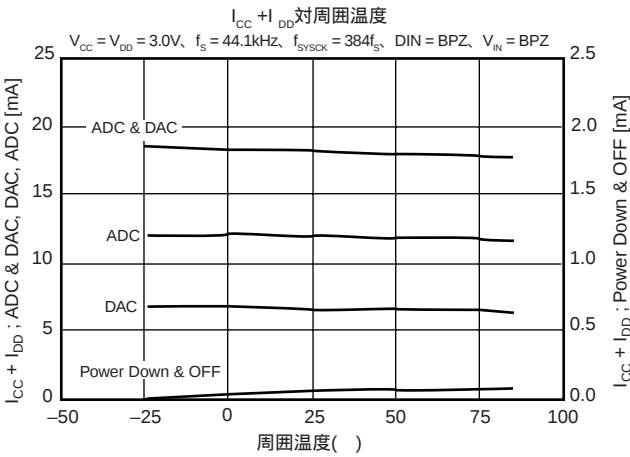
代表的性能曲線

対電源電圧特性の2.4V～2.7V区間については、256f_Sに対する特性です。
ADC部



代表的性能曲線

对電源電圧特性の2.4V ~ 2.7V区間については、256f_sに対する特性です。
電源電流



動作原理

ADC部

PCM3002/3003のADC部は、ブロック図に示すように、リファレンス回路、シングルエンド入力/差動変換回路、5次 $\Delta\Sigma$ モジュレータ、デシメーションフィルタ、ローカットフィルタ等により構成されています。高精度基準電圧源は、ADC部に必要な基準電圧を供給すると同時にアナログ入力電圧範囲を決定します。PCM3002/3003のADC部は、広いダイナミック・レンジと優れた電源変動除去比を得るために完全差動回路で構成されています。このため、シングルエンド入力/差動変換回路を内蔵し、最少の外付け部品で高性能を実現しています。図1に5次 $\Delta\Sigma$ 変調器のブロック図と伝達関数を示します。

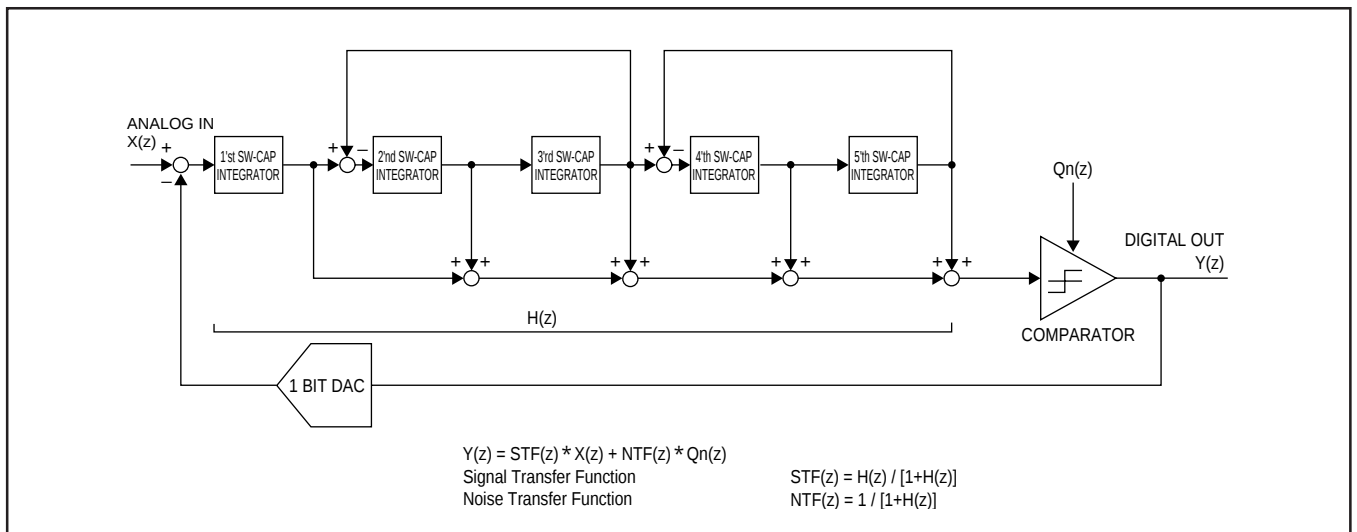


図1. ADC部 $\Delta\Sigma$ 変調器のブロック図

DAC部 $\Delta\Sigma$ セクションの動作原理

PCM3002/3003のDAC部 $\Delta\Sigma$ セクションでは、振幅方向に5レベルの分解能を持つ5レベル量子化器を用いて5レベルの $\Delta\Sigma$ 変調を行います。デジタルフィルタでオーバー・サンプリングされた21ビットのデータは、 $\Delta\Sigma$ 変調された5レベル(0、1、2、3、4)信号に変換されます。図2にこの5レベル $\Delta\Sigma$ 変調器のブロック図を示します。次数は3次としています。一般的な1ビット(2レベル)の $\Delta\Sigma$ 変調に比べて、系の安定性および耐ジッタ性能に優れています。デジタルフィルタ部と変調部との総合オーバー・サンプリ

5次 $\Delta\Sigma$ 変調器は、5個の差動回路構成スイッチト・キャパシタ方式積分器、比較器、1ビットD/Aコンバータから構成されており、高次 $\Delta\Sigma$ 変調器を用いて変調器出力データに特定の周期のパターンが発生しないようにしています。この $\Delta\Sigma$ 変調器は $64f_s$ で動作し、出力された1ビット・データは次段の20ビット・デシメーションフィルタによって $64f_s$ までの周波数成分を除去されます。このように高次アンチエイリアスフィルタが不要になるため1次アンチエイリアスフィルタを内蔵しています。また、IC内部で発生するオフセットを除去するため、カットオフ周波数(-3dB)が0.8Hz ($f_s = 44.1\text{kHz}$) のデジタル・ローカットフィルタを内蔵しており、外部でキャリアブレッシングを行う必要はありません。

ング・レートは $64f_s$ となっています。一般的な変調では、次数を高くすると系が不安定になる問題がありますが、PCM3002/3003では5レベル変調および系全体の位相補償により優れた安定性を得ています。図3に $\Delta\Sigma$ 変調後の量子化雑音レベルの理論スペクトル特性($f_s = 44.1\text{kHz}$ 、システム・クロック = $256f_s$ 、信号周波数 $f_{sig} = 1\text{kHz}$)を示します。PCM3002/3003では、5レベル変調により、オーディオ帯域において-120dB以上量子雑音を抑制しています。

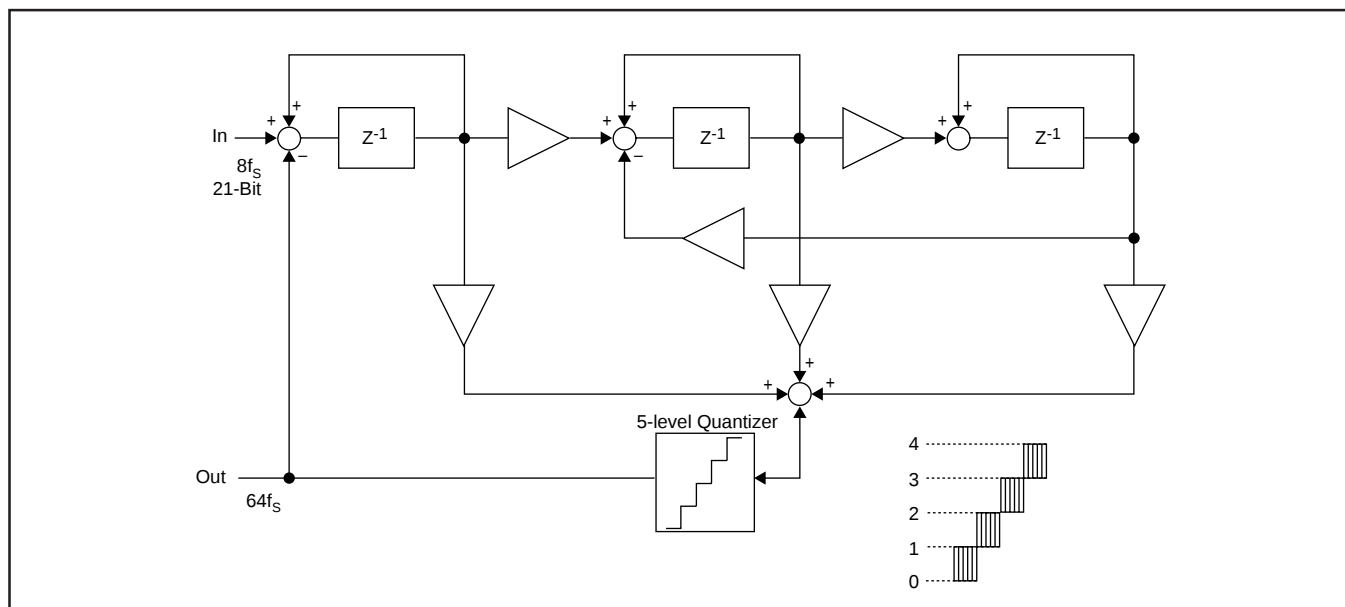


図2. 5レベル変調器のブロック図

マルチレベル $\Delta\Sigma$ の耐ジッタ特性

PCM3002/3003は、5レベル量子化器の使用により、他の一般的な1ビットDACに比べてシステム・クロックのジッタ耐量に優位性を持っています。図4にシミュレーションによるジッタ量対ダイナミック・レンジの比較データを示します。

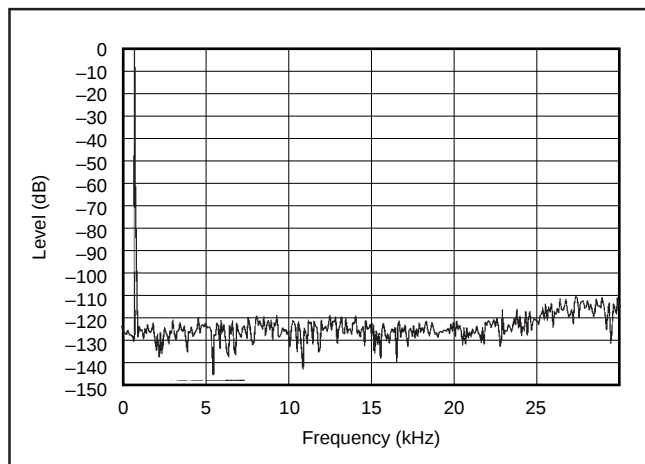


図3. 量子化器雑音特性

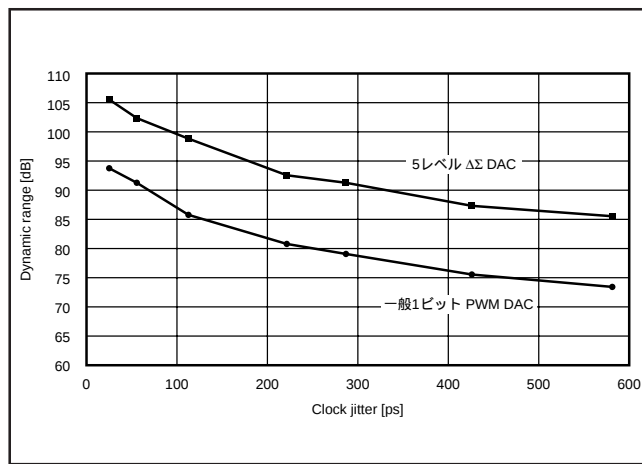


図4. ジッタ量対ダイナミック・レンジ・シミュレーション・データ

オーディオデータ・インターフェース

PCM3002/3003は、LRCIN(ピン10)、BCKIN(ピン11)、DIN(ピン15)、DOUT(ピン12)により外部システムとインターフェースします。入出力フォーマットは、PCM3002の場合は内部レジ

スタMODE3により4種類、PCM3003の場合は20BIT(ピン16)により2種類から選択できます。オーディオ・データ・フォーマットとタイミング規定を図5および図6に示します。PCM3002/3003は3種類のBCKINとLRCINの組み合わせ、64、48、32BCKIN/LRCINをサポートしていますが、32BCKIN/LRCINは16ビット・フォーマットにおいてのみ有効です。

	DACデータ・フォーマット	ADCデータ・フォーマット	PCM3002	PCM3003
フォーマット0	16ビット、MSBファースト、後詰め	16ビット、MSBファースト、前詰め	○	○
フォーマット1	20ビット、MSBファースト、後詰め	20ビット、MSBファースト、前詰め	○	○
フォーマット2	20ビット、MSBファースト、前詰め	20ビット、MSBファースト、前詰め	○	—
フォーマット3	20ビット、IIS	20ビット、IIS	○	—

表 . PCM3002/3003オーディオデータ・フォーマット

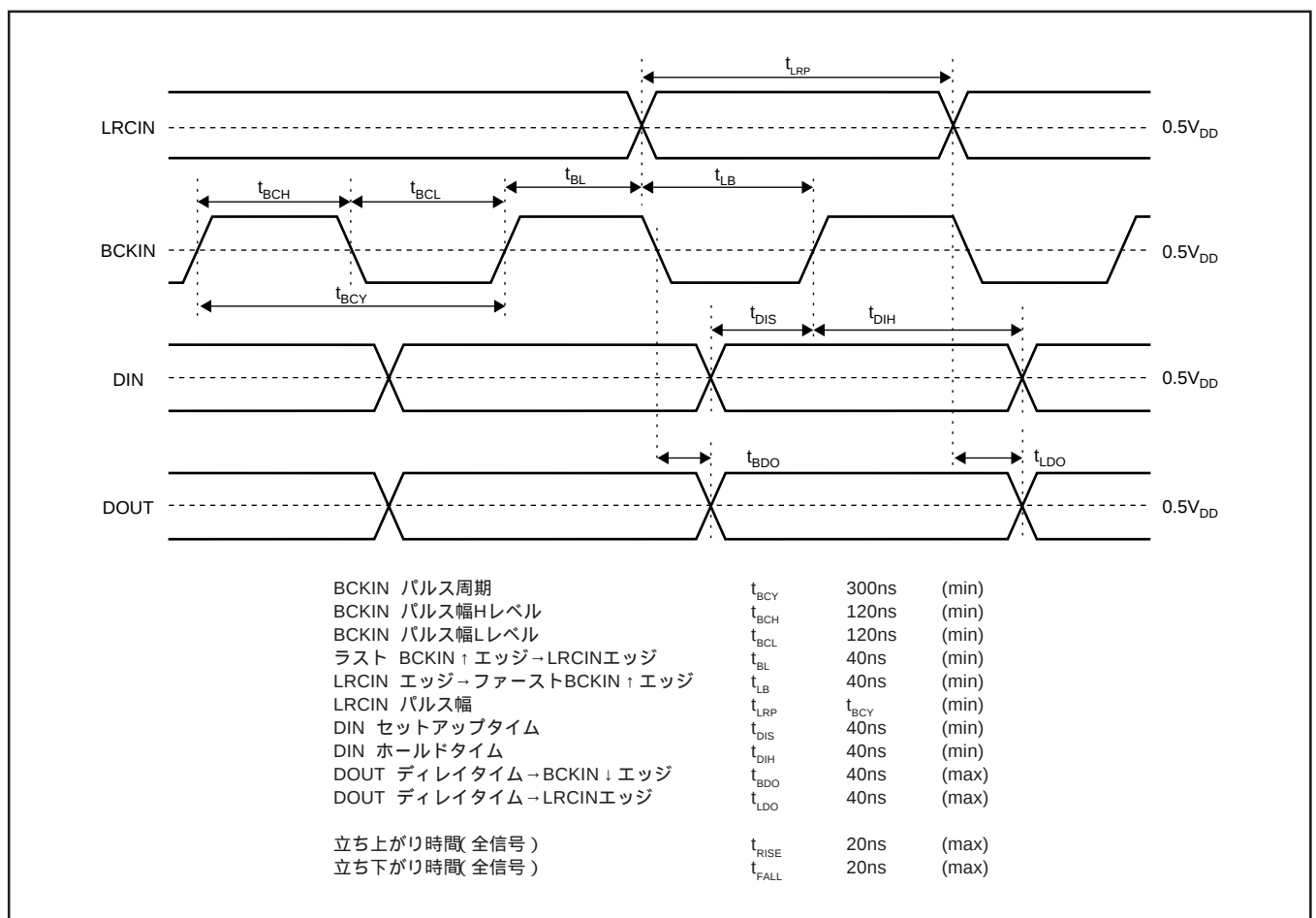
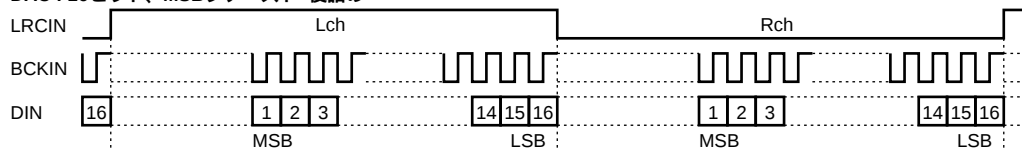


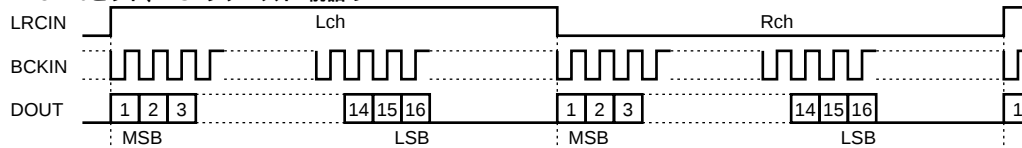
図5. 入出力タイミング規定

フォーマット 0

DAC: 16ビット、MSBファースト 後詰め

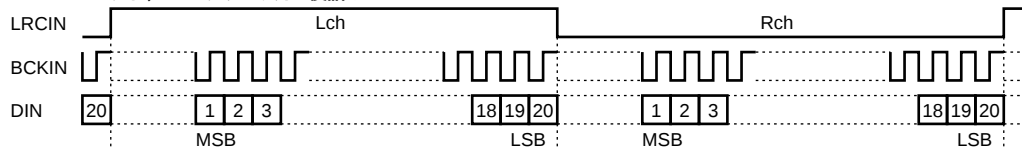


ADC: 16ビット、MSBファースト 前詰め

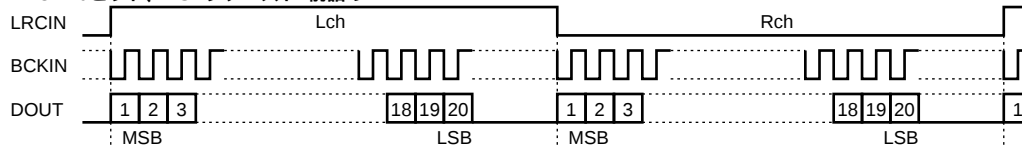


フォーマット 1

DAC: 20ビット、MSBファースト 後詰め

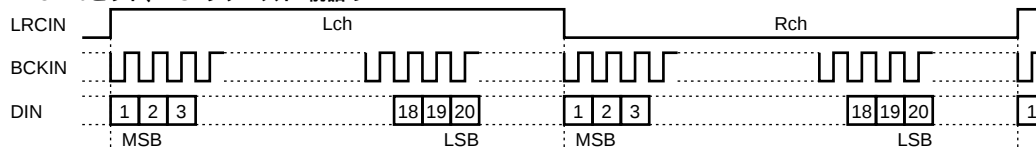


ADC: 20ビット、MSBファースト 前詰め

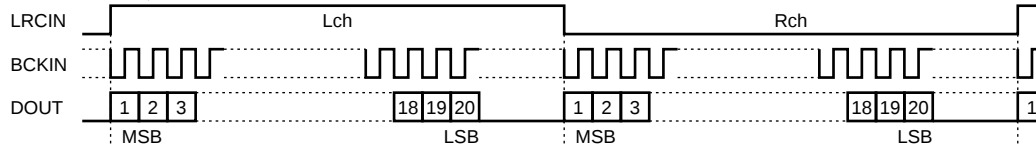


フォーマット 2

DAC: 20ビット、MSBファースト 前詰め

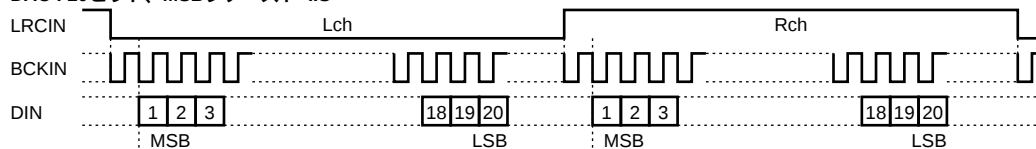


ADC: 20ビット、MSBファースト 前詰め



フォーマット 3

DAC: 20ビット、MSBファースト IIS



ADC: 20ビット、MSBファースト IIS

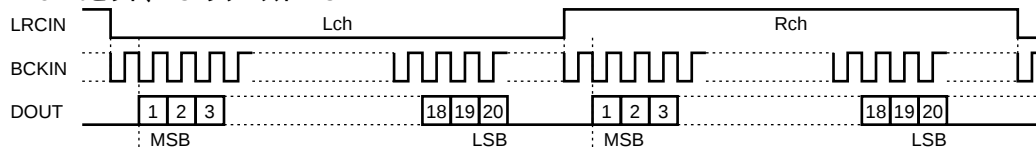


図6. オーディオデータ入出力フォーマット

システム・クロック

PCM3002/3003のシステム・クロックは、 $256f_s$ 、 $384f_s$ 、 $512f_s$ のいずれにも対応可能で、内部に f_s 自動判別機能を有しているため、外部からの $256f_s/384f_s/512f_s$ の選択制御は必要ありません。

また、 $384f_s$ 、 $512f_s$ 時には $256f_s$ に分周され、デジタルフィルタやモジュレータのクロックになります。システム・クロックはSYSCK(ピン9)に入力します。システム・クロックとLRCINクロック(基準サンプリング・レート)は同期をとる必要がありますが、位相を正確に合わせる必要はありません。サンプリング周波数とシステム・クロック周波数との関係、システム・クロックのタイミング規定を表 および図7に示します。

サンプリング・レート周波数(kHz)	システム・クロック周波数(MHz)		
	$256f_s$	$384f_s$	$512f_s$
32.0	8.1920	12.2880	16.3840
44.1	11.2896	16.9344	22.5792
48	12.2880	18.4320	24.5760

表 . システム・クロックとサンプリング・クロック

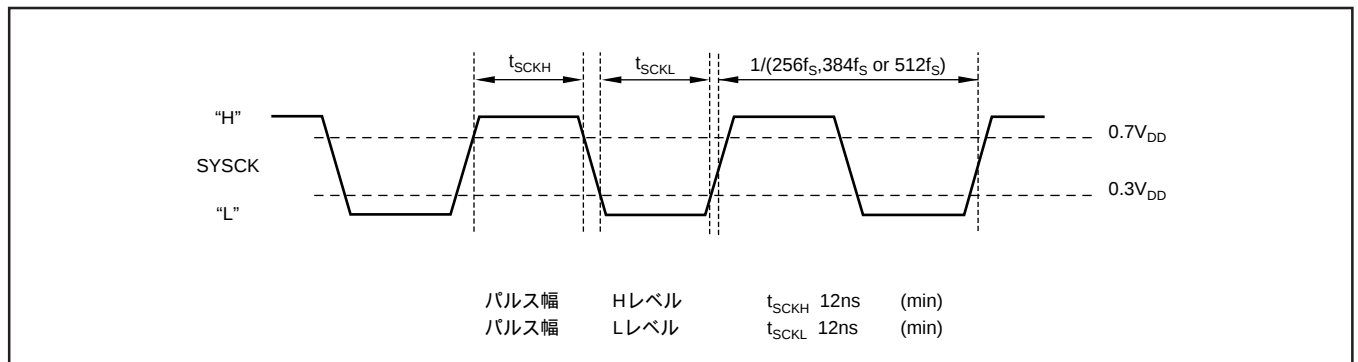


図7. PCM3002/3003システム・クロック・タイミング規定

リセット・オペレーション

PCM3002/3003には、次に示す内蔵のパワーオン・リセットと外部制御によるリセットがあります。これらのリセット機能は内部動作に対しては共通になっており、同じ働きをします。

電源電圧が2.2V(標準)以下の場合、およびリセット期間中のDACアナログ出力はGNDレベルに固定され、ADCデジタル出力はゼロデータを出力します。リセット解除後、DAC出力は $t_{DACDLY} \cdot 1(16384/f_s)$ 間BPZ($0.5V_{CC}$)を出力し、ADC出力は $t_{ADC DLY} \cdot 1(18432/f_s)$ 間はゼロデータを出力します。ADC部ではこの後デジタル・ローカットフィルタの過渡応答(時定数200ms)が現れます。リセット時PCM3002の各コントロール・レジスタ(MODE0からMODE3)には初期値が設定されます。また、PCM3002ではリセット信号入力時(V_{CC} 、 V_{DD} 2.2V、または外部リセット信号の立ち上がりエッジ)に3システム・クロック以上入力されている必要があります。

パワーオン・リセット

内蔵のパワーオン・リセットは電源電圧を検知して自動的に行われます。電源投入後、電源電圧が標準2.2V(2.0Vから2.4V)を超えると、リセット動作になり、システム・クロックを1024クロック分カウントした後にリセットを解除します。パワーオン・リセット使用時にはPCM3002は $\overline{RST}$ (ピン7)、PCM3003は $\overline{PDAD}$ (ピン7)と $\overline{PDDA}$ (ピン8)をHレベルとします。

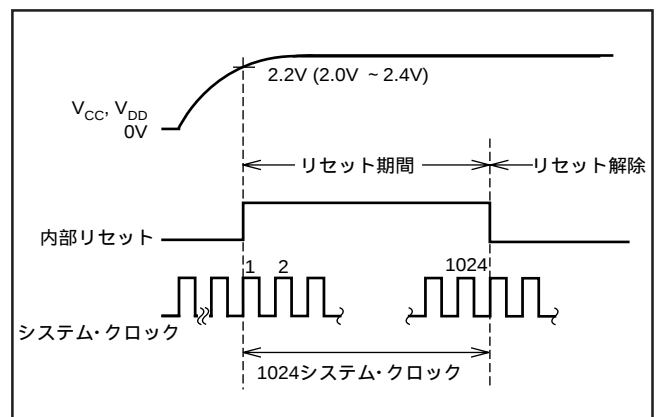


図8. パワーオン・リセット・タイミング

外部リセット

PCM3002は $\overline{RST}$ (ピン7)、PCM3003は $\overline{PDAD}$ (ピン7)と $\overline{PDDA}$ (ピン8)を同時に一定期間Lレベルにすることにより、外部からリセットをかけることができます。端子入力がLからHに変化した後、パワーオン・リセットと同様に1024システム・クロックのカウント後、リセット解除となるまでの間はリセット期間となります。

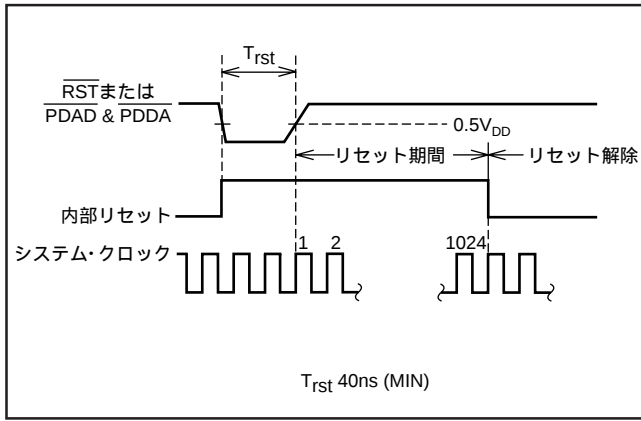


図9. 外部リセット・タイミング

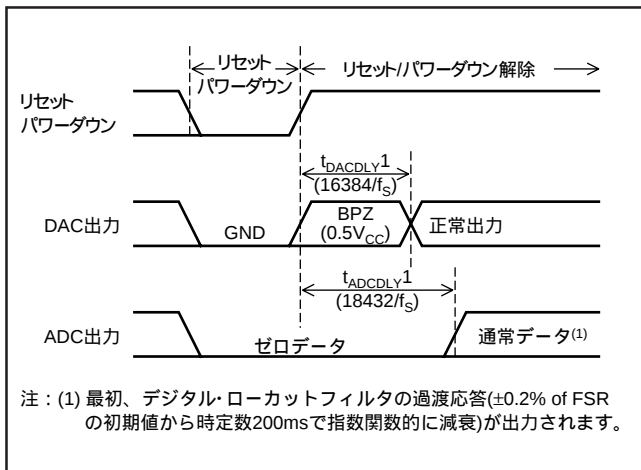


図10. リセットおよびパワーダウンに対するADC/DAC出力

外部システムとの同期動作

PCM3002/3003は、LRCINクロック（基準サンプリング・レート f_s ）とシステム・クロック(256/384/512 f_s)との同期関係を常時内部でモニタしています(リセット時を除く)。LRCINクロックの1サイクル(1/ f_s)の間に256、384、512のシステム・クロックあれば同期関係は成立します。この同期関係がずれた場合の動作は次のようになります。

1/ f_s 期間以内の同期ズレ

1LRCINクロック・サイクル(1/ f_s)の間だけ瞬時にシステム・クロックが255(256 f_s に対し)、385(384 f_s に対し)、511(512 f_s に対し)クロックになった場合、このシステム・クロックのズレ時間が±5ビット・クロック(BCKIN)期間内であれば、正常動作を保ちます。ズレ時間が±6ビット・クロック期間を超えると同期外れ状態となります。

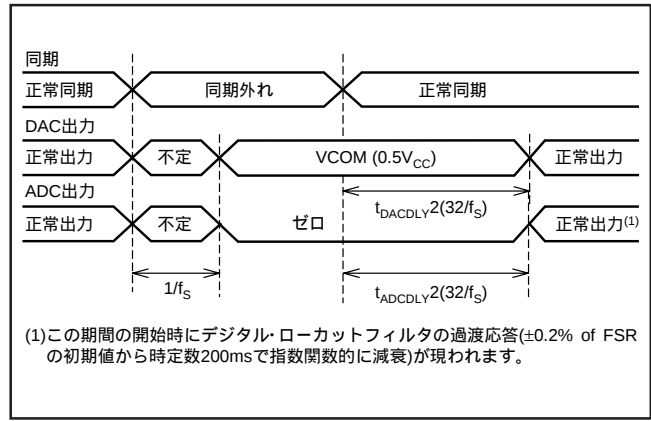


図11. 同期外れ時のADC/DAC出力

f_s が変化する場合の同期ズレ

f_s が32kHzから48kHzに変化する場合等でLRCINクロックとシステム・クロックの同期が1/ f_s 期間以上ズレた場合は同期外れ状態となります。

同期外れ時のDAC

同期状態から同期外れ状態になると1/ f_s 期間はDAC出力は不定となり、その後0.5V_{CC}(BPZ)を出力します。また、同期外れ状態から同期状態になった場合、 $t_{\text{DACDLY}2}(32/f_s)$ 期間DAC出力は0.5V_{CC}(BPZ)となり、その後正常出力となります。

同期外れ時のADC

同期状態から同期外れ状態になると、1/ f_s 期間はADC出力は不定となり、その後ゼロデータを出力します。また、同期外れ状態から同期状態になった場合、 $t_{\text{ADCLDY}2}(32/f_s)$ 期間ADC出力はゼロとなり、その後データを出力します。この場合、デジタル・ローカットフィルタの過渡応答が現れますのでシステム上で問題のある場合は、この部分のデータを考慮した処理を行ってください。

データが不定の間、オーディオ信号にノイズが発生することがあります。また通常状態からデータ不定状態、あるいはゼロデータから通常状態への遷移は、アナログおよびデジタル信号に不連続を生じ、それがオーディオ信号にノイズを発生させることがあります。

動作モードの説明

PCM3002は、ML、MC、MDの各端子に制御データを転送することにより動作モードをコントロールすることができます。また、PCM3003は20BIT、DEM0、DEM1の各端子でインターフェース・フォーマットとディエンファシス制御を行うことができます。表にPCM3002/3003で制御可能な動作モードを示します。

機 能	ADC/DAC	PCM3002(ソフトウェア)	PCM3003(ハードウェア)
インターフェース・フォーマット	ADC/DAC	○ (4種類)	○ (16/20ビット選択)
LRCINの極性選択 Lch: H/Lch: L	ADC/DAC	○	×
デジタル・ループバック・コントロール	ADC/DAC	○	×
Lchアッテネーション・コントロール	DAC	○	×
Rchアッテネーション・コントロール	DAC	○	×
アッテネータL/Rコントロール	DAC	○	×
インフィニティ・ゼロ検出回路コントロール	DAC	○	×
DAC動作のON/OFFコントロール	DAC	○	×
ソフトミュート・コントロール	DAC	○	×
ディエンファシス(OFF、32kHz、44.1kHz、48kHz)	DAC	○	○
パワーダウン・コントロール	ADC/DAC	○	○
ローカットフィルタ・バイパス	ADC	○	×

表 . PCM3002/3003の制御可能なモード・コントロール

PCM3003(ハードウェア制御)

PCM3003では、DEM0(ピン18)、DEM1(ピン17)でディエンファシス制御、20BIT(ピン16)でフォーマット選択、PDAD(ピン7)、PDDA(ピン8)でパワーダウン制御を行うことができます。

ディエンファシス制御

DEM1(ピン17)	DEM0(ピン18)	ディエンファシス	周波数
0	0	ON	44.1kHz
0	1	OFF	-
1	0	ON	48.0kHz
1	1	ON	32.0kHz

フォーマット選択

20ビット(ピン16)	フォーマット
0	ADC: 16ビット、MSBファースト、前詰め DAC: 16ビット、MSBファースト、後詰め
1	ADC: 20ビット、MSBファースト、前詰め DAC: 20ビット、MSBファースト、後詰め

パワーダウン制御

PDAD(ピン7)、PDDA(ピン8)をLレベルにすることで、パワーダウン・モードに入ります。このとき、ADCの出力データはゼロデータに、DACの出力はGNDレベルに固定されます。また、PDAD、PDDAを同時にLレベルにすることでリセット制御を行うことができます。パワーダウン制御によるADC/DAC出力の応答を図10に示します。

PDAD(ピン7)	PDDA(ピン8)	パワーダウン
0	0	ADC/DACパワーダウン(リセット)
0	1	ADCパワーダウン
1	0	DACパワーダウン
1	1	ADC/DAC正常動作

PCM3002(ソフトウェア制御)

制御データ・フォーマット

PCM3002の動作モードをコントロールする制御データのフォーマットを図12に示します。制御シリアルデータは、16ビットのMCクロック、MDデータとイネーブル信号となるMLクロックで構成します。これらのクロックのタイミング規定を図13に示します。

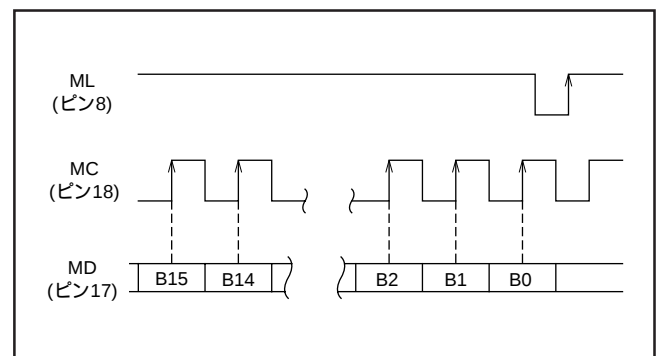


図12. シリアル制御データ・フォーマット

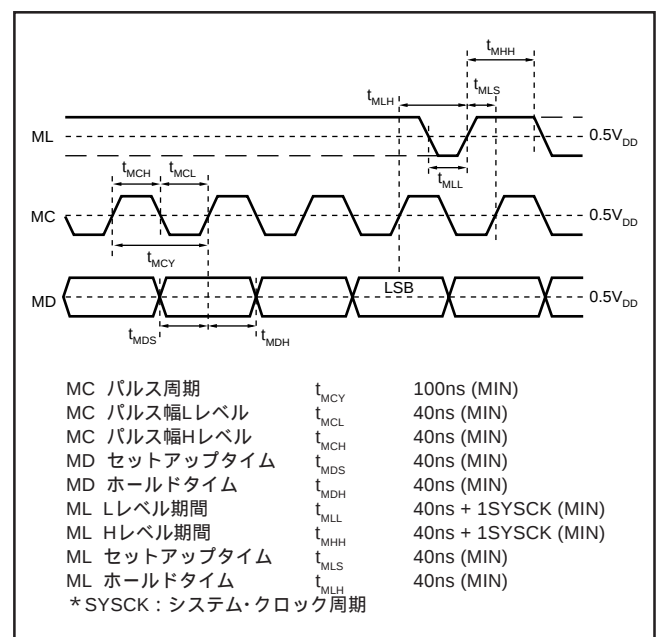


図13. シリアル制御データ・タイミング規定

シリアル制御データのレジスタ構成

モード・コントロールにおける制御レジスタは、図14に示す通り基本的に4つのモード・レジスタ(MODE0からMODE3)を持っており、レジスタの選択および制御は16ビットのシリアル制御データで行います。各レジスタ(MODE0からMODE3)のビット

構成と機能を表 1に示します。制御手順は、まずA1、A0(ビット9、ビット10)にてレジスタを選択し、他のビットでそれぞれの機能を制御することになります。また、シリアル制御データはリセット解除後に入力します。

	B15	B14	B13	B12	B11	B10	B9	B8	B7	B6	B5	B4	B3	B2	B1	B0
MODE0	res	res	res	res	res	A1	A0	LDL	AL7	AL6	AL5	AL4	AL3	AL2	AL1	AL0
MODE1	res	res	res	res	res	A1	A0	LDR	AR7	AR6	AR5	AR4	AR3	AR2	AR1	AR0
MODE2	res	res	res	res	res	A1	A0	PDAD	BYPS	PDDA	ATC	IZD	OUT	DM1	DM0	MUT
MODE3	res	res	res	res	res	A1	A0	res	res	res	LOP	res	FMT1	FMT0	LRP	res

図14. 各レジスタのフォーマット

レジスタ	ビット名	ADC/DAC	機能
MODE0	A1、A0	—	レジスタのアドレス(" 00 ")
	res	—	未使用、“ 0 ”に固定
	LDL	DAC	アッテネーション・データのロード
	AL7 ~ AL0	DAC	Lchのアッテネーション・データの設定
MODE1	A1、A0	—	レジスタのアドレス(" 01 ")
	res	—	未使用、“ 0 ”に固定
	LDR	DAC	アッテネーション・データのロード
	AR7 ~ AR0	DAC	Rchのアッテネーション・データの設定
MODE2	A1、A0	—	レジスタのアドレス(" 10 ")
	res	—	未使用、“ 0 ”に固定
	PDAD	ADC	ADCパワーダウン制御
	BYPS	ADC	ローカットフィルタのバイパスON/OFF制御
	PDDA	DAC	DACパワーダウン制御
	ATC	DAC	アッテネーションの制御
	IZD	DAC	インフィニティ・ゼロ検出ミュート回路のON/OFF制御
	OUT	DAC	内部動作のON/OFF制御
	DEM1、DEM0	DAC	ディエンファシス
	MUT	DAC	ソフトミュート
MODE3	A1、A0	—	レジスタのアドレス(" 11 ")
	res	—	未使用、“ 0 ”に固定
	LOP	ADC/DAC	デジタル・ループバック制御
	FMT1、FMT0	ADC/DAC	オーディオ・データのフォーマット選択
	LRP	ADC/DAC	LRCINの極性選択

表 1. 各レジスタの名称と機能

A1、A0(MODE0-MODE3)

制御レジスタのMODE0からMODE3の選択は、A1、A0両ビットのコントロールで行います。

レジスタ	A1	A0
MODE0	0	0
MODE1	0	1
MODE2	1	0
MODE3	1	1

AL7-AL0、AR7-AR0、LDL、LDR(MODE0、MODE1)

MODE0およびMODE1は、デジタル・アッテネータの制御レジスタで、AL7からAL0、AR7からAR0(AL7、AR7がMSB、AL0がLSB)の各ビットによって256ステップのアッテネータをLch/Rch独立で設定することができます。アッテネータはLDL、LDRを“1”にセットすることで有効となり、LDL、LDRが“0”の場合、アッテネータの設定値は有効になりますが、DAC出力はLDL、LDRが“1”になるまで変化しません。アッテネータの減衰量ATTは次に示す計算式で与えられます(ただし、FFhの時は0dB)。

$$ATT = 20 \log_{10}(\text{アッテネート値}/256)(\text{dB})$$

FFh = 0dB

|

|

|

FEh = -0.07dB

01h = -48.16dB

00h = -∞

0dBから-∞までの遷移時間は $256/f_s$ で、リセット時にはFFhに設定されます。また、後述するMODE2レジスタATC機能により、Lch/RchをLchアッテネータ・データのみで同時に制御することも可能です。

PDAD (MODE2)

MODE2レジスタにおけるPDADフラグは、PCM3002のADC部のパワーダウン機能の制御を行います。PDAD = “1”を選択するとADC部はパワーダウン・モードに入りADC部のデータ出力はゼロを出力します。この場合、DACは正常に動作し他のレジスタの値も保持します。

PDAD	機能	初期設定
0	ADC部正常動作	○
1	ADC部パワーダウン状態	

BYPS (MODE2)

MODE2レジスタにおけるBYPSフラグは、ADC部のローカットフィルタのバイパス制御をします。BYPS = “1”を選択すると、ADC部のローカットフィルタはバイパスされ、DC信号から変換できますが、内部で発生するオフセット電圧も同時に出力されます。

BYPS	ローカットフィルタ・バイパス	初期設定
0	OFF	○
1	ON(バイパス)	

PDDA(MODE2)

MODE2レジスタにおけるPDDAフラグは、PCM3002のDAC部のパワーダウン機能の制御を行います。PDDA = “1”を選択すると、DAC部はパワーダウン・モードに入りDAC出力はGMDレベルに固定されます。この場合、ADCは正常に動作し、他のレジスタの値も保持します。

PDDA	機能	初期設定
0	DAC部正常動作	○
1	DAC部パワーダウン状態	

ATC(MODE2)

MODE2レジスタにおけるATCフラグは、デジタル・アッテネータの設定を両チャンネル共通で行える機能を選択します。ATC = “1”を選択すると、レジスタMODE0における“AL7からAL0”によってLch/Rch同時に共通で制御可能です。このとき、AR7からAR0のアッテネータ値は無視されます。

ATC	機能	初期設定
0	L/R独立アッテネーション	○
1	L/R共通アッテネーション	

IZD(MODE2)

MODE2レジスタにおけるIZDフラグは、ゼロ検出によるDAC出力の強制ミュートON/OFFを制御します。Lch/Rch共にオーディオデータが65536回連続して“0”の場合、ゼロ検出回路が動作します。このとき、ゼロ検出強制ミュートON(IZD = 1)を選択していれば、DAC出力は強制的に $0.5V_{CC}$ (BPZ)にミュートされます。入力データが“0”以外になればその時点で強制ミュートは解除されます。

IZD	機能	初期設定
0	ゼロ検出強制ミュートOFF	○
1	ゼロ検出強制ミュートON	

OUT(MODE2)

MODE2レジスタにおけるOUTフラグは、入力条件に関係なく、DAC動作を強制ミュート状態にします。OUT = “1”を選択すると、 $1/f_s$ 以内にDAC出力を $0.5V_{CC}$ (BPZ)とする強制ミュート状態になります。この場合でも、各MODEレジスタには直前の内容が保持されており、各レジスタの値を変更することができます。

OUT	機能	初期設定
0	DAC正常動作	○
1	DAC動作強制ミュート	

DM1、DM0(MODE2)

MODE2レジスタにおけるDM1、DM0フラグで、デジタル・ディエンファシスの制御を行います。

DM1	DM0	ディエンファシス	ディエンファシス周波数	初期設定
0	0	ON	44.1kHz	
0	1	OFF	—	○
1	0	ON	48.0kHz	
1	1	ON	32.0kHz	

MUT(MODE2)

MODE2のレジスタにおけるMUTフラグでソフトミュート動作のON/OFFを制御します。ソフトミュートON時は、両チャンネルのアナログ出力を $-\infty$ にまでアッテネートします。アッテネータ機能が選択され、ある値にアッテネータ値が設定されている場合、ソフトミュートONでそのアッテネータ値から $-\infty$ まで(256 - そのアッテネータ値) / f_s 時間で変化します。ソフトミュートOFFでは、その逆に $-\infty$ からミュート前のアッテネータ値に変化します。

MUT	ソフトミュート	初期設定
0	OFF	○
1	ON	

LOP (MODE3)

MODE3レジスタにおけるLOPフラグは、デジタル・ループバック機能を制御します。LOP = “1” を選択すると、ADC部からのデータが内部で直接DAC部に入力され、デジタル折り返しを行うことができます。デジタル・ループバック中、データ・フォーマットは20ビットIISフォーマット(フォーマット3)に設定されます。

LOP	デジタル・ループバック	初期設定
0	OFF	○
1	ON	

FMT1-FMT0(MODE3)

MODE3レジスタにおけるFMT1およびFMT0フラグは、4通りのオーディオデータ・フォーマットのいずれかのフォーマットを選択する機能です。各フォーマットについては“オーディオ・インターフェース・フォーマット”を参照してください。

	FMT1	FMT0	DACデータ・フォーマット	ADC データ・フォーマット
フォーマット0	0	0	16ビット、MSBファースト後詰め	16ビット、MSBファースト前詰め
フォーマット1	0	1	20ビット、MSBファースト後詰め	20ビット、MSBファースト前詰め
フォーマット2	1	0	20ビット、MSBファースト前詰め	20ビット、MSBファースト前詰め
フォーマット3	1	1	20ビット、MSBファーストIIS	20ビット、MSBファーストIIS

LRP(MODE3)

MODE3レジスタにおけるLRPフラグは、LRCINクロックの極性選択機能でLRP = “0” でLch/H、Rch/Lとなります。ただし、フォーマット0から2が選択されている場合のみ使用できます。

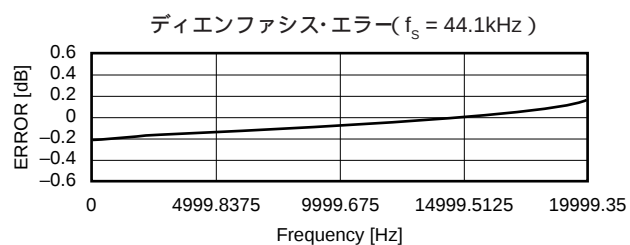
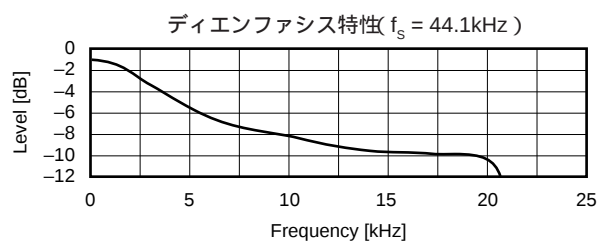
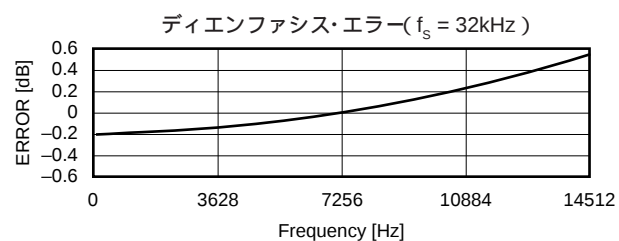
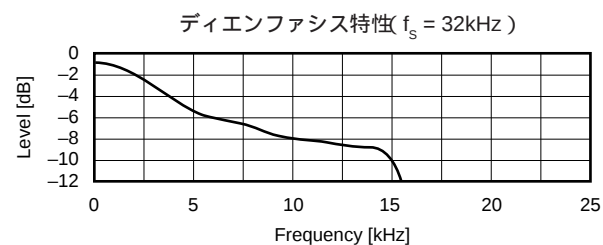
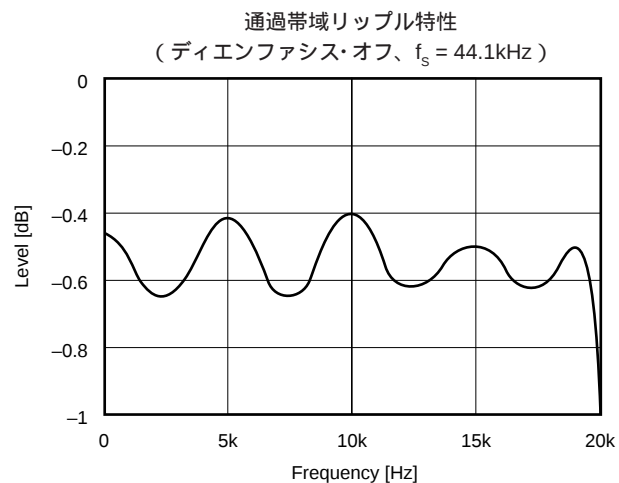
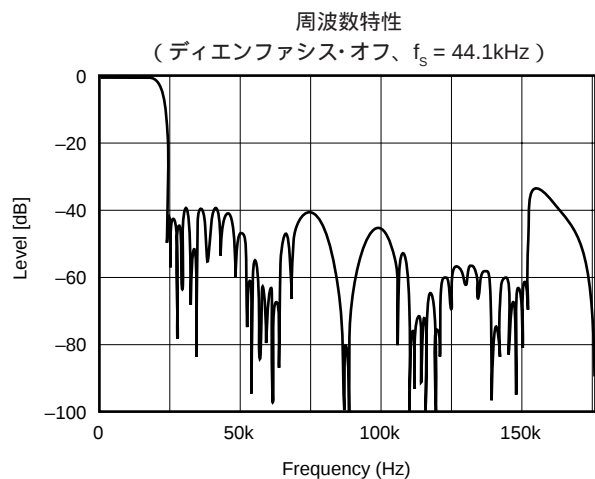
LRP	LRCKINクロックの極性	初期設定			
0	<table><tr><td>H : Lch</td><td><table><tr><td>R</td></tr></table></td></tr></table>	H : Lch	<table><tr><td>R</td></tr></table>	R	○
H : Lch	<table><tr><td>R</td></tr></table>	R			
R					
1	<table><tr><td>L : Lch</td><td><table><tr><td>R</td></tr></table></td></tr></table>	L : Lch	<table><tr><td>R</td></tr></table>	R	
L : Lch	<table><tr><td>R</td></tr></table>	R			
R					

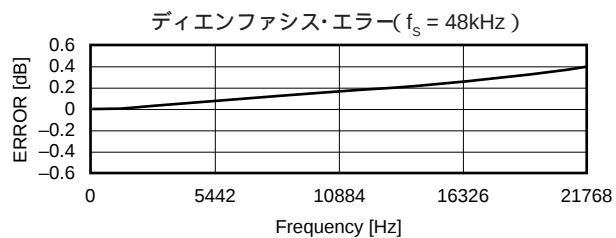
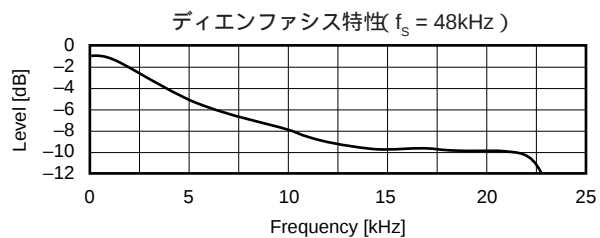
ゼロフラグ出力端子(PCM3002)

データ入力(DIN)が65536ビット・クロック・サイクルの間連続してゼロ“0”の場合、ゼロ検出機能によりZERO端子(ピン16)が“L”レベルとなります。その後、1ビット・クロック間でもデータ入力がゼロ以外となると、ZERO端子はハイ・インピーダンス状態となります。この端子はオープン・ドレイン出力なので、他の機能とOR接続をとることができます。また、このゼロフラグ出力機能はPCM3002の設定状態に関係なく、常にゼロ検出を実行します(リセット時を除く)。

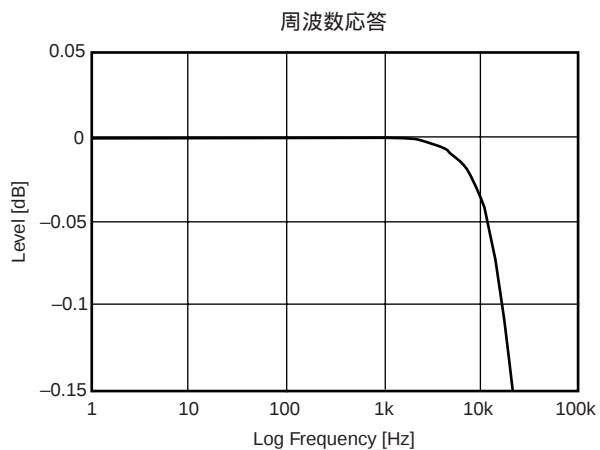
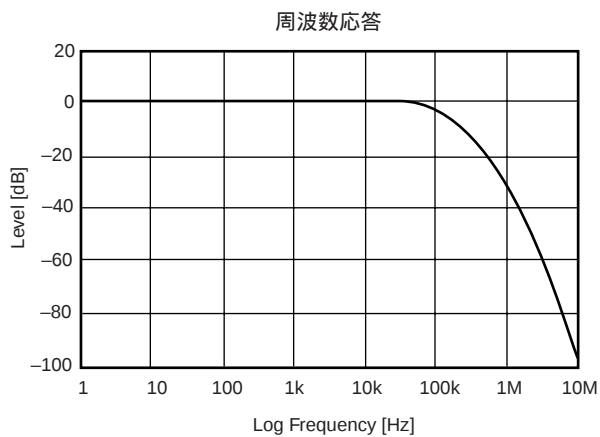
DAC部フィルタ特性

デジタルフィルタ特性





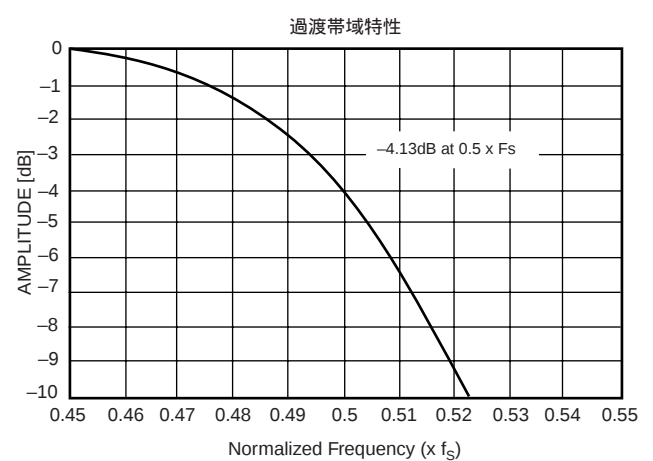
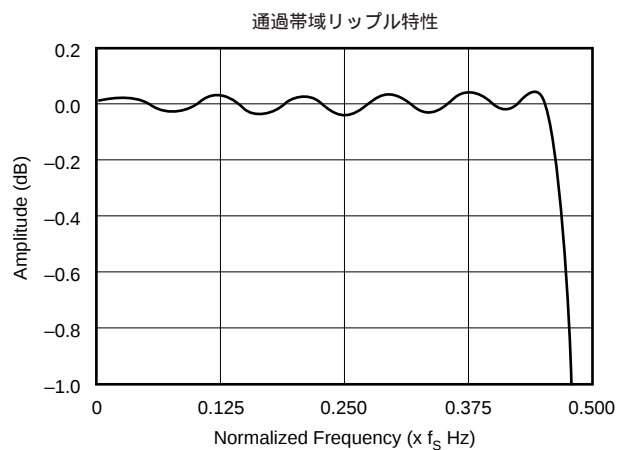
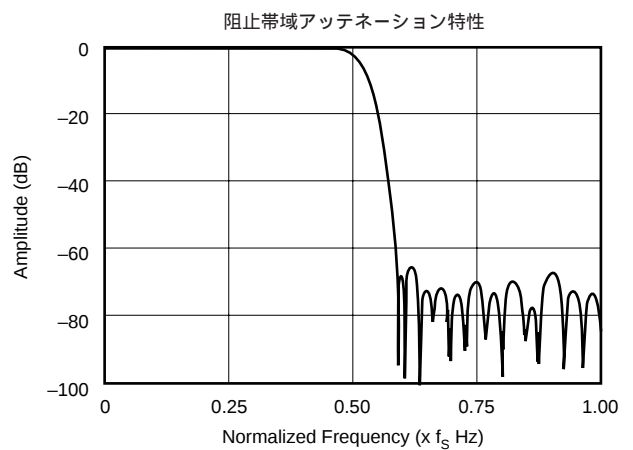
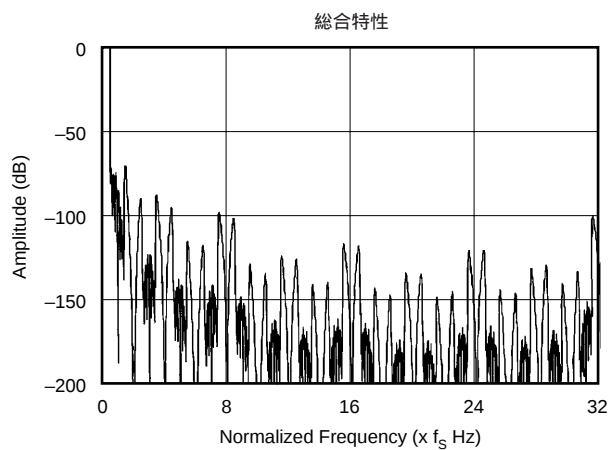
アナログフィルタ特性: 1Hz ~ 10MHz, 1Hz ~ 20kHz



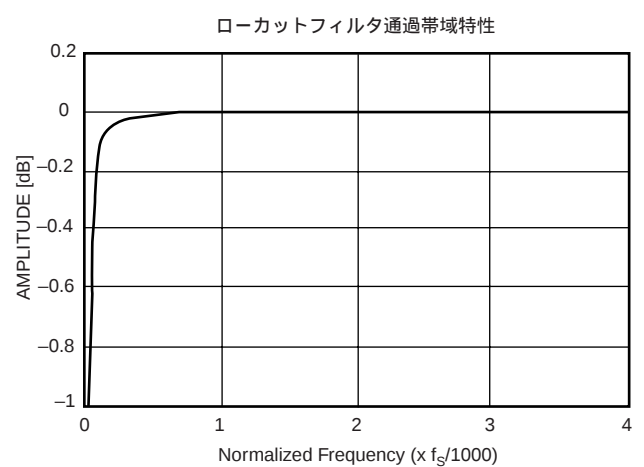
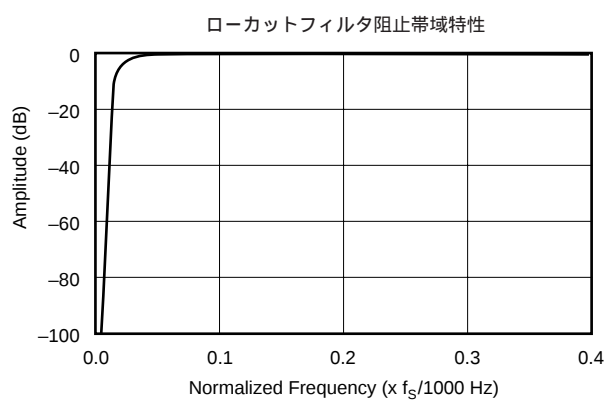
ADC部フィルタ特性

デジタルフィルタ特性

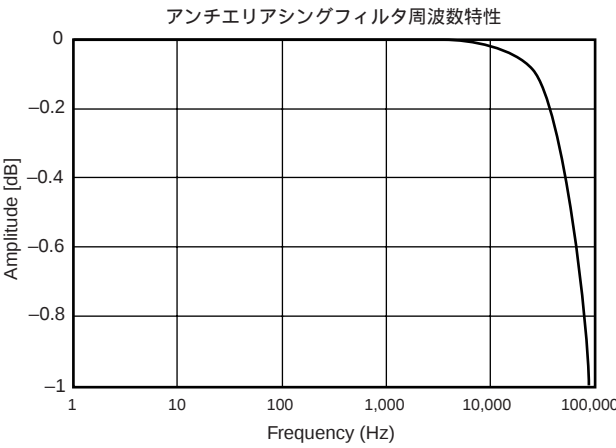
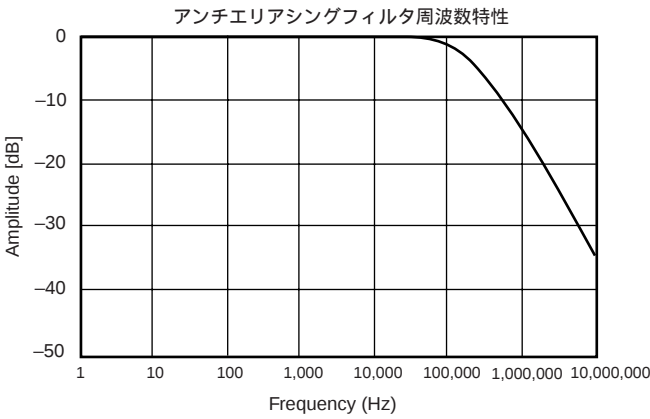
デシメーションフィルタ周波数特性



ローカットフィルタ周波数特性



アナログフィルタ特性



基本接続回路例

図15にPCM3002/3003の接続例を示します。この例では V_{CC1} 、 V_{CC2} 、 V_{DD} を共通電源とし、ノイズの少ないアナログ電源

から供給しています。別電源で使用する場合には、各電源端子の電位差を $\pm 0.1V$ 以下として下さい。外付け部品等は可能な限り端子の近くに最短距離で接続してください。本データシートに記載されているDAC部のダイナミック特性を得るためには20kHz帯域制限しなければなりません。

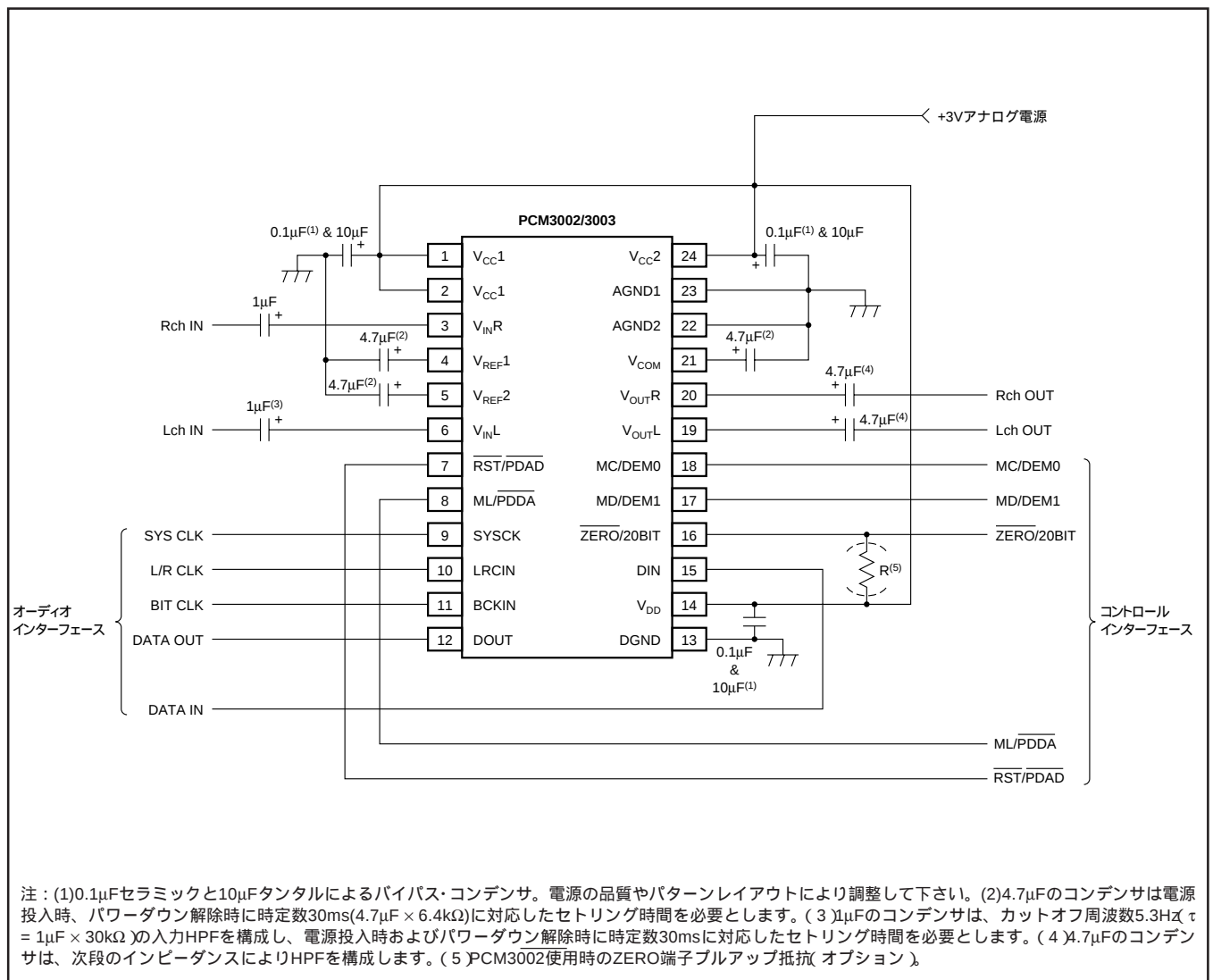


図15. 回路接続例

パターンレイアウト上の注意

電源端子(V_{CC1} 、 V_{CC2} 、 V_{DD})

デジタル電源は、デジタル・グラウンドに対し、アナログ電源はアナログ・グラウンドに対し最短距離で $0.1\mu\text{F}$ 程度のセラミック・コンデンサと $10\mu\text{F}$ 程度の電解コンデンサを接続し、ノイズの少ない電源を供給してください。また、ラッチアップ等を防ぐため、共通電源を推奨します。

グラウンド

PCM3002/3003の内部では、デジタル - アナログ間の影響を避け最良の特性を得るため、アナログ部とデジタル部のグラウンドを分離しています。デジタル、アナログの各グラウンド端子はICの直下のできるだけ低インピーダンスのグラウンドに共通接続してください。デジタルノイズによるアナログ・グラウンドへの影響を避けるためにグラウンドを分離する場合は、電位差を $\pm 0.1\text{V}$ 以下としてください。

V_{IN} 端子

アナログ・フロント・エンド部のアンプの非反転入力端子が基準電圧にバイアスされているため、 $1\mu\text{F}$ のコンデンサでACカップルして使用することを推奨します。 V_{IN} 端子の入力インピーダンスが $30\text{k}\Omega$ なので、 $1\mu\text{F}$ のコンデンサを使用した場合、カットオフ周波数 5.3Hz のハイパスフィルタを構成しますので容量の選択に注意してください。

V_{REF} 端子

V_{REF} 端子は、ADC部の基準電圧となるため $4.7\mu\text{F}$ (標準)タンタル・コンデンサをそれぞれ V_{REF1} 、 V_{REF2} 端子とAGND1間に最短距離で接続してください。

V_{COM} 端子

V_{COM} 端子はADC部入力アンプ、およびDAC部出力アンプのコモンであり、 $4.7\mu\text{F}$ 程度のタンタル・コンデンサをAGND1間に最短距離で接続します。

システム・クロック

PCM3002/3003は、システム・クロックをもとに内部動作を行っており、システム・クロックのデューティ、ジッタ等の品質がダイナミック特性に影響を与えることがあります。できるだけ高品質のクロックをSYSCKピンから入力することで、ダイナミック特性を最大限に引き出せます。また、PCM3002/3003は、ADC、DACともにダイナミック回路を使用しているため、ADCおよびDACがともにパワーダウン状態にある場合を除き、電源が供給されている限りSYSCK、BCKIN、LRCINは供給しなければなりません。BCKIN、LRCINが供給されない状態では“同期外れ”、SYSCKが供給されない状態では“リセット”の動作になります。

リセット・コントロール

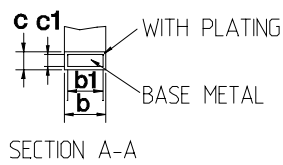
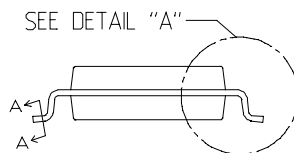
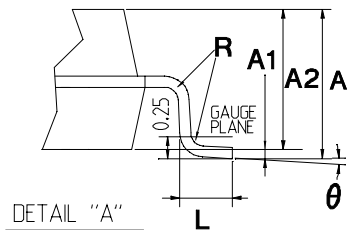
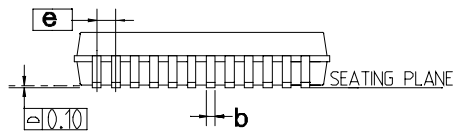
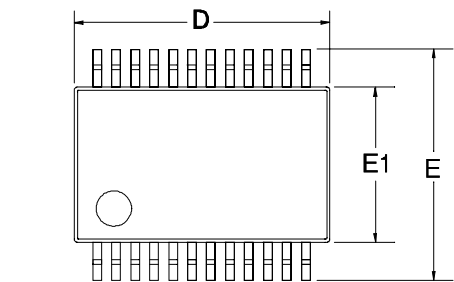
V_{REF} 端子、 V_{COM} 端子のコンデンサ容量を $22\mu\text{F}$ 以上にする場合は、 V_{REF} 、 V_{COM} の各端子の立ち上がり時間が遅くなりますので内部が安定になる前にパワーオン・リセットが完了することがあります。このような場合には外部リセットを使用してください。

外部ミュート

パワーダウンON/OFF制御時のクリック・ノイズ(DAC出力のDCレベル変動により発生)を抑えるためには、外部回路によるミュートが必要です。外部ミュートON、コーデック・パワーダウンON、必要な場合は、SYSCK停止 - 再開、コーデック・パワーダウンOFF(PCM3002において、SYSCK停止 - 再開が行われた場合はレジスタ再設定)、外部ミュートOFFとするコントロール・シーケンスが推奨されます。

外觀

パッケージ：24ピンSSOP



DIM	MILLIMETERS		
	MIN	TYP	MAX
A	—	—	2.13
A1	0.05	—	0.25
A2	1.62	1.75	1.88
b	0.22	—	0.38
b1	0.22	0.30	0.33
c	0.09	—	0.20
c1	0.09	0.15	0.16
D	7.90	8.20	8.50
E	7.40	7.80	8.20
E1	5.00	5.30	5.60
e	—	0.65BSC	—
L	0.63	0.90	1.03
R	0.09	—	—
θ	0°	4°	8°