

Sound *PLUS*™

18ビット・ステレオ・オーディオ・コーデック

特 長

- 1チップ18ビットΔΣADCおよびDAC
- 16/18ビット入出力データ
- デュアルADC
シングルエンド入力: $V_I = 2.9V_{PP}$
64倍オーバー・サンプリング
高性能デシメーション・フィルタ内蔵
ローカット・フィルタ内蔵
高性能
THD + N: 0.004% (標準)
ダイナミックレンジ: 94dB (標準)
S/N比: 94dB (標準)
- デュアルDAC
高性能
THD + N: 0.003% (標準)
ダイナミックレンジ: 97dB (標準)
S/N比: 98dB (標準)
シングルエンド同位相電圧出力: $V_O = 3.1V_{PP}$
2次アナログ・ローパスフィルタ内蔵
8倍オーバー・サンプリング・デジタルフィルタ内蔵
- サンプリング・レート f_s : 48kHz (最大)
- システム・クロック: $256f_s/384f_s/512f_s$
- マルチファンクション (PCM3000のみ)
デジタル・ディエンファシス
アッテネータ (256ステップ、L/R独立制御可)
ソフトミュート
デジタル・ループバック
- 5V単一電源動作
- パッケージ: 28ピンSSOP

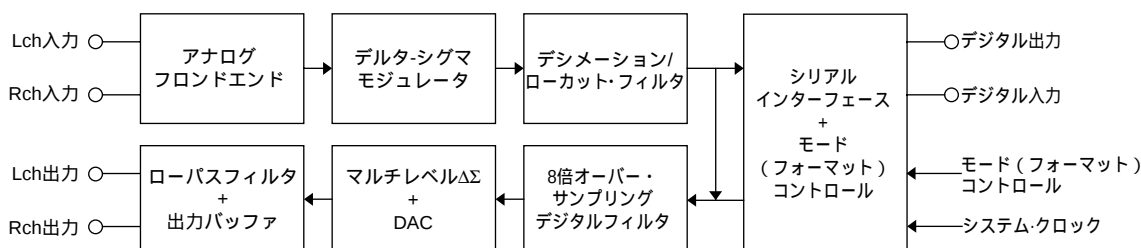
概要

PCM3000/3001は、パー・ブラウンが誇る最新のデルタ・シグマ技術を用い、18ビットのA/D、D/Aコンバータを1チップ化した高性能ステレオ・オーディオ・コーデックです。

PCM3000/3001は、32kHzから48kHzのサンプリング・レートに対応でき、256f_s/384f_s/512f_sのいずれのシステム・クロックでも動作可能なシステム・クロックの自動判定機能を内蔵しています。ADC部はオフセット・キャリブレーションの不要なローカット・フィルタ、シングルエンド入力に対応したアナログ・フロントエンド回路を内蔵しています。DAC部はバー・ブラウン独自のマルチビット・デルタ・シグマDACを用い高音質を実現しています。

さまざまなアプリケーションに対応するため、PCM3000/3001では16/18ビット前詰め、後詰め、IIS、DSPフォーマット等の7通りのデータフォーマットに対応しています。さらにPCM3000ではソフトウェア・コントロールによりローカット・フィルタのバイパス制御、DAC部のL/R独立256ステップ・アッテネーション、ディエンファシス、ソフトミュート等、実アプリケーションに応じて制御可能です。

PCM3000/3001の電源電圧は、単一5Vで動作でき、小型28ピンSSOPを採用しているため、ミニディスク、AVレシーバ、電子楽器、カラオケ等広範囲のアプリケーションに用いることができます。



仕様

特に記述のない限り、T_A = +25°C、V_{DD} = V_{CC} = 5.0V、f_S = 44.1kHz、384f_S、CLKIO入力、18ビット・データ、測定帯域20kHzにおけるものです。

パラメータ	条件	PCM3000E,PCM3001E			単位
		最小	標準	最大	
デジタル入出力					
入力ロジック・レベル I	V _{IH} ⁽¹⁾	2.0			VDC
	V _{IL} ⁽¹⁾			0.8	VDC
入力ロジック電流	I _{IN} ⁽²⁾			±1	μA
入力ロジック電流	I _{IN} ⁽³⁾			−120	μA
入力ロジック・レベル	V _{IH} ⁽⁴⁾	0.64V _{DD}			VDC
	V _{IL} ⁽⁴⁾			0.28V _{DD}	VDC
入力ロジック電流	I _{IN} ⁽⁴⁾			±40	μA
出力ロジック・レベル	V _{OH} ⁽⁵⁾	4.5			VDC
	V _{OL} ⁽⁵⁾			0.5	VDC
出力ロジック・レベル	V _{OH} ⁽⁶⁾	4.5			VDC
	V _{OL} ⁽⁶⁾			0.5	VDC
データ・フォーマット		16/18bits	MSBファースト	2'sコンプリ	
基準サンプリング周波数	f _S	32.0	44.1	48.0	kHz
システム・クロック周波数		8.1920	11.2896	12.2880	MHz
	256f _S	12.2880	16.9344	18.4320	MHz
	384f _S	16.3840	22.5792	24.5760	MHz
	512f _S				
ADC部特性					
分解能		18			Bits
ダイナミック特性 ⁽⁷⁾					
THD + N	V _{IN} = −0.5dB	f = 1kHz	0.004	0.01	%
	V _{IN} = −60dB	f = 1kHz	2.8		%
ダイナミック・レンジ		EIAJ、Aウェイト	94		dB
S/N比		EIAJ、Aウェイト	94		dB
チャンネル・セパレーション		f = 1kHz	92		dB
DC特性					
ゲイン・エラー、チャンネル間ミスマッチ			±1.0	±5.0	% of FSR
ゲイン・エラー			±2.0	±5.0	% of FSR
ゲイン・ドリフト			±20		ppm of FSR/°C
バイポーラ・ゼロ誤差 ⁽⁸⁾		LCFバイパス ⁽⁹⁾	±1.7		% of FSR
バイポーラ・ゼロ・ドリフト ⁽⁸⁾		LCFバイパス ⁽⁹⁾	±20		ppm of FSR/°C
デジタルフィルタ特性					
通過帯域		0.583f _S		0.454f _S	Hz
阻止帯域					Hz
通過帯域リップル				±0.05	dB
阻止帯域減衰量		−65			dB
群遅延			17.4/f _S		sec
デジタル・ローカット・フィルタ特性					
−3dB帯域幅			0.019f _S		mHz
アナログ入力					
入力電圧	0dB(F/S)		2.9		Vpp
センター電圧			2.1		V
入力インピーダンス			15		kΩ
アンチエリアス・フィルタ特性					
−3dB帯域幅	Cext = 470pF		170		kHz

このデータシートに記載されている情報は、信頼し得るものと考えておりますが、不正確な情報や記載漏れ等に関して弊社は責任を負うものではありません。情報の使用について弊社は責任を負えませんので、各ユーザーの責任において御使用下さい。価格や仕様は予告なしに変更される場合がありますのでご了承下さい。ここに記載されているいかなる回路についても工業所有権その他の権利またはその実施権を付与したり承諾したりするものではありません。弊社は弊社製品を生命維持に関する機器またはシステムに使用することを承認しまたは保証するものではありません。

仕様(続き)

特に記述のない限り、 $T_A = +25^{\circ}\text{C}$ 、 $V_{DD} = V_{CC} = 5.0\text{V}$ 、 $f_s = 44.1\text{kHz}$ 、 $384f_s$ 、CLKIO入力、18ビット・データ、測定帯域20kHzにおけるものです。

パラメータ	条件	PCM3000E,PCM3001E			単位
		最小	標準	最大	
DAC部特性					
分解能		18			Bits
ダイナミック特性 ⁽¹⁰⁾ THD + N V _O = 0dB(FS) V _O =-60dB ダイナミック・レンジ S/N比 チャンネル・セパレーション	f = 1kHz f = 1kHz EIAJ、Aウェイト EIAJ、Aウェイト f = 1kHz	90 92 90	0.003 2.0 97 98 95	0.01	% % dB dB dB
DC特性 ゲイン・エラー、チャンネル間ミスマッチ ゲイン・エラー ゲイン・ドリフト バイポーラ・ゼロ誤差 バイポーラ・ゼロ・ドリフト	V _O = 1/2V _{cc} at BPZ		±1.0 ±1.0 ±20 ±1.0 ±20	±5.0 ±5.0	%of FSR %of FSR ppm of FSR/°C %of FSR ppm of FSR/°C
アナログ出力 出力電圧 センター電圧 負荷抵抗	0dB(F/S) AC負荷	5	0.62V _{cc} 0.5V _{cc}		Vpp VDC kΩ
デジタルフィルタ特性 通過帯域 阻止帯域 通過帯域リップル 阻止帯域減衰量 群遅延		0.555f _s -35	 11.1/f _s	0.445f _s ±0.17	Hz Hz dB dB sec
内蔵アナログフィルタ特性 周波数特性	f = 20kHz		-0.16		dB
電源供給 電源電圧+V _{cc} +V _{DD} 電源電流 ⁽¹¹⁾ +I _{cc} +I _{DD} 消費電力P _D	V _{cc} = V _{DD} = 5.0V V _{cc} = V _{DD} = 5.0V	4.5	5.0 32 160	5.5 50 250	VDC mA mW
温度範囲 動作 保存		-25 -55		+85 +125	°C °C

注：(1)ピン16～ピン18、ピン22、ピン25～ピン28(LRCIN、BCKIN、DIN、CLKIO、MC、MD、ML(PCM3001の場合FMT0、FMT1、FMT2)、 $\overline{\text{RST}}$)に適用。(2)ピン16～ピン18、ピン22(LRCIN、BCKIN、DIN、CLKIO)の各端子に適用(シュミット・トリガ入力)。(3)ピン25～ピン28(MC、MD、ML(PCM3001の場合FMT0、FMT1、FMT2)、 $\overline{\text{RST}}$)の各端子に適用(シュミット・トリガ入力、70k Ω プルアップ抵抗内蔵)。(4)ピン20(XTI)に適用。(5)ピン19、ピン22(DOUT、CLKIO)に適用。(6)ピン21(XTO)に適用。(7)オーディオ・プレジジョン社システム、RMSモード、20kHz LPF、400Hz HPF ON。(8)PCM3000に適用。(9)ローカット・フィルタ。(10)20kHz帯域制限、オーディオ・プレジジョン社システム、RMSモード、20kHz LPF、400Hz HPF ON (11)ピン21、ピン22(XTO、CLKIO)ともに無負荷。

絶対最大定格

保存温度	-55 ~ +125
動作温度	-25 ~ +85
電源電圧	+6.5V
電源電位差	$\pm 0.1\text{V}$
GND電位差	$\pm 0.1\text{V}$
デジタル入力電圧	-0.3V ~ $V_{DD} + 0.3\text{V}$
アナログ入力電圧	-0.3V ~ $V_{CC1}, V_{CC2} + 0.3\text{V}$
入力電流	$\pm 10\text{mA}$
消費電力	300mW
リード温度(半田付け)	+260 5秒
パッケージ表面温度(リフロー)	+235 10秒
熱抵抗	100 $^{\circ}\text{C/W}$

パッケージ情報

モデル	パッケージ ⁽¹⁾	温度範囲
PCM3000E	28ピンSSOP	-25 ~ +85
PCM3001E	28ピンSSOP	-25 ~ +85

注：(1)詳細図および寸法表は、データシートの巻末を参照して下さい。

 静電気放電対策

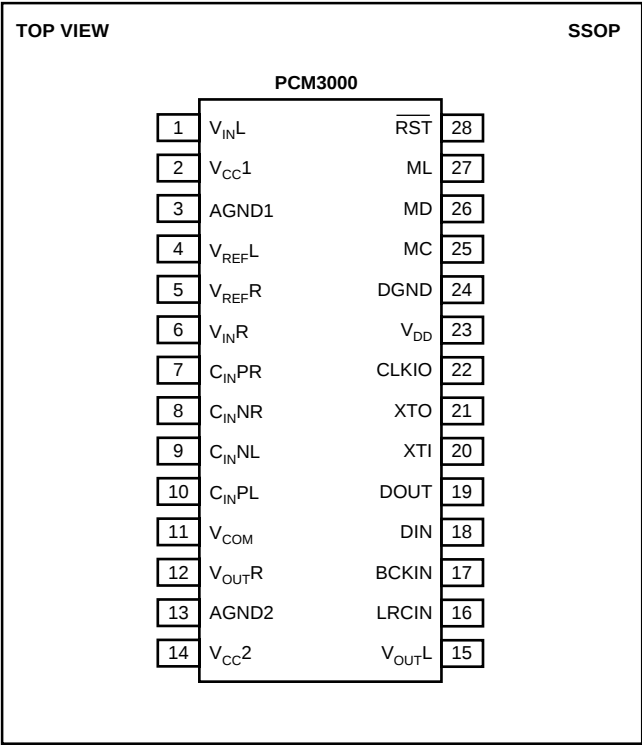
静電気放電はわずかな性能の低下から完全なデバイスの故障に至るまで、様々な損傷を与えます。すべての集積回路は、適切なESD保護方法を用いて、取扱いと保存を行うようにして下さい。高精度の集積回路は、損傷に対して敏感であり、極めてわずかなパラメータの変化により、デバイスに規定された仕様に適合しなくなる場合があります。

PCM3000ピン構成

ピン	名称	I/O	機能
1	V _{IN} L	IN	Lchアナログ入力端子
2	V _{CC} 1	-	ADC部アナログ電源端子
3	AGND1	-	ADC部アナログ・グランド端子
4	V _{REF} L	-	ADC部 Lch基準電圧端子
5	V _{REF} R	-	ADC部 Rch基準電圧端子
6	V _{IN} R	IN	Rchアナログ入力端子
7	C _{IN} PR	-	ADC部Rchアンチエリアス・フィルタ用コンデンサ(+)接続端子、7 - 8 ピン間に470pFのコンデンサを接続し、アンチエリアス・フィルタを構成します。
8	C _{IN} NR	-	ADC部Rchアンチエリアス・フィルタ用コンデンサ(-)接続端子
9	C _{IN} NL	-	ADC部Lchアンチエリアス・フィルタ用コンデンサ(-)接続端子、9 - 10 ピン間に470pFのコンデンサを接続し、アンチエリアス・フィルタを構成します。
10	C _{IN} PL	-	ADC部Lchアンチエリアス・フィルタ用コンデンサ(+)接続端子
11	V _{COM}	-	アナログ出力アンプ・コモン端子
12	V _{OUT} R	OUT	Rchアナログ電圧出力端子
13	AGND2		DAC部アナログ・グランド端子
14	V _{CC} 2	-	DAC部アナログ電源端子
15	V _{OUT} L	OUT	Lchアナログ電圧出力端子
16 ⁽¹⁾	LRCIN	IN	基準サンプリング・クロック入力端子
17 ⁽¹⁾	BCKIN	IN	PCM-オーディオ・データ用ビット・クロック入力端子
18 ⁽¹⁾	DIN	IN	PCM-オーディオ・データ入力端子
19	DOUT	OUT	PCM-オーディオ・データ出力端子
20	XTI	IN	クリスタル発振器入力端子および外部クロック入力端子
21	XTO	OUT	クリスタル発振器出力端子
22 ⁽¹⁾	CLKIO	I/O	XTI(20ピン)のバッファ出力端子または外部クロック入力端子
23	V _{DD}	-	デジタル電源端子
24	DGND	-	デジタル・グランド端子
25 ⁽¹⁾⁽²⁾	MC	IN	各種制御データ入力用ビット・クロック端子
26 ⁽¹⁾⁽²⁾	MD	IN	各種制御データ入力端子
27 ⁽¹⁾⁽²⁾	ML	IN	各種制御データ入力用ロードストロブ端子
28 ⁽¹⁾⁽²⁾	RST	IN	リセット端子、この端子はアクティブ"L"です。

注:(1)シュミット・トリガ入力。(2)内部でプルアップされています。(プルアップ抵抗:70kΩ)

PCM3000ピン配置

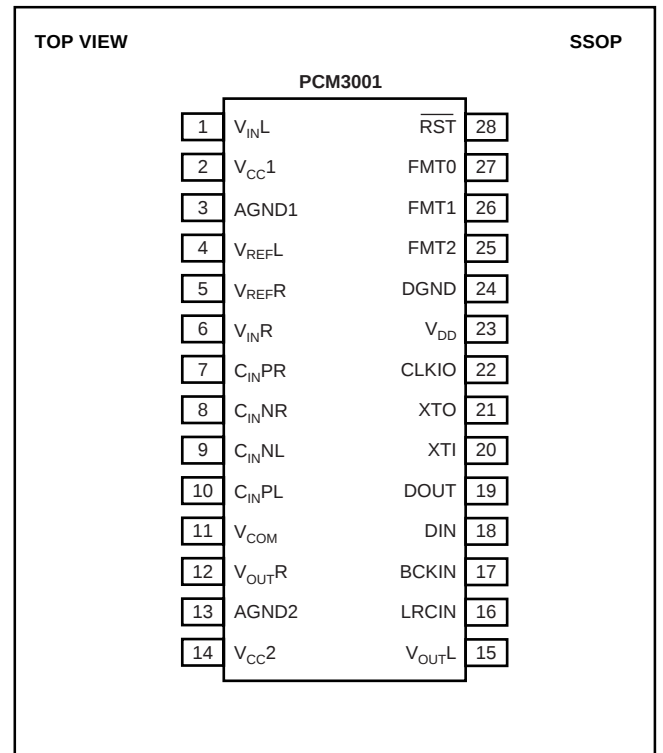


PCM3001ピン構成

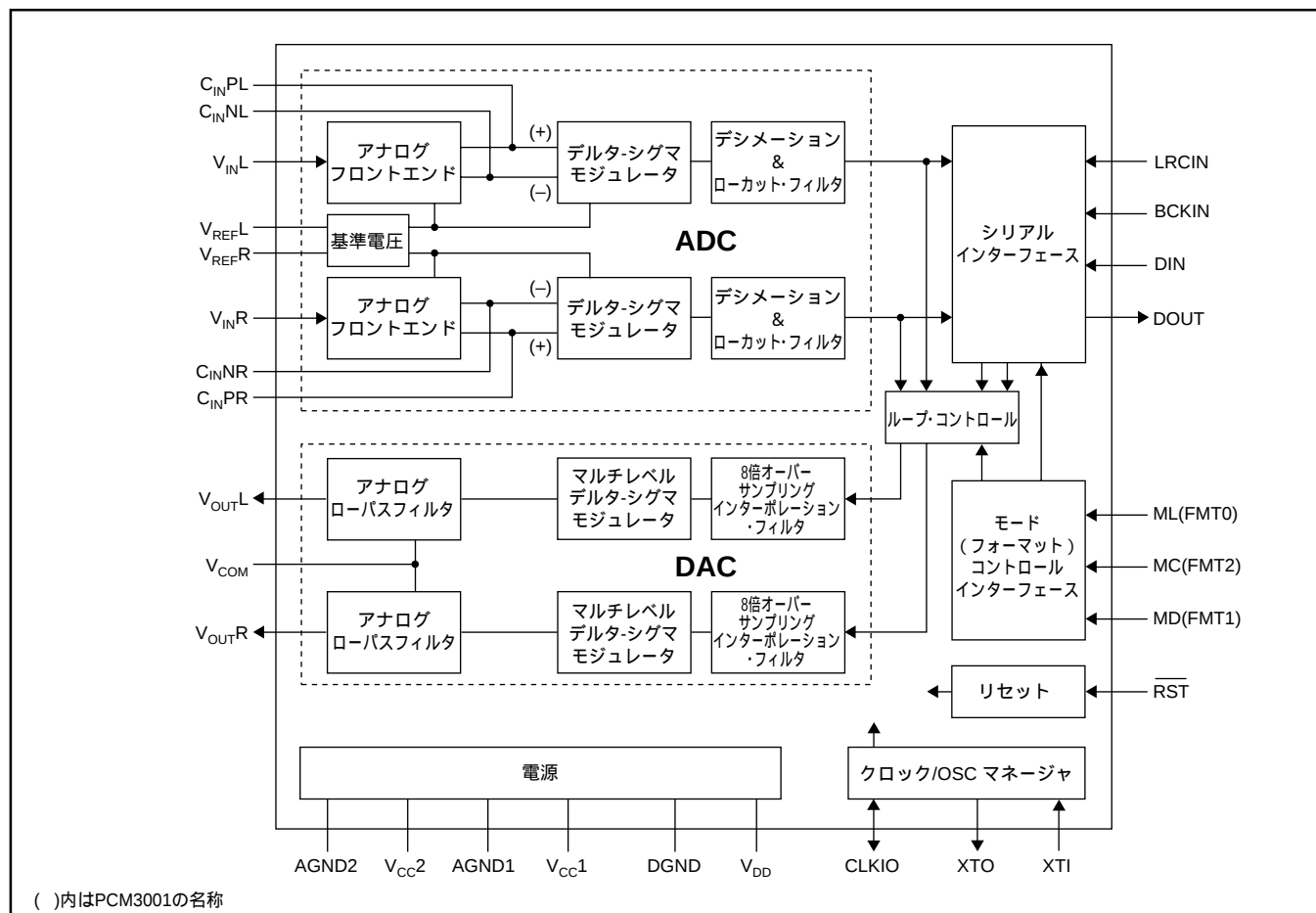
ピン	名称	I/O	機能
1	V_{INL}	IN	Lchアナログ入力端子
2	V_{CC1}	-	ADC部アナログ電源端子
3	AGND1	-	ADC部アナログ・グラウンド端子
4	V_{REFL}	-	ADC部 Lch基準電圧端子
5	V_{REFR}	-	ADC部 Rch基準電圧端子
6	V_{INR}	IN	Rchアナログ入力端子
7	C_{INPR}	-	ADC部Rchアンチエイリアス・フィルタ用コンデンサ(+)接続端子、7 - 8 ピン間に470pFのコンデンサを接続し、アンチエイリアス・フィルタを構成します。
8	C_{INNR}	-	ADC部Rchアンチエイリアス・フィルタ用コンデンサ(-)接続端子
9	C_{INNL}	-	ADC部Lchアンチエイリアス・フィルタ用コンデンサ(-)接続端子、9 - 10ピン間に470pFのコンデンサを接続し、アンチエイリアス・フィルタを構成します。
10	C_{INPL}	-	ADC部Lchアンチエイリアス・フィルタ用コンデンサ(+)接続端子
11	V_{COM}	-	アナログ出力アンプ・コモン端子
12	V_{OUTR}	OUT	Rchアナログ電圧出力端子
13	AGND2	-	DAC部アナログ・グラウンド端子
14	V_{CC2}	-	DAC部アナログ電源端子
15	V_{OUTL}	OUT	Lchアナログ電圧出力端子
16 ⁽¹⁾	LRCIN	IN	基準サンプリング・クロック入力端子
17 ⁽¹⁾	BCKIN	IN	PCM-オーディオ・データ用ビット・クロック入力端子
18 ⁽¹⁾	DIN	IN	PCM-オーディオ・データ入力端子
19	DOUT	OUT	PCM-オーディオ・データ出力端子
20	XTI	IN	クリスタル発振器入力端子および外部クロック入力端子
21	XTO	OUT	クリスタル発振器出力端子
22 ⁽¹⁾	CLKIO	I/O	XTI(20ピン)のバッファ出力端子または外部クロック入力端子
23	V_{DD}	-	デジタル電源端子
24	DGND	-	デジタル・グラウンド端子
25 ⁽¹⁾⁽²⁾	FMT2	IN	オーディオ・データ・フォーマット設定端子2
26 ⁽¹⁾⁽²⁾	FMT1	IN	オーディオ・データ・フォーマット設定端子1
27 ⁽¹⁾⁽²⁾	FMT0	IN	オーディオ・データ・フォーマット設定端子0
28 ⁽¹⁾⁽²⁾	$\overline{RST}$	IN	リセット端子、この端子はアクティブ"L"です。

注:(1)シュミット・トリガ入力。(2)内部でプルアップされています。(プルアップ抵抗:70k Ω)

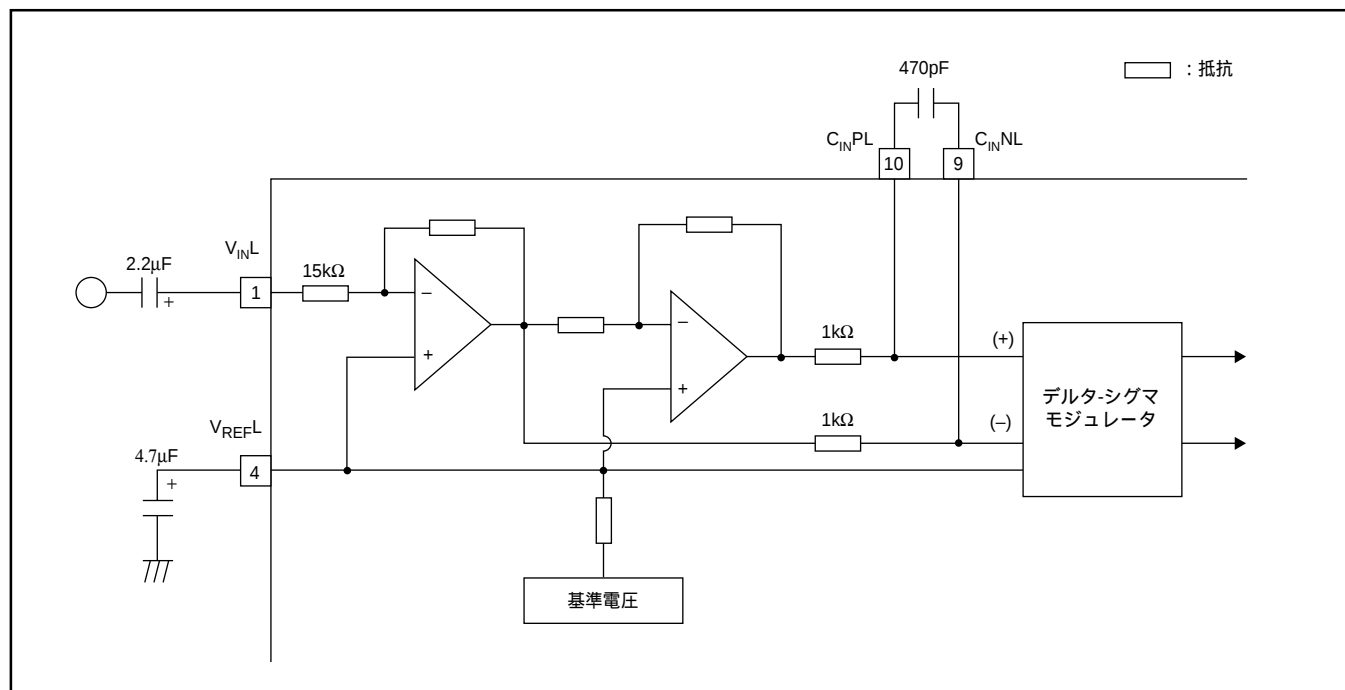
PCM3001ピン配置



ブロック図

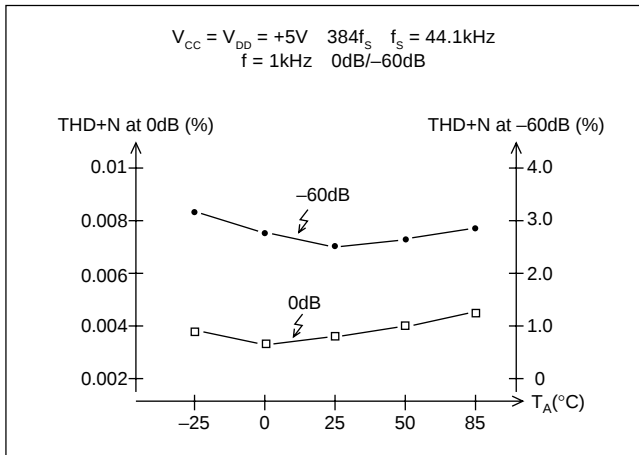


アナログ・フロントエンド (L - ch)

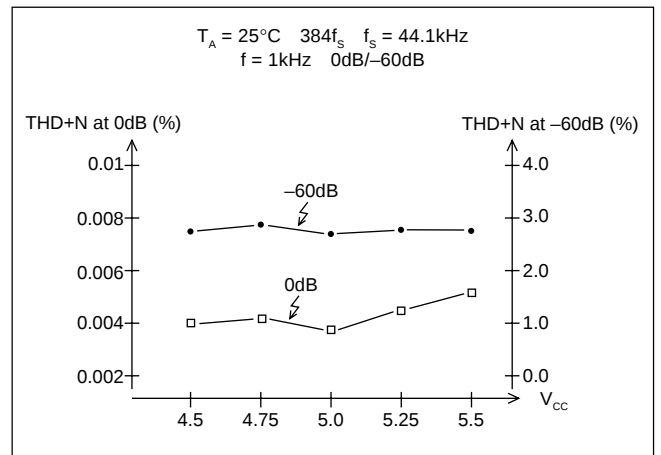


代表的性能曲線

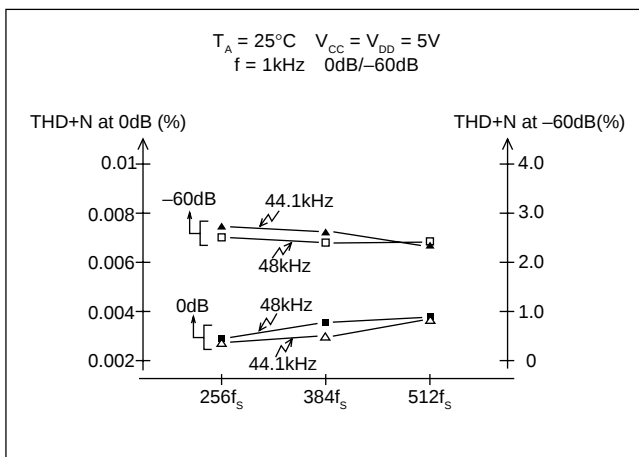
ADC部THD+N対周囲温度



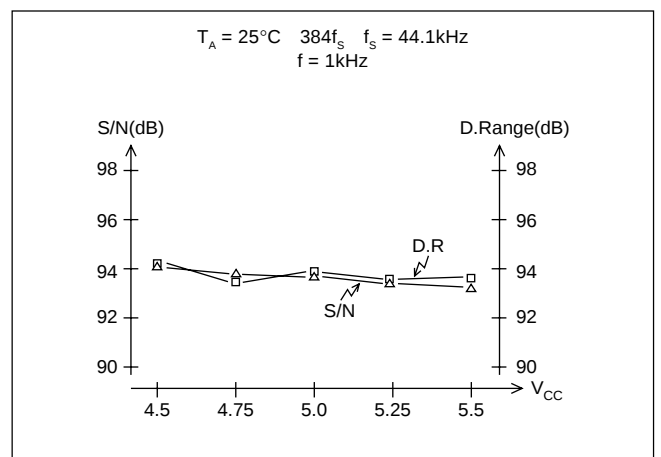
ADC部THD+N対電源電圧



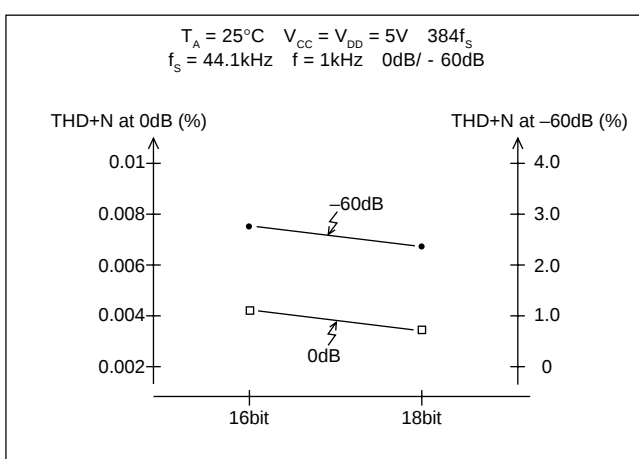
ADC部THD+N対動作条件



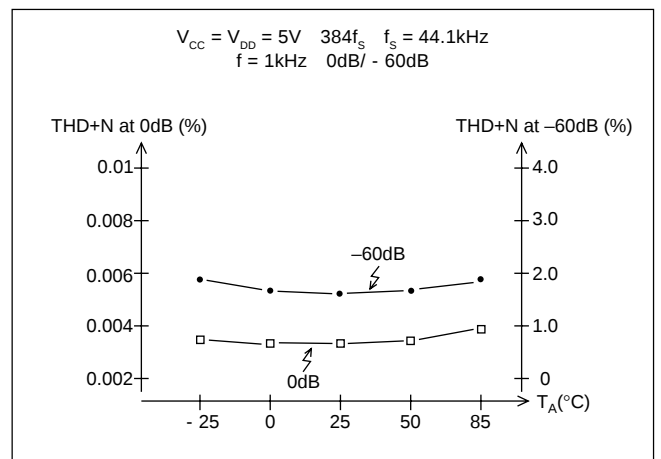
ADC部S/N比、ダイナミック・レンジ対電源電圧



ADC部THD+N対分解能

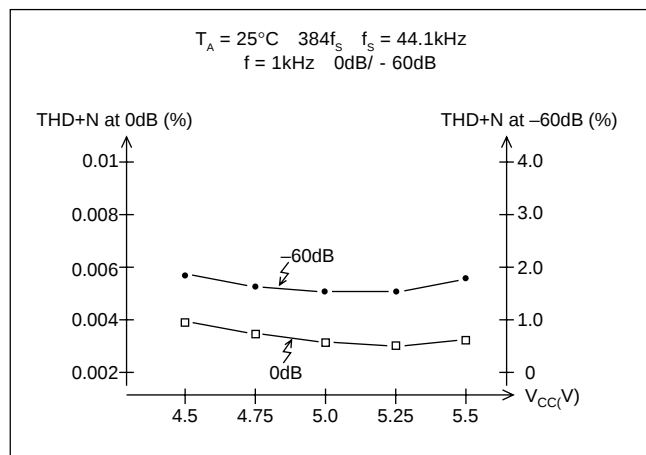


DAC部THD+N対周囲温度

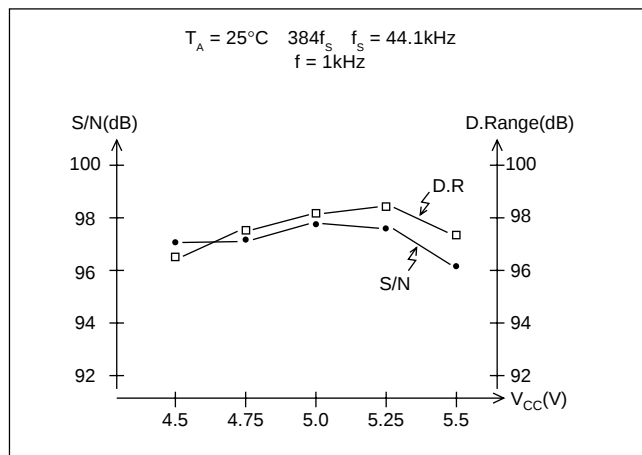


代表的性能曲線

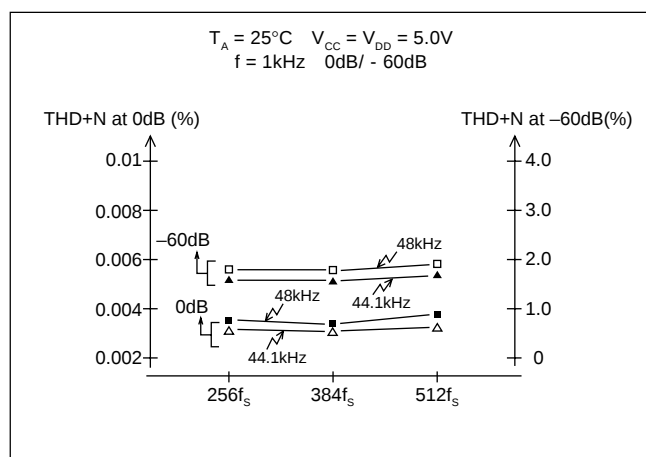
DAC部THD+N対電源電圧



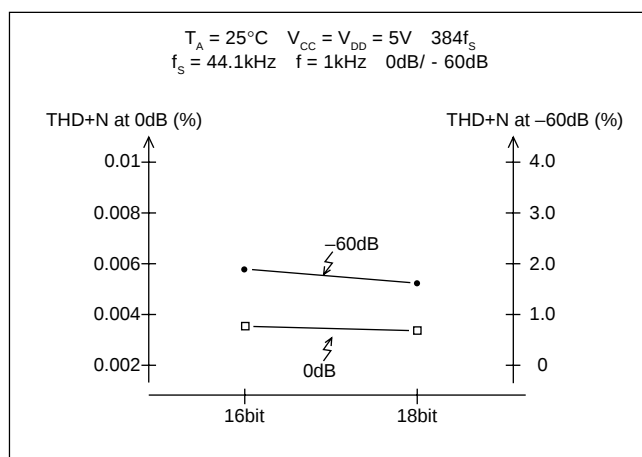
DAC部S/N比、ダイナミック・レンジ対電源電圧



DAC部THD+N対動作条件



DAC部THD+N対分解能



動作原理

ADC部

PCM3000/3001のADC部は、図1に示すようにバンドギャップ・リファレンス回路、シングルエンド入力 - 差動変換回路、5次 $\Delta\Sigma$ モジュレータ、デシメーション・フィルタ、ローカット・フィルタ等により構成されています。バンドギャップによる高精度基準電圧源はADC部に必要な基準電圧を供給すると同時にアナログ入力電圧範囲を決めます。PCM3000/3001のADC部は、広いダイナミックレンジと優れた電源変動除去比を得るため完全差動回路で構成されています。このため、シングルエンド入力 - 差動変換回路を内蔵し、最少の外付け部品で高性能を実現しています。図1に5次 $\Delta\Sigma$ 変調器のブロック・ダイアグラムと伝達関数を示します。

5次 $\Delta\Sigma$ 変調器は、5個の差動回路構成スイッチド・キャパシタ方式積分器、比較器、1ビットD/Aコンバータから構成されています。高次 $\Delta\Sigma$ 変調器を用い、変調器出力データに特定の周期のパターンを発生しないようにしています。この $\Delta\Sigma$ 変調器は $64f_s$ で動作し、出力された1ビット・データは次段の18ビット・デシメーション・フィルタによって $64f_s$ までの周波数成分を除去されます。このため高次アンチエイリアス・フィルタは不要となり、ピン7-8間およびピン9-10間に470pFのコンデンサを接続するだけで1次アンチエイリアス・フィルタを構成できます。またIC内部で発生するオフセットを除去するため、カットオフ周波数(-3dB)が0.8Hz ($f_s = 44.1\text{kHz}$) のデジタル・ローカット・フィルタを内蔵しており、外部でキャリブレーションする必要がありません。

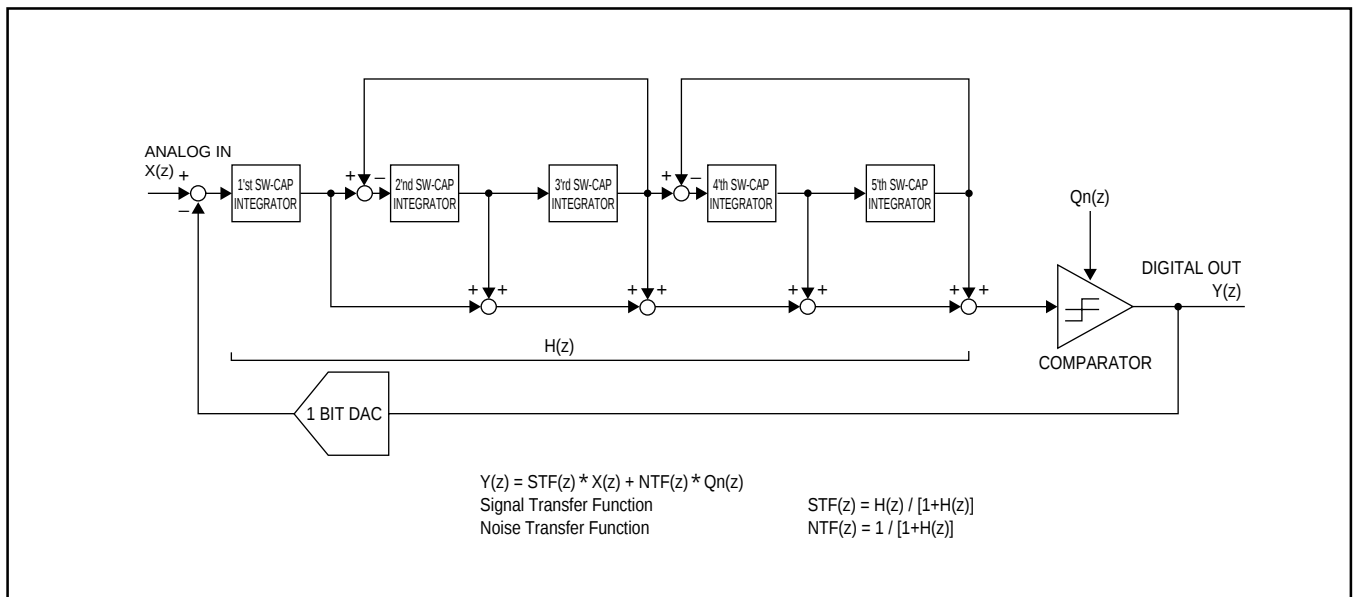


図1 . ADC部 $\Delta\Sigma$ 変調器のブロック図

DAC部 $\Delta\Sigma$ セクションの動作原理

PCM3000/3001のDAC部 $\Delta\Sigma$ セクションでは、振幅方向に5レベルの分解能をもつ5レベル量子化器を用いて、5レベルの $\Delta\Sigma$ 変調を行います。デジタルフィルタでオーバー・サンプリングされた18ビットのデータは $\Delta\Sigma$ 変調された5レベル(0、1、2、3、4)信号に変換されます。

図2に、この5レベル $\Delta\Sigma$ 変調器のブロック図を示します。次数は3次としていますが、一般的な1ビット(2レベル) $\Delta\Sigma$ 変調に比べて、系の安定性および耐ジッタ性に優れています。デジタルフィルタ部と変調部との総合オーバー・サンプリング・レートは

$64f_s$ となっています。一般的な変調では、次数を高くすると系が不安定になる問題がありますが、PCM3000/3001では5レベル変調および系全体の位相補償により優れた安定性を得ています。図3に、 $\Delta\Sigma$ 変調後の量子化雑音レベルの理論スペクトラム特性($f_s=44.1\text{kHz}$ 、システム・クロック= $256f_s$ 、信号周波数 $f_{sig}=1\text{kHz}$)を示します。PCM3000/3001では、5レベル変調により、オーディオ帯域において-120dB以上量子雑音を抑圧しています。

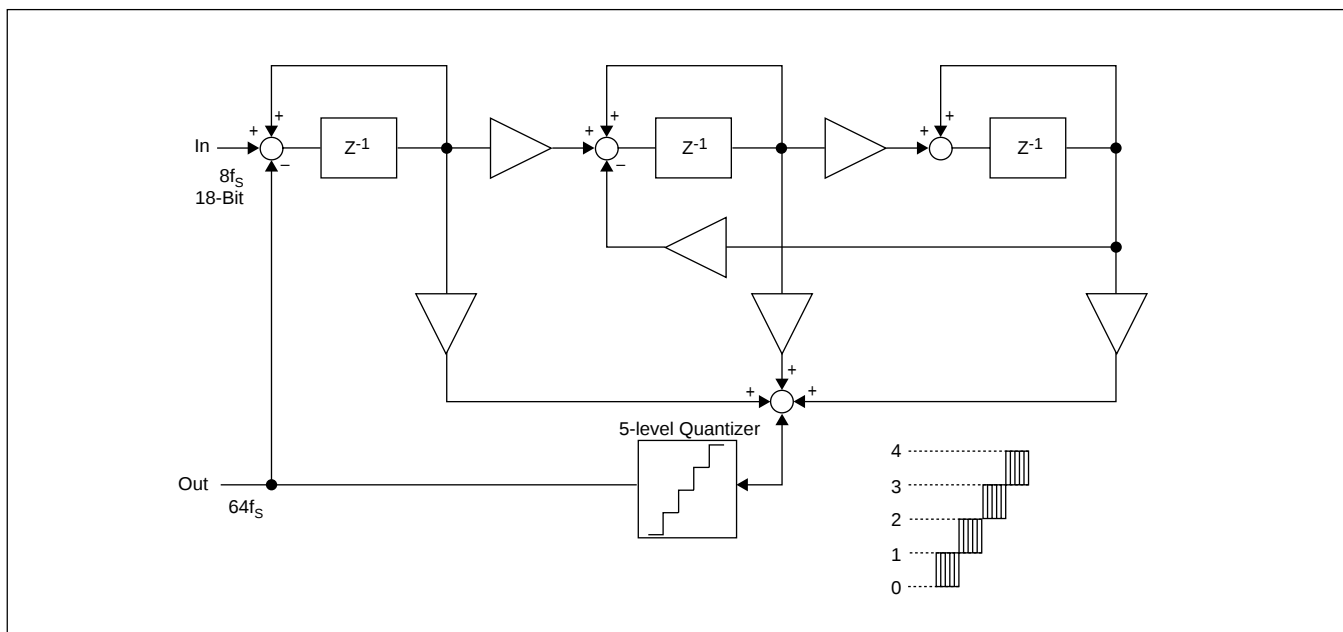


図2. 5レベル変調器のブロック図

マルチレベル $\Delta\Sigma$ の耐ジッタ特性

PCM3000/3001は、5レベル量子化器の使用により、他の一般的な1ビットDACに比べてシステム・クロックのジッタ耐量に優位性を持っています。図4にシミュレーションによる、ジッタ量対ダイナミック・レンジの比較データを示します。

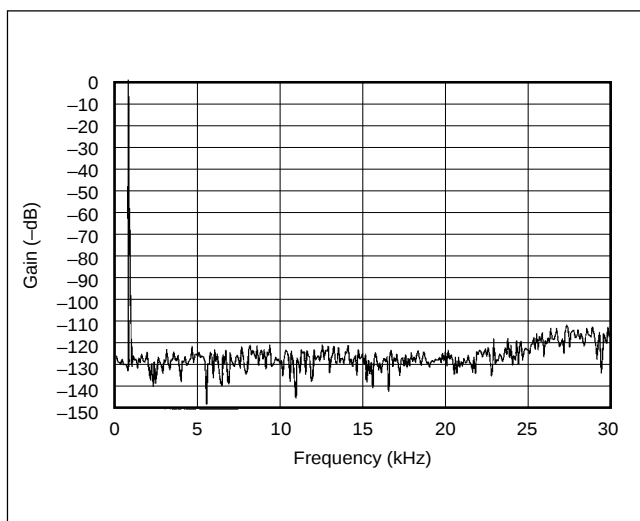


図3. 量子化器雑音特性

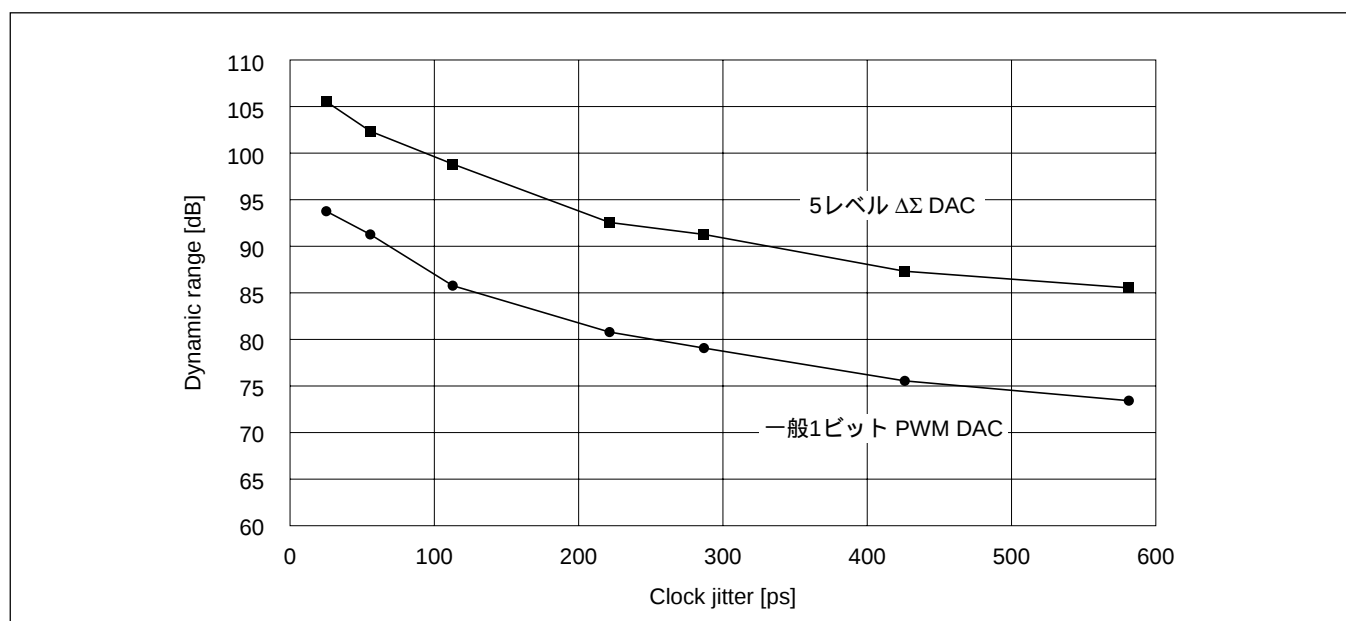


図4. ジッタ量対ダイナミック・レンジ シミュレーション・データ

オーディオ・データ・インターフェース

PCM3000/3001は、LRCIN (ピン16)、BCKIN (ピン17)、DIN (ピン18)、DOUT (ピン19)により外部システムとインターフェースします。入出力フォーマットは、表Iに示す7種類のフォーマットから選択可能です。PCM3000は、内部レジスタMODE3により、またPCM3001ではFMT0(ピン27)、FMT1(ピン26)、FMT2(ピン25)で設定します。オーディオ・データ・フォーマットとタイミング規定を図5から図7に示します。BCKINクロックは1LRCINクロック周期中に64、48、32クロック必要です。ただし、32BCKIN/LRCINはフォーマット0、2、6でのみ使用可能です。

	FMT2	FMT1	FMT0	DACデータ・フォーマット	ADC データ・フォーマット
フォーマット0	LOW	LOW	LOW	16ビット、MSBファースト、後詰め	16ビット、MSBファースト、前詰め
フォーマット1	LOW	LOW	HIGH	18ビット、MSBファースト、後詰め	18ビット、MSBファースト、前詰め
フォーマット2	LOW	HIGH	LOW	16ビット、MSBファースト、後詰め	16ビット、MSBファースト、後詰め
フォーマット3	LOW	HIGH	HIGH	18ビット、MSBファースト、後詰め	18ビット、MSBファースト、後詰め
フォーマット4	HIGH	LOW	LOW	16/18ビット、MSBファースト、前詰め	18ビット、MSBファースト、前詰め
フォーマット5	HIGH	LOW	HIGH	16/18ビット、MSBファーストIIS	18ビット、MSBファーストIIS
フォーマット6	HIGH	HIGH	LOW	16ビット、MSBファーストDSPフレーム	16ビット、MSBファーストDSPフレーム
フォーマット7	HIGH	HIGH	HIGH	Reserved	Reserved

フォーマット7は使用禁止

表 I. 選択可能なオーディオ・データ・インターフェース

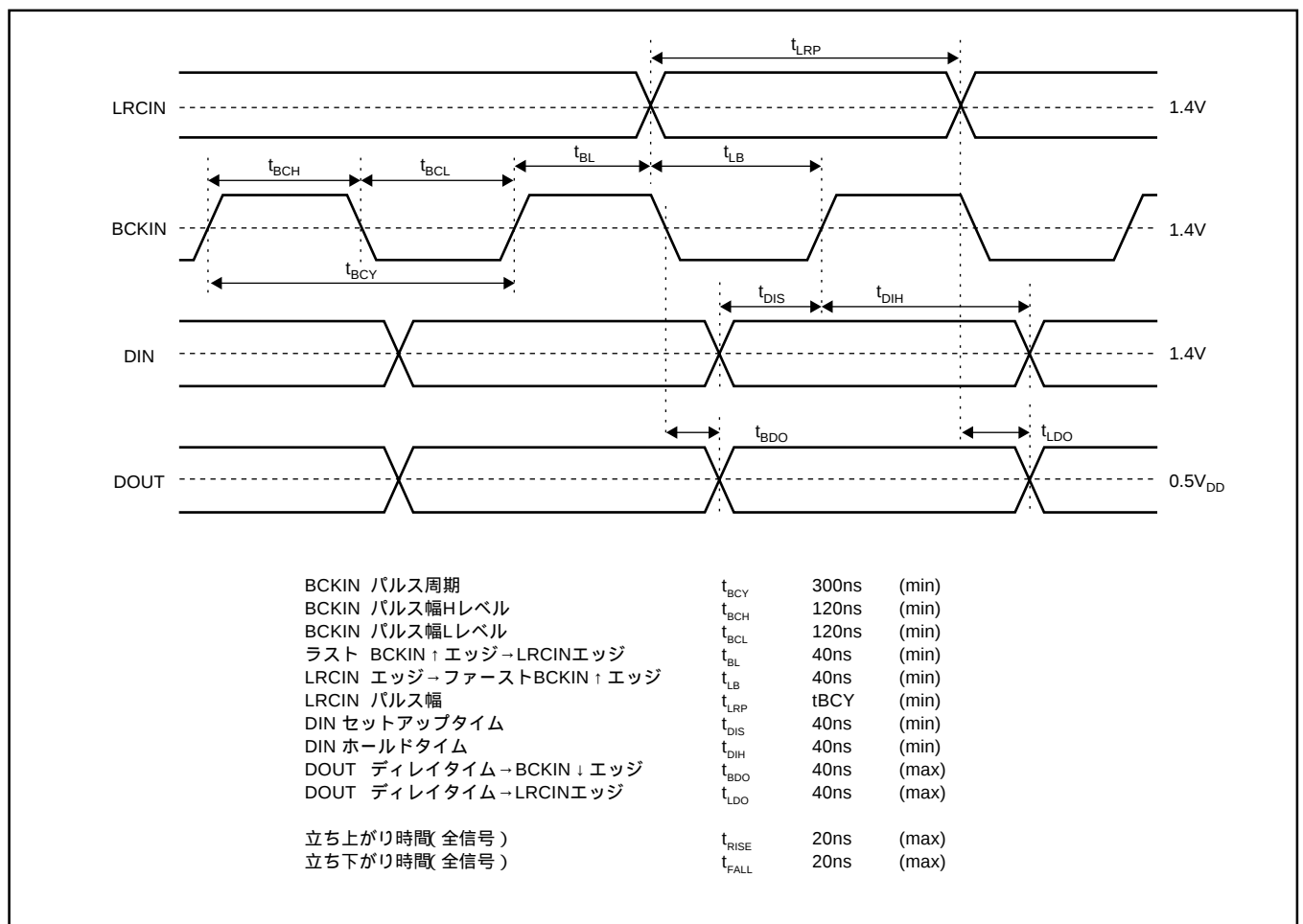
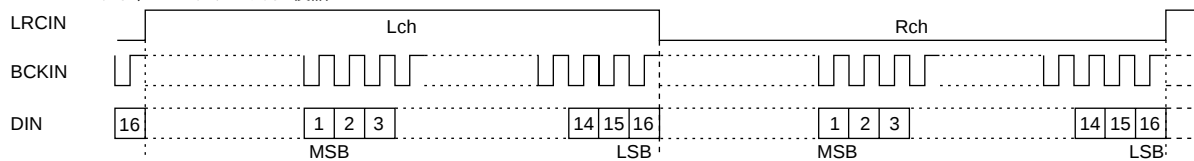


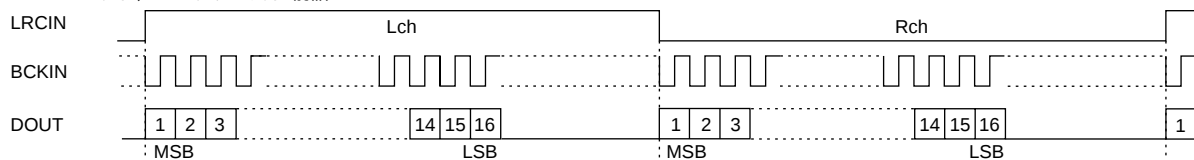
図5. 入出力タイミング規定

フォーマット0 : FMT[2:0] = " 000 "

DAC:16ビット、MSBファースト 後詰め

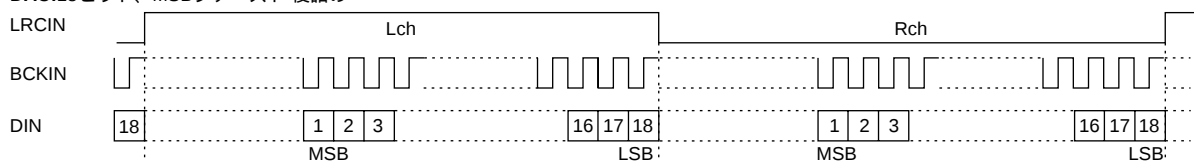


ADC:16ビット、MSBファースト 前詰め

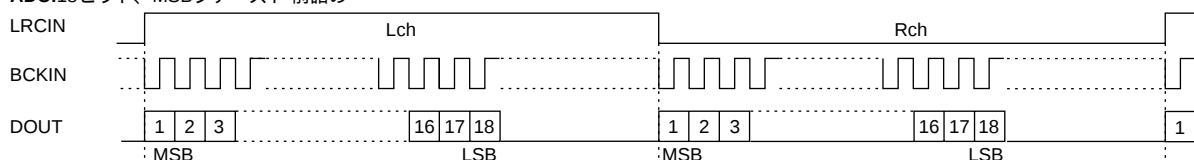


フォーマット1 : FMT[2:0] = " 001 "

DAC:18ビット、MSBファースト 後詰め

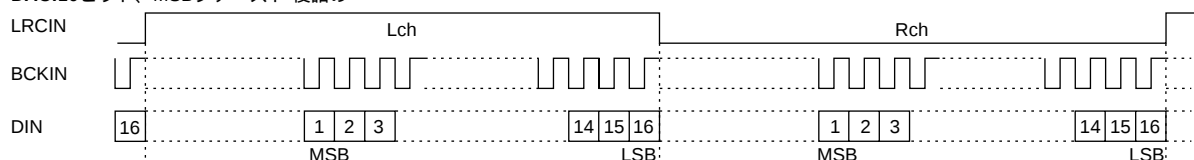


ADC:18ビット、MSBファースト 前詰め



フォーマット2 : FMT[2:0] = " 010 "

DAC:16ビット、MSBファースト 後詰め



ADC:16ビット、MSBファースト 後詰め

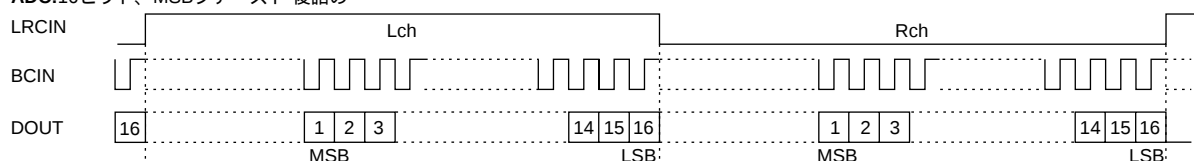
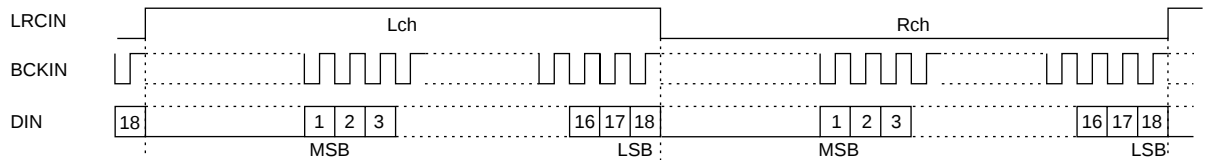


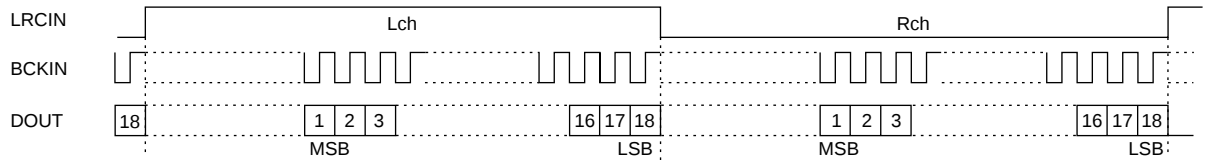
図6 . オーディオ・データ・入出力フォーマット

フォーマット 3 : FMT[2:0] = " 011 "

DAC:18ビット、MSBファースト 後詰め

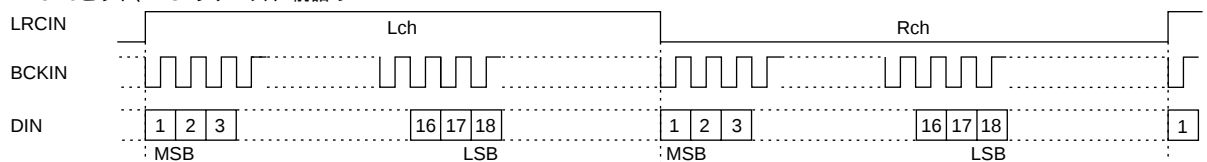


ADC:18ビット、MSBファースト 後詰め

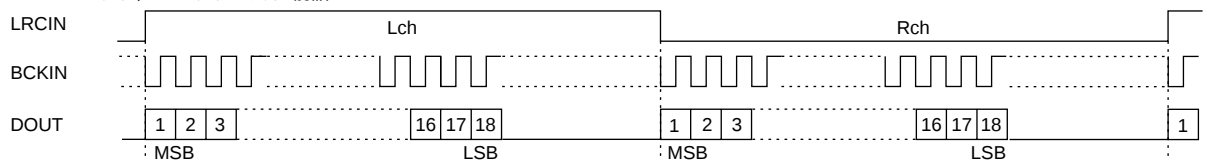


フォーマット 4 : FMT [2:0] = " 100 "

DAC:18ビット、MSBファースト 前詰め

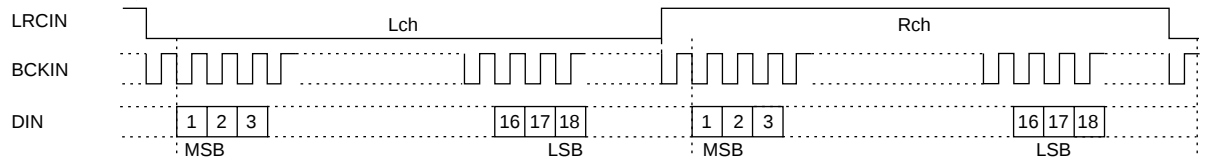


ADC:18ビット、MSBファースト 前詰め

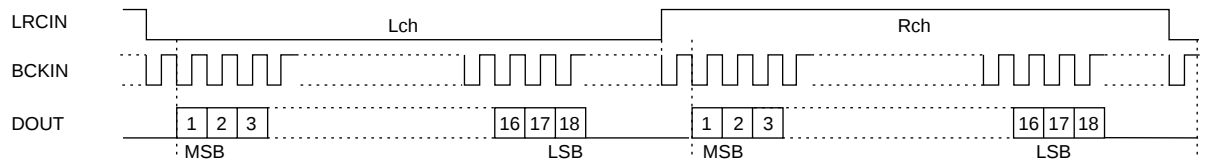


フォーマット 5 : FMT[2:0] = " 101 "

DAC:18ビット、MSBファースト IIS

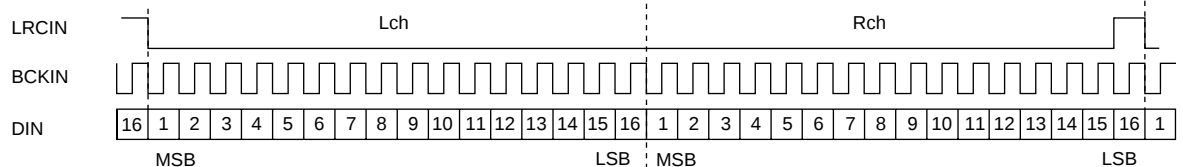


ADC:18ビット、MSBファースト IIS



フォーマット 6 : FMT[2:0] = " 110 "

DAC:16ビット、MSBファースト DSP フレーム



ADC:16ビット、MSBファースト DSP フレーム

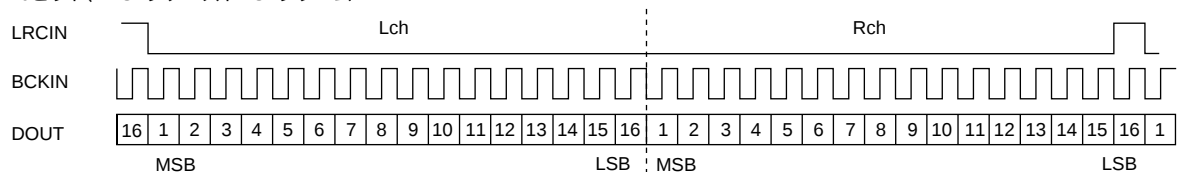


図7 . オーディオ・データ・入出力フォーマット(続き)

システム・クロック

PCM3000/3001のシステム・クロックは、256/384/512f_sのいずれも対応可能で、内部にf_s自動判別機能を有しているため、外部より256/384/512f_sの選択制御は必要ありません。また、384f_s、512f_s時には256f_sに分周され、デジタルフィルタやモジュレータのクロックになります。システム・クロックの供給方法にはXTI (ピン20)-XTO(ピン21)間にクリスタル発振子を接続するか、外部よりシステム・クロックを供給する方法があります。外部よりシステム・クロックを供給する場合、XTIをGNDに接続しCLKIO (ピン22)にシステム・クロックを入力するか（外部入力1）、

XTI(ピン20)にシステム・クロックを入力しXTOをオープン（外部入力2）にします。XTIに入力した場合、CLKIOはバッファされたXTIを出力します。優れたAC特性を得るためには、CLKIOピンにシステム・クロックを入力します。XTO、CLKIOピンに重い負荷を接続するとAC特性が悪化する場合があります。また、外部システム・クロック時にはシステム・クロックとLRCINクロック（基準サンプリング・レート）は同期をとる必要がありますが、位相を正確に合わせる必要がありません。内部システム・クロック回路と外部システム・クロック周波数例、外部よりクロック供給する場合のタイミング規定を図8と図9に示します。

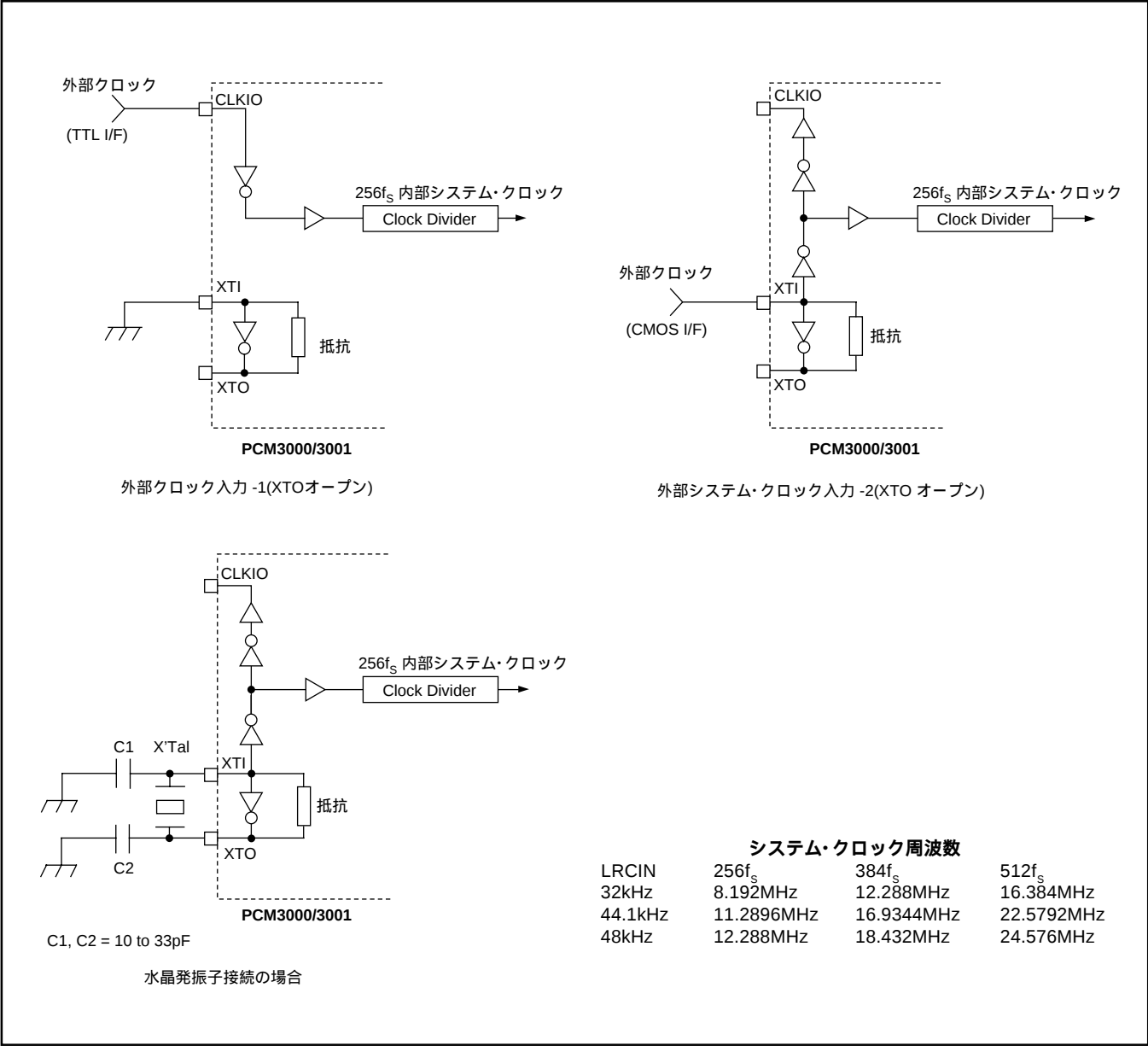


図8 . PCM3000/3001システム・クロック部内部回路

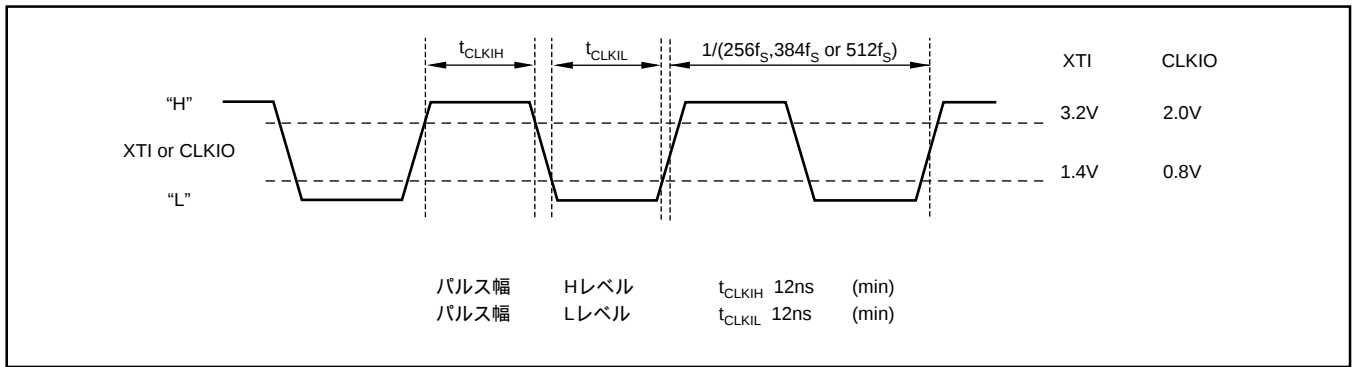


図9．PCM3000/3001システム・クロック(外部より供給)タイミング規定

リセット・オペレーション

PCM3000/3001には、次に示す内蔵のパワーオン・リセットと外部からのRST端子制御によるリセットがあります。これらのリセット機能は内部動作に対しては共通になっており、同じ働きをします。

リセット期間中のDACアナログ出力は $1/2V_{CC}$ (BPZ)に固定され、ADCデジタル出力はゼロデータを出力します。リセット解除後、DAC出力は $32/f_s$ 期間BPZを出力し、ADC出力は $4096/f_s$ 期間はゼロデータを出力します。ADC部ではこの後約1秒間デジタル・ローカットフィルタの過渡応答(時定数200ms)が現れます。PCM3000ではリセット時に各コントロールのレジスタ(MODE0からMODE3)には初期値が設定されます。また、PCM3001ではリセット信号入力時(V_{CC} 、 V_{DD} 4.0またはRSTの立ち上がりエッジ)に3システム・クロック以上入力されている必要があります。

パワーオン・リセット

内蔵のパワーオン・リセットは電源電圧を検知して自動的に行われます。電源投入後、電源電圧が標準4.0V(3.6Vから4.4V)を超えると、リセット動作になり、システム・クロックを1024クロック分カウントした後にリセットを解除します。パワーオン・リセット使用時にはRST(ピン28)はオープンまたはHレベルとします。

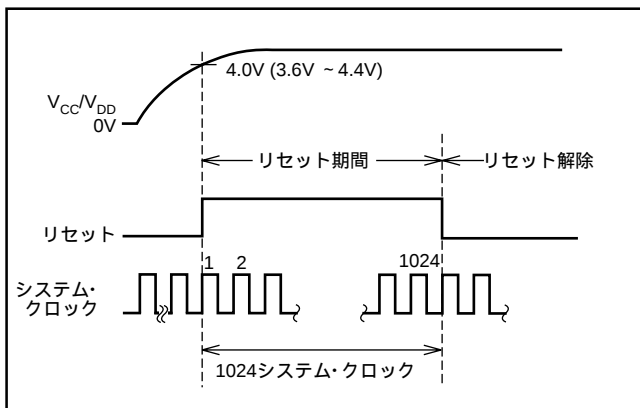


図10．パワーオン・リセット・タイミング

外部リセット

RST(ピン28)を一定期間Lレベルにすることにより、外部からリセットをかけることができます。RST端子がLからHに変化した後、パワーオン・リセットと同様に1024システム・クロックのカウント後、リセット解除となるまでの間はリセット期間となります。

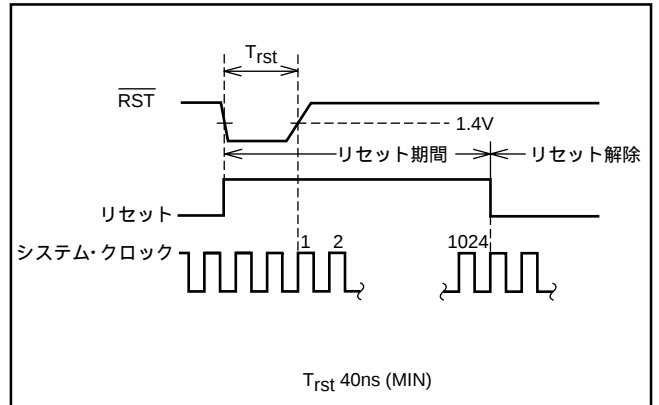


図11．外部リセット・タイミング

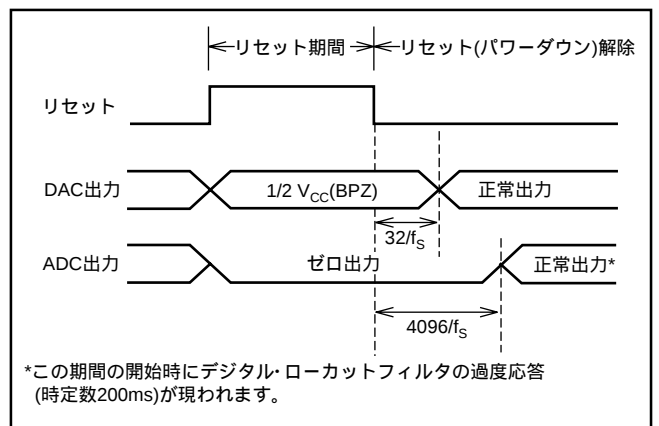


図12．リセット(ADC部パワーダウン)解除時のADC/DAC出力

外部システムとの同期動作

PCM3000/3001はLRCINクロック(基準サンプリング・レート f_s)とシステム・クロック($256/384/512f_s$)との同期関係を常時内部でモニタしています(リセット時を除く)。LRCINクロックの1サイクル($1/f_s$)の間に256、384、512のシステム・クロックあれば同期関係は成立します。この同期関係がずれた場合の動作は次のようになります。

$1/f_s$ 期間以内の同期ズレ

1LRCINクロック・サイクル($1/f_s$)の間だけ瞬時にシステム・クロックが255($256f_s$ に対し)、385($384f_s$ に対し)、511($512f_s$ に対し)クロックになった場合、このシステム・クロックのズレ時間は

が±5ビット・クロック(BCKIN)期間内であれば、正常動作を保ちます。ズレ時間が±6ビット・クロックを超えると同期外れ状態となります。

f_sが変化する場合の同期ズレ

f_sが32kHzから48kHzに変化する場合等でLRCINクロックとシステム・クロックの同期が1/f_s期間以上ズレた場合は同期外れ状態となります。

同期外れ時のDAC

同期状態から同期外れ状態となると1/f_s期間はDAC出力は不定となり、その後1/2V_{CC}(BPZ)を出力します。また、同期外れ状態から同期状態になった場合、22.25/f_s期間DAC出力は不定となり、その後正常出力となります。

同期外れ時のADC

同期状態から同期外れ状態となると1/f_s期間はADC出力は不定となり、その後ゼロデータを出力します。また、同期外れ状態から同期状態になった場合、32/f_s期間ADC出力はゼロとなり、その後データを出力します。この場合、デジタル・ローカットフィルタの過渡応答が現れますのでシステム上で問題のある場合は、この部分のデータを考慮した処理を行ってください。

動作モードの説明

PCM3000は、ML、MC、MDの各端子に制御データを伝送することにより動作モードをコントロールすることができます。また、PCM3001はFMT0、FMT1、FMT2の各端子でインターフェース・フォーマットを選択できます。表 にPCM3000で制御可能な動作モードとイニシャル状態（デフォルト）を示します。

機能	ADC/DAC	イニシャル
インターフェース・フォーマット (7種類)	ADC/DAC	DAC: 16ビット、MSBファースト、後詰め ADC:16ビット、MSBファースト、前詰め
LRCINの極性選択 Lch: H/Lch: L	ADC/DAC	Lch: H
デジタル・ループバック・コントロール	ADC/DAC	OFF
Lchアッテネーション・コントロール	DAC	0dB
Rchアッテネーション・コントロール	DAC	0dB
アッテネータL/Rコントロール	DAC	Lch/Rch独立
インフィニティ・ゼロ検出回路コントロール	DAC	OFF
DAC動作のON/OFFコントロール	DAC	ON
ソフトミュート・コントロール	DAC	OFF
ディエンファシス(OFF、32kHz、44.1kHz、48kHz)	DAC	OFF
パワーダウン・コントロール	ADC	OFF
ローカット・フィルタ・バイパス	ADC	OFF

表 . PCM3000の制御可能なモード・コントロール

制御データ・フォーマット

PCM3000の動作モードをコントロールする制御データのフォーマットを図14に示します。

制御シリアル・データは16ビットのMCクロック、MDデータとイネーブル信号となるMLクロックで構成します。これらのクロックのタイミング規定を図15に示します。

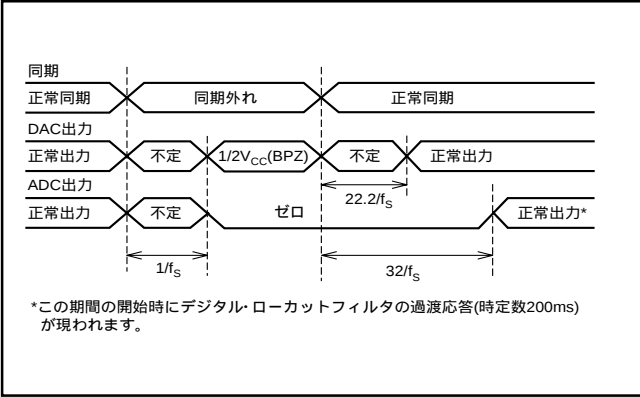


図13. 同期外れ時のADC/DAC出力

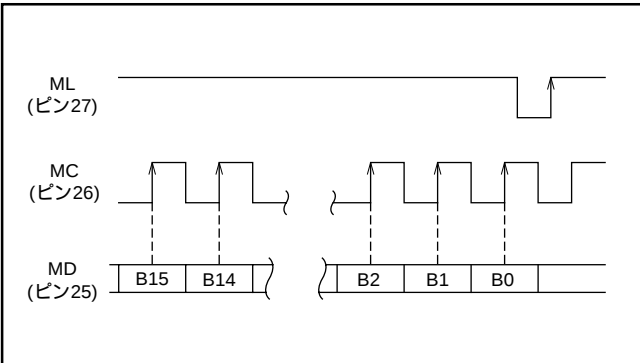


図14 . シリアル制御データ・フォーマット

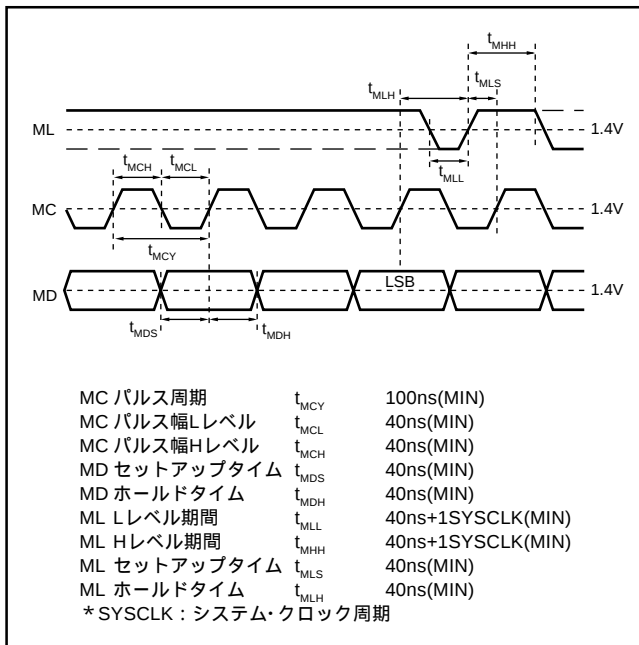


図15 . シリアル制御データ・タイミング規定

	B15	B14	B13	B12	B11	B10	B9	B8	B7	B6	B5	B4	B3	B2	B1	B0
MODE0	res	res	res	res	res	A1	A0	LDL	AL7	AL6	AL5	AL4	AL3	AL2	AL1	AL0
MODE1	res	res	res	res	res	A1	A0	LDR	AR7	AR6	AR5	AR4	AR3	AR2	AR1	AR0
MODE2	res	res	res	res	res	A1	A0	PDWN	BYPS	res	ATC	IZD	OUT	DM1	DM0	MUT
MODE3	res	res	res	res	res	A1	A0	res	res	res	LOP	FMT2	FMT1	FMT0	LRP	res

図16 . 各レジスタのフォーマット

レジスタ	ビット名	ADC/DAC	機能
MODE0	A1, A0	---	レジスタのアドレス("00")
	res	---	未使用、"0"に固定
	LDL	DAC	アッテネーション・データのロード
	AL7 ~ AL0	DAC	Lchのアッテネーション・データの設定
MODE1	A1, A0	---	レジスタのアドレス("01")
	res	---	未使用、"0"に固定
	LDR	DAC	アッテネーション・データのロード
	AR7 ~ AR0	DAC	Rchのアッテネーション・データの設定
MODE2	A1, A0	---	レジスタのアドレス("10")
	res	---	未使用、"0"に固定
	PDWN	ADC	パワーダウン制御
	BYPS	ADC	ローカット・フィルタのバイパスON/OFF制御
	ATC	DAC	アッテネーションの制御
	IZD	DAC	インフィニティ・ゼロ検出回路のON/OFF制御
	OUT	DAC	内部動作のON/OFF制御
	DEM1, DEM0	DAC	ディエンファシス
	MUT	DAC	ソフトミュート
MODE3	A1, A0	---	レジスタのアドレス("11")
	res	---	未使用、"0"に固定
	LOP	ADC/DAC	デジタル・ループバック制御
	FMT2 ~ FMT0	ADC/DAC	オーディオ・データのフォーマット選択
	LRP	ADC/DAC	LRCINの極性選択

表 . 各レジスタの名称と機能

シリアル制御データのレジスタ構成

モード・コントロールにおける制御レジスタは図16 に示す通り、基本的に4つのモード・レジスタ(MODE0からMODE3)を持っており、レジスタの選択および制御は16ビットのシリアル制御データで行います。各レジスタ(MODE0からMODE3)のビット構成と機能を表 に示します。制御手順としては、まずA1、A0(ビット9,ビット10)にてレジスタを選択し、他のビットでそれぞれの機能を制御することになります。また、シリアル制御データはリセット解除後に入力します。

A1、A0(MODE0-MODE3)
制御レジスタのMODE0からMODE3の選択は、A1,A0両ビットのコントロールで行います。

レジスタ	A1	A0
MODE0	0	0
MODE1	0	1
MODE2	1	0
MODE3	1	1

AL7-AL0、AR7-AR0、LDL、LDR (MODE0、MODE1)
MODE0およびMODE1はデジタル・アッテネータの制御レジスタで、AL7からAL0、AR7からAR0(AL7、AR7がMSB、AL0がLSB)の各ビットによって256ステップのアッテネータをLch/Rch独立で設定することができます。

アッテネータはLDL、LDRを“1”にセットすることで有効となり、LDL、LDRが“0”の場合、アッテネートの設定値は有効となりますが、DAC出力はLDL、LDRが“1”になるまで変化しません。

アッテネータの減衰量ATTは次に示す計算式で与えられます。(ただし、FFhの時は0dB)

$$ATT = 20 \log_{10}(\text{アッテネート値} / 256)(\text{dB})$$

FFh = 0dB
|
|
|
FEh = -0.07dB
01h = -48.16dB
00h = -∞

0dBから-∞までの遷移時間は256/f_sで、リセット時にはFFhに設定されます。また、後述するMODE2レジスタATC機能により、Lch/RchをLchアッテネート・データのみで同時に制御することも可能です。

PDWN(MODE2)
MODE2レジスタにおけるPDWNフラグは、PCM3000のADC部のパワーダウン機能の制御を行います。PDWN = “1”を選択するとADC部はパワーダウン・モードに入りADC部のデータ出力はゼロを出力し、消費電流を約5mA低減します。この場合、DACは正常に動作し他のレジスタの値も保持します。

PDWN	機能	初期設定
0	ADC部正常動作	○
1	ADC部パワーダウン状態	

BYPS (MODE2)
MODE2レジスタにおけるBYPSフラグは、ADC部のローカット・フィルタのバイパス制御をします。BYPS = “1”を選択するとADC部のローカット・フィルタはバイパスされ、DC信号から変換できますが、内部で発生するオフセット電圧も同時に出力されます。

BYPS	ローカット・フィルタ・バイパス	初期設定
0	OFF	○
1	ON(バイパス)	

ATC(MODE2)
MODE2レジスタにおけるATCフラグは、デジタル・アッテネータの設定を両チャンネル共通で行える機能を選択します。ATC= “1”を選択すると、アッテネータMODE0における“AL7からAL0”によってLch/Rch同時に共通で制御可能です。この時、AR7からAR0のアッテネータ値は無視されます。

ATC	機能	初期設定
0	L/R独立アッテネーション	○
1	L/R共通アッテネーション	

IZD(MODE2)
MODE2レジスタにおけるIZDフラグはゼロ検出によるDAC出力の強制ミュートON/OFFを制御します。Lch/Rch共にオーディオ・データが65536回連続して“0”の場合、ゼロ検出回路が動作します。

この時、ゼロ検出強制ミュートON(IZD=1)を選択していれば、DAC出力は強制的に1/2V_{cc}(BPZ)にミュートされます。入力データが“0”以外となれば、その時点で強制ミュートは解除されます。

IZD	機能	初期設定
0	ゼロ検出強制ミュートOFF	○
1	ゼロ検出強制ミュートON	

OUT(MODE2)
MODE2レジスタにおけるOUTフラグは、入力条件に関係なく、DAC動作を強制ミュート状態とします。OUT = “1”を選択すると1/f_s以内にDAC出力を1/2V_{cc}(BPZ)とする強制ミュート状態になります。この場合でも、各MODEレジスタには直前の内容が保持されており、各レジスタの値を変更することができます。

OUT	機能	初期設定
0	DAC正常動作	○
1	DAC動作強制ミュート	

DM1、DM0(MODE2)
MODE2レジスタにおけるDM1、DM0フラグで、デジタル・ディエンファシスの制御を行います。

DM1	DM0	ディエンファシス	ディエンファシス周波数	初期設定
0	0	OFF	—	○
0	1	ON	48kHz	
1	0	ON	44.1kHz	
1	1	ON	32kHz	

MUT(MODE2)

MODE2レジスタにおけるMUTフラグでソフトミュート動作のON/OFFを制御します。ソフトミュートON時は、両チャンネルのアナログ出力を $-\infty$ にまでアッテネートします。アッテネータ機能が選択され、ある値にアッテネータ値が設定されている場合、ソフトミュートONでそのアッテネータ値から $-\infty$ まで $(256 - \text{そのアッテネータ値}) / f_s$ 時間で変化します。ソフトミュートOFFでは、その逆に $-\infty$ からミュート前のアッテネータ値に変化します。

MUT	ソフトミュート	初期設定
0	OFF	○
1	ON	

LOP (MODE3)

MODE3レジスタにおけるLOPフラグは、デジタル・ループバック機能を制御します。LOP = “1”を選択するとADC部からのデータが内部で直接DAC部に入力され、デジタル折り返しを行えます。デジタル・ループバック中、ADCの出力フォーマットは18ビットIISフォーマット(フォーマット5)に設定されます。データ・フォーマットにDSPフレーム(フォーマット6)を選択している場合は使用できません。

LOP	デジタル・ループバック	初期設定
0	OFF	○
1	ON	

FMT2-FMT0 (MODE3)

MODE3レジスタにおけるFMT2からFMT0フラグは、7通りのオーディオ・データ・フォーマットのいずれかのフォーマットを選択する機能です。各フォーマットは“オーディオ・インターフェース・フォーマット”の項を参照してください。

	FMT2	FMT1	FMT0	DACデータ・フォーマット	ADC データ・フォーマット
フォーマット0	0	0	0	16ビット、MSBファースト後詰め	16ビット、MSBファースト前詰め
フォーマット1	0	0	1	18ビット、MSBファースト後詰め	18ビット、MSBファースト前詰め
フォーマット2	0	1	0	16ビット、MSBファースト後詰め	16ビット、MSBファースト後詰め
フォーマット3	0	1	1	18ビット、MSBファースト後詰め	18ビット、MSBファースト後詰め
フォーマット4	1	0	0	16/18ビット、MSBファースト前詰め	18ビット、MSBファースト前詰め
フォーマット5	1	0	1	16/18ビット、MSBファーストIIS	18ビット、MSBファーストIIS
フォーマット6	1	1	0	16ビット、MSBファーストDSPフレーム	16ビット、MSBファーストDSPフレーム
フォーマット7	1	1	1	Reserved	Reserved

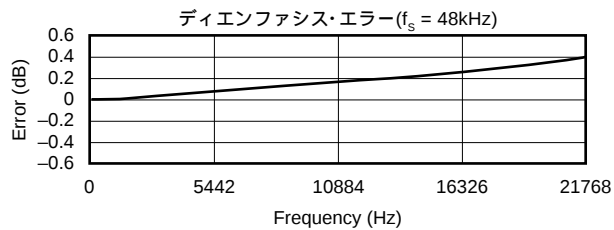
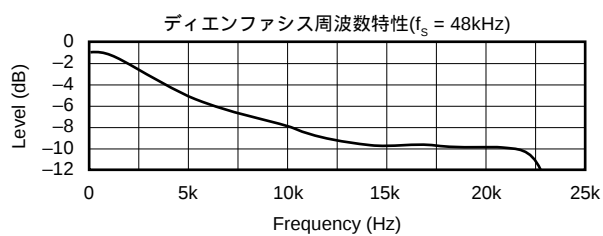
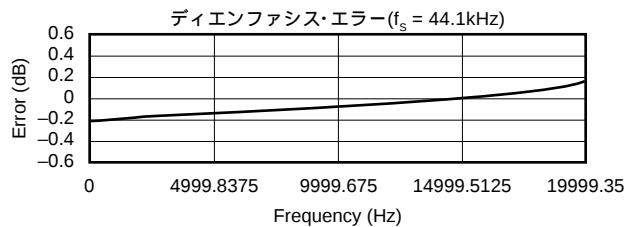
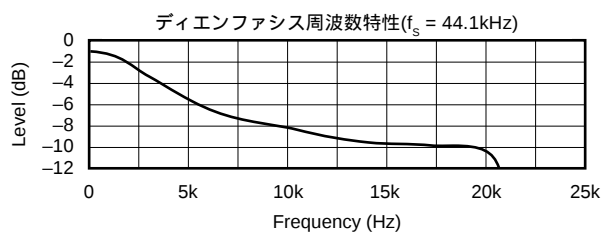
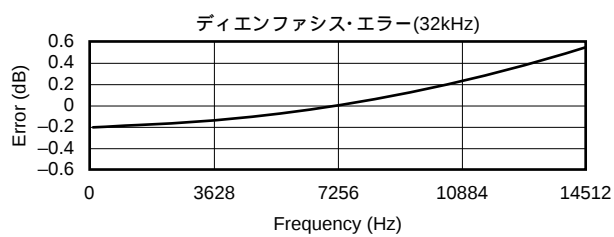
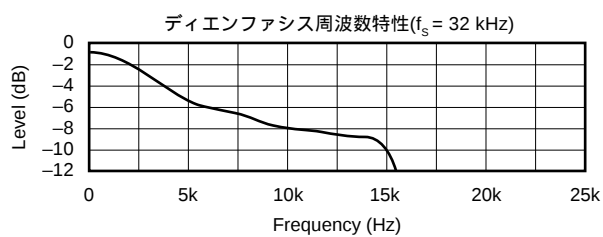
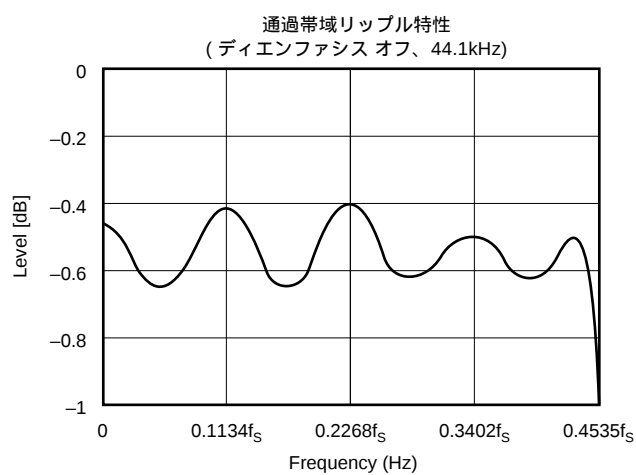
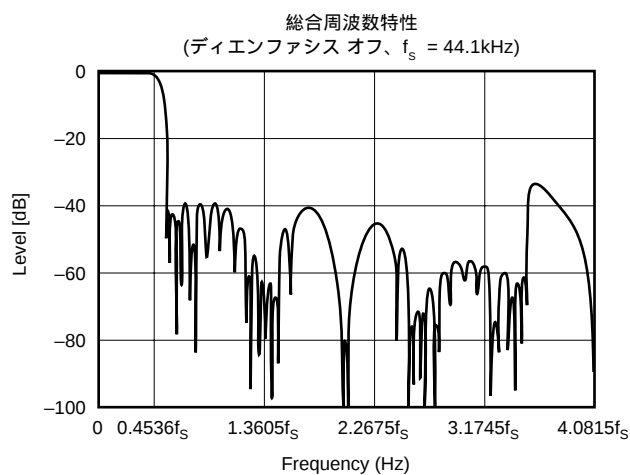
LRP(MODE 3)

MODE 3レジスタにおけるLRPフラグは、LRCKINクロックの極性選択機能でLRP = “0”でLch/H、Rch/Lとなります。ただし、フォーマット0から4が選択されている場合のみ使用できます。

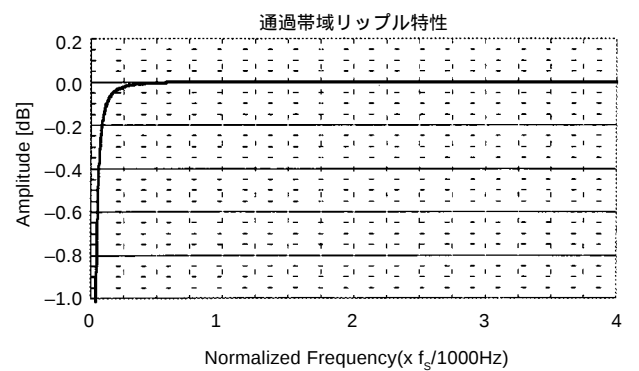
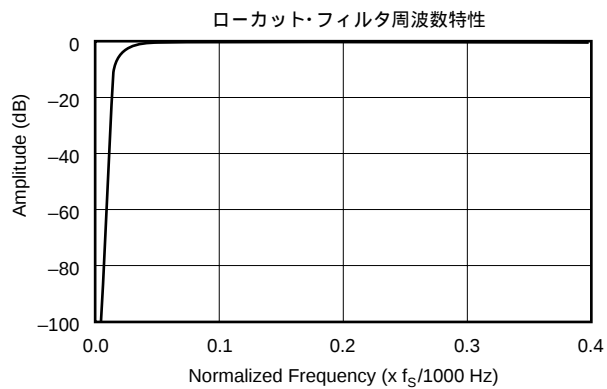
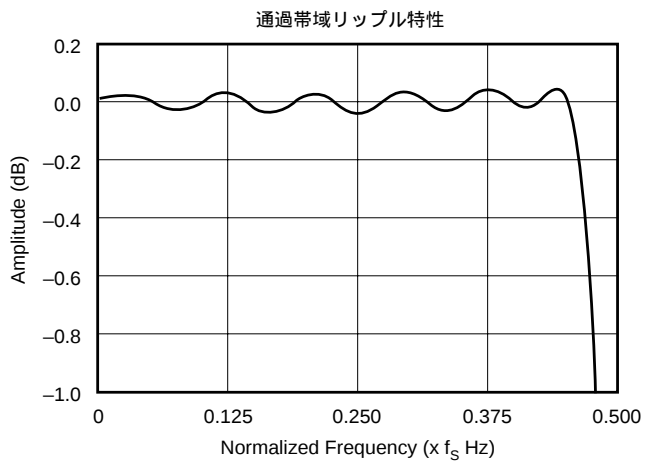
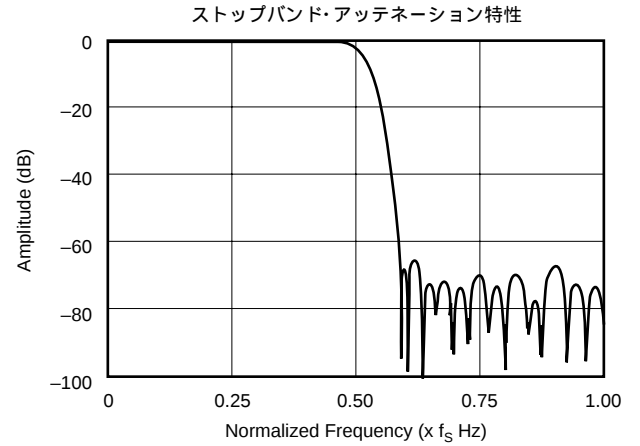
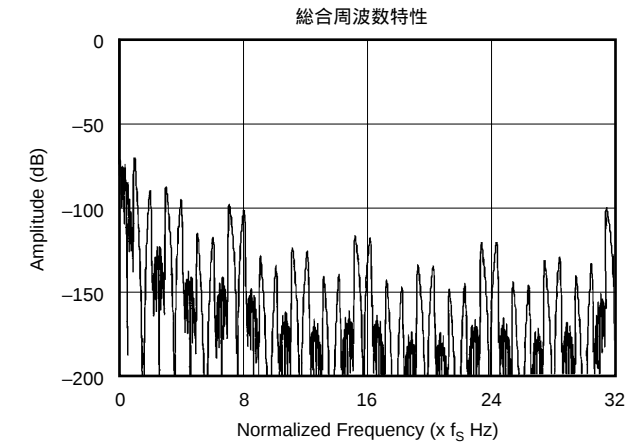
LRP	LRCKINクロックの極性	初期設定
0	☐ H:Lch ☐ R	○
1	☐ L:Lch ☐ R	

デジタルフィルタ特性

DAC部

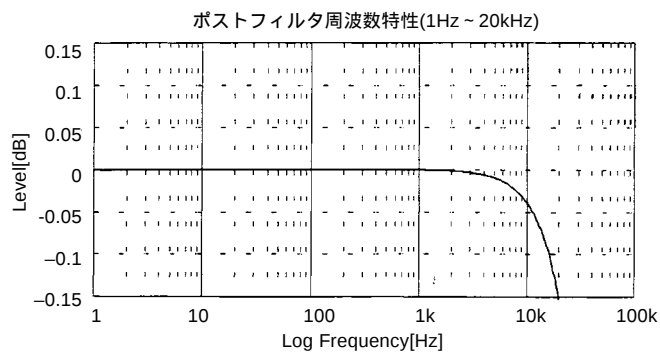
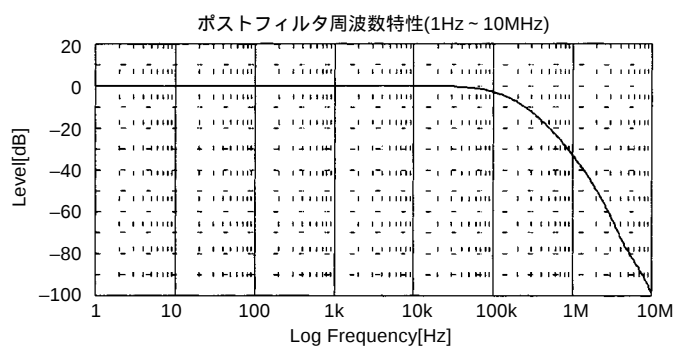


ADC部

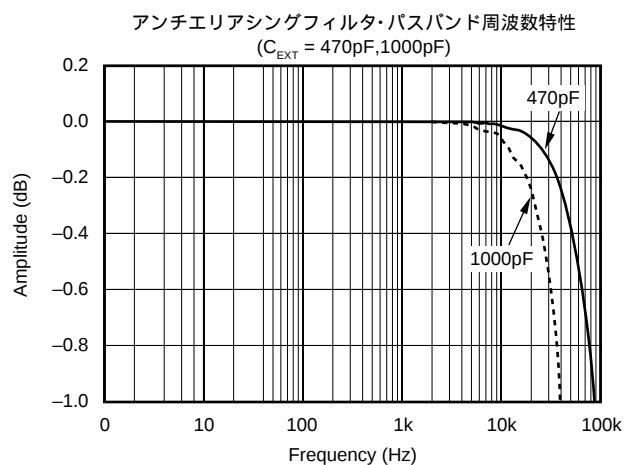
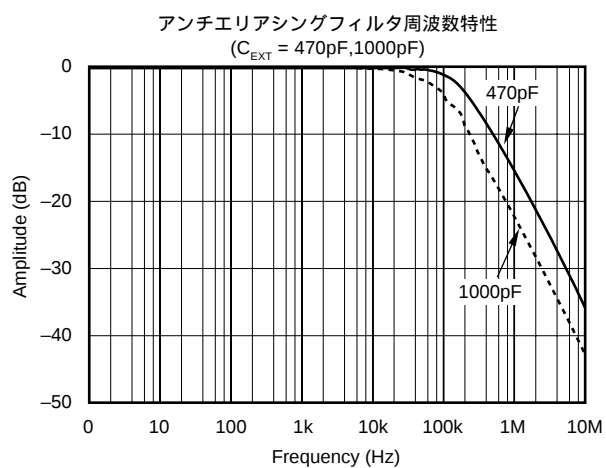


アナログフィルタ特性

DAC部



ADC部



基本接続回路例

図17にPCM3000/3001の接続例を示します。この例では V_{CC1} 、 V_{CC2} 、 V_{DD} を共通電源とし、ノイズの少ないアナログ電源から供給しています。別電源で使用する場合には、各電源端子の電位差を $\pm 0.1V$ 以下として下さい。外付け部品等は可能な限り端子の近

くに最短距離で接続してください。本データに記載されているDAC部のダイナミック特性を得るためには20kHz帯域制限しなければなりません。

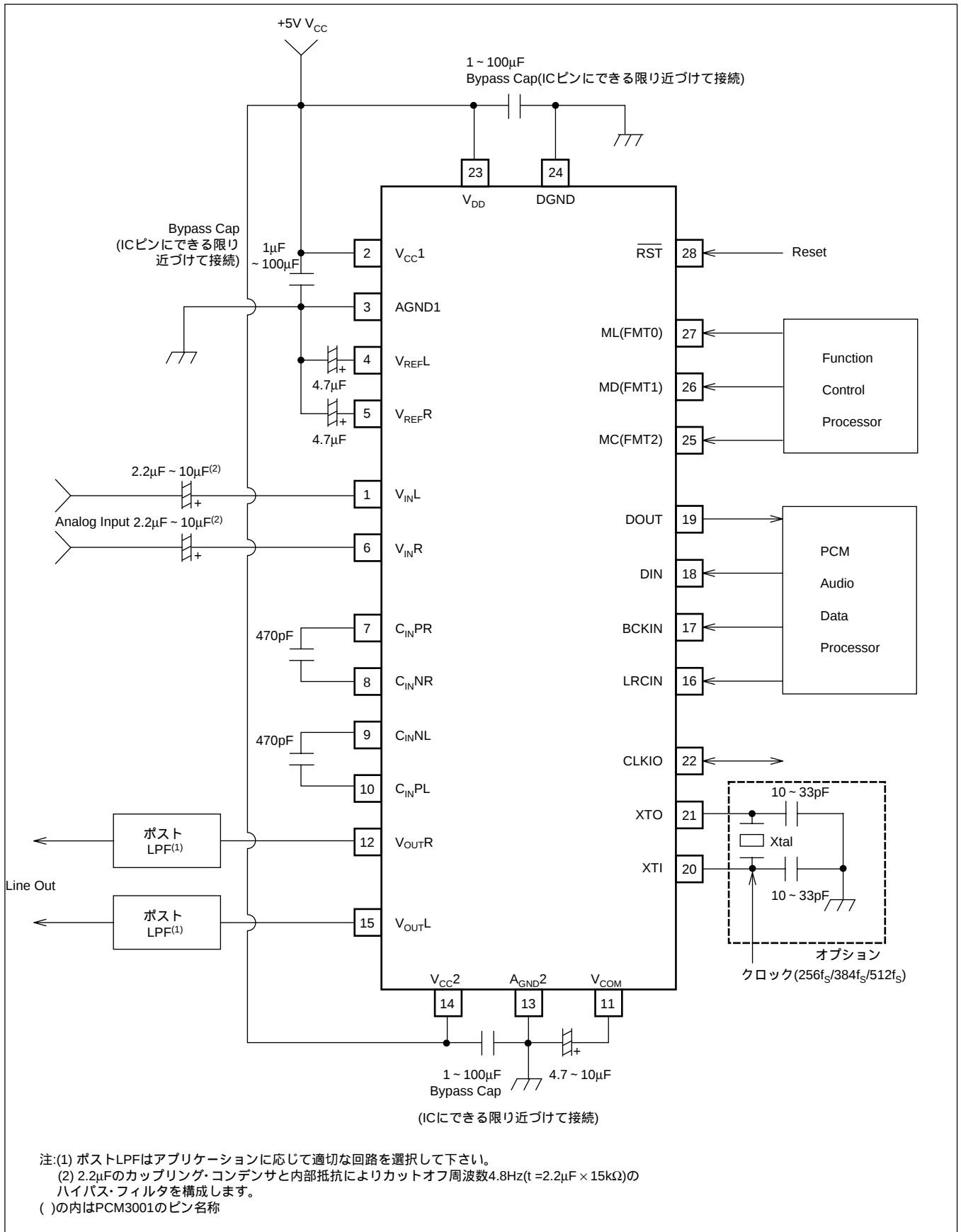


図17.回路接続例

パターンレイアウト上の注意

電源端子

デジタル電源はデジタル・グラウンドに対し、アナログ電源はアナログ・グラウンドに対し最短距離で0.1 μ F程度のセラミック・コンデンサと10 μ F程度の電解コンデンサを接続し、ノイズの少ない電源を供給してください。また、ラッチアップ等を防ぐため、共通電源を推奨します。

グラウンド

PCM3000/3001の内部では、デジタル - アナログ間の影響を避け最高の特性を得るため、アナログ部とデジタル部のグラウンドを分離しています。デジタル、アナログの各グラウンド端子はICの直下のできるだけ低インピーダンスのグラウンドに共通接続してください。デジタルノイズによるアナログ・グラウンドへの影響を避けるためにグラウンドを分離する場合は、電位差を $\pm 0.1V$ 以下としてください。

V_{IN} 端子

アナログ・フロントエンド部のアンプの非反転入力端子が基準電圧にバイアスされているため、2.2 μ F から10 μ FのコンデンサでACカップルして使用してください。 V_{IN} 端子の入力インピーダンスが15k Ω なので、2.2 μ Fのコンデンサを使用した場合、カットオフ周波数4.8Hzのハイパス・フィルタを構成しますので容量の選択に注意してください。

V_{REF} 端子

V_{REF} 端子はADC部の基準電圧となるため、4.7 μ Fから10 μ F程度の電解コンデンサをそれぞれ V_{REFL} 、 V_{REFR} 端子とAGND1間に最短距離で接続してください。

C_{INP} 、 C_{INN} 端子

ADC部にカットオフ周波数80kHzから170kHzのアンチエイリアス・フィルタを構成するため、470pFから1000pFのフィルム系コンデンサを C_{INPL} - C_{INN} 間、 C_{INPR} - C_{INN} 間に接続します。これらのコンデンサも外来ノイズによる影響をさけるため、各端子間に最短距離で接続してください。

V_{COM} 端子

V_{COM} 端子はDAC部の出力アンプのコモンであり、4.7 μ Fから10 μ F程度の電解コンデンサをAGND2間に最短距離で接続します。10 μ Fを小さくしても問題無く動作しますが、このコンデンサと内部の抵抗で構成されるバイパス・フィルタのカットオフ周波数が変化するため、電源ノイズの除去効果が小さくなりますので注意してください。

システム・クロック

PCM3000/3001はシステム・クロックをもとに内部動作を行っており、システム・クロックのデューティ、ジッタ等の品質がダイナミック特性に影響を与えることがあり、外部クロック入力時には、できるだけ高品位のクロックをCLKIOピンから入力することで、ダイナミック特性を最大限引き出せます。また、PCM3000/3001はダイナミック回路を採用しているため、システム・クロック、BCKINクロック、LRCINクロックを電源投入後に停止させると消費電流は2、3倍程度増加します。これらのクロックを停止させないでください。

RST 端子

V_{REF} 端子、 V_{COM} 端子のコンデンサ容量を大きくする場合は V_{REF} 、 V_{COM} の各端子の立ち上がり時間が遅くなりますので内部が安定になる前にパワーオン・リセットが完了することがあります。このような場合には外部リセットを使用してください。

外観

