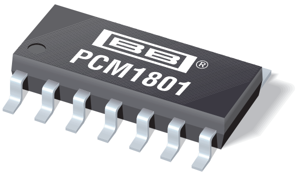
BURR-BROWN®

先端技術の融合と創造



PCM1801

Multi Level Delta Sigma

SoundPLUS™ シングル・エンド アナログ入力 16ビット・ステレオA/Dコンバータ

特　長

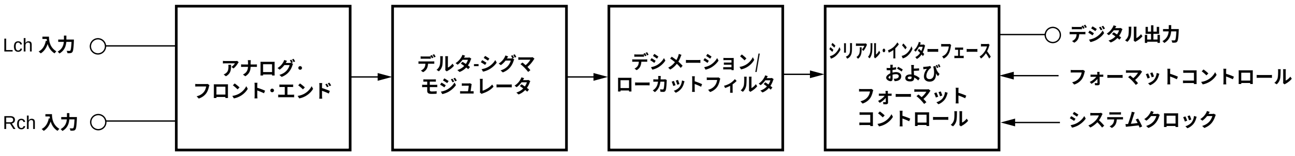
- 16ビット・デルタ-シグマ型ステレオA/Dコンバータ
- シングルエンド電圧入力
- アンチエリアシング・フィルタ内蔵
- 64倍オーバー・サンプリング・デシメーション フィルタ
  - パスバンド・リップル：±0.05dB
  - ストップバンド・アッテネーション：–65dB
  - ローカットフィルタ内蔵
- 高性能
  - THD+N：0.003%（標準）
  - S/N比：93dB（標準）
  - ダイナミック・レンジ：93dB（標準）
- PCMオーディオ・インターフェース
  - スレーブモード
  - スタンダード/IIS
- サンプリング・レート：4kHz～48kHz
- システムクロック：256、384、512f_s
- +5V単一電源動作
- パッケージ：小型14ピンSOP

概　要

PCM1801は、バー・ブラウンが誇る最新のデルタ-シグマ技術を用いたシングルチップ、ローコスト、16ビット・ステレオ・オーディオA/Dコンバータです。PCM1801は、シングルエンドのアナログ電圧入力が可能で、入力DC成分をカットするローカットフィルタを内蔵しているため、非常に使いやすくローコストなA/Dコンバータです。また、64倍オーバー・サンプリングのデルタ-シグマ変調方式を採用し、4kHzから48kHzまでのサンプリング・レートに対応しています。

PCM1801はスレーブモードで動作し、システムクロック(256/384/512f_s)、LRCK、BCKクロックを入力します。データ・インターフェース・フォーマットは16ビット前詰めまたはIISの選択が可能です。

PCM1801は+5V電源で動作し、小型14ピンSOPを採用しているため、ミニディスク、AVレシーバ、電子楽器、カラオケ等広範囲のアプリケーションにおいて最適なソリューションを提供します。



仕様

特に記述のない限り、T_A = +25°C、V_{DD} = V_{CC} = 5.0V、f_S = 44.1kHz、システムクロック = 384f_S、16ビット･データにおける特性です。

パラメータ	条件	PCM1801U			単位
		最小	標準	最大	
分解能		20			Bits
デジタル入出力					
ロジック入力					
入力ロジック･レベル V_{IH}(1)		2.0			VDC
V_{IL}(1)				0.8	VDC
入力ロジック電流 I_{IN}(2)				±10	μA
I_{IN}(3)				+100	μA
ロジック出力					
出力ロジック･レベル V_{OH}(4)	I_{OUT} = –1.6mA	4.5			VDC
V_{OL}(4)	I_{OUT} = +3.2mA			0.5	VDC
クロック周波数					
サンプリング周波数f_S		4	44.1	48.0	kHz
システムクロック周波数	256f_S	1.024	11.2896	12.2880	MHz
	384f_S	1.536	16.9344	18.4320	MHz
	512f_S	2.024	22.5792	24.5760	MHz
DC精度					
チャンネル間ゲイン･ミスマッチ			±1.0	±2.5	% of FSR
ゲイン･エラー			±2.0	±5.0	% of FSR
ゲイン･ドリフト			±20		ppm of FSR/°C
バイポーラ･ゼロ誤差	LCFバイパス(5)		±2.0		% of FSR
バイポーラ･ゼロ･ドリフト	LCFバイパス(5)		±20		ppm of FSR/°C
ダイナミック特性(6)					
THD+N V_{IN} = –0.5dB			0.003	0.01	%
V_{IN} = –60dB			2.8		%
ダイナミック･レンジ	EIAJ、Aウェイト	90	93		dB
S/N比	EIAJ、Aウェイト	90	93		dB
チャンネル･セパレーション		87	90		dB
アナログ入力					
入力電圧	F/S(V_{IN} = 0dB)		2.828		Vp-p
センター電圧			2.1		V
入力インピーダンス			30		kΩ
アンチエリアシング･フィルタ周波数特性	–3dB		150		kHz
デジタルフィルタ特性					
パスバンド				0.454f_S	Hz
ストップバンド		0.583f_S			Hz
パスバンド･リップル				±0.05	dB
ストップバンド･アッテネーション		–65			dB
群遅延			17.4/f_S		sec
ローカットフィルタ(LCF)周波数特性	–3dB		0.019f_S		mHz
電源供給					
電源電圧 V_{CC}		4.5	5.0	5.5	VDC
V_{DD}		4.5	5.0	5.5	VDC
電源電流(7)	V_{CC} = V_{DD} = 5.0V		18	24	mA
消費電力	V_{CC} = V_{DD} = 5.0V		90	120	mW
温度範囲					
動作		ミ25		+85	°C
保存		–55		+125	°C
熱抵抗θ_{JA}			110		°C/W

注：(1)ピン5、6、7、9、10、SCKI、BCK、LRCK、BYPAS、FMTに適用。(2)ピン5、6、7、SCKI、BCK、LRCK(シュミット･トリガ入力)に適用。(3)ピン9、10、BYPAS、FMT(シュミット･トリガ入力、標準100kΩでプルダウン)に適用。(4)ピン8、DOUTに適用。(5)Low Cut Filter(ローカットフィルタ)(6)fin = 1kHz、オーディオプレシジョン社System II、20kHz LPF、400kHz HPF ON、RMSモードにて測定。(7)DOUT(ピン8)は無負荷。

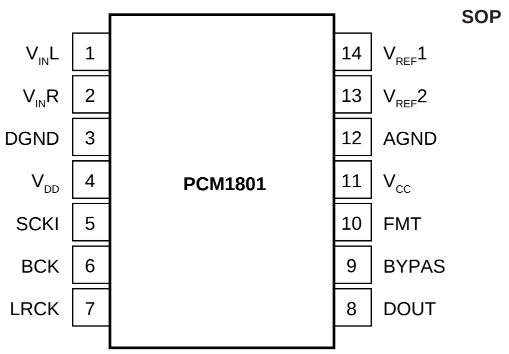
このデータシートに記載されている情報は、信頼し得るものと考えておりますが、不正確な情報や記載漏れ等に関して弊社は責任を負うものではありません。情報の使用について弊社は責任を負えませんので、各ユーザーの責任において御使用下さい。価格や仕様は予告なしに変更される場合がありますのでご了承下さい。ここに記載されているいかなる回路についても工業所有権その他の権利またはその実施権を付与したり承諾したりするものではありません。弊社は弊社製品を生命維持に関する機器またはシステムに使用することを承認しまたは保証するものではありません。

ピン構成

ピン番号	ピン名称	IN/OUT	機能
1	$V_{IN}L$	IN	アナログ入力、Lch
2	$V_{IN}R$	IN	アナログ入力、Rch
3	DGND	—	デジタルグランド
4	V_{DD}	—	デジタル電源
5	SCKI	IN	システムクロック入力：256f_S、384f_S、512f_S
6	BCK	IN	ビットクロック入力
7	LRCK	IN	サンプリングクロックf_S入力
8	DOUT	OUT	オーディオデータ出力
9	BYPAS	IN	LCFバイパス･コントロール(1) L：LCF ON(DC cut) H：LCF OFF(LCFバイパス)
10	FMT	IN	オーディオデータフォーマット選択(1) L：MSBファースト、前詰め H：MSBファースト、IIS
11	V_{CC}	—	アナログ電源
12	AGND	—	アナロググランド
13	$V_{REF}2$	—	リファレンス2(デカップリング･コンデンサを接続)
14	$V_{REF}1$	—	リファレンス1(デカップリング･コンデンサを接続)

注：(1)100kΩ(標準)にてプルダウン

ピン配置



絶対最大定格

電源電圧 +V_{DD}	+6.5V
+V_{CC}	+6.5V
電源電圧差	±0.1V
グランド電圧差	±0.1V
デジタル入力電圧	–0.3～V_{DD}+0.3V
アナログ入力電圧	–0.3～V_{CC}+0.3V
入力電流(電源、グランドを除く)	±10mA
許容電力	300mW
動作温度	–25℃～+85℃
保存温度	–55℃～+125℃
リード温度　半田付け	+260℃(5秒間)
リフロー	+235℃(10秒間)

静電気放電対策

静電気放電はわずかな性能の低下から完全なデバイスの故障に至るまで、様々な損傷を与えます。すべての集積回路は、適切なESD保護方法を用いて、取扱いと保存を行うようにして下さい。高精度の集積回路は、損傷に対して敏感であり、極めてわずかなパラメータの変化により、デバイスに規定された仕様に適合しなくなる場合があります。

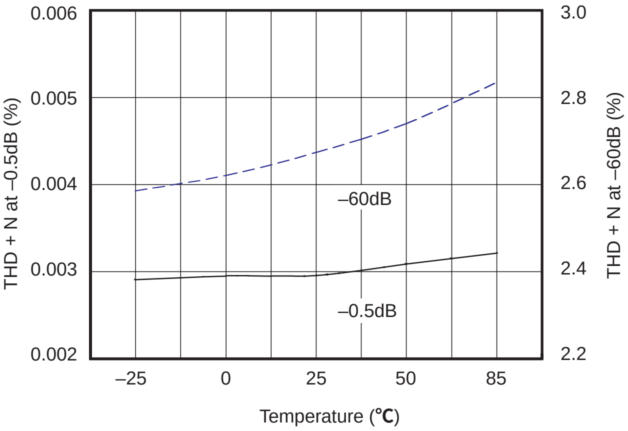
パッケージ情報

モデル	パッケージ	パッケージ図番号(1)
PCM1801U	14ピンSOP	235

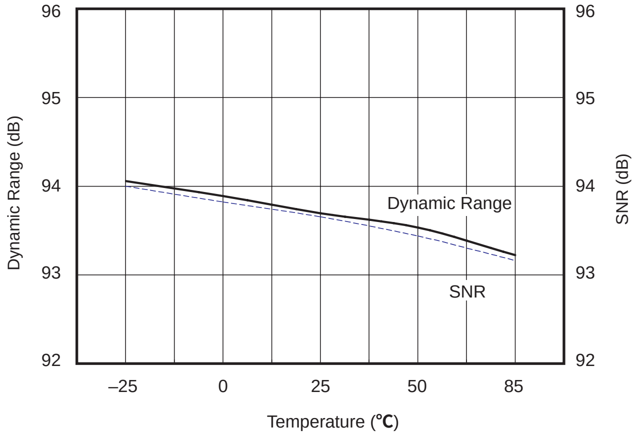
注：(1)詳細図および寸法表についてはデータシートの巻末を参照して下さい。

代表的性能曲線

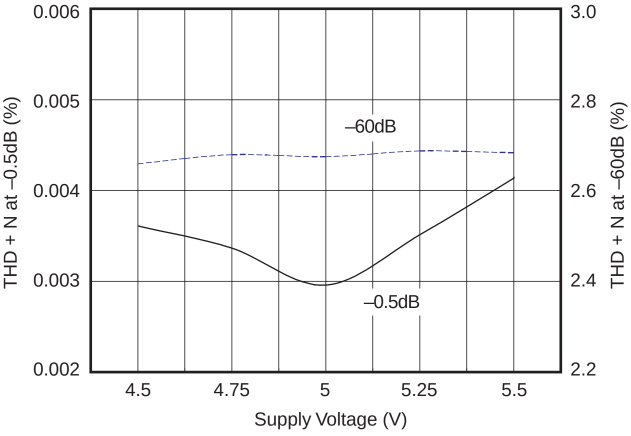
THD + N at –0.5dB、THD + N at –60dB対温度
[V_{CC} = V_{DD} = 5.0V、f_{SAMPLE} = 44.1kHz、f_{SYSCK} = 384f_S、f_{SIGNAL} = 1kHz]



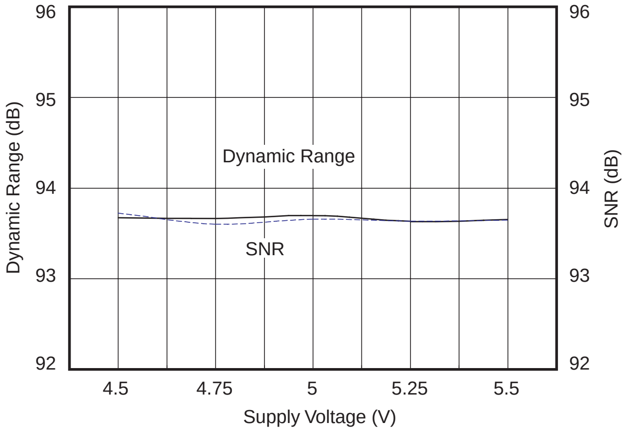
ダイナミックレンジ、SNR 対温度
[V_{CC} = V_{DD} = 5.0V、f_{SAMPLE} = 44.1kHz、f_{SYSCLK} = 384f_S、f_{SIGNAL} = 1kHz]



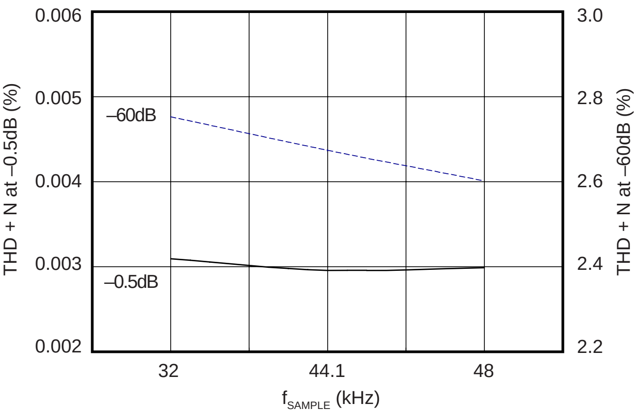
THD + N at –0.5dB、THD + N at –60dB対電源電圧
[T_A = 25℃、f_{SAMPLE} = 44.1kHz、f_{SYSCK} = 384f_S、f_{SIGNAL} = 1kHz]



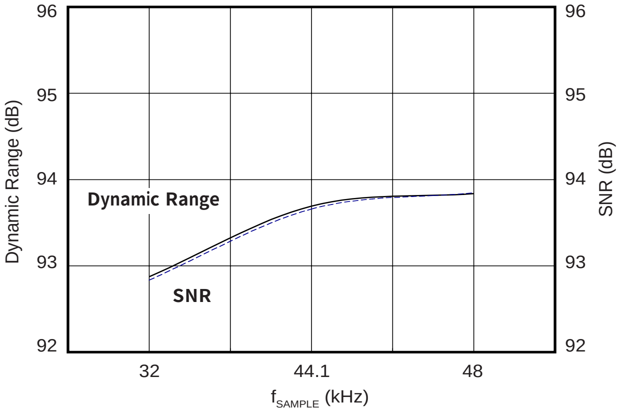
ダイナミック･レンジ、SNR対電源電圧
[T_A = 25℃、f_{SAMPLE} = 44.1kHz、f_{SYSCK} = 384f_S、f_{SIGNAL} = 1kHz]



THD + N at –0.5dB、THD + N at –60dB対f_{SAMPLE}コンディション
[T_A = 25℃、V_{CC} = V_{DD} = 5.0V、f_{SYSCK} = 384f_S、f_{SIGNAL} = 1kHz]



ダイナミック･レンジ、SNR対f_{SAMPLE}コンディション
[T_A = 25℃、V_{CC} = V_{DD} = 5.0V、f_{SYSCK} = 384f_S、f_{SIGNAL} = 1kHz]



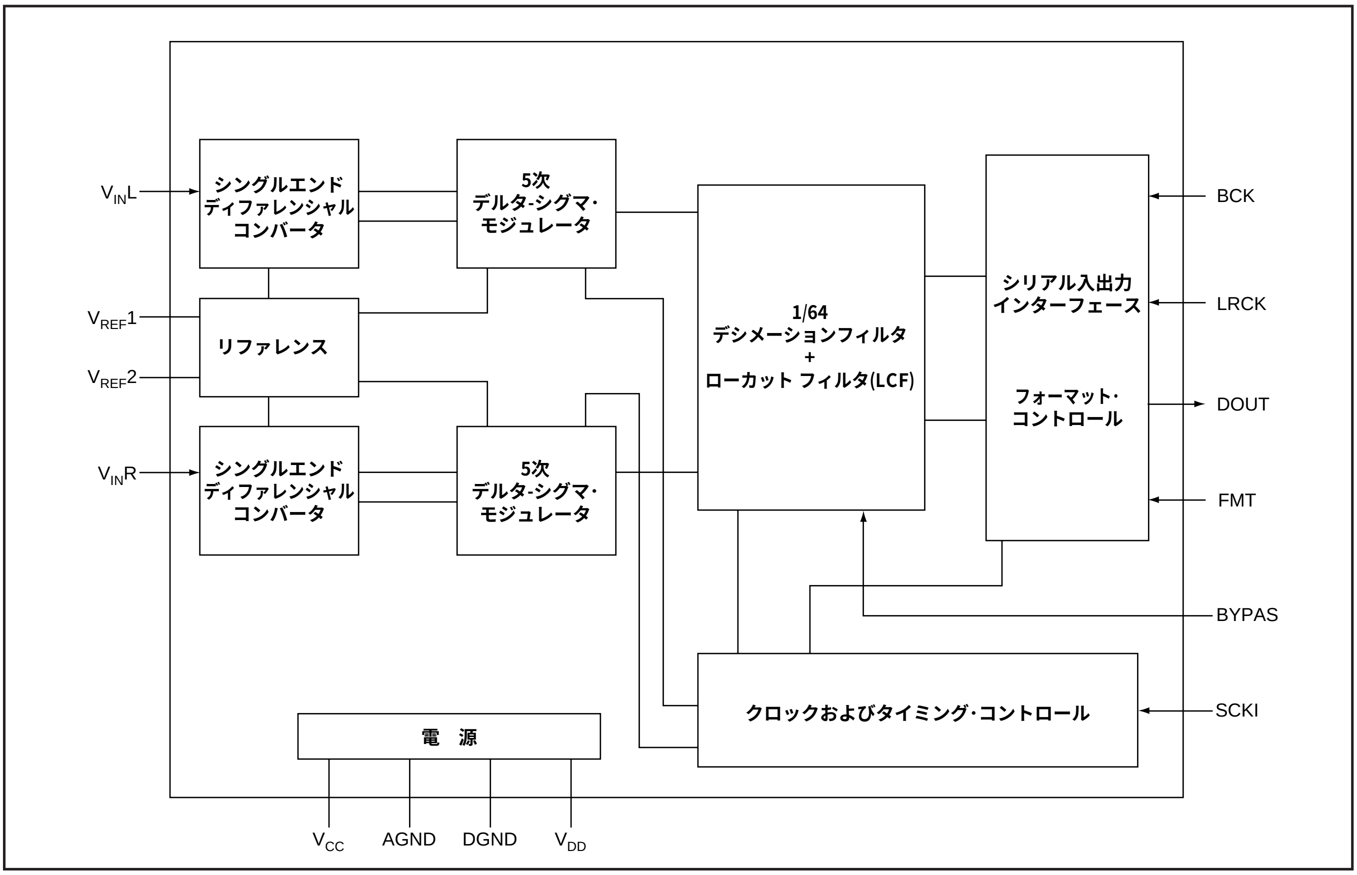


図1. PCM1801ブロック図

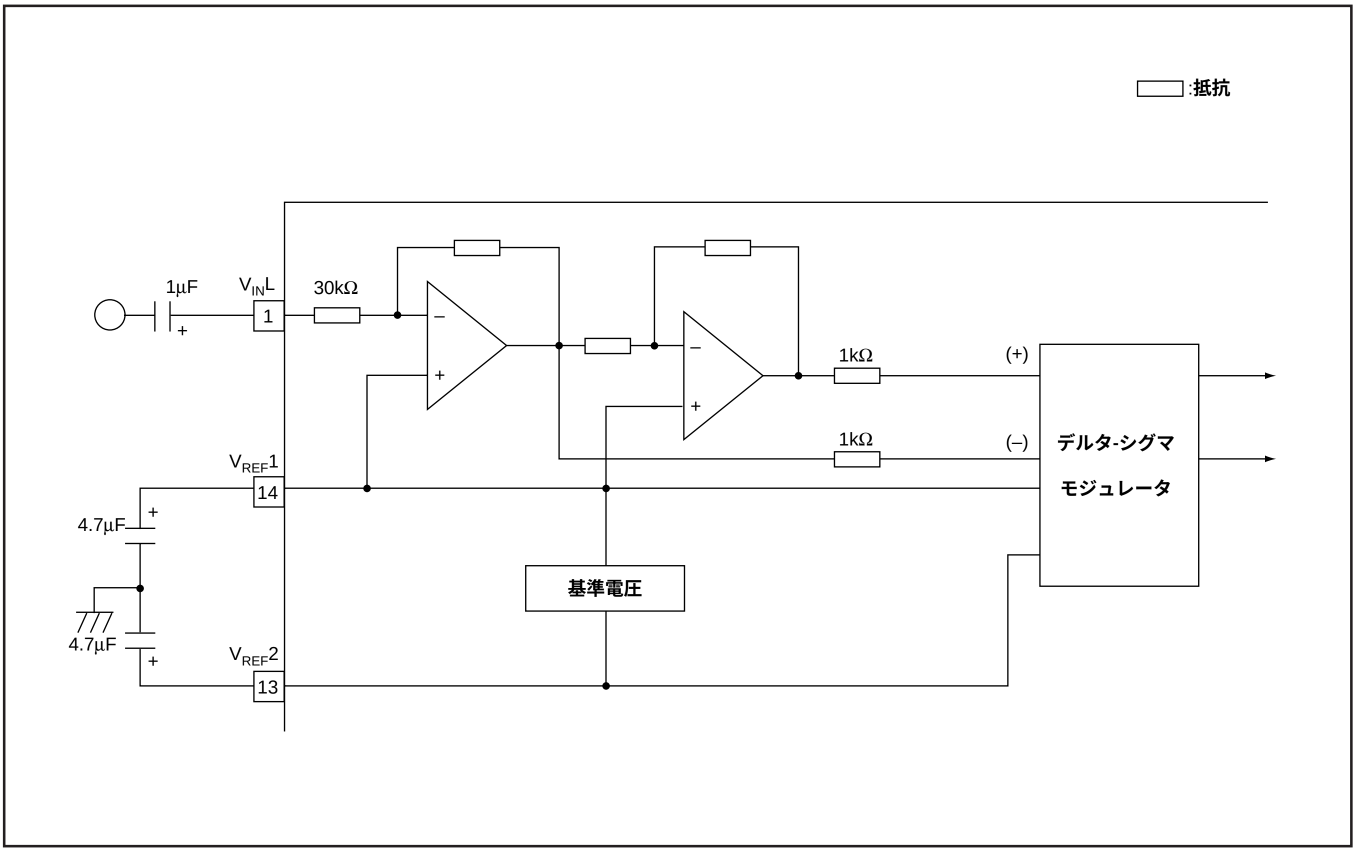


図2. PCM1801アナログ・フロント・エンド部(Lchのみ表示)

動作原理

PCM1801は、バンドギャップ・リファレンス、2チャンネルのシングルエンド差動コンバータ、完全差動構成の5次デルタ-シグマ・モジュレータ、ローカットフィルタを備えたデシメーションフィルタ、シリアル・インターフェースにより構成されています。

図1にPCM1801のブロック図を、図2にPCM1801のアナログ・フロント・エンド部を示します。5次デルタ-シグマ・モジュレータの構成と伝達関数を図3に示します。2個の外部コンデンサを伴った高精度なバンドギャップ・リファレンスはPCM1801で必要な全てのリファレンス電圧を供給し、両チャンネルのフルスケール電圧を決定します。シングルエンド差動コンバータを内蔵しているため、外部コンバータ作成に必要なデザイン、スペース、部品コストを削減することができます。

完全差動構成をとることにより、広いダイナミック・レンジと優れた電源変動除去特性を実現しています。64倍オーバー・サンプリングにより、外部サンプル/ホールドも不要です。

スイッチ・キャパシタ技術を用いた5個の積分器とコンパレータで構成される5次デルタ-シグマ・モジュレータは、コンパレータと1ビットDACで生成される量子化ノイズをオーディオ信号帯域外に分布させます。高次のデルタ-シグマ・モジュレータは出力ビット・ストリームをよりランダム化し、アイドルトーン・レベルのオーディオ帯域内での発生を抑圧します。デルタ-シグマ・モジュレータからの64f_Sの1ビット・データは、デシメーションフィルタにより広域のノイズ成分が除去されると同時に16ビット、1f_S信号に変換されます。

DC成分は、ローカットフィルタ(LCF)により除去され、LCF出力はシリアル・インターフェースを通してL、R時分割シリアル信号に変換され出力されます。

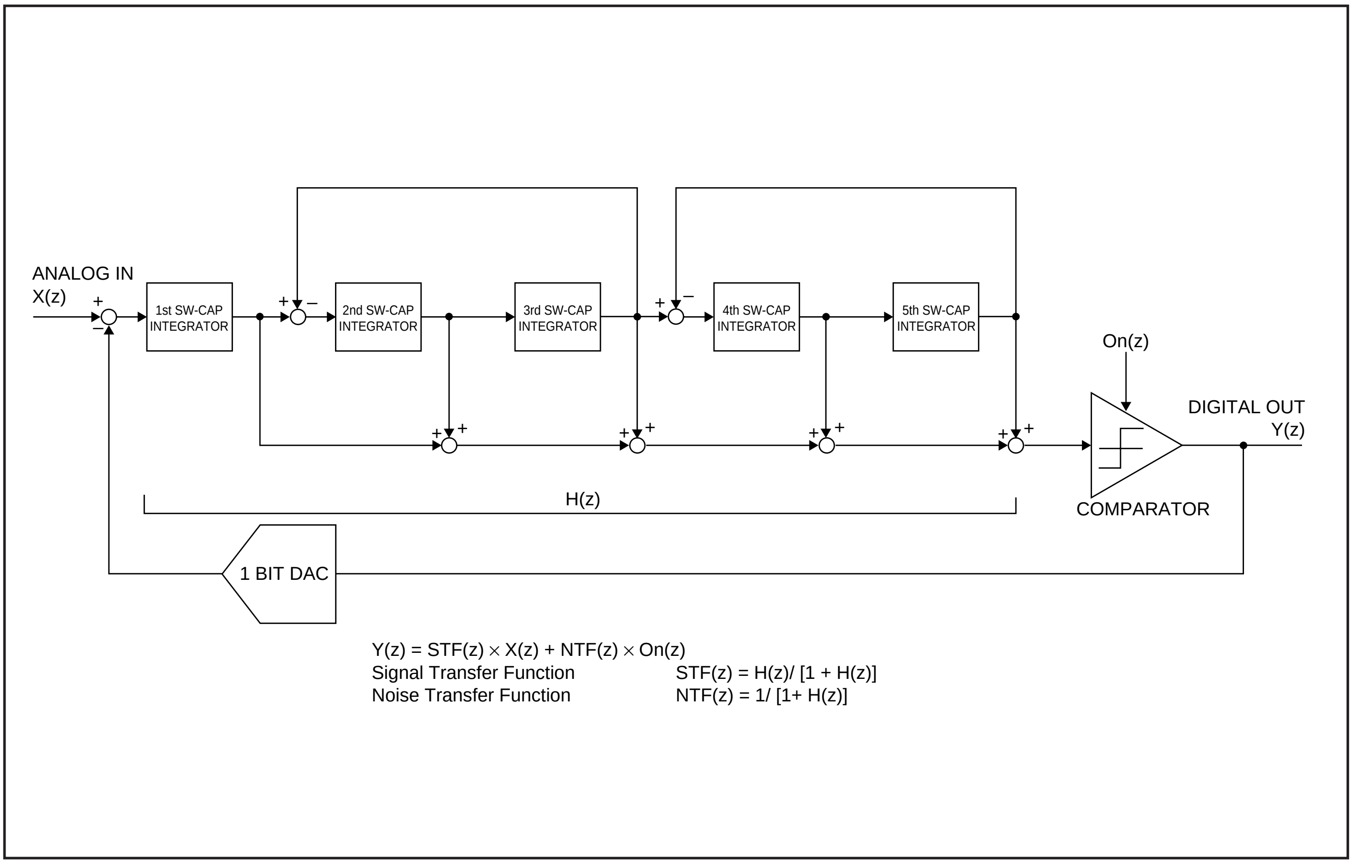


図3. 5次デルタ-シグマ・モジュレータのブロック図

システムクロック

PCM1801は、システムクロックとしてサンプリング周波数f_Sに対し256f_S、384f_S、512f_Sをサポートします。システムクロックはSYSCK(ピン5)に入力されなければなりません。

PCM1801は内部に256f_S、384f_S、512f_Sの検出機能を有しており、スレーブモードにおいて384f_Sまたは512f_Sが入力された場合には、自動的に256f_Sに分周され、デジタルフィルタおよびデルタ-シグマ・モジュレータのクロックとして用いられます。サンプリング周波数とシステムクロック周波数との関係、システムクロックのタイミングを表Ⅰおよび図4に示します。

サンプリング・レート周波数 (kHz)	システムクロック周波数 (MHz)		
	256f_S	384f_S	512f_S
32.0	8.1920	12.2880	16.3840
44.1	11.2896	16.9340	22.5792
48.0	12.2880	18.4320	24.5760

表I. システムクロックとサンプリング・クロック

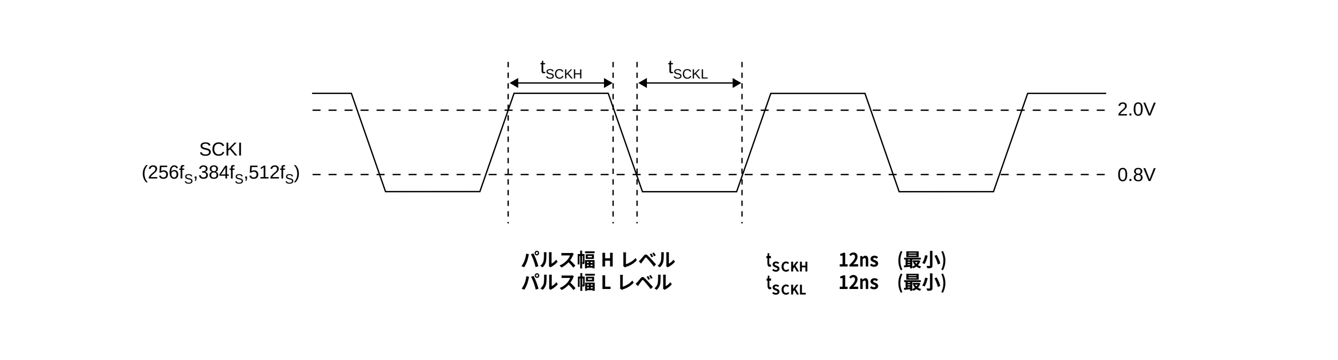


図4. システムクロック・タイミング

リセット

PCM1801は、内蔵のパワーオン・リセット機能を持ち、内蔵パワーオン・リセットは電源電圧が4.0V(標準)を超えたとき自動的にイニシャライズが実施されます。V_{CC}/V_{DD}が＞4.0Vから1024システムクロックの間は内部がリセット状態となり、デジタル出力はゼロに固定されます。デジタル出力はリセット解除後18436/f_Sを経過した後有効となります。パワーオン・リセットのタイミングを図5に示します。

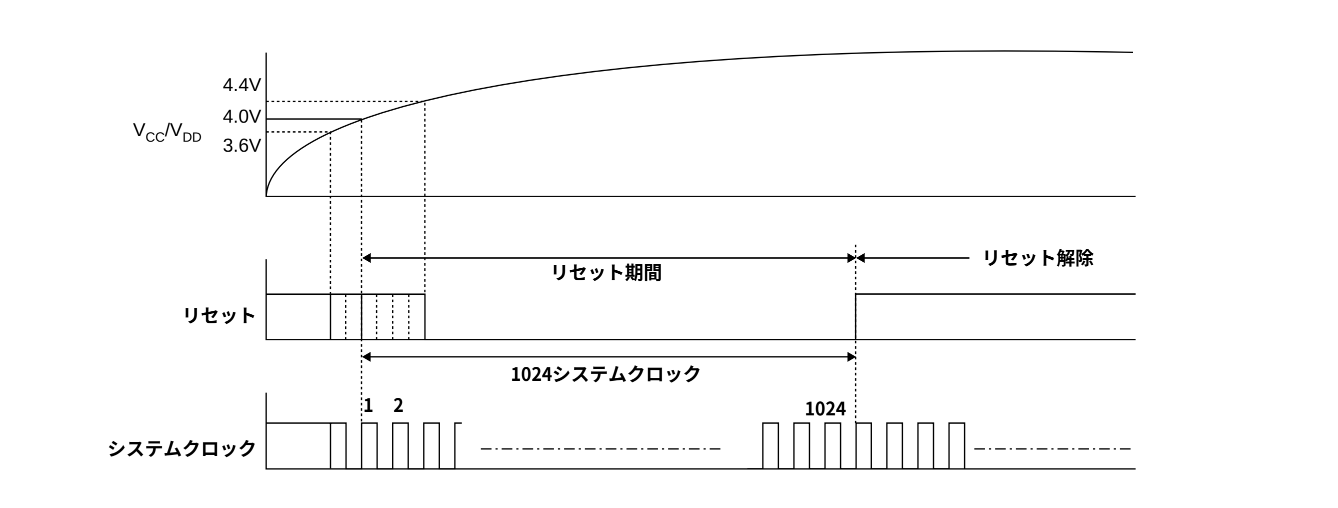


図5. パワーオン・リセット・タイミング

リセット時のADC出力

パワーオン・リセット時のADC出力には、リセット解除後、リファレンス・キャパシタ充電時間、内部LCFフィルタ、デジタルフィルタの演算時間により正常出力までに遅れ時間があります。この関係を図6に示します。

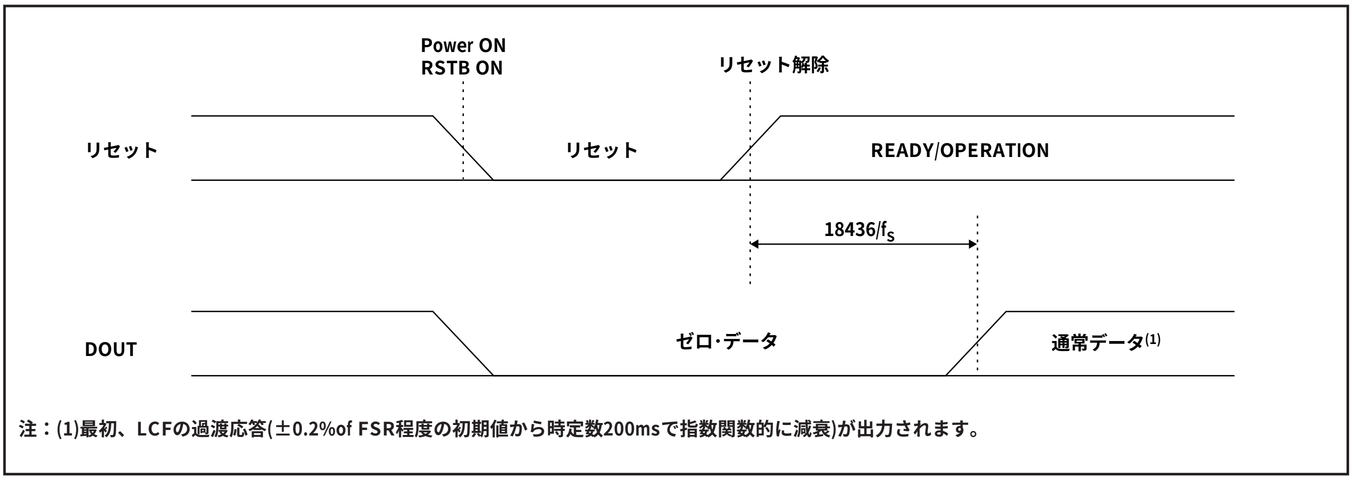


図6. パワーオン・リセットおよびリセットに対するADC出力

シリアル・オーディオデータ・インターフェース

PCM1801はBCK(ピン6)、LRCK(ピン7)、DOUT(ピン8)を介して外部システムとインターフェースします。

データフォーマット

PCM1801は、16ビット前詰めまたは16ビットIISのデータフォーマットをサポートしており、各フォーマットは表IIの通り、FMT(ピン10)により選択します。図7にデータフォーマットを、図8にインターフェース・フォーマットのタイミング規定を示します。

FMT	データフォーマット
L	16ビット、MSBファースト、前詰め
H	16ビット、IIS

表II. データフォーマット

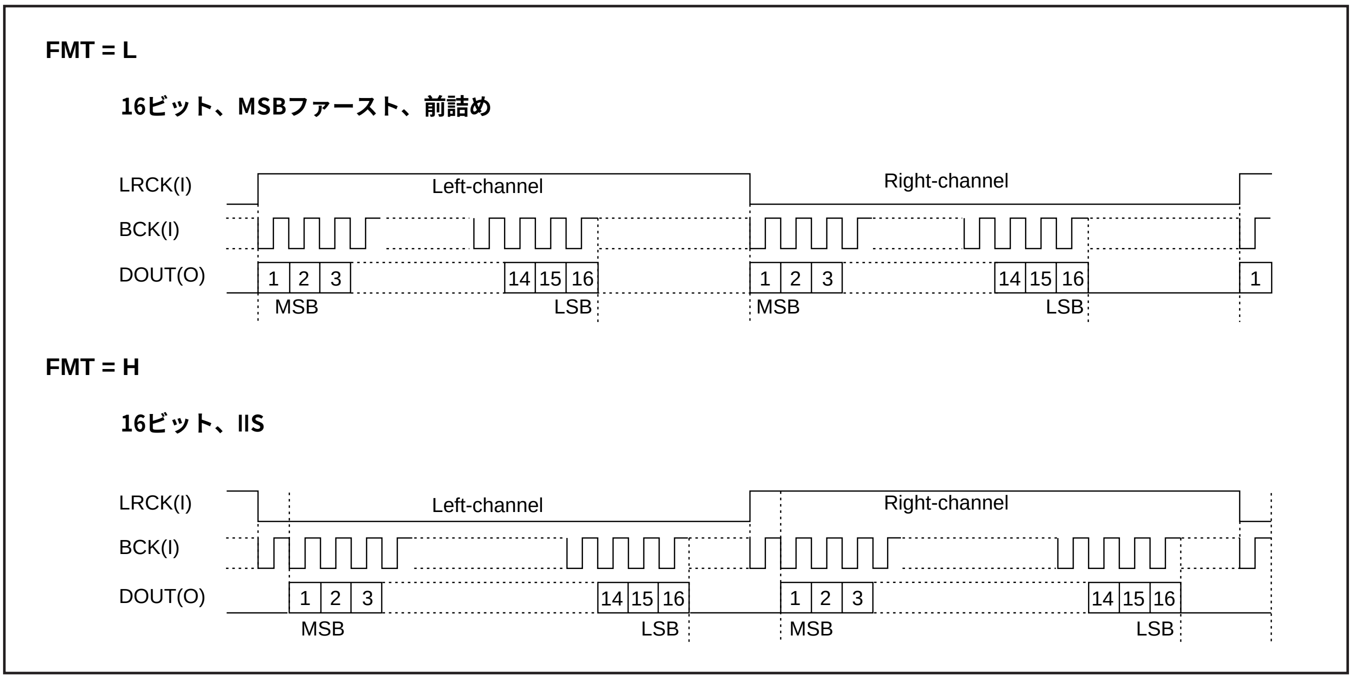
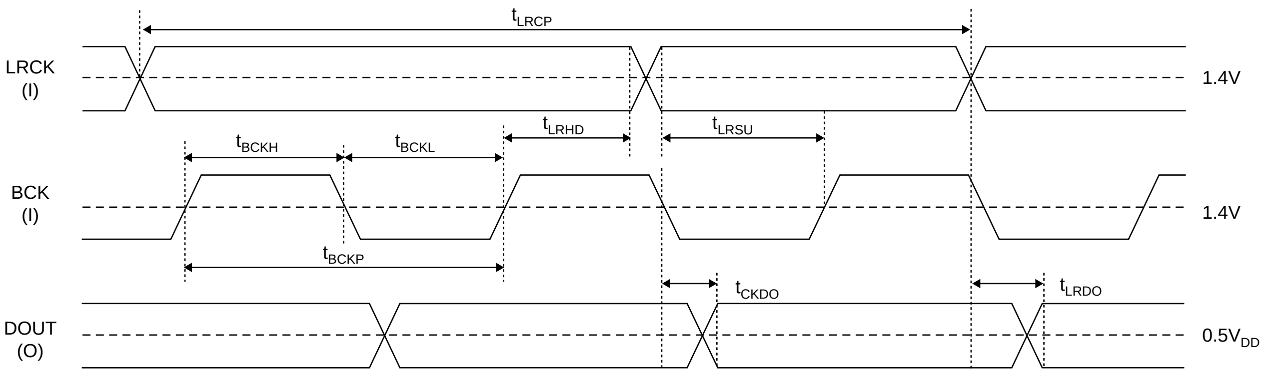


図7. オーディオデータ・フォーマット(LRCK、BCKは入力)

LCF(ローカット・フィルタ)バイパス・コントロール

内蔵ローカット・フィルタは入力DC成分を完全に除去します。DC成分を含んだA/D変換データが必要な場合は、BYPAS端子(ピン9)のコントロールにより、ローカット・フィルタをバイパスできます。

BYPAS	LCF(ローカット・フィルタ)動作
L	ON
H	OFF(バイパス)



説明	記号	最小	標準	最大	単位
BCK周期	t_{BCKP}	300			ns
BCKパルス幅Hレベル	t_{BCKH}	120			ns
BCKパルス幅Lレベル	t_{BCKL}	120			ns
LRCKセットアップタイム→BCK↑エッジ	t_{LRSU}	80			ns
LRCKホールドタイム→ BCK↑エッジ	t_{LRHD}	40			ns
LRCK周期	t_{LRCP}	20			μs
DOUTディレイ→BCK↓エッジ	t_{CKDO}	–20		40	ns
DOUTディレイ→LRCKエッジ	t_{LRDO}	–20		40	ns
立ち上がり時間(全信号)	t_{RISE}			20	ns
立ち下がり時間(全信号)	t_{FALL}			20	ns

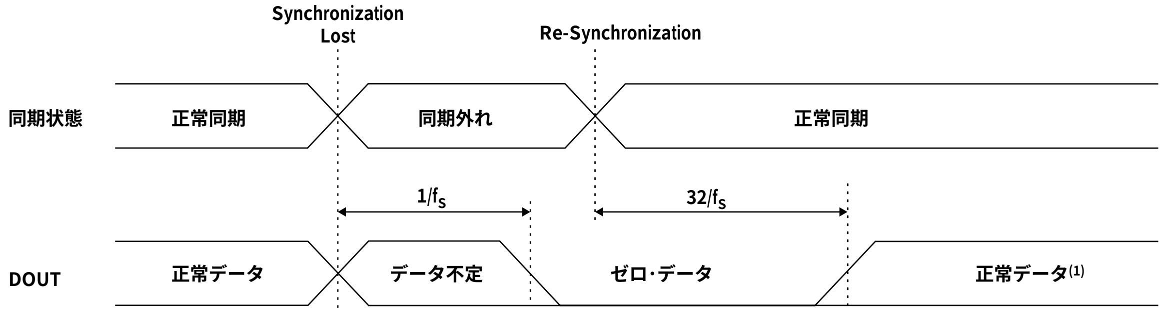
注：(1)立ち上がり（立ち下がり）時間：振幅の10%～90%間変化 (2)DOUT負荷容量20pF

図8. オーディオデータ・インターフェース・タイミング詳細

外部デジタル・オーディオシステムとの同期

PCM1801はシステムクロックに同期したLRCKを基準に動作します。PCM1801はLRCKとシステムクロックの間に特別な位相関係を必要としませんが、両者は同期している必要があります。もしLRCK1周期内にLRCKとシステムクロックの関係が±6BCK以上変化した場合、$1/f_S$以内にADCは停止し、デジタル出力はLRCKとシステムクロックの間に再同期が確立するまでの間バイポーラ・ゼロ・データに固定されます。

変化が±5BCKIN以内であれば、正常動作を保ち再同期は行われないため、このデジタル出力のコントロールとデータの不連続は起こりません。図9に同期が外れた場合のADCデジタル出力を示します。データが不定の間、オーディオ信号にノイズが発生することがあります。また、通常状態からデータ不定状態、あるいはゼロデータから通常状態への遷移はデジタル信号に不連続を生じ、それがオーディオ信号にノイズを発生させることがあります。



注：(1)最初、LCFの過渡応答(±0.2% of FSR程度の初期値から時定数200msで指数関数的に減衰)が出力されます。

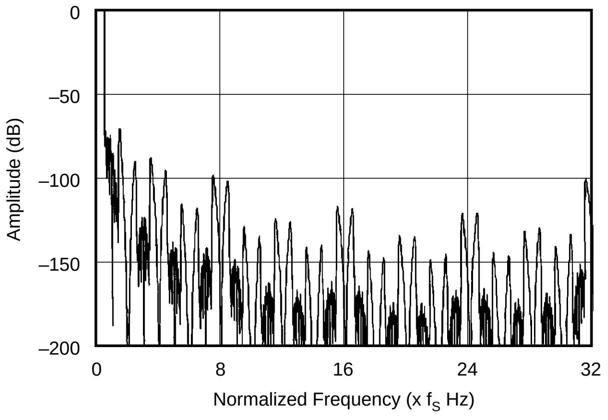
図9. 同期外れ時、再同期確立時のADC出力

ADCフィルタ特性

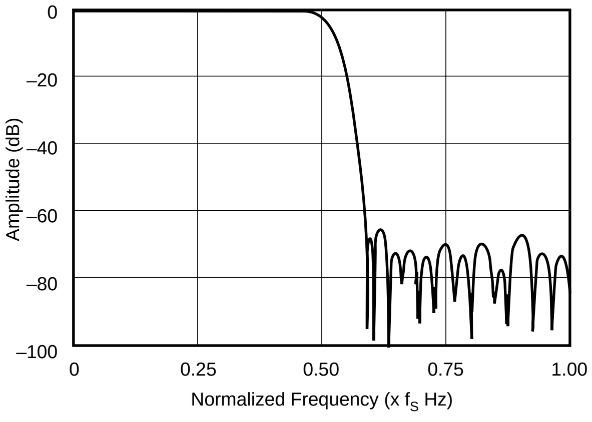
デジタルフィルタ特性

デシメーションフィルタ特性と通過帯域リップル特性

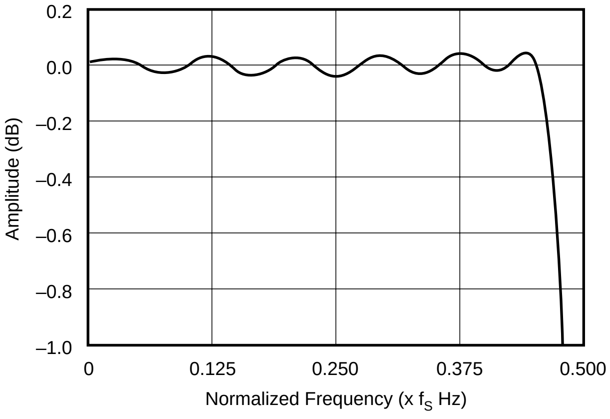
総合特性



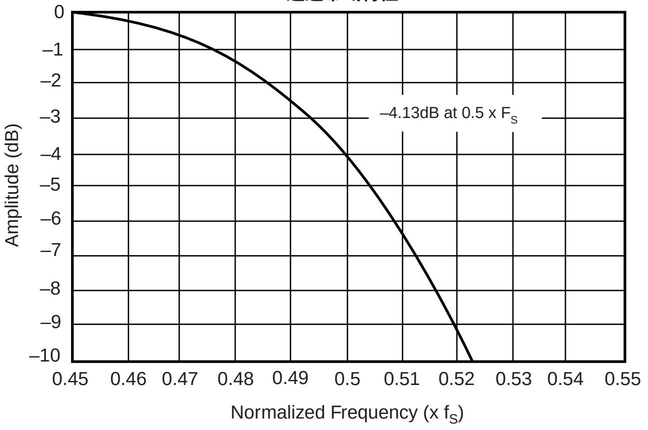
阻止帯域アッテーネション特性



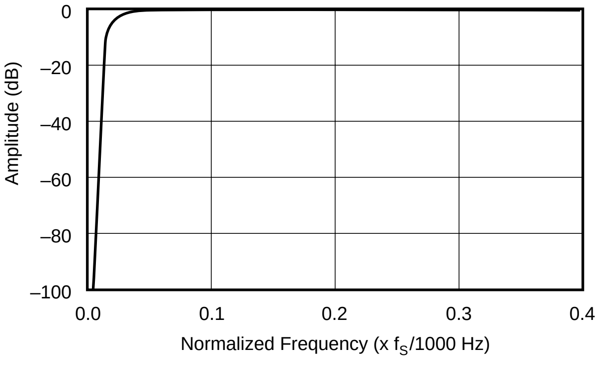
通過帯域リップル特性



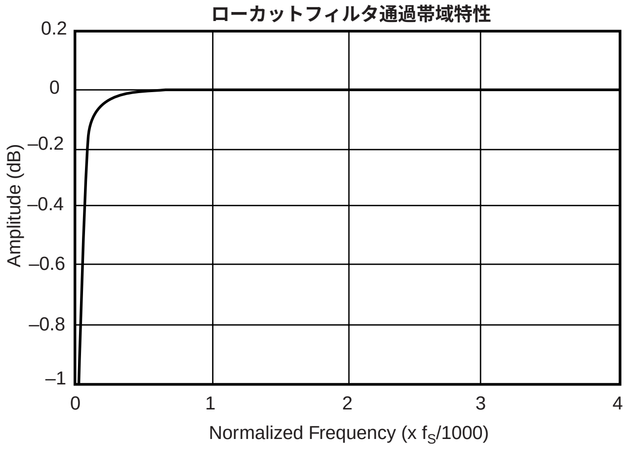
通過帯域特性



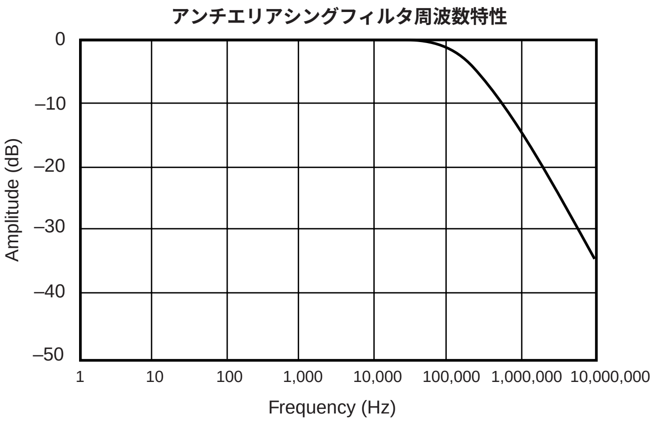
ローカットフィルタ阻止帯域特性

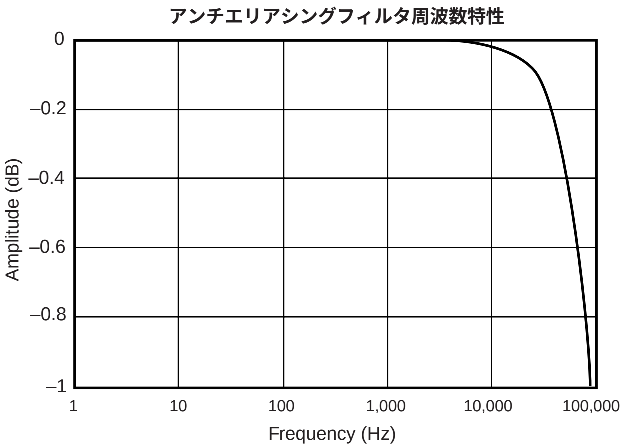


ローカットフィルタ通過帯域特性



アナログフィルタ特性





ボードデザインおよびレイアウトにおける留意事項

V_{CC}、V_{DD}端子、電源デカップリング

ADCのダイナミック性能を最大限に引き出すため、PCM1801のデジタルおよびアナログ電源端子はできるだけ端子に近い場所で0.1μFセラミックと10μFタンタル・コンデンサによって対応するグランド端子にバイパスされなければなりません。PCM1801には2系統の電源端子がありますが、予期しないラッチアップや、パワー・サプライ・シーケンスのような電源トラブルを避けるため、1つの共通のアナログ電源より供給することを推奨します。

AGND、DGND端子

ダイナミック性能を最大限に引き出すため、アナログ、デジタル両グランドは内部で接続されておりません。これらの端子はアナロググランドへのデジタルノイズの影響を受けるため、デバイスの直下で接続されなければなりません。

V_{IN}端子

ACカップリング・コンデンサとして5.3Hzのカットオフ周波数を与える1μFのコンデンサが推奨されます。もしより高いフルスケール入力電圧が必要な場合は、V_{IN}端子に1本のシリーズ抵抗を追加することで調整できます。

V_{REF}端子

ADCリファレンスの低ソース・インピーダンスを実現するため、V_{REF}1とV_{REF}2の間に4.7μFのタンタル・コンデンサが推奨されます。これらのコンデンサは、ADCリファレンスのダイナミック誤差を最小にするため、できるだけV_{REF}1、V_{REF}2ピンの近くに配置してください。

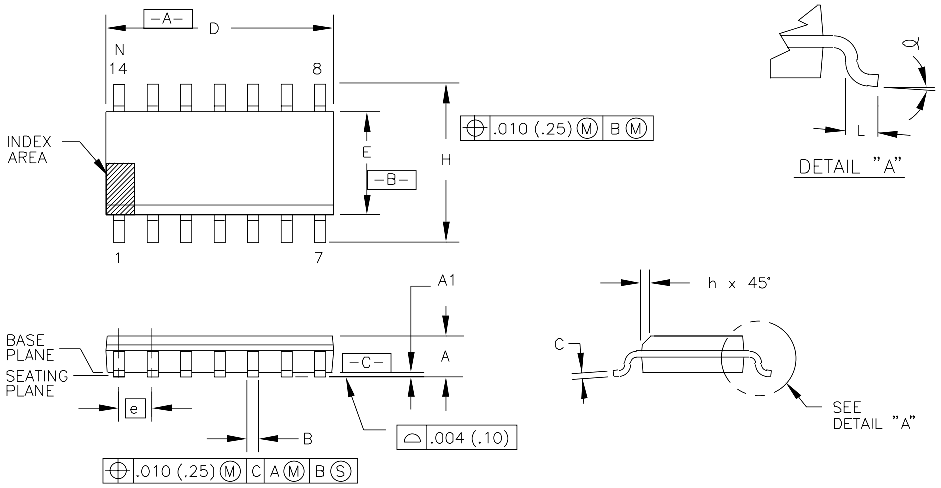
システムクロック

PCM1801は、システムクロックを基準にして動作していますので、システムクロックの品質がADCのダイナミック性能に影響を与えることがあります。このような場合は、システムクロックのデューティ、ジッタ、入力ピンのスレショルド電圧などに注意を払う必要があります。

PCM1801は、内部にダイナミック回路を使用しているため、電源が供給されている限りSYSCKは供給されなければなりません。そうしないと内部ダイナミック回路の異常動作により通常の2、3倍の電源電流が流れ、長期の信頼性に対して望ましくありません。

外観

パッケージ235－14ピンSOP



DIM	INCHES MIN.	INCHES MAX.	MILLIMETERS MIN.	MILLIMETERS MAX.	NOTE
A	.0532	.0688	1.35	1.75	
A1	.004	.0098	0.10	0.25	
B	.013	.020	0.33	0.51	7
C	.0075	.0098	0.19	0.25	
D	.3367	.3444	8.55	8.75	2
E	.1497	.1574	3.80	4.00	3
e	.050 BASIC		1.27 BASIC		
H	.2284	.244	5.80	6.20	
h	.0099	.0196	0.25	0.50	4
L	.016	.050	0.40	1.27	5
N	14		14		6
∝	0°	8°	0°	8°	

NOTES:

1. DIMENSIONING AND TOLERANCING PER ANSI Y14.5M-1982.
2. DIMENSION D DOES NOT INCLUDE MOLD FLASH, PROTRUSIONS OR GATE BURRS. MOLD FLASH, PROTRUSIONS AND GATE BURRS SHALL NOT EXCEED .006 IN. (0.15 mm) PER SIDE.
3. DIMENSION E DOES NOT INCLUDE INTER-LEAD FLASH OR PROTRUSIONS. INTER-LEAD FLASH AND PROTRUSIONS SHALL NOT EXCEED .010 IN. (0.25 mm) PER SIDE.
4. THE CHAMFER ON THE BODY IS OPTIONAL. IF IT IS NOT PRESENT, A VISUAL INDEX FEATURE MUST BE LOCATED WITHIN THE CROSS-HATCHED AREA.
5. L IS THE LENGTH OF TERMINAL FOR SOLDERING TO A SUBSTRATE.
6. N IS THE NUMBER OF TERMINAL POSITIONS.
7. THE LEAD WIDTH B, AS MEASURED .014 IN. (0.36 mm) OR GREATER ABOVE THE SEATING PLANE, SHALL NOT EXCEED A MAXIMUM VALUE OF .024 IN. (0.61 mm).
8. LEAD TO LEAD COPLANARITY SHALL BE LESS THAN .004 IN. (0.10 mm) FROM SEATING PLANE.

PACKAGE NUMBER:	ZZ235	REV.: E
JEDEC NUMBER:	MS-012-AB	

©BBJ991103K