



SoundPlus™ シングル・エンド アナログ入力 20ビット・ステレオA/Dコンバータ

特 長

- 20ビット・デルタ-シグマ型ステレオA/Dコンバータ
- シングル・エンド電圧入力
- 64倍オーバー・サンプリング・デシメーション・フィルタ
パスバンド・リップル：±0.05dB
ストップバンド・アッテネーション：-65dB
ローカットフィルタ内蔵
- 高性能
THD+N：0.004%(標準)
S/N比：95dB(標準)
ダイナミック・レンジ：95dB(標準)
- PCMオーディオ・インターフェース
マスター・モードおよびスレーブ・モード
4データフォーマット
- サンプリング・レート：32、44.1、48kHz
- システム・クロック：256、384、512f_s
- +5V単一電源動作
- パッケージ：小型24ピンSSOP

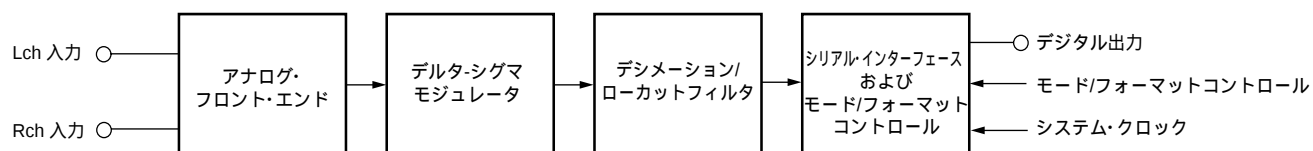
概 要

PCM1800は、バー・ブラウンが誇る最新のデルタ-シグマ技術を用いたシングルチップ、20ビットのステレオ・オーディオA/Dコンバータです。

PCM1800は、シングル・エンドのアナログ電圧入力が可能で、入力DC成分をカットするローカットフィルタを内蔵しているため、非常に使いやすくローコストなA/Dコンバータです。また、64倍オーバー・サンプリングのデルタ-シグマ変調方式を採用し、32kHzから48kHzまでのサンプリング・レートに対応しています。

幅広いアプリケーションに対応するため、PCM1800はマスター/スレーブ両動作モードの選択が可能で、4種類のオーディオデータ・フォーマットをサポートしているので、アプリケーションに応じたインターフェースが可能です。

PCM1800は+5V電源で動作し、小型24ピンSSOPを採用しているため、ミニディスク、AVレシーバ、電子楽器、カラオケ等広範囲のアプリケーションにおいて最適なソリューションを提供します。



仕様

特に記述のない限り、 $T_A = +25$ 、 $V_{DD} = V_{CC} = 5.0V$ 、 $f_s = 44.1kHz$ 、システム・クロック = $384f_s$ 、20ビット・データにおける特性です。

パラメータ	条件	PCM1800E			単位
		最小	標準	最大	
分解能		20			Bits
デジタル入出力 ロジック入力 入力ロジック・レベル 入力ロジック電流 ロジック出力 出力ロジック・レベル クロック周波数 サンプリング周波数 f_s システム・クロック周波数	$V_{IH}^{(1)}$ $V_{IL}^{(1)}$ $I_{IN}^{(2)}$ $I_{IN}^{(3)}$ $V_{OH}^{(4)}$ $V_{OL}^{(4)}$ $I_{OUT} = -1.6mA$ $I_{OUT} = +3.2mA$ 256 f_s 384 f_s 512 f_s	2.0 4.5 32.0 8.1920 12.2880 16.3840	 44.1 11.2896 16.9344 22.5792	0.8 ± 1 +100 0.5 48.0 12.2880 18.4320 24.5760	VDC VDC μA μA VDC VDC kHz MHz MHz MHz
DC精度 チャンネル間ゲイン・ミスマッチ ゲイン・エラー ゲイン・ドリフト バイポーラ・ゼロ誤差 バイポーラ・ゼロ・ドリフト	 LCFバイパス ⁽⁵⁾ LCFバイパス ⁽⁵⁾		± 1.0 ± 2.0 ± 20 ± 2.0 ± 20	± 2.5 ± 5.0 	% of FSR % of FSR ppm of FSR/ $^{\circ}C$ % of FSR ppm of FSR/ $^{\circ}C$
ダイナミック特性 ⁽⁶⁾ THD+N ダイナミック・レンジ S/N比 チャンネル・セパレーション	$V_{IN} = -0.5dB$ $V_{IN} = -60dB$ EIAJ、Aウエイト EIAJ、Aウエイト	90 90 88	0.004 2.2 95 95 93	0.01 	% % dB dB dB
ダイナミック・レンジ S/N比 チャンネル・セパレーション	16ビット、EIAJ、Aウエイト 16ビット、EIAJ、Aウエイト 16ビット		94 94 92		dB dB dB
アナログ入力 入力電圧 センター電圧 入力インピーダンス アンチ・エリアシング・フィルタ周波数特性	$F/S(V_{IN} = 0dB)$ $C_{EXT} = 470pF$ 、 $-3dB$		2.828 2.1 30 170		Vp-p V k Ω kHz
デジタルフィルタ特性 パスバンド ストップバンド パスバンド・リップル ストップバンド・アッテネーション 群遅延 ローカットフィルタ(LCF)周波数特性	 -3dB	0.583 f_s -65	 17.4 f_s 0.019 f_s	0.454 f_s ± 0.05 	Hz Hz dB dB sec mHz
電源供給 電源電圧 電源電流 ⁽⁷⁾ 消費電力	V_{CC} V_{DD} $V_{CC} = V_{DD} = 5.0V$ $V_{CC} = V_{DD} = 5.0V$	4.5 4.5	5.0 5.0 18 90	5.5 5.5 25 125	VDC VDC mA mW
温度範囲 動作 保存 熱抵抗 θ_{JA}		-25 -55	 100	+85 +125	$^{\circ}C$ $^{\circ}C$ $^{\circ}C/W$

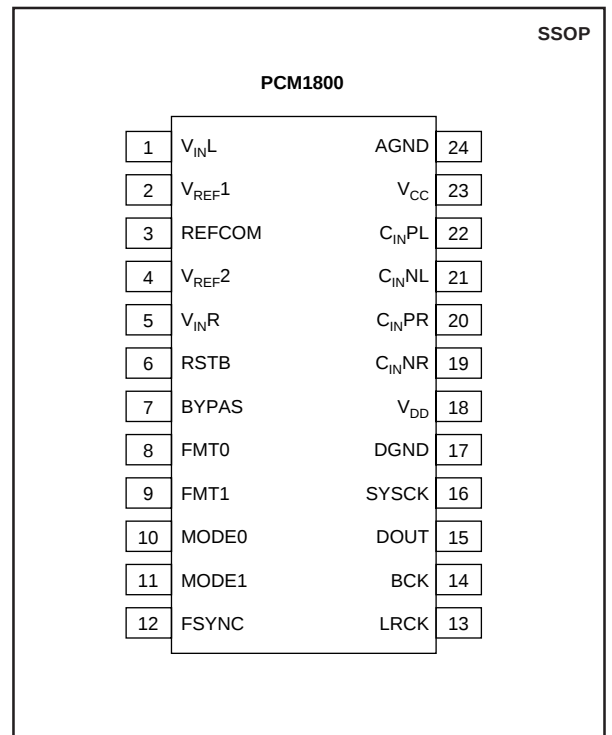
注:(1)ピン6、7、8、9、10、11、16および12、13、14;RSTB、BYPAS、FMT0、FMT1、MODE0、MODE1、SYSCKおよびスリープモード時のFSYNC、LRCK、BCKに適用。(2)ピン16および12、13、14;SYSCKおよびスリープモード時のFSYNC、LRCK、BCK(シュミット・トリガ入力)に適用。(3)ピン6、7、8、9、10、11;RSTB、BYPAS、FMT0、FMT1、MODE0、MODE1(シュミット・トリガ入力、100 k Ω (標準)でプルダウン)に適用。(4)ピン15および12、13、14; DOUTおよびマスターモード時のFSYNC、BRCK、BCKに適用。(5)ローカットフィルタ(6)fin=1kHz、オーディオプレジジョン社System、20kHzLPF、400kHzHPF ON、RMSモードにて測定。(7)スリープモード、DOUT(ピン15)は無負荷。

ピン構成

ピン	名称	IN/OUT	機能
1	V _{IN} L	IN	アナログ入力、Lch
2	V _{REF} 1	—	リファレンス1デカップリング・キャパシタ
3	REFCOM	—	リファレンス・デカップリング・コモン
4	V _{REF} 2	—	リファレンス2デカップリング・キャパシタ
5	V _{IN} R	IN	アナログ入力、Rch
6	RSTB	IN	リセット入力、アクティブ [※] ロー ⁽¹⁾
7	BYPAS	IN	LCFバイパス・コントロール ⁽¹⁾
8	FMT0	IN	オーディオデータ・フォーマット0 ⁽¹⁾
9	FMT1	IN	オーディオデータ・フォーマット1 ⁽¹⁾
10	MODE0	IN	マスター/スレープモード選択0 ⁽¹⁾
11	MODE1	IN	マスター/スレープモード選択1 ⁽¹⁾
12	FSYNC	IN/OUT	フレーム同期入/出力
13	LRCK	IN/OUT	サンプリング・クロック入/出力(f _s)
14	BCK	IN/OUT	ビット・クロック入/出力
15	DOUT	OUT	オーディオデータ出力
16	SYSCK	IN	システム・クロック入力256f _s 、384f _s 、512f _s
17	DGND	—	デジタルグラウンド
18	V _{DD}	—	デジタル電源
19	C _{IN} NR	—	アンチ・エリアシング・フィルタ・キャパシタ(−)Rch
20	C _{IN} PR	—	アンチ・エリアシング・フィルタ・キャパシタ(+)Rch
21	C _{IN} NL	—	アンチ・エリアシング・フィルタ・キャパシタ(−)Lch
22	C _{IN} PL	—	アンチ・エリアシング・フィルタ・キャパシタ(+)Lch
23	V _{CC}	—	アナログ電源
24	AGND	—	アナロググラウンド

注：(1)100kΩ(標準)にてプルダウン

ピン配置



絶対最大定格

電源電圧 +V _{DD}		+6.5V
+V _{CC}		+6.5V
電源電圧差		±0.1V
GND電圧差		±0.1V
デジタル入力電圧		−0.3 ~ V _{DD} +0.3V
アナログ入力電圧		−0.3 ~ V _{CC} +0.3V
入力電流(電源、グラウンドを除く)		±10mA
許容電力		300mW
動作温度		−25 ~ +85
保存温度		−55 ~ +125
リード温度 半田付け		+260 (5秒間)
リフロー		+235 (10秒間)

パッケージ情報⁽¹⁾

モデル	パッケージ
PCM1800E	24ピンSSOP

注：(1)詳細図および寸法表についてはデータシートの巻末を参照して下さい。

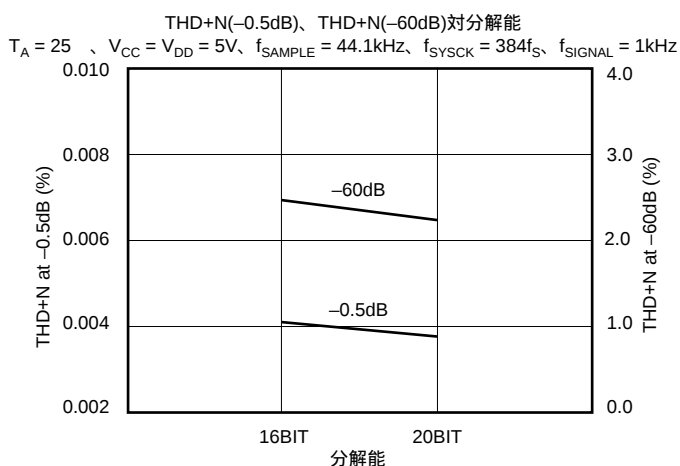
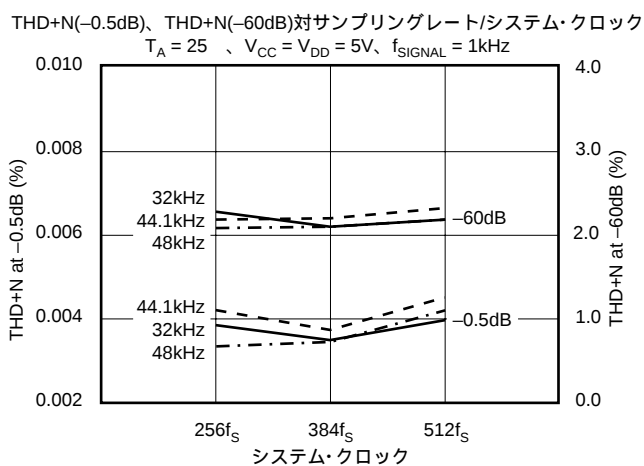
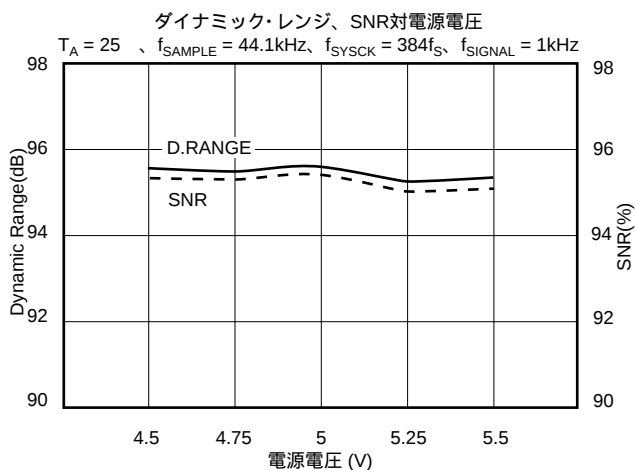
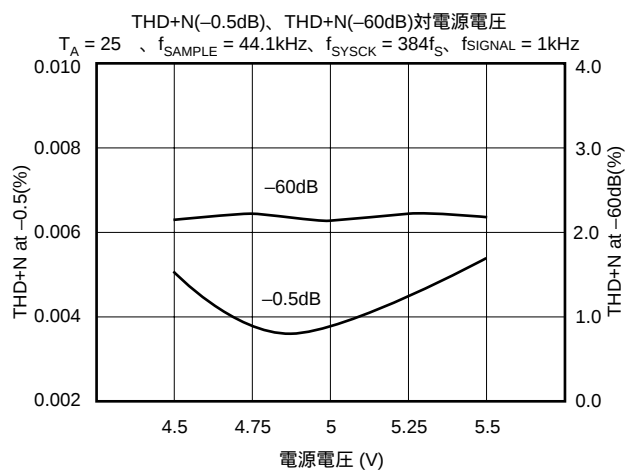
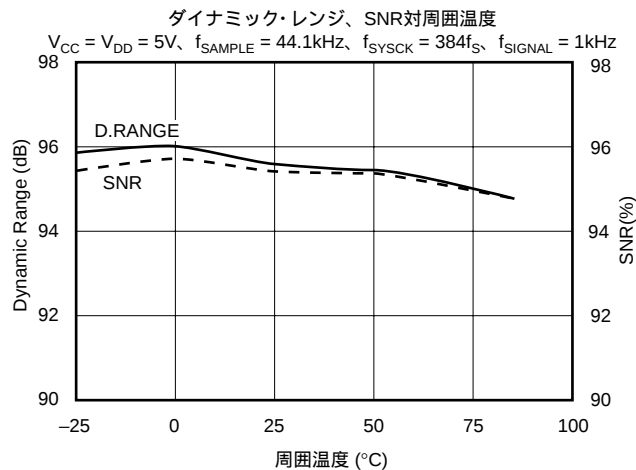
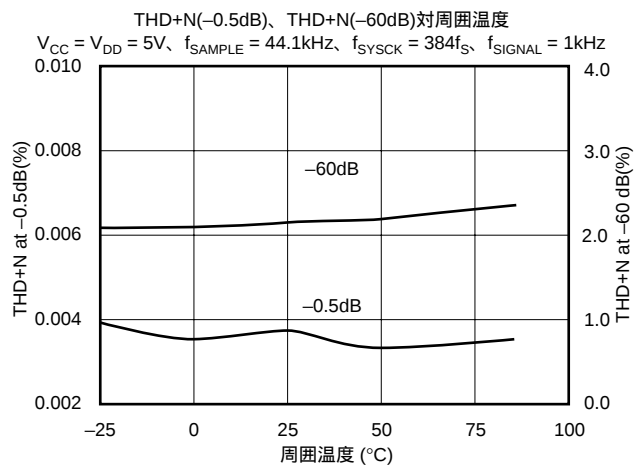


静電気放電対策

静電気放電はわずかな性能の低下から完全なデバイスの故障に至るまで、様々な損傷を与えます。すべての集積回路は、適切なESD保護方法を用いて、取扱いと保存を行うようにして下さい。高精度の集積回路は、損傷に対して敏感であり、極めてわずかなパラメータの変化により、デバイスに規定された仕様に適合しなくなる場合があります。

このデータシートに記載されている情報は、信頼し得るものと考えておりますが、不正確な情報や記載漏れ等に関して弊社は責任を負うものではありません。情報の使用について弊社は責任を負えませんので、各ユーザーの責任において御使用下さい。価格や仕様は予告なしに変更される場合がありますのでご了承下さい。ここに記載されているいかなる回路についても工業所有権その他の権利またはその実施権を付与したり承諾したりするものではありません。弊社は弊社製品を生命維持に関する機器またはシステムに使用することを承認しまたは保証するものではありません。

代表的性能曲線



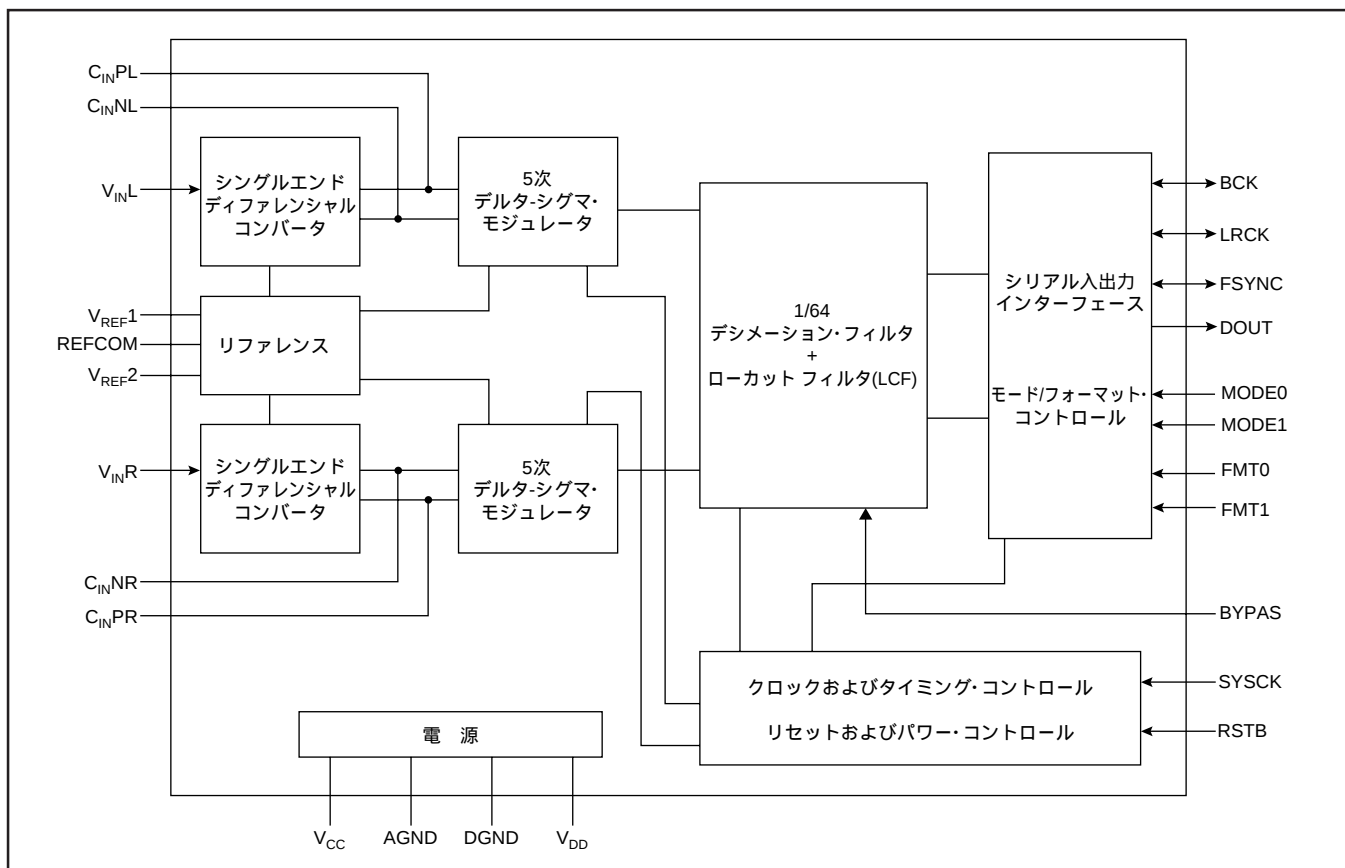


図1. PCM1800ブロック図

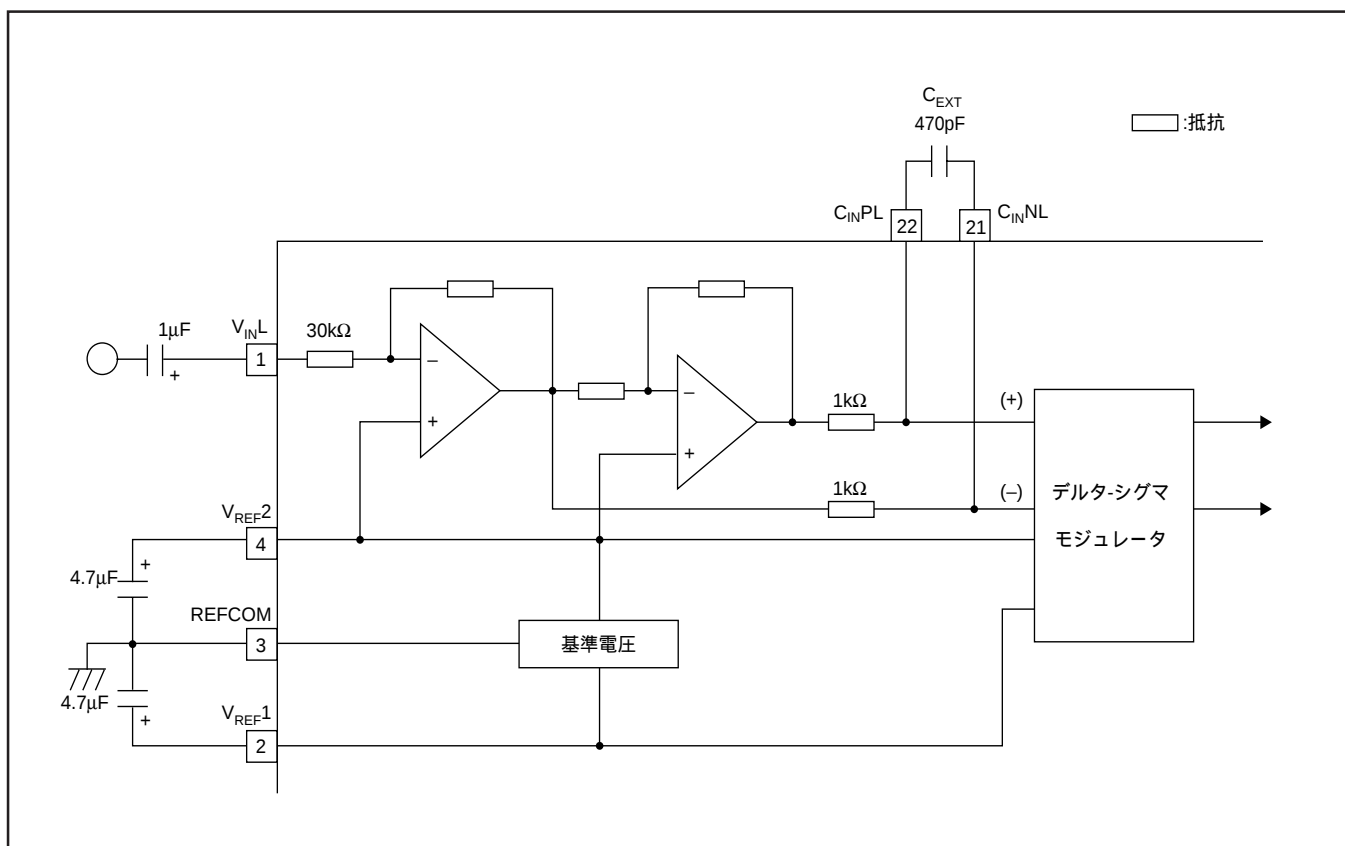


図2. PCM1800アナログ・フロント・エンド部(Lchのみ表示)

動作原理

PCM1800は、バンドギャップ・リファレンス、2チャンネルのシングル・エンド・ディファレンシャル・コンバータ、完全差動構成の5次デルタ・シグマ・モジュレータ、ローカットフィルタを備えたデシメーション・フィルタ、シリアル・インターフェースにより構成されています。

図1にPCM1800のブロック図を、図2にPCM1800のアナログ・フロント・エンド部を示します。5次デルタ・シグマ・モジュレータの構成と伝達関数を図3に示します。2個の外部コンデンサを伴った高精度なバンドギャップ・リファレンスはPCM1800に必要なすべてのリファレンス電圧を供給し、両チャンネルのフルスケール電圧を決定します。

シングル・エンド・ディファレンシャル・コンバータを内蔵しているため、外部コンバータ製作に必要なデザイン、スペース、部品コストを削減することができます。

完全差動構成をとることにより、広いダイナミック・レンジと優れた電源変動除去特性を実現しています。64倍オーバー・サンプリングにより、外部サンプル/ホールドが不要となり、1個の

コンデンサでアンチ・エリアシング・フィルタが実現できます。

スイッチド・キャパシタ技術を用いた5個の積分器とコンバータで構成される5次デルタ・シグマ・モジュレータは、コンバータと1ビットDACで生成される量子化ノイズをオーディオ信号帯域外に分布させます。高次のデルタ・シグマ・モジュレータは出力ビット・ストリームをよりランダム化し、アイドル・トーン・レベルのオーディオ帯域内での発生を抑圧します。デルタ・シグマ・モジュレータからの $64f_s$ の1ビット・データは、デシメーション・フィルタにより広域のノイズ成分が除去されると同時に20ビット、 $1f_s$ 信号に変換されます。

DC成分は、ローカットフィルタ(LCF)により除去され、LCF出力はシリアル・インターフェースを通してL、R時分割シリアル信号に変換され出力されます。

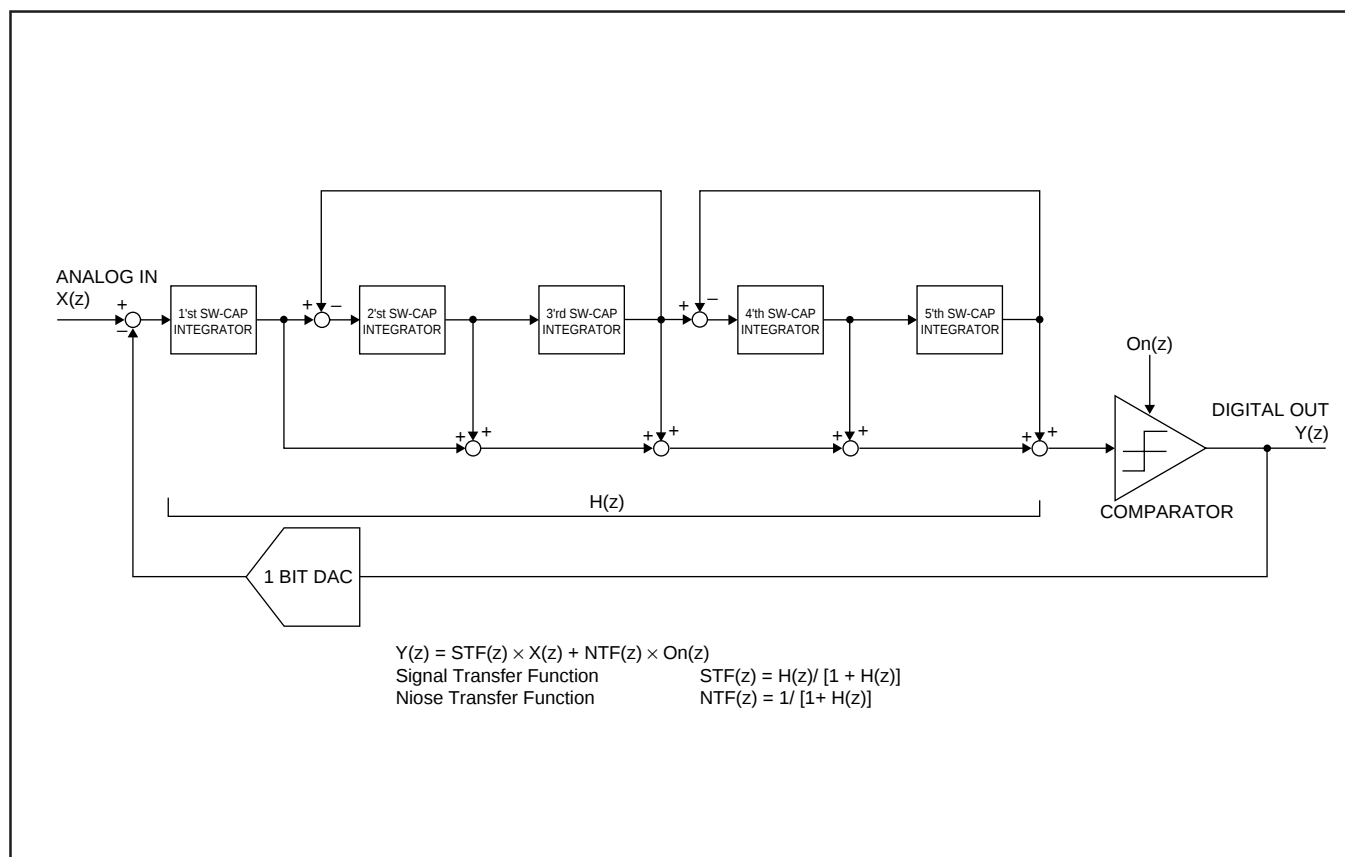


図3. 5次デルタ・シグマ・モジュレータのブロック図

システム・クロック

PCM1800は、システム・クロックとしてサンプリング周波数 f_s に対し $256f_s$ 、 $384f_s$ 、 $512f_s$ をサポートします。システム・クロックはSYSCK(ピン16)に入力されなければなりません。

PCM1800は内部に $256f_s$ 、 $384f_s$ 、 $512f_s$ の検出機能を有しており、スレープモードにおいて $384f_s$ または $512f_s$ が入力された場合には、自動的に $256f_s$ に分周され、デジタルフィルタおよびデルタ・シグマ・モジュレータのクロックとして用いられます。サンプリング周波数とシステム・クロック周波数との関係、システム・クロックのタイミングを表1および図4.に示します。

サンプリング・レート 周波数 (kHz)	システム・クロック周波数 (MHz)		
	$256f_s$	$384f_s$	$512f_s$
32.0	8.1920	12.2880	16.3840
44.1	11.2896	16.9340	22.5792
48.0	12.2880	18.4320	24.5760

表1. システム・クロックとサンプリング・クロック

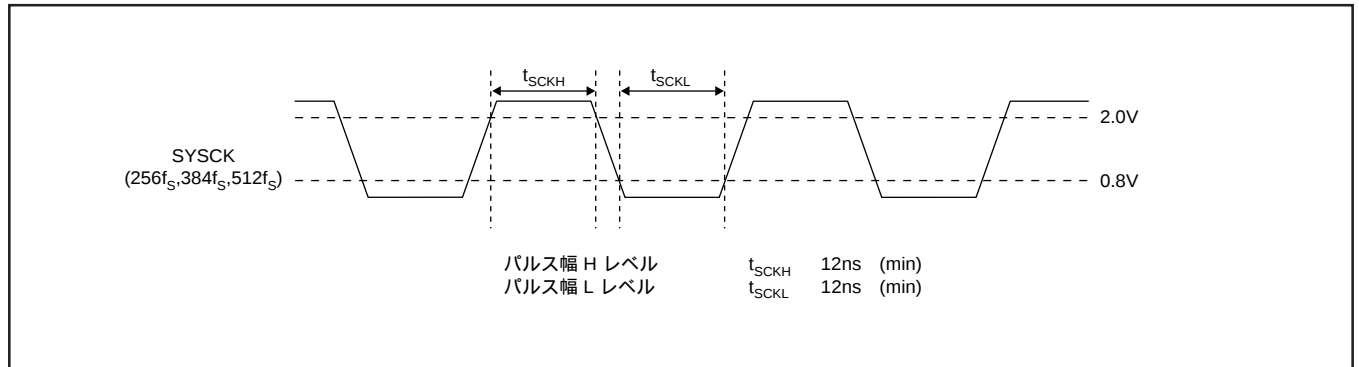


図4. システム・クロック・タイミング

リセット

PCM1800は、内蔵のパワーオン・リセットおよびRSTBピン(ピン6)による外部リセットを持ち、内蔵パワーオン・リセットは電源電圧が $4.0V$ (標準)を超えたとき自動的にイニシャライズが実施され、外部リセットは、一定期間RSTBが“ロー”になったときリセットが実施されます。

RSTBピンは内部でプルダウンされているため、オープンの場合はリセット状態になります。 $V_{CC}/V_{DD} < 4.0V$ (標準)の場合、RSTB “ロー” の場合のほかに、 V_{CC}/V_{DD} が $> 4.0V$ から1024システム・クロックの間、およびRSTB “ハイ” から1024システム・ク

ロックの間は内部がリセット状態となり、デジタル出力はゼロに固定されます。デジタル出力はリセット解除後 $18436/f_s$ を経過した後有効となります。

リセット状態のときは、デジタルフィルタなどロジック回路は動作を停止し、パワーダウンモードとなります。図5、図6にパワーオン・リセットおよび外部リセットのタイミングを示します。

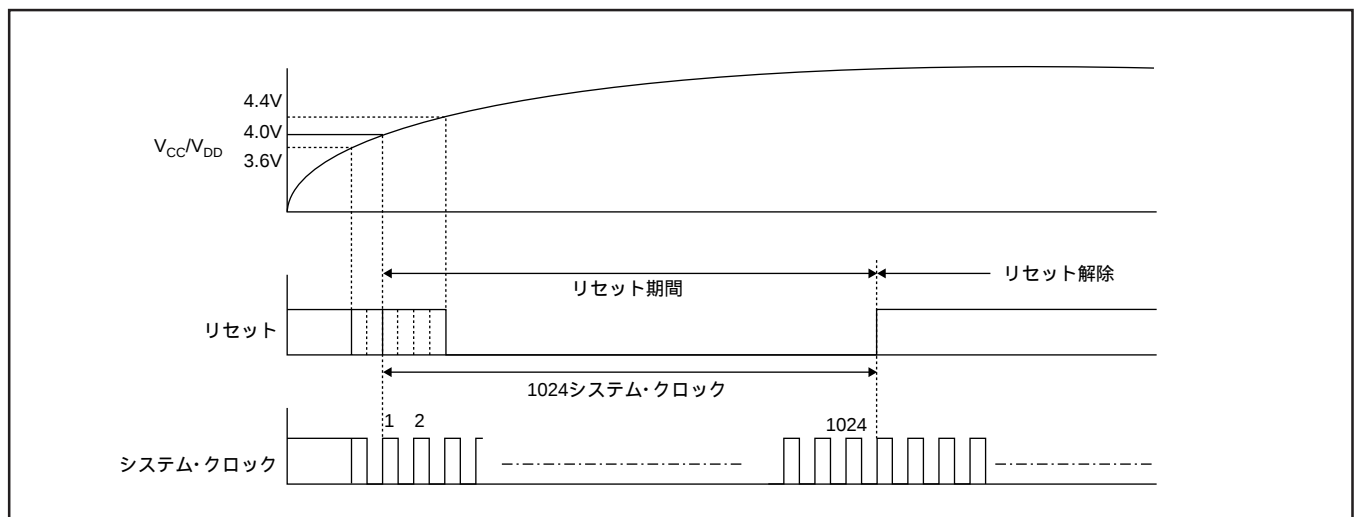


図5. パワー・オン リセット・タイミング

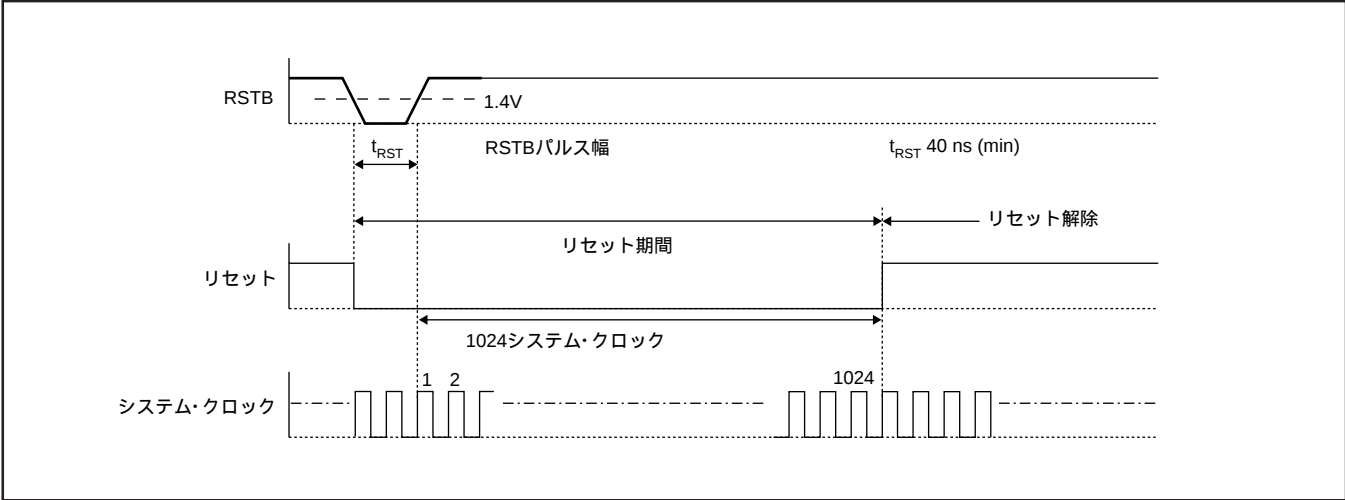


図6. 外部リセット・タイミング

シリアル・オーディオデータ・インターフェース

PCM1800はBCK(ピン14)、LRCK(ピン13)、FSYNC(ピン12)、DOUT(ピン15)を介して外部システムとインターフェースします。

インターフェースモード

PCM1800は、インターフェース・モードとしてマスター/スレーブモードをサポートしており、表IIの通りMODE1(ピン11)、MODE0(ピン10)により選択されます。マスターモードは、PCM1800とデジタル・オーディオ・プロセッサあるいは外部回路との間のシリアルデータ転送タイミングをPCM1800が供給する場合に、一方スレーブモードはデータ転送タイミングを外部コントローラから受ける場合に用いられます。

モード1	モード0	インターフェース・モード
0	0	スレーブモード(256/384/512f _s)
0	1	マスターモード(512f _s)
1	0	マスターモード(384f _s)
1	1	マスターモード(256f _s)

表II. インターフェース・モード

マスターモード

マスターモードが選択された場合、BCK、LRCK、FSYNCは出力ピンとなり、これらのピンはPCM1800内部回路で作られるタイミングでコントロールされます。FSYNCはPCM1800からのデータが有効であることを示します。FSYNCの立ち上がりエッジは変換データのスタートを示し、立ち下がりエッジはデータのエンドを示します。この信号の周波数はLRCKの2倍となりますが、デューティ比はデータのビット長に依存します。BCKの周波数はLRCKの64倍に固定されます。

スレーブモード

スレーブ・モードが選択された場合、BCK、LRCK、FSYNCは入力ピンとなります。FSYNCは、BCKのイネーブル・コントロールとして使用され、FSYNCが“ハイ”のとき、変換データをシフトし出力することができます。

データフォーマット

PCM1800は、マスターモード、スレーブモードいずれにおいても4種類のデータフォーマットをサポートしており、各フォーマットは表の通り、FMT1(ピン9)、FMT0(ピン8)により選択します。図7および図8にスレーブモード、マスターモードそれぞれにおけるデータフォーマットを示します。FMT1およびFMT0は、RSTBが“0”から“1”に変わるとき、変化してはなりません。

FORMAT No	FMT1	FMT0	データフォーマット
0	0	0	20ビット、MSBファースト、前詰め
1	0	1	20ビット、IIS
2	1	0	16ビット、MSBファースト、後詰め
3	1	1	20ビット、MSBファースト、後詰め

表III. データフォーマット

ローカットフィルタ・バイパス制御

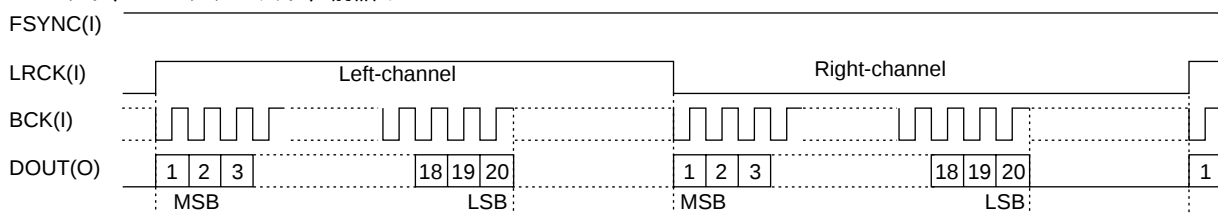
BYPAS(ピン7)を“1”にするとローカットフィルタがバイパスされ、DC信号から変換できます。このとき内部で発生するオフセット電圧も同時に出力されます。

BYPAS	機能
0	ローカットフィルタ ON
1	ローカットフィルタ・バイパス

FORMAT 0: FMT[1:0] = "00"

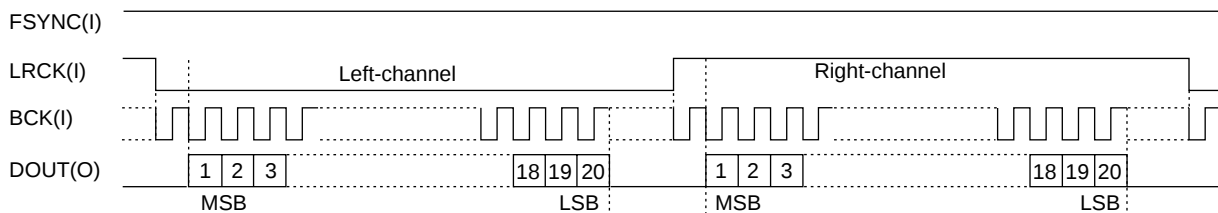
MODE 0=0、MODE 1=0

20ビット、MSBファースト、前詰め



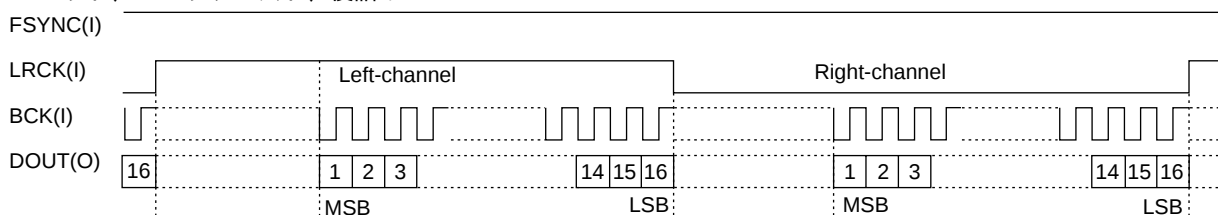
FORMAT 1: FMT[1:0] = "01"

20ビット、IIS



FORMAT 2: FMT[1:0] = "10"

16ビット、MSBファースト、後詰め



FORMAT 3: FMT[1:0] = "11"

20ビット、MSBファースト、後詰め

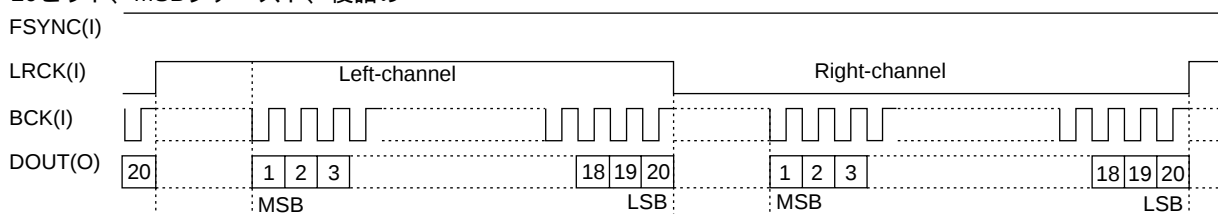
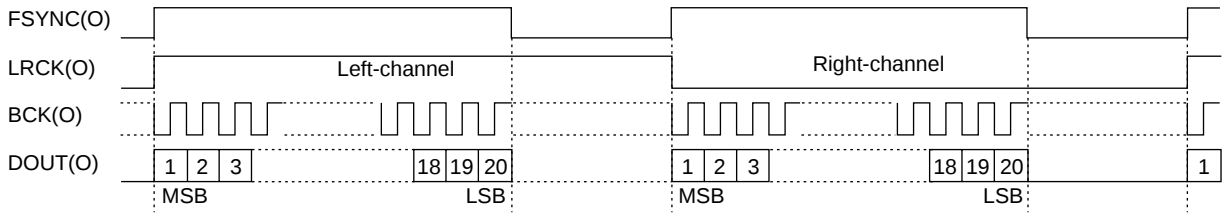


図7. オーディオデータ・フォーマット(スレーブモード : FSYNC、LRCK、BCKはすべて入力)

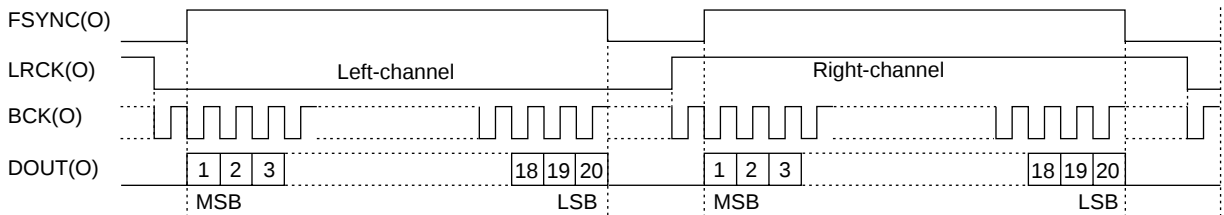
FORMAT 0: FMT[1:0] = "00"

20ビット、MSBファースト、前詰め



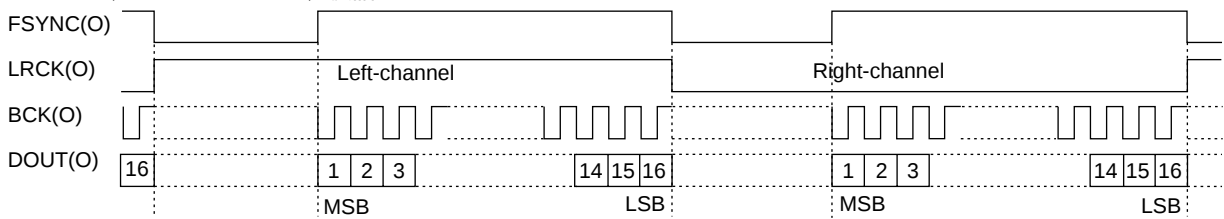
FORMAT 1: FMT[1:0] = "01"

20ビット、IIS



FORMAT 2: FMT[1:0] = "10"

16ビット、MSBファースト、後詰め



FORMAT 3: FMT[1:0] = "11"

20ビット、MSBファースト、後詰め

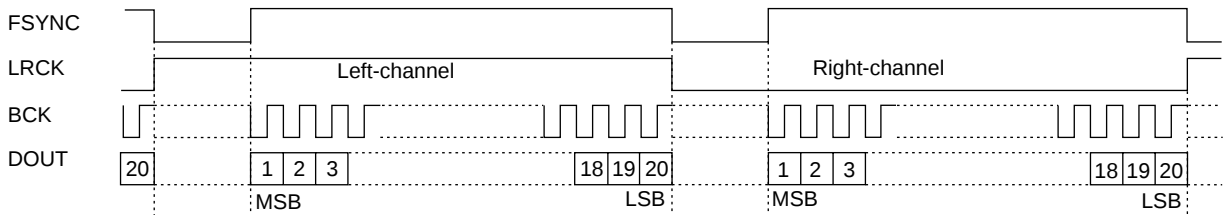


図8. オーディオデータ・フォーマット(マスターモード:FSYNC、LRCK、BCKはすべて出力)

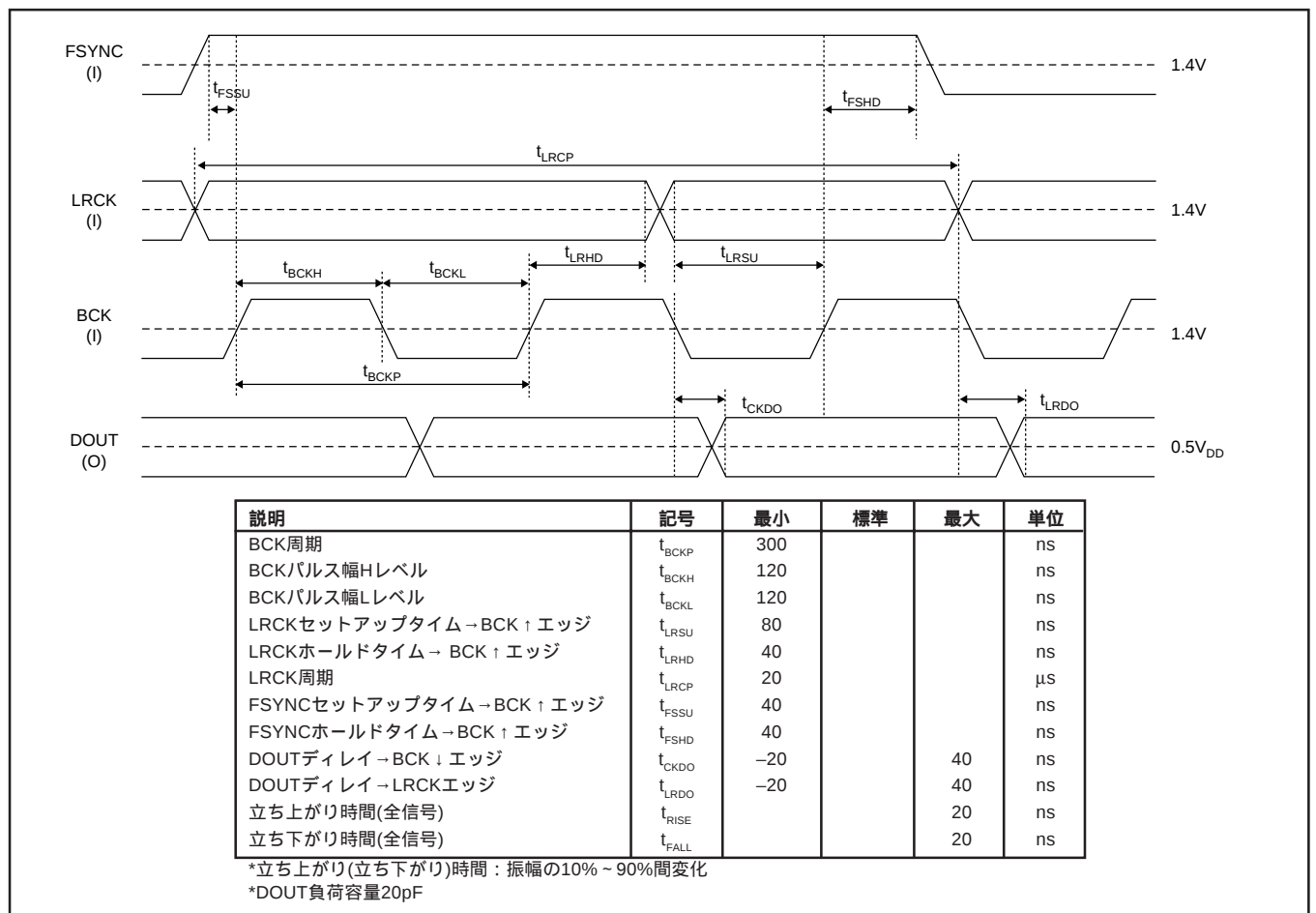


図9. オーディオデータ・インターフェース・タイミング詳細(スリープモード)

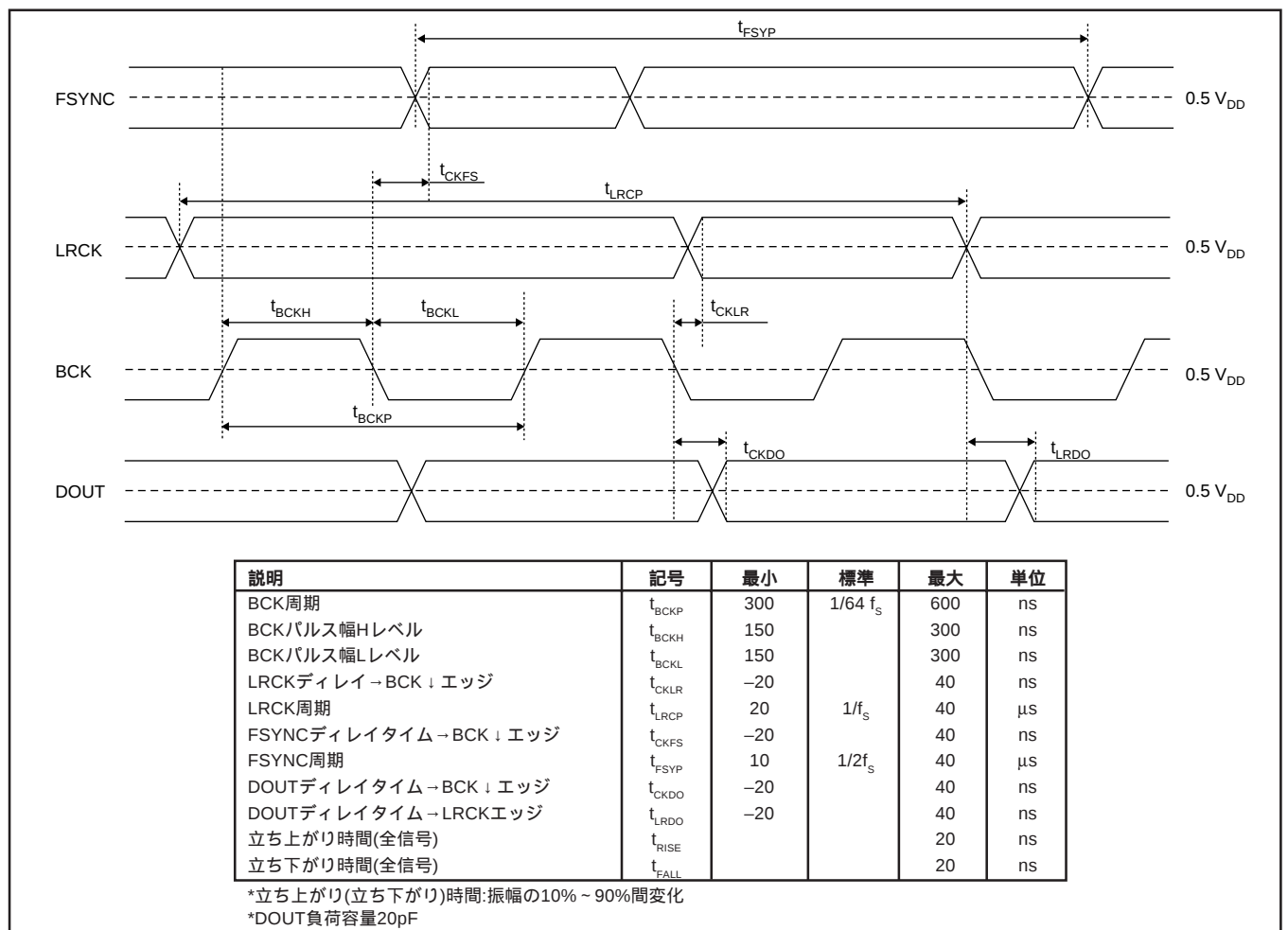


図10. オーディオデータ・インターフェース・タイミング詳細(マスターモード)

外部デジタル・オーディオシステムとの同期

スレープモードにおいては、PCM1800はシステム・クロックに同期したLRCKを基準に動作します。PCM1800はLRCKとシステム・クロックの間に特別な位相関係を必要としませんが、両者は同期している必要があります。もし、LRCK1周期内にLRCKとシステム・クロックの関係が $\pm 6\text{BCK}$ 以上変化した場合、 $1/f_s$ 以内にADCは停止し、デジタル出力はLRCKとシステム・クロックの間に再同期が確立するまでの間BPZデータに固定されます。変化が $\pm 5\text{BCKIN}$ 以内であれば、正常動作を保ち、再同期は行

われないため、このデジタル出力のコントロールとデータの不連続は起こりません。図11に同期が外れた場合のADCデジタル出力を示します。データが不定の間、オーディオ信号にノイズが発生することがあります。また、通常状態からデータ不定状態、あるいはゼロデータから通常状態への遷移はデジタル信号に不連続を生じ、それがオーディオ信号にノイズを発生させることがあります。

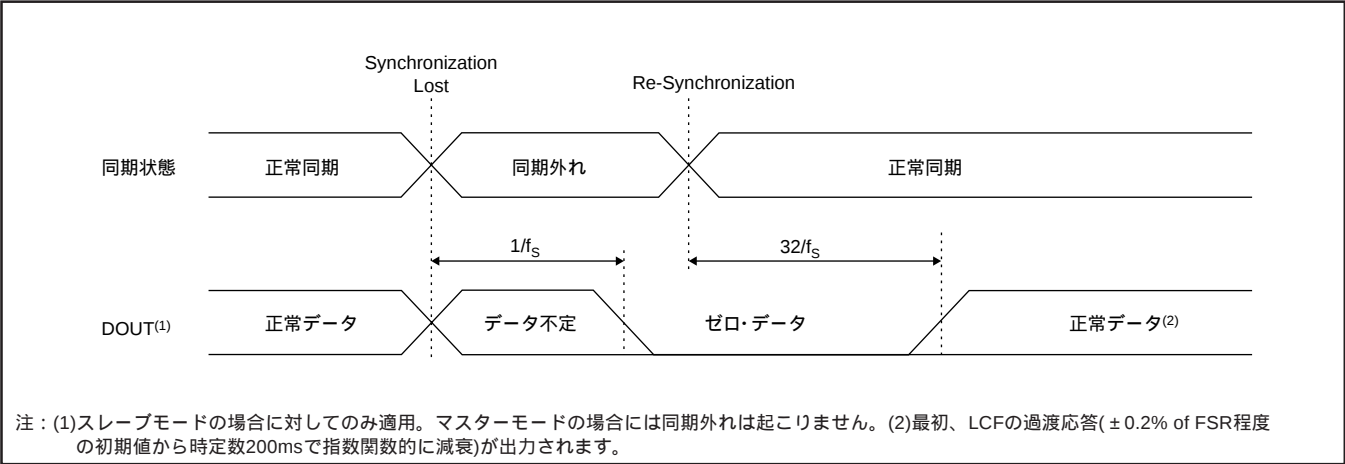


図11. 同期外れ時、再同期確立時のADC出力

リセット時のADC出力

パワーオン・リセットおよび外部リセット時のADC出力には、リセット解除後、リファレンスキャパシタ充電時間、内部LCFフィルタ、デジタルフィルタの演算時間により正常出力までに遅れ時間があります。この関係を図12に示します。

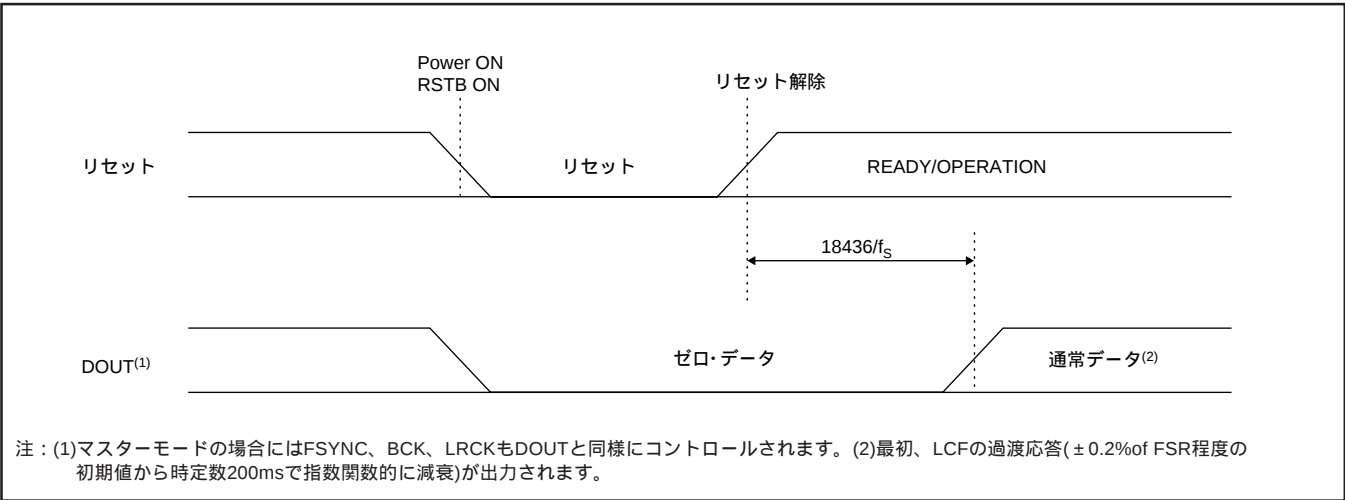
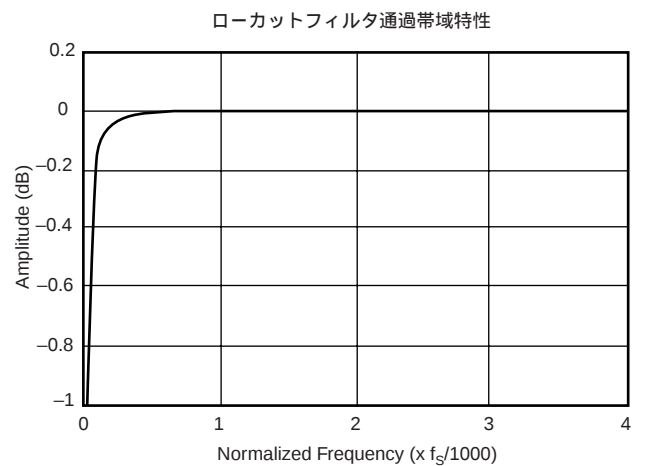
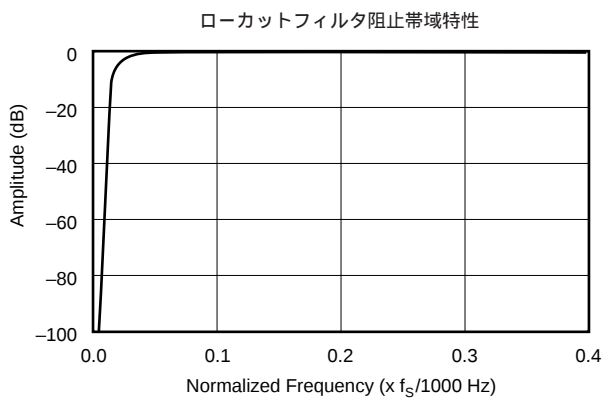
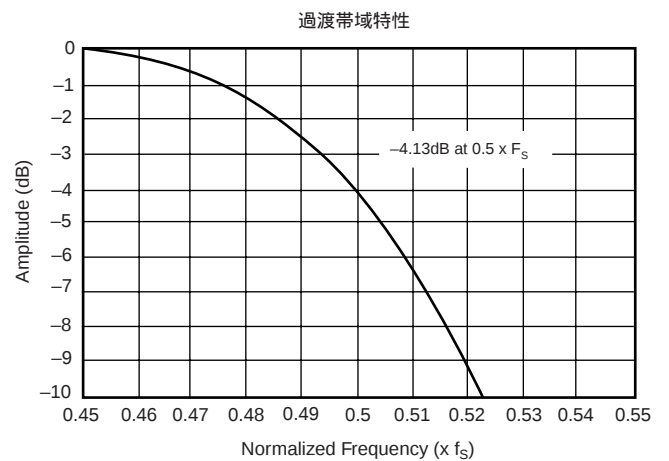
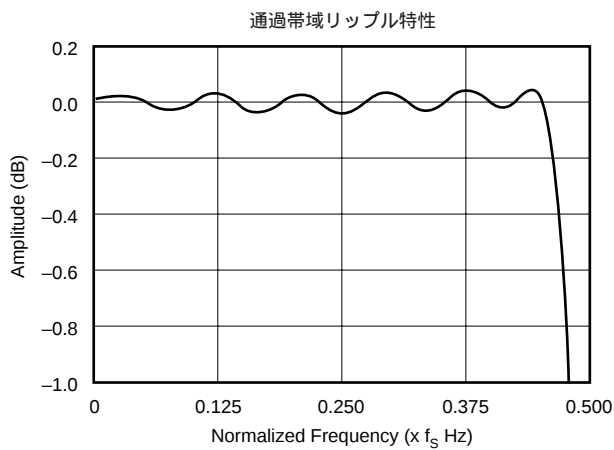
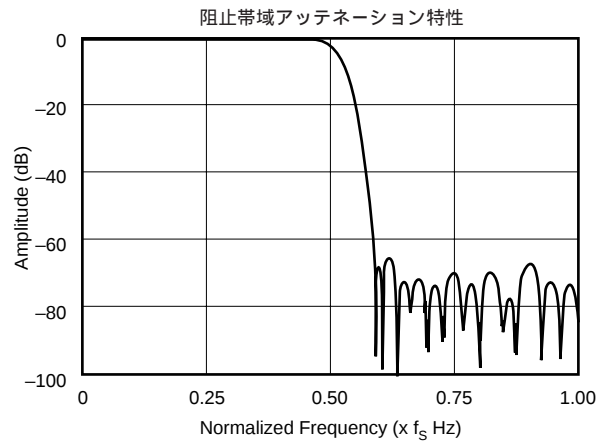
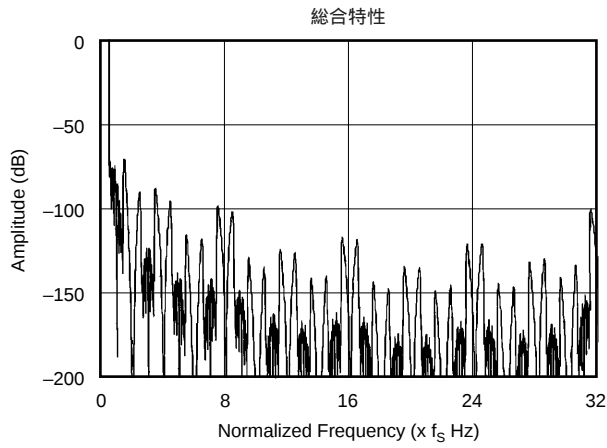


図12. パワーオン・リセットおよびリセットに対するADC出力

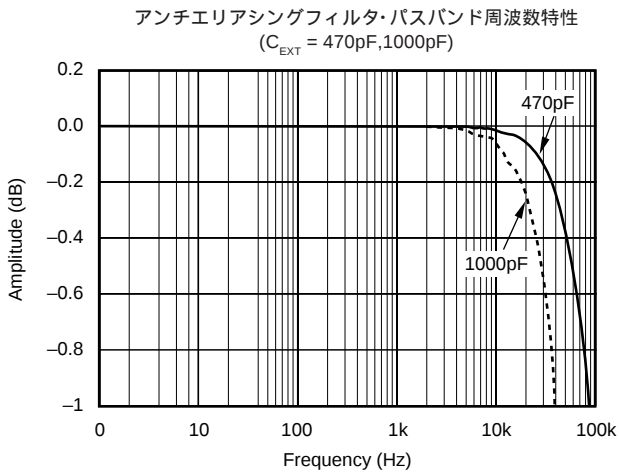
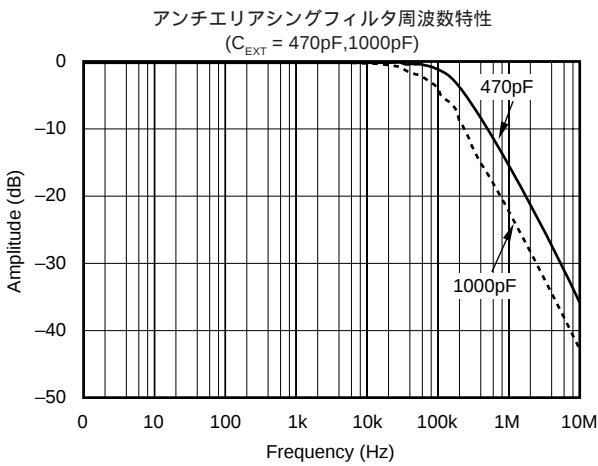
ADC部フィルタ特性

デジタルフィルタ特性

デシメーション・フィルタ特性と通過帯域リップル特性



アナログフィルタ特性



基本接続回路例

低域カットオフ周波数を約5Hzとする場合の代表的接続例を図13に示します。

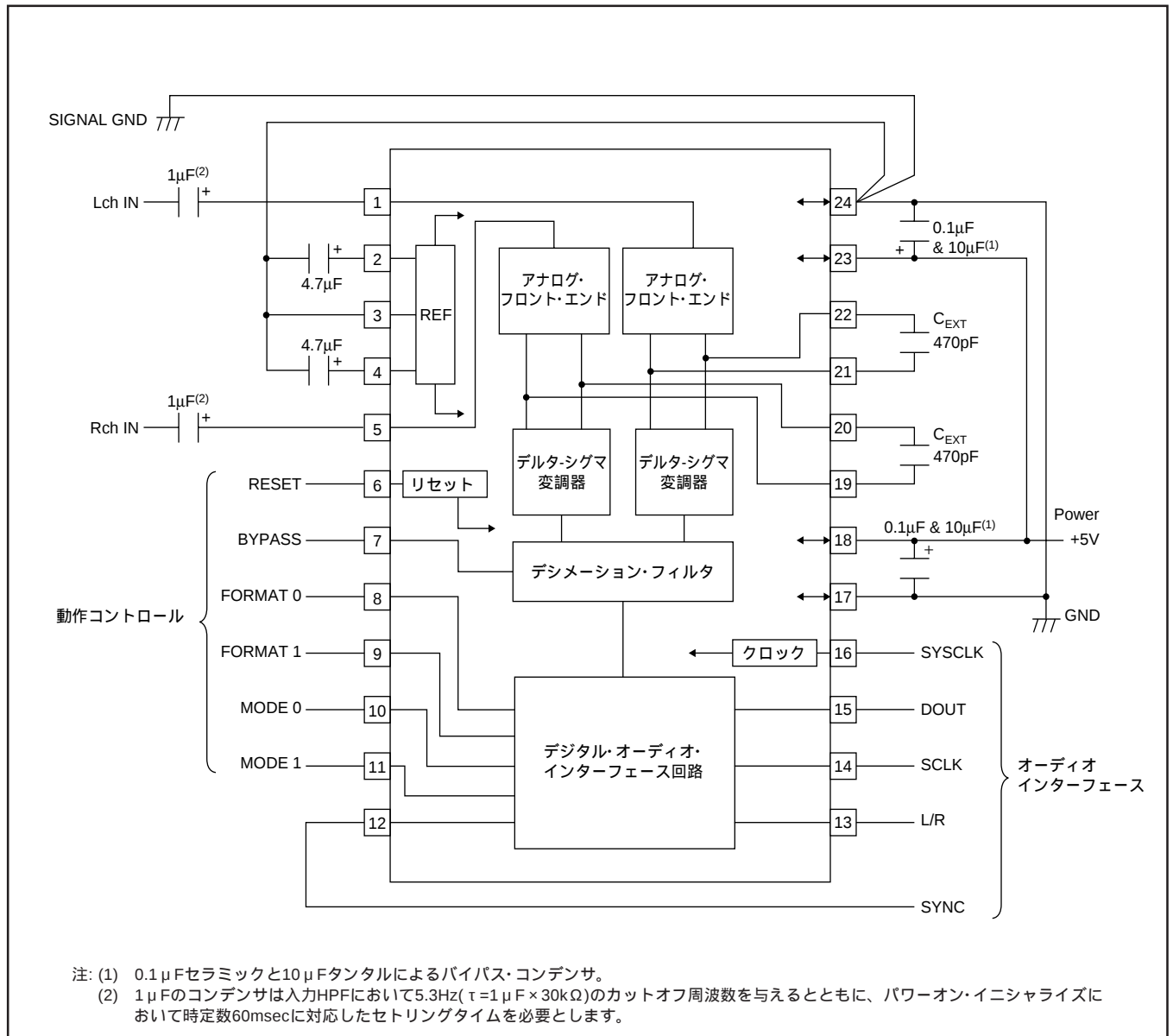


図13. 基本接続回路例

ボードデザインおよびレイアウトにおける留意事項

V_{CC} 、 V_{DD} 端子、電源デカップリング

ADCのダイナミック性能を最大限に引き出すため、PCM1800のデジタルおよびアナログ電源端子はできるだけ端子に近い場所です。0.1 μ Fセラミックと10 μ Fタンタル・コンデンサによって対応するグランド端子にバイパスされなければなりません。PCM1800には2系統の電源端子がありますが、予期しないラッチアップや、パワー・サプライ・シーケンスのような電源トラブルを避けるため、1つの共通の電源より供給することを推奨します。

AGND、DGND端子

ダイナミック性能を最大限に引き出すため、アナログ、デジタル両グランドは内部で接続されておりません。これらの端子はアナロググランドへのデジタルノイズの影響を受けるため、デバイスの直下で接続されなければなりません。

V_{IN} 端子

ACカップリング・コンデンサとして5.3Hzのカットオフ周波数を与える1 μ Fのコンデンサが推奨されます。もしより高いフルスケール入力電圧が必要な場合は、 V_{IN} 端子に1本のシリーズ抵抗を追加することで調整できます。

V_{REF} 、REFCOM端子

ADCリファレンスの低ソース・インピーダンスを実現するため、 V_{REF1} 、 V_{REF2} とREFCOMの間に4.7 μ Fのタンタル・コンデンサが推奨されます。これらのコンデンサは、ADCリファレンスのダイナミック誤差を最小にするため、できるだけ V_{REF1} 、 V_{REF2} ピンの近くに配置し、またREFCOMピンはデバイスの直下でAGNDピンと接続してください。

C_{INP} 、 C_{INN} 端子

170から80kHzのカットオフ周波数を有するアンチ・エリアシングフィルタを構成するため、 C_{INPL} と C_{INN} 、および C_{INPR} と C_{INN} の間に470から1000pFのコンデンサを接続してください。これらのコンデンサは、デルタ・シグマ・モジュレータへの予期しないノイズや、ダイナミック誤差を避けるため、できるだけ C_{INP} 、 C_{INN} ピンの近くに配置してください。

DOUT、BCK、LRCK、FSYNC端子

DOUT端子およびマスターモードの場合のBCK、LRCK、FSYNC端子は十分な負荷ドライブ能力を持っていますが、ロジック・アナログ間のクロストークを抑え、ダイナミック性能を最大にするためには、デバイスの近くにバッファを配置し、最小負荷となるようにシステムを構成してください。また、レイアウト上、アナログ信号はもちろん、SYSCLKとのクロストークについても十分配慮が必要です。

システム・クロック

PCM1800は、システム・クロックを基準にして動作していますので、システム・クロックの品質がADCのダイナミック性能に影響を与えることがあります。このような場合は、システム・クロックのデューティ、ジッタ、入力ピンのスレショルド電圧などに注意を払う必要があります。

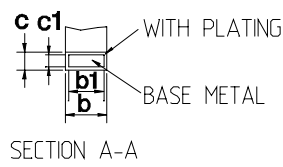
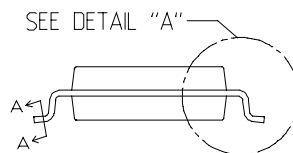
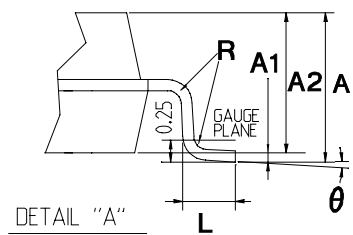
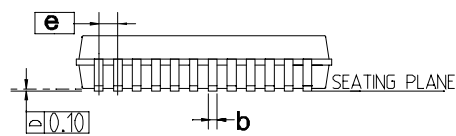
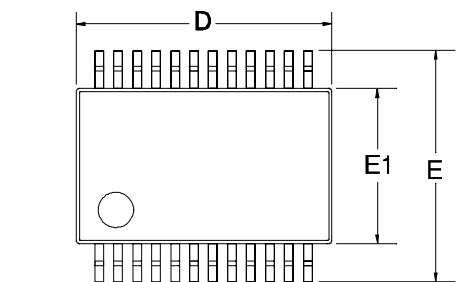
PCM1800は、内部にダイナミック回路を使用しているため、電源が供給されている限りSYSCK(スレーブモードの場合さらにBCK、LRCK)は供給されなければなりません。そうしないと内部ダイナミック回路の異常動作により通常の2、3倍の電源電流が流れ、長期の信頼性に対して望ましくありません。

RSTBコントロール

V_{REF1} 、 V_{REF2} ピンに対し4.7 μ Fを超えるコンデンサを使用する場合は、パワーオン時の V_{REF1} 、 V_{REF2} のレスポンスに対応したディレイ時間だけ外部リセット・コントロールを行う必要があります。

外觀

パッケージ 24ピンSSOP



DIM	MILLIMETERS		
	MIN	TYP	MAX
A	—	—	2.13
A1	0.05	—	0.25
A2	1.62	1.75	1.88
b	0.22	—	0.38
b1	0.22	0.30	0.33
c	0.09	—	0.20
c1	0.09	0.15	0.16
D	7.90	8.20	8.50
E	7.40	7.80	8.20
E1	5.00	5.30	5.60
e	—	0.65BSC	—
L	0.63	0.90	1.03
R	0.09	—	—
θ	0°	4°	8°