

マルチビット・エンハンスド・ノイズシェーピング方式 20ビット A/Dコンバージョンシステム

特 長

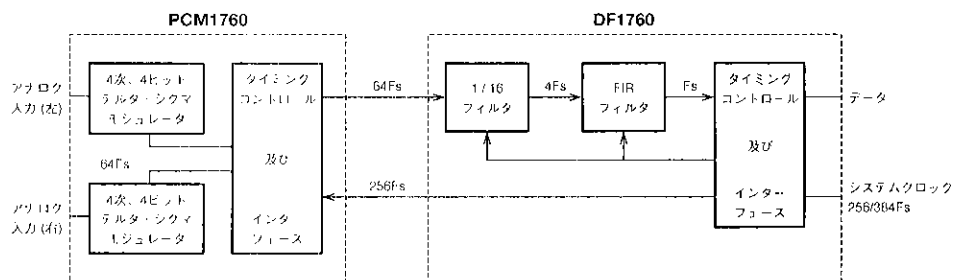
- 高性能20ビット、2CH同時サンプリングA/D変換システム
- 低歪率、高ダイナミックレンジ、高S/N比
 THD : 0.0025% (F/S) TYP
 ダイナミックレンジ : 108dB TYP
 S/N比 : 110dB TYP
 チャンネルセパレーション : 98dB
- 64倍オーバーサンプリング方式
- システムクロック256Fs又は384Fs (DF1760)
- 豊富なインターフェース機能
 16/20ビット
 MSBファースト/LSBファースト
 データ前づめ/後づめ
- 豊富なオプション機能
 オフセットキャリブレーション
 オーバフロー検出
 パワーダウン
- 電源電圧
 PCM1760 : $\pm 5V$
 DF1760 : +5V
- パッケージ
 28ピンDIP又は28ピンSOP

概 要

PCM1760/DF1760は、高性能20ビット分解能A/Dコンバージョンシステムで、バー・ブラウン独自に開発したマルチビット・エンハンスド・ノイズシェーピング方式の採用により、従来の1ビット・デルタ・シグマ方式に比べ大幅な性能向上を実現しました。

PCM1760は4次、4ビット 64Fsデルタ・シグマ型ステレオ対応フロントエンドで、DF1760に直接インターフェースが可能です。

DF1760の高性能デシメーションフィルタで、PCM1760から送られてくるサンプリング周波数64Fsの4ビット信号を入力し、内部でFsまでサンプリング周波数を下げ、同時にビット数を20ビットまで増やし、出力します。阻止帯域減衰量-100dB以上、通過帯域リップル $\pm 0.0001dB$ 以内と高性能で、また多彩なオプションインターフェース機能を備えています。



ブロック図

PDSJ-1174C

September, 1992

PCM1760/DF1760

特に記述のない限り、PCM1760とDF1760を13-26ページに示すアプリケーション回路での組み合わせ。Ta = +25°C、 $V_{CC} = \pm V_{DD} = +5V$ 、 $V_{DD} = +5V$ 、Fs = 48kHz (システムクロック = 12.288MHz)、外部積分器部品公差12%におけるものです。

13

PCM1760P/U,DF1760P/U

このデータシートに記載されている情報は、信頼しうるものと考えておりますが、不正確な情報や記載漏れ等に関して弊社は責任を負うものではありません。情報の使用について弊社は責任を負いませんので、各ユーザーの責任において御使用下さい。価格や仕様は予告なしに変更される場合がありますのでご了承下さい。ここに記載されているいかなる回路についても工業所有権その他の権利またはその実施権を付与したり承諾したりするものではありません。弊社は弊社製品を生命維持に関する機器またはシステムに使用することを承認したことを保証するものではありません。

電氣的特性(続き)

PCM1760/DF1760

パラメータ	条 件	最 小	標 準	最 大	単 位
電源条件					
電源電圧					
$\pm V_{CC}$	PCM1760	± 4.75	± 5.0	± 5.25	VDC
$\pm V_{DD}$	PCM1760	± 4.75	± 5.0	± 5.25	VDC
+VDD	DF1760	4.75	5.0	5.25	VDC
電源電流					
+I _{CC}	PCM1760		24	36	mA
-I _{CC}	PCM1760		-30	-45	mA
+I _{DD}	PCM1760		12	18	mA
-I _{DD}	PCM1760		-8	-12	mA
+IDD(1)	DF1760 : ノーマル・モード		40	55	mA
+IDD(2)	DF1760 : パワーダウン・モード		4	6.6	mA
消費電力					
Pd(1)	PCM1760		370	500	mW
Pd(2)	DF1760 : ノーマル・モード		200	275	mW
Pd(3)	DF1760 : パワーダウン・モード		20	33	mW
温度範囲					
動作		0	+25	+70	°C
保存		-50		+125	°C

注：(1) FSRはフルスケールレンジを意味し、出力コードで90000Hから70000HでFSR = 5.0Vとなります。(2) 20-bit DACによるアナログ再生。THDメータ 400HzHPF、20kHzLPF使用。平均値測定。

絶対最大定格

PCM1760

項 目	定 格 値	単 位
電源電圧	± 6.0	V
電源電圧差	0.1	V
アナログ入力電圧	$+/-V_{CC}$	V
デジタル入力電圧	$+V_{DD} + 0.3, GND - 0.3$	V
消費電力(Pパッケージ)	580	mW
消費電力(Uパッケージ)	550	mW
リード温度(Pパッケージ)	260°C、10sec	°C
リード温度(Uパッケージ)	235°C、10sec	°C
動作温度	0~+70	°C
保存温度	-50~+125	°C

DF1760

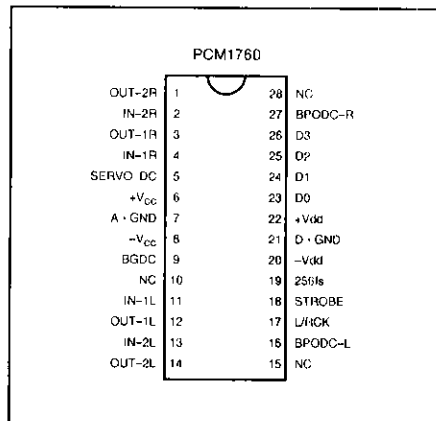
項 目	定 格 値	単 位
電源電圧	7.0	V
電源電圧差	0.1	V
端子電圧	+VDD +0.5、VSS -0.5	V
入力電流	± 20	mA
消費電力(Pパッケージ)	460	mW
消費電力(Uパッケージ)	440	mW
リード温度(Pパッケージ)	260°C、10sec	°C
リード温度(Uパッケージ)	235°C、10sec (リフロー)	°C
動作温度	0~+70	°C
保存温度	-50~+125	°C

御発注の手引

モデル	パッケージ	THD at F/S	S/N比
PCM1760P	プラスチックDIP	0.003%	108dB
PCM1760P-L	プラスチックDIP	0.004%	106dB
PCM1760U	プラスチックSOP	0.003%	108dB
PCM1760U-L	プラスチックSOP	0.004%	106dB

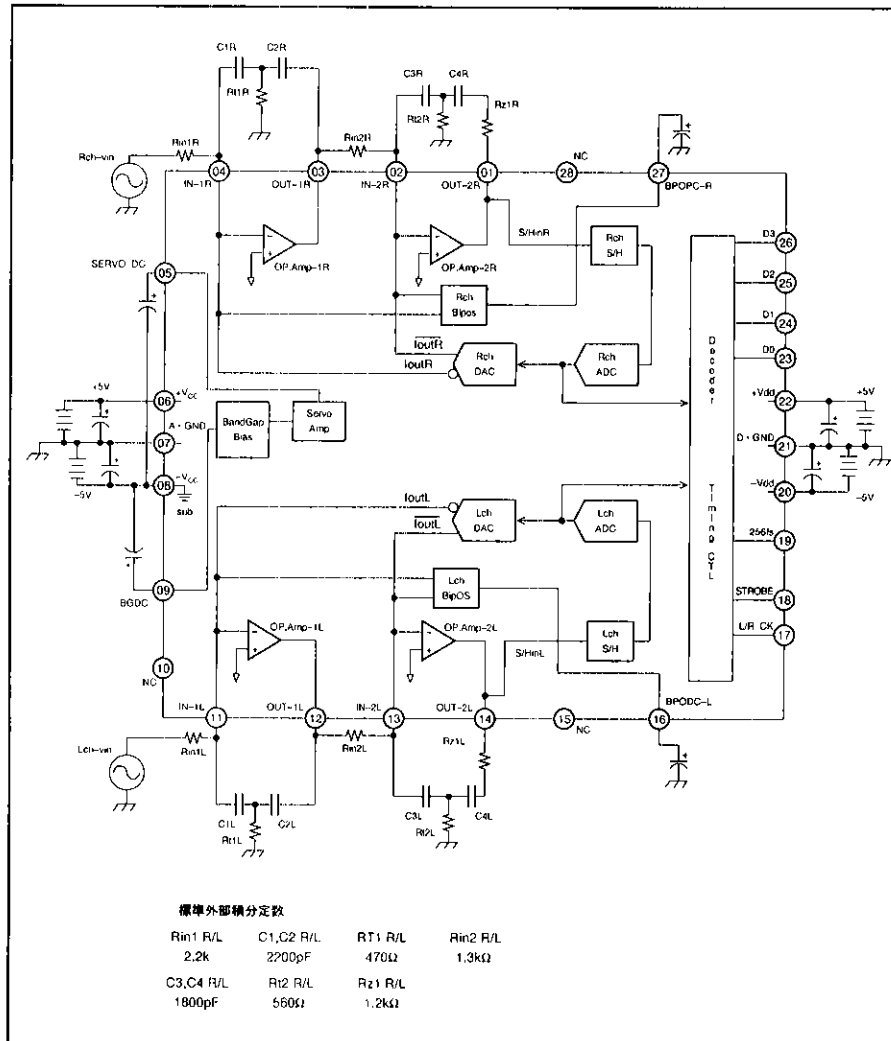
モデル	パッケージ
DF1760P	プラスチックDIP
DF1760U	プラスチックSOP

PCM1760ピン配置

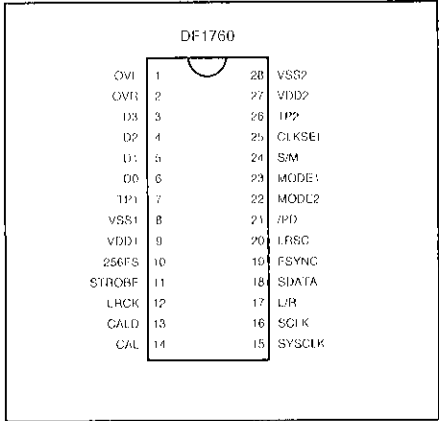


ピン	I/O	ピン名称	説明	ピン	I/O	ピン名称	説明
1	O	OUT-2R	Rch 次段アンプ出力	15	-	NC	
2	I	IN-2R	Rch 次段アンプ入力	16	-	BPODC-L	Lch バイポーラオフセット デカップリング
3	O	OUT-1R	Rch 初段アンプ出力	17	O	L/R CK	L/R クロック出力 (64fs)
4	I	IN-1R	Rch 初段アンプ入力	18	O	STROBE	データストローブ出力 (128fs)
5	-	SERVO DC	サーボ・デカップリング	19	I	256fs	システムクロック入力 (256fs)
6	-	+V _{CC}	アナログ系正電源 (+5V)	20	-	-V _{DD}	デジタル系負電源 (-5V)
7	-	A・GND	アナロググランド	21	-	D・GND	デジタルグランド
8	-	-V _{CC}	アナログ系負電源 (-5V)	22	-	+V _{DD}	デジタル系正電源 (+5V)
9	-	BGDC	バンドギャップデカップリング	23	O	D0	データ出力 (LSB側)
10	-	NC		24	O	D1	データ出力
11	I	IN-1L	Lch 初段アンプ入力	25	O	D2	データ出力
12	O	OUT-1L	Lch 初段アンプ出力	26	O	D3	データ出力 (MSB側)
13	I	IN-2L	Lch 次段アンプ入力	27	-	BPODC-R	Rch バイポーラオフセット デカップリング
14	O	OUT-2L	Lch 次段アンプ出力	28	-	NC	

PCM1760ブロックダイアグラム



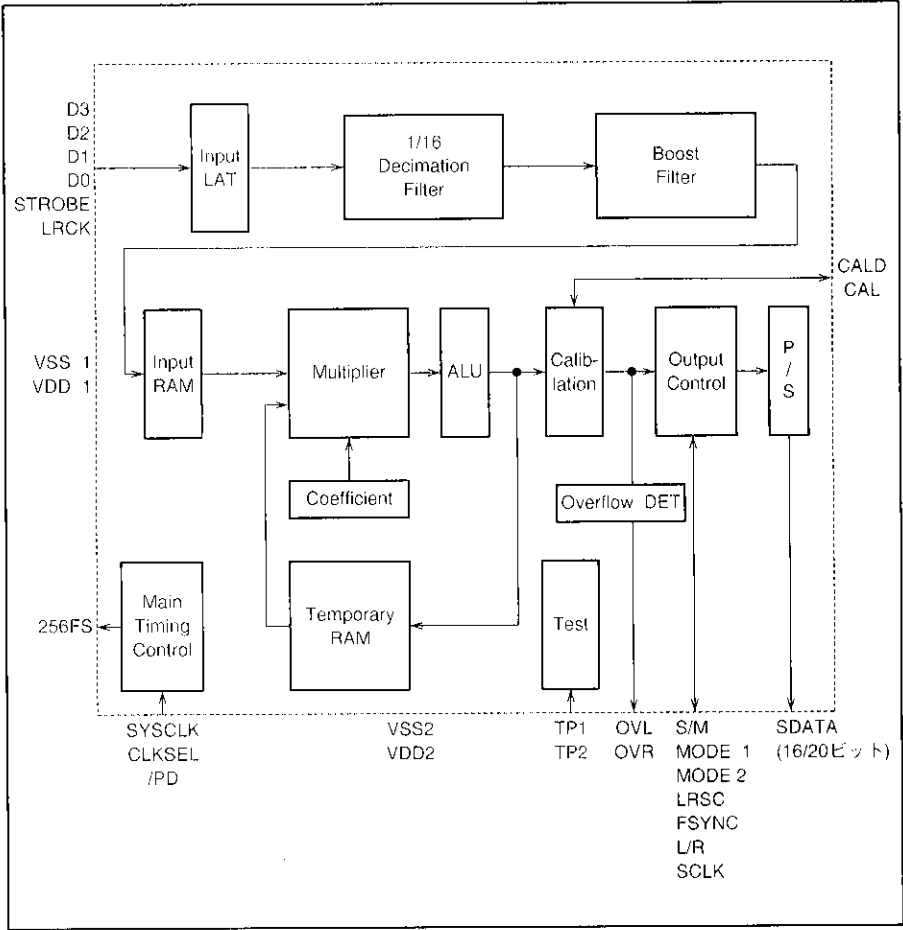
DF1760ピン配置



ピン	I/O	ピン名称	説明	ピン	I/O	ピン名称	説明
1	O	OVL	Lch オーバーフロー検出 (Hで検出)	15	I	SYSCLK	システムクロック入力 (256fs/384fs)
2	O	OVR	Rch オーバーフロー検出 (Hで検出)	16	I/O	SCLK	データクロック (32fs ~64fs)
3	I	D3	データ入力 (MSB側)	17	I/O	L/R	L/R チャンネル 区別クロック
4	I	D2	データ入力	18	O	SDATA	シリアルデータ出力
5	I	D1	データ入力	19	I/O	FSYNC	フレーム同期クロック (2fs)
6	I	D0	データ入力 (LSB側)	20	I↑	LRSC	L/R 論理切換 (HでLch/H)
7	-	TP1	テスト用端子 (NCで使用する)	21	I↑	/PD	パワーダウンモード (Lでパワーダウン)
8	-	VSS1	モジュレータ用GND	22	I↑	MODE2	出力データ型式選択
9	-	VDD1	モジュレータ用電源 (+5V)	23	I↑	MODE1	出力データ型式選択
10	O	256fs	システムクロック出力 (256fs)	24	I↑	S/M	スレーブ/マスター モード選択 (Hでスレーブ)
11	I	STROBE	データストロブ入力 (128fs)	25	I↑	CLKSEL	システムクロック選択 (Hで256fs)
12	I	LRCK	L/R クロック入力 (64fs)	26	-	TP2	テスト用端子 (NCで使用する)
13	I↑	CALD	キャリブレーション選択 (Lで有効)	27	-	VDD2	デジタル電源 (+5V)
14	O	CAL	キャリブレーション出力 (Hで実行中)	28	-	VSS2	デジタルグラウンド

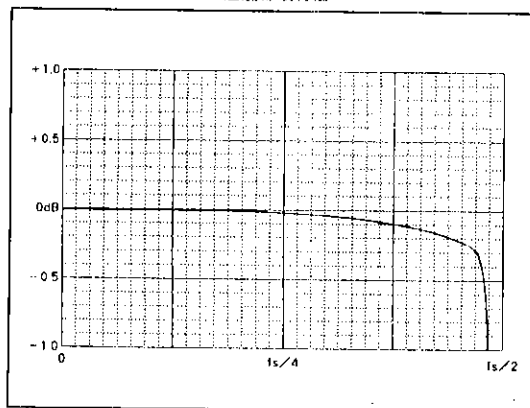
・17内部プルアップ付入力

DF1760ブロックダイアグラム

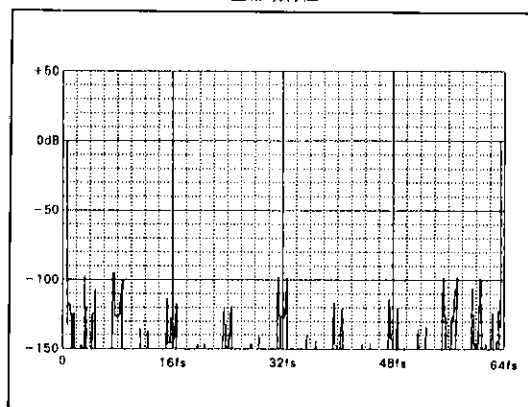


デシメーション・フィルタ特性

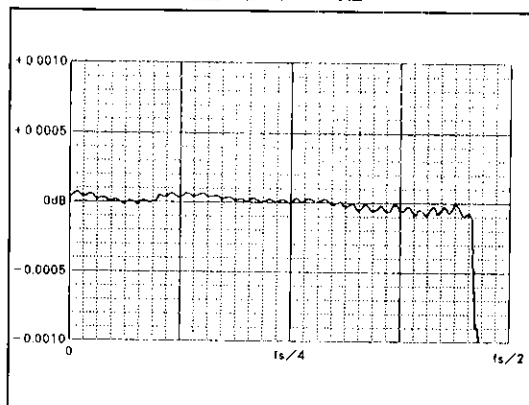
通過帯域特性



全帯域特性

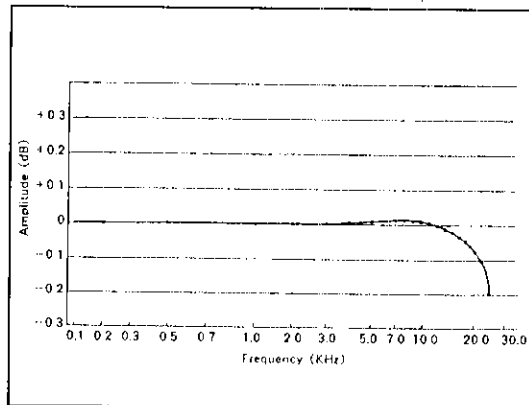


通過帯域リップル特性

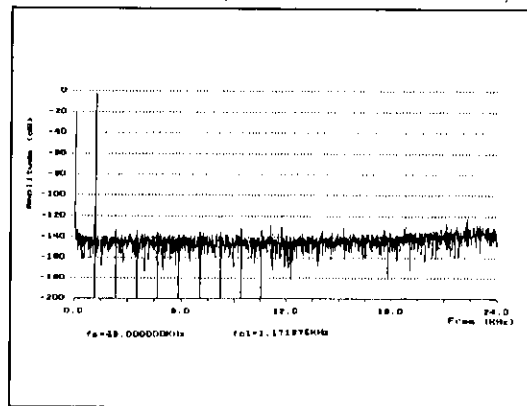


総合特性

総合周波数特性 (PCM1760 + DF1760)

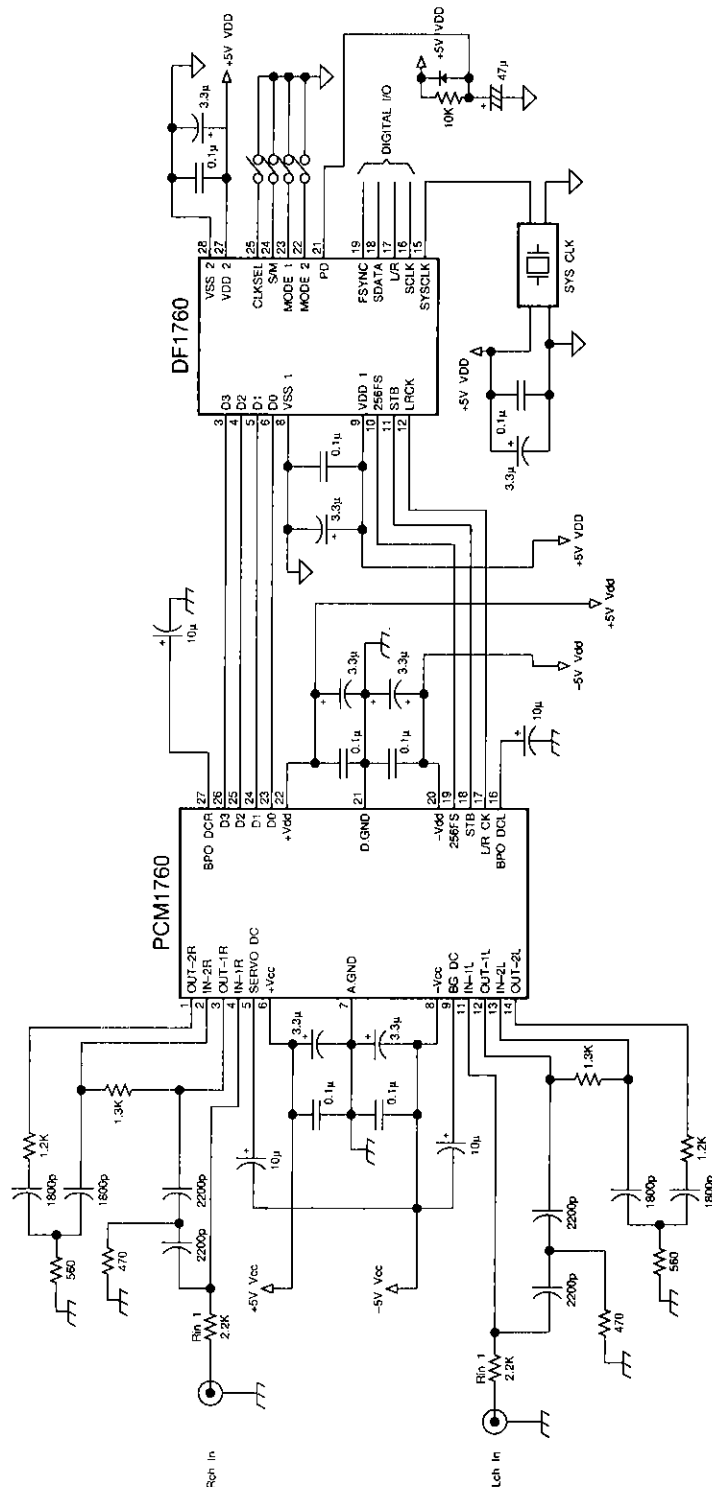


総合スペクトラム特性 (PCM1760 + DF1760、2048点 FFT)



13

PCM1760P/U, DF1760P/U



基本接続図(PCM1760とDF1760の組み合わせ)

デジタル・フィルタ機能

システムクロック

DF1760のSYSCLK端子にはシステムクロックを入力します。システムクロック周波数は256Fs/384Fsいずれも対応可能で、CLKSEL端子でシステムクロック周波数を選択します。

CLKSEL	SYSCLK
H	256Fs
L	384Fs

マスター/スレーブモード

マスターモードではL/R、SCLK、FSYNCの各信号はDF1760から出力されます。逆に、スレーブモードではこれらL/R、SCLK、FSYNCの各信号を外部より入力します。マスター/スレーブの選択はS/M端子で行ないます。

S/M	モード
H	スレーブ
L	マスター

出力データ形式

DF1760の出力データはMODE1、MODE2両端子の選択により出力フォーマットを切り換えることが可能です。

MODE1	MODE2	フォーマット
H	H	MSBファースト 後づめ 16BIT
L	H	MSBファースト 後づめ 20BIT
H	L	MSBファースト 前づめ 20BIT
L	L	LSBファースト 後づめ 20BIT

L/Rクロック極性

L/RクロックのH/Lに対してLch/Rchのチャンネル選択をLRSC端子で行なえます。

LRSC	L/Rクロックとチャンネル
H	☐ H = Lch、 ☐ L = Rch
L	☐ L = Lch、 ☐ H = Rch

オーバーフロー

出力においてオーバーフローが起きた場合、OVLとOVR両端子は4096/Fsの時間(約85msec)“H”を出力し、その後自動復帰します。

キャリブレーション

キャリブレーション機能の選択はCALD端子によって選択され、キャリブレーションの実行はパワーダウン(PD)端子の制御によって行なわれます。

CALD	キャリブレーション
H	使用しない
L	使用する

キャリブレーションの実行はPD端子を所定の時間“L”にした後、“H”に戻した時にスタートし、CAL端子は実行中“H”を出力します。キャリブレーションの終了はCAL端子が“L”になった時です。また、その間はL/R、SCLK、FSYNCは入力状態となり、SDATAは“L”に固定されます。

パワーダウンモード/リセット

PD端子の選択により、内部消費電力をセーブし、スタンバイ状態となるパワーダウンモードを選択できます。また、電源投入時のパワーオン・リセットおよびモード切り換え時の内部リセットもPD端子で行ないます。尚、PD端子のアクティブ期間(L期間)は最小2/Fs(sec) が必要です。リセットの詳細については使用上の注意における“パワーオン・リセットおよびモード・リセット”を参照下さい。

PD	動作
H	ノーマル
L	パワーダウン/リセット

パワーダウン中ではL/R、SCLK、FSYNCは入力状態となり、SDATAは“L”に固定されます。また、パワーダウン中でも256Fsは機能しています。パワーダウン時の消費電流はノーマルモード時の40mAに対して、4mAとなります。

出力データ・コード

20ビット分解能における理想出力コードは、80000H/−FSRから7FFFFH/+FSRですが、PCM1760との組み合わせにおいては、90000H/−FSRから70000H/+FSRとなります。詳しくは使用上の注意の項を参照下さい。

PCM1760/DF1760インターフェースタイミング

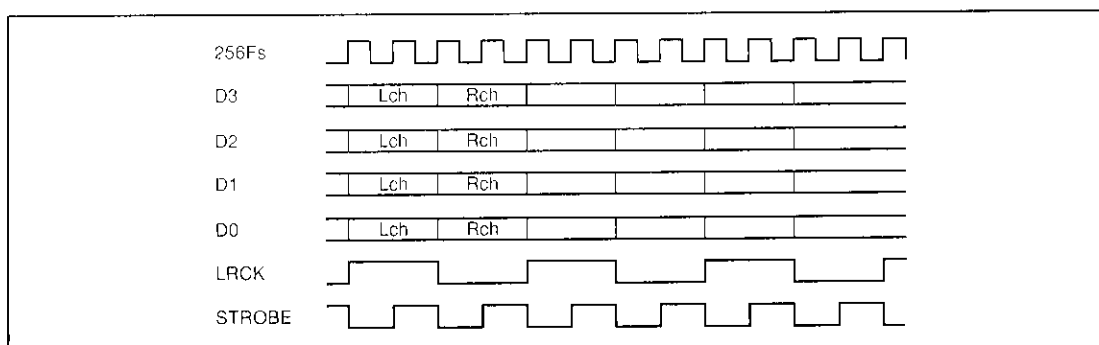


図1. PCM1760/DF1760タイミング図

出力フォーマット

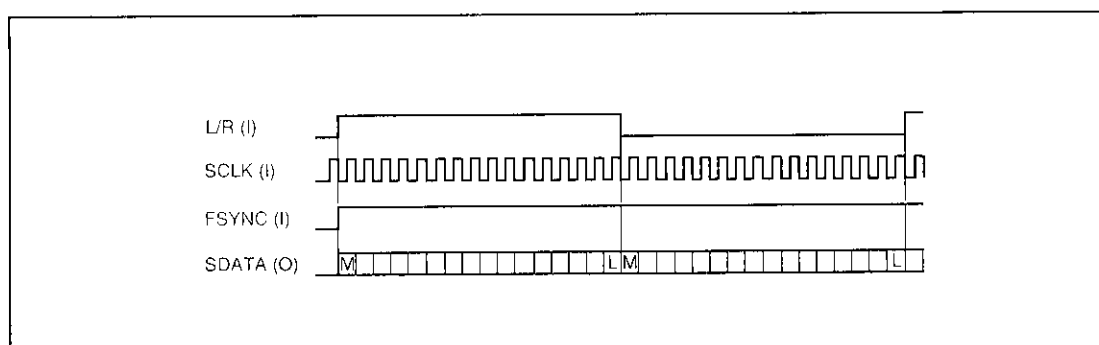


図2a. スリープモード SCLK = 32Fs

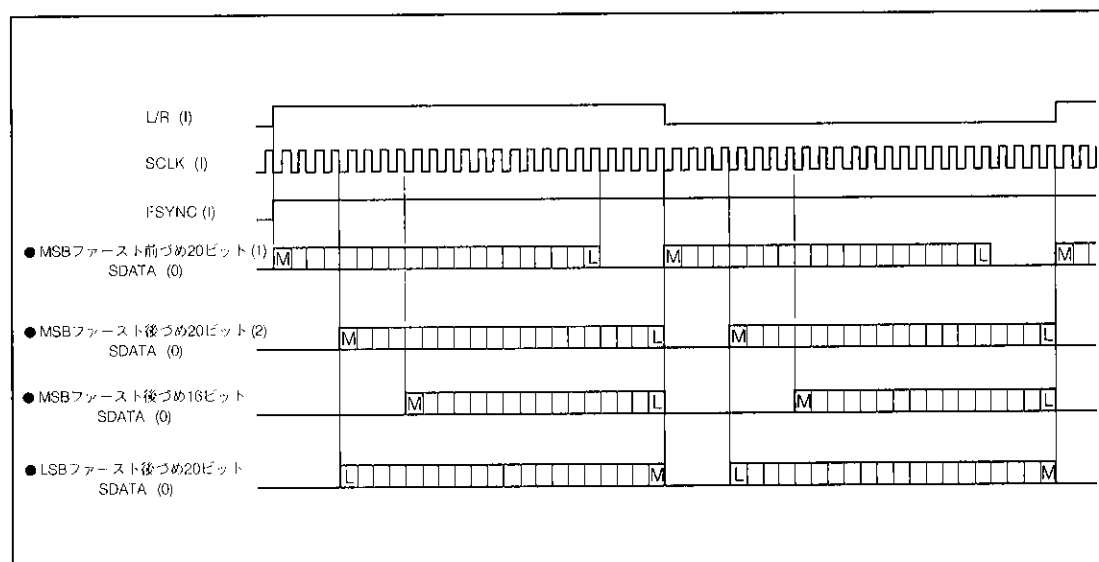


図2b. スリープモード SCLK = 48Fs

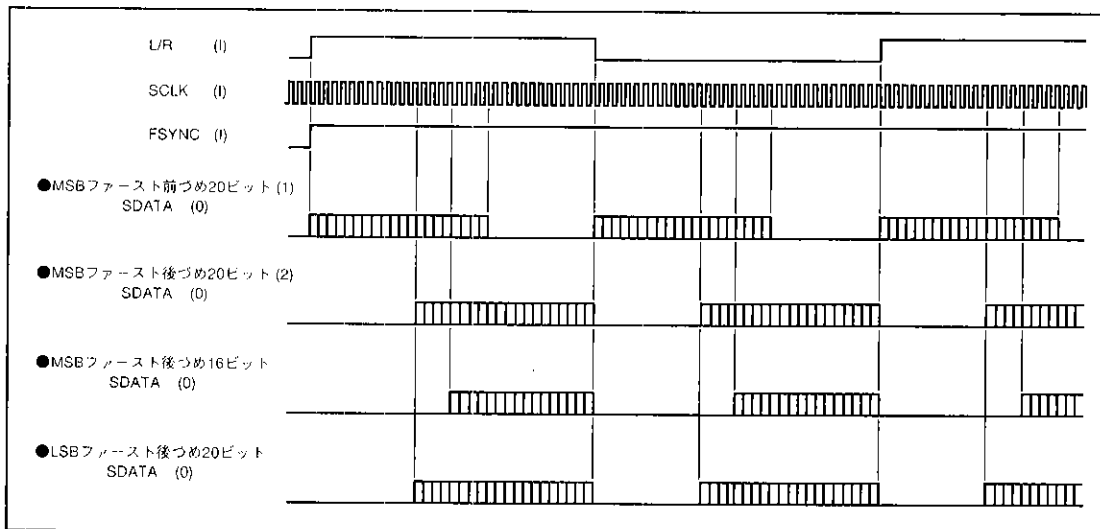


図2c. スリープモード SCLK = 64Fs

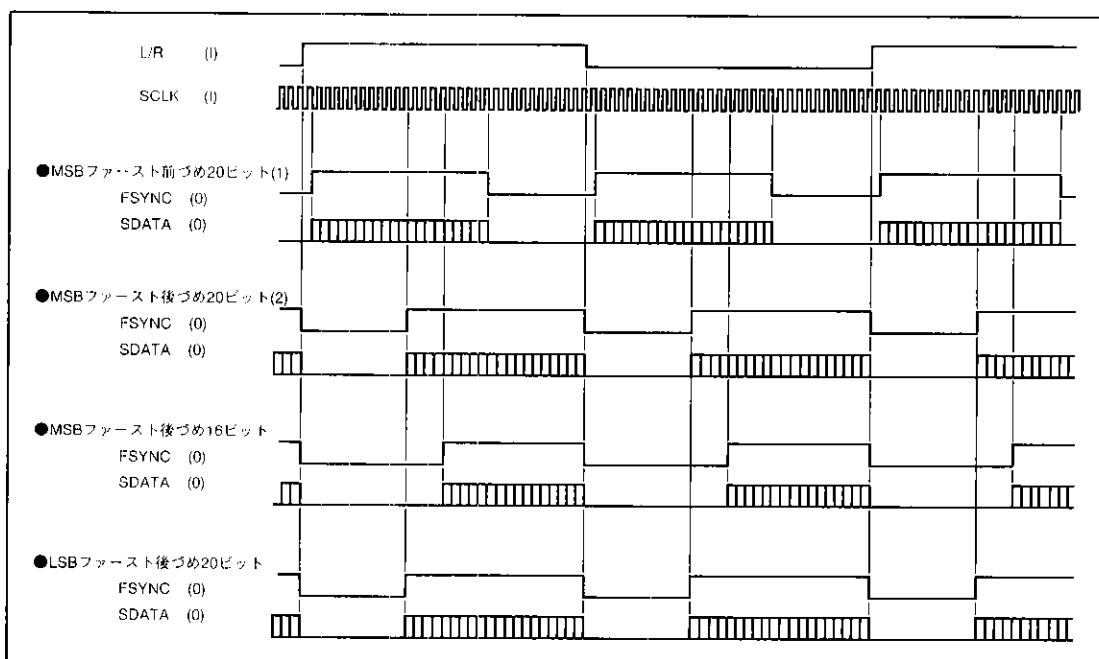


図2d. マスターモード

タイミング詳細

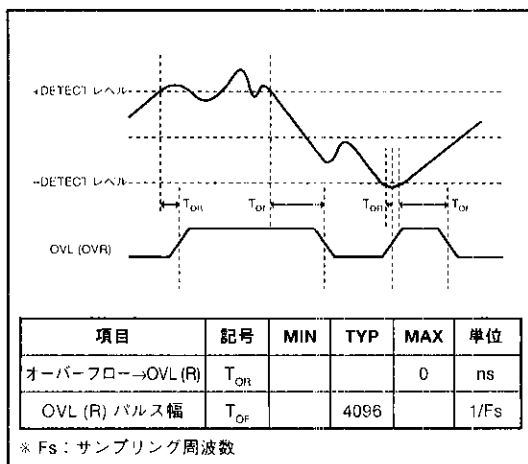


図3a. オーバーフロータイミング

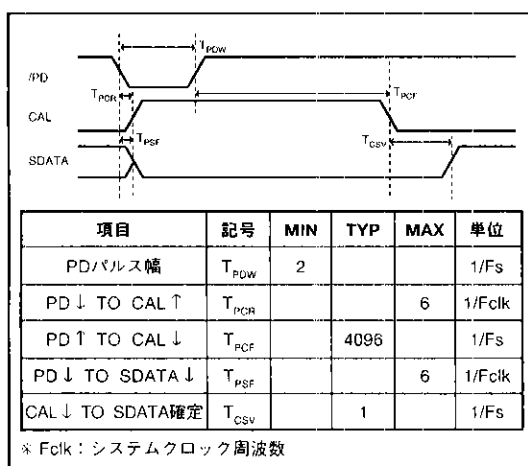


図3b. パワーダウン&キャリブレーションタイミング

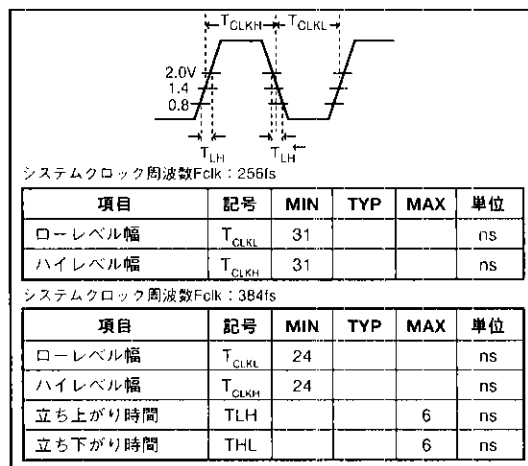


図3c. SYCLK

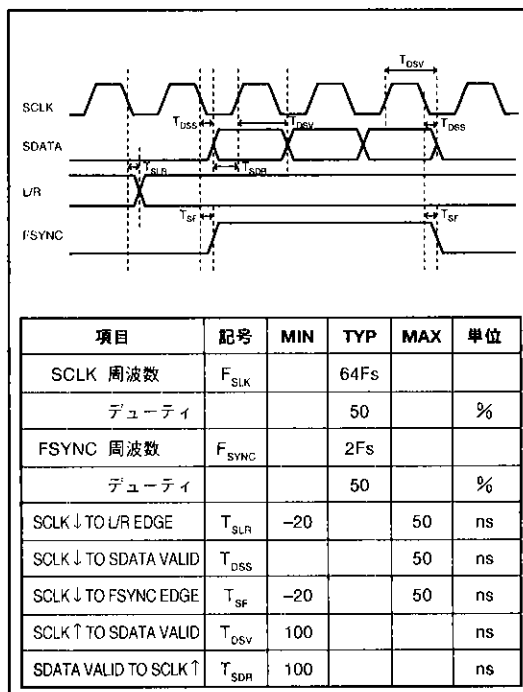


図3d. マスターモード出力タイミング

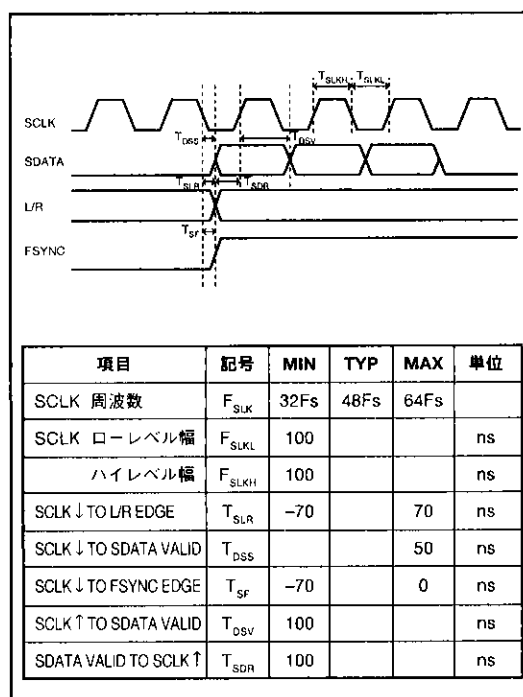


図3e. スleepモードタイミング

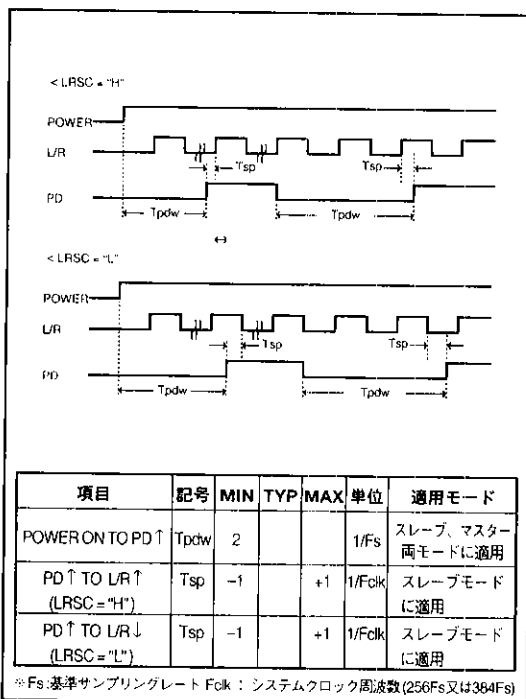


図3f. パワーオンおよびモードリセット・タイミング

動作の説明

ΔΣ型A/D変換

1次ΔΣ型A/D変換器の基本構成を図4に示します。量子化器は1又は0を出力する1ビット量子化器です。ΔΣ型の理論S/N比は量子化器が1ビットであれば次数とオーバーサンプリングレートで決まります。

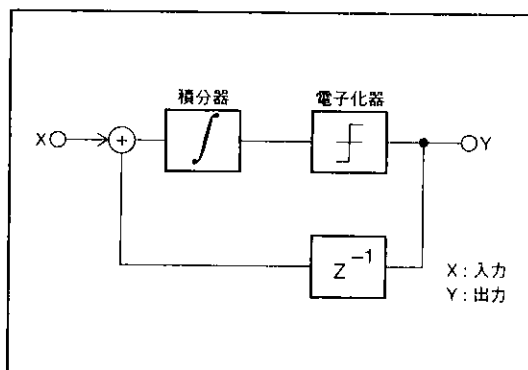


図4. 1次1ビットΔΣ

すなわち、16ビット以上の高分解能を得るためには、次数を多くするか、サンプリングレートを高くしなければなりません。このアプローチの場合、3次以上にするとループが不安定になる、サンプリングクロックのジッタを受けやすい等の障害があります。

マルチビット・エンハンスド・ノイズシェーピング

PCM1760で用いたマルチビット・エンハンスド・ノイズシェーピング方式では量子化器にnビットA/Dコンバータ (nビットDAC) を用いています (図5)。

これにより、一般のΔΣ方式に比べ同じサンプリングレートであれば、S/N比は $6 \times n$ (dB) 向上させることができ、サンプリングクロック・ジッタの影響も少なくすることが可能です。

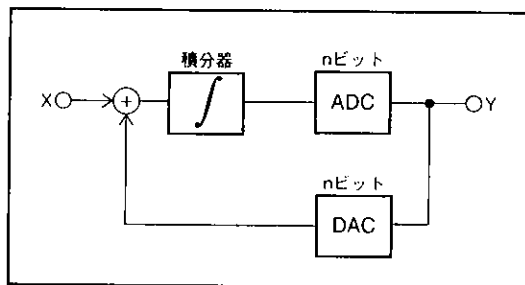


図5. 1次マルチビットΔΣ

PCM1760では20ビット分解能、S/N比108dBを実現するため、4次、4ビットのマルチビット・エンハンスド・ノイズシェーピングとし、オーバーサンプリングレートは64Fsとしています。

基本構成を図6に示します。

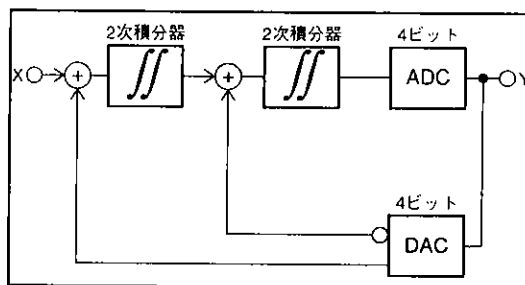


図6. マルチビット・エンハンスド・ノイズシェーピング

PCM1760のエンハンスド・ノイズ・シェーピングされた64Fs、4ビットのデジタル・データは、DF1760にてまず1/16のサンプリングレートにデシメーションされ、さらに1/4デシメーションFIRフィルタにて1fs、20ビットの信号に変換されます。

使用上の注意

電源とデカップリング

PCM1760モジュレータ部への電源はアナログ系±5Vを供給し、DF1760デジタルフィルタ部への電源はデジタル系+5Vを供給します。PCM1760の+V_{cc}と+V_{dd}、-V_{cc}と-V_{dd}はそれぞれ共通接続し、それぞれのピンから最短距離でデカップコンデンサを接続します。

PCM1760の両グランドはICの真下のなるべく広いグランドプレーンに接続し、アナログ電源にリターンします。

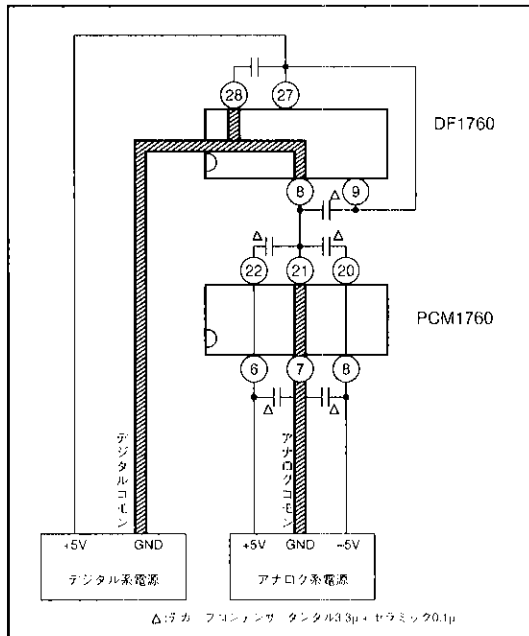


図7. 電源の接続

また、DF1760の V_{DD1} と V_{DD2} 、 V_{SS1} と V_{SS2} もそれぞれ共通接続しそれぞれのピンから最短距離でデカップコンデンサを接続します。

アナログ系とデジタル系の両コモンはPCM1760の21pin、DF1760の8pin間で接続します。これらの様子を図7に示します。

モジュレータ回路定数とサンプリング周波数

PCM1760のモジュレータ部は片チャンネルあたり2個の内蔵高性能オペアンプと幾つかの外部抵抗及びキャパシタンスで構成されています。

これらの外部抵抗及びキャパシタンスの指定値に対する公差は $\pm 2\%$ 未満ですが、なるべく良質の部品を使用することをおすすめします。

標準外部積分定数においては、 $30\text{kHz} \sim 50\text{kHz}$ のFsに対して安定動作します。

アナログ入力とデジタル出力コード

PCM1760/DF1760の組み合わせによるアナログ入力とデジタル出力コードの関係を表1に示します。

THD最良点の得られる $\pm\text{FSR}$ ($\pm 2.5\text{V}$)入力における出力コードは $90000\text{H}/-\text{FSR}$ 、 $70000\text{H}/+\text{FSR}$ となり、 $\pm 2.5\text{V}$ をわずかも超える入力でオーバーフロー・フラグが出力されます。オーバーフロー・レベル以上のアナログ入力に対してはサチュレーション領域となりますが、 $72000\text{H} \sim 7\text{FFFFH}$ および $80000\text{H} \sim 82000\text{H}$ のコードは出力されません。

オフセットキャリブレーション

PCM1760/DF1760の初期オフセットおよび入力回路部(ラインアンプ、ローパスフィルタ等)との総合入力オフセット電圧はキャリブレーション機能により、キャンセル可能です。

この場合、入力回路部の総合オフセット電圧はデジタルフィルタオフセット電圧分だけ演算によりシフトされ、デジタルデータ出力はバイポーラゼロとなります。

アナログ入力電圧	条 件	デジタル出力コード
+2.55V	+最大入力	72000H
+2.50 $\sim$ +2.55V	+オーバーフロー検出	70000H $\sim$ 72000H * 2
+2.50V	+FSR	70000H
0V	BPZ (理想)	00000H * 1
-2.50V	-FSR	90000H
-2.83 $\sim$ -2.85V	-オーバーフロー検出	82FFFFH $\sim$ 82000H * 2
-2.85V	-最大入力	82000H

表1.

注：1. バイポーラ・ゼロ誤差がゼロの場合です。 2. デジタル出力コード70000H以上、82FFFFH以下でオーバーフローが検出されます。

尚、PCM1760自身のバイポーラ・ゼロ誤差値は電源投入直後は急激に変化するので、キャリブレーションを行なう場合は十分なウォーム・アップ後に行なうことをお奨めします。

これらの概念を図8に示します。

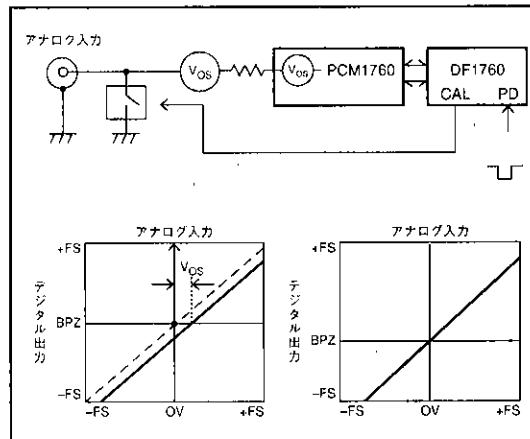


図8. オフセット・キャリブレーションの概念図

パワーオン・リセットおよびモード・リセット

パワーオン・リセットを確実に実施する為、/PD端子入力は電源ON状態から最小2/Ts期間後に“H”にして下さい。また、電源投入後に、システムクロック、マスター/スリープモード、出力データ形式、L/Rクロック極性、キャリブレーションモードについて設定変更を行なった場合、SYSCLK、SCLKの変更を行なった場合には、必ずモード・リセット処理(PD端子入力を最小2/Ts “L” とする)を実施して下さい。モード・リセットにおけるタイミング条件は図3fを参照下さい。尚、マスター、スリープ各モードに応じたリセット回路例を図9～図11に示します。

クロック入力

DF1760においては内部にダイナミック回路を使用している為、システムクロック入力およびスリープモード時におけるSCLK入力を停止させることができません。電源投入後は、必ず連続したクロックを入力して下さい。

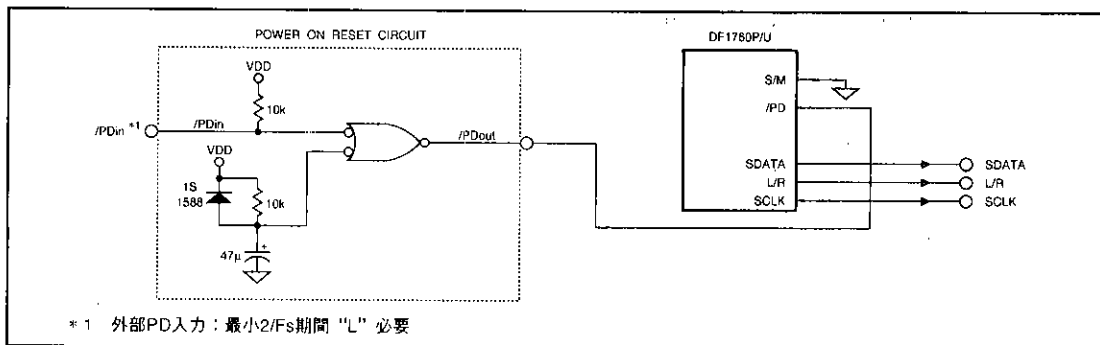


図9. マスターモード・リセット回路例

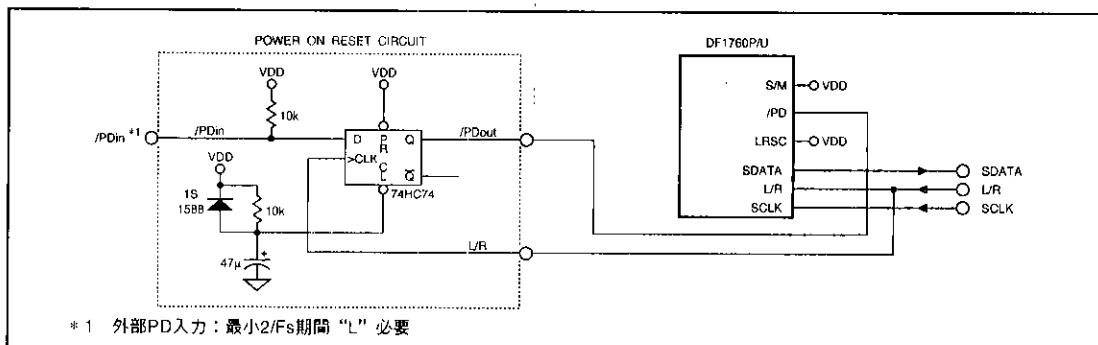


図10. スリープモード(LRSC = H)リセット回路例

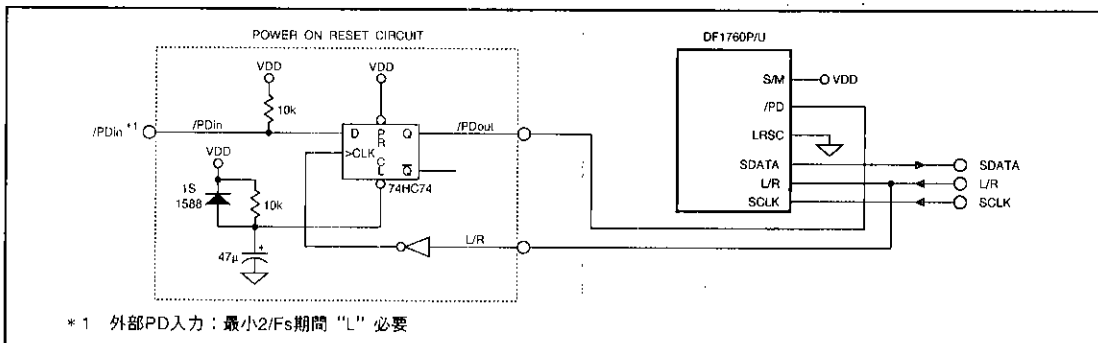


図11. スリープモード(LRSC = L)リセット回路例

DCオフセットと帯域内トーンに関する注意点

PCM1760の実アプリケーションにおいて次の様な条件では、帯域内にトーンが発生することがあります。

- (1) サンプルング周波数 f_s : 40kHz~50kHz
- (2) 入力オフセット電圧 L/R 相対値 ΔV_g : 0.05% of FSR以内

これは、PCM1760のシステム構成上によるもので、PCM1760の入力オフセット電圧の Lch/Rch 相対値 ΔV_g が0.05% of FSR以内となると帯域内に微小レベルのトーンが発生し、このトーン周波数はオフセット相対値 ΔV_g によって変化します。また、 f_s が32kHzの条件では ΔV_g の値にかかわらず、このトーンは発生しません。

このトーン問題を確実に回避するためには、入力オフセット電圧相対値 ΔV_g が0.05% of FSR以内にならないようにする必要があります。この場合、PCM1760の前段回路にてオフセット電圧を印加しておく必要があります。この場合、PCM1760の初期オフセット電圧相対値のバラツキ及びその他特性の変動を考慮すると、次に示すオフセット電圧 V_i を印加することを推奨します。

- (A) 両chにオフセットを印加する場合 (FSR = $\pm 2.5V$)

$$Lch: ViL = -20mV \pm 10\%$$

$$Rch: ViR = +10mV \pm 10\%$$

- (B) 片chにオフセットを印加する場合 (FSR = $\pm 2.5V$)

$$Lch: ViL = -30mV \pm 10\%$$

$$Rch: ViR = \pm 1mV (\text{前段オフセット})$$

図12にオフセット印加アプリケーション回路列を示します。

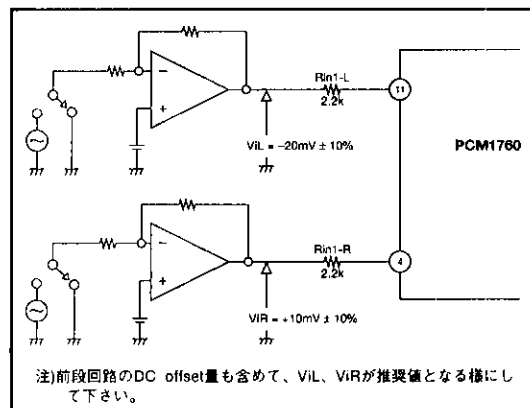


図12. トーン回避のオフセット印加アプリケーション例(両CH印加)

また、当トーン問題回避法として、サンプルング周波数 f_s を限定すれば、PCM1760の外部積分回路定数を変更することにより可能です。この方法では ΔE ループの動作安定性の観点より、サンプルング周波数 f_s は48kHzに限定されます。

この $f_s = 48kHz$ 対応のトーン回避アプリケーション回路を図13に示します。

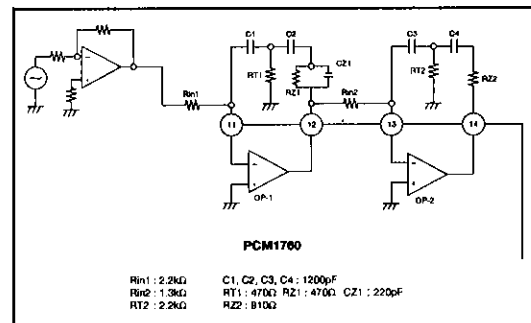


図13. トーン回避の積分定数アプリケーション($f_s = 48kHz$ 限定)

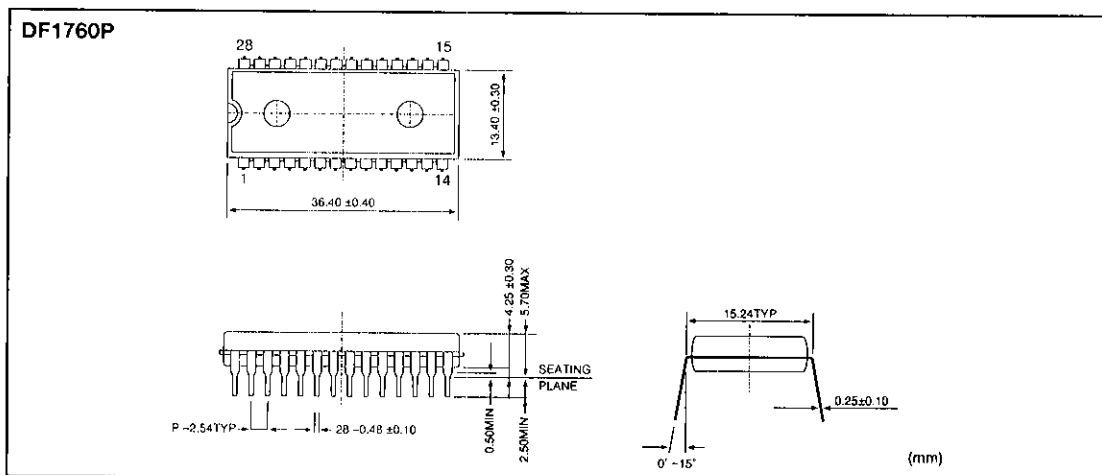
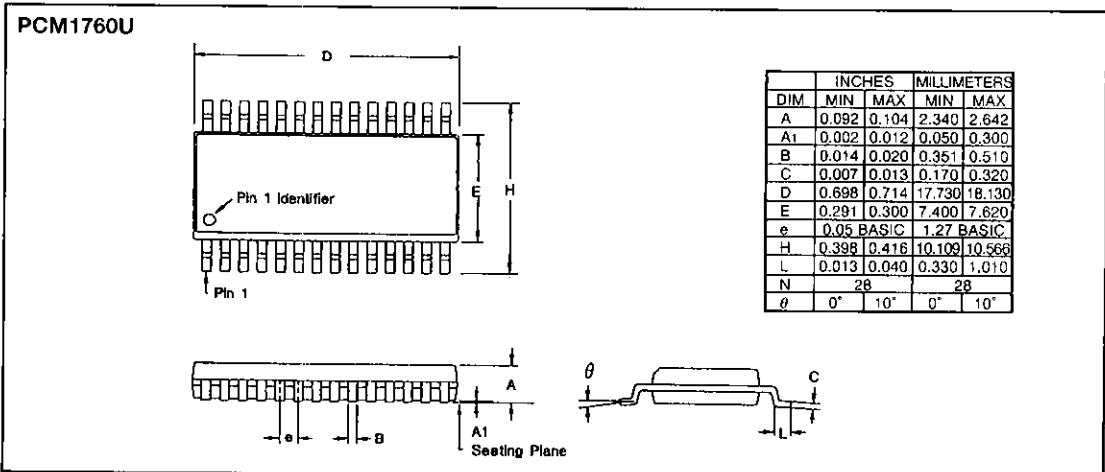
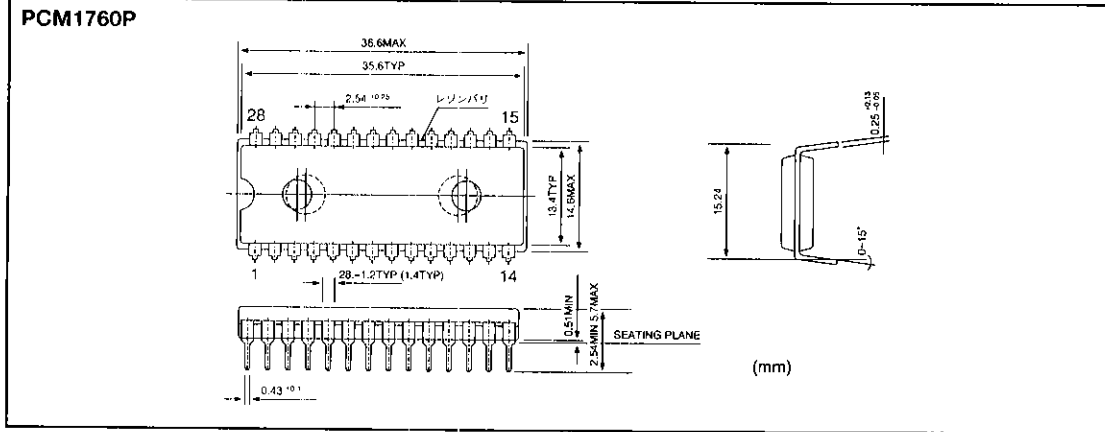
電源投入について

PCM1760は2系統の $\pm$ 電源($\pm V_{cc}$ 及び $\pm V_{dd}$)で動作しますが、ICプロセスの性質上、電源投入シーケンスにより過大電流が流れることがあります。

$\pm V_{cc}$ 及び $\pm V_{dd}$ をほぼ同時に投入することが理想ですが、実アプリケーションにおいて同時投入が不可能な場合には、

$+V_{cc}$ 、 $+V_{dd}$ ON $\rightarrow -V_{cc}$ ON $\rightarrow -V_{dd}$ ON
 の順序で投入して下さい。

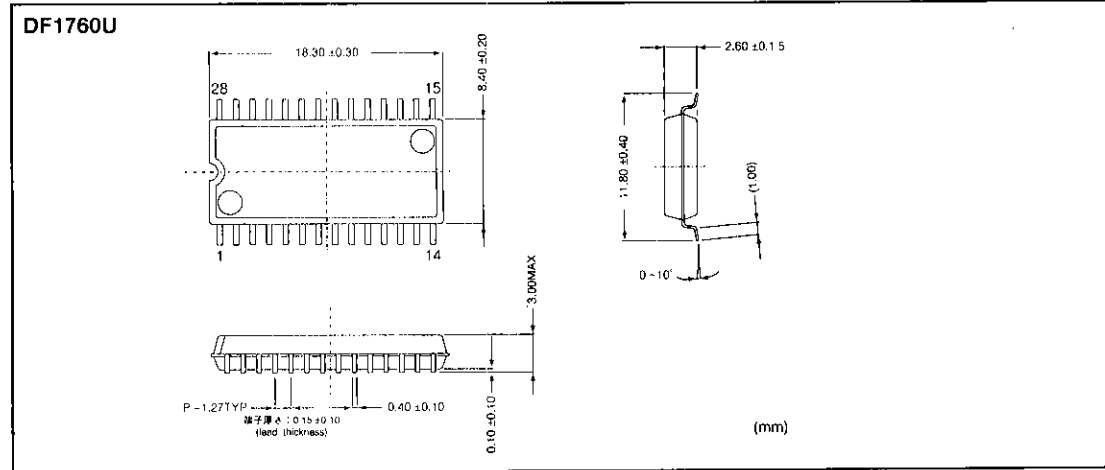
外観



13

PCM1760P/U, DF1760P/U

外觀



13

PCM1760P/U, DF1760P/U