

## *SoundPlus™* VCXO、プログラマブルPLL内蔵 ステレオ・オーディオD/Aコンバータ

### 特 長

- 高性能  
 THD + N : -89dB  
 ダイナミック・レンジ : 94dB  
 S/N比 : 94dB
- マルチサンプリング周波数対応 : 16kHz ~ 96kHz
- VCXO(電圧制御水晶発振器)内蔵  
 高精度27MHzマスタークロック出力
- プログラマブルPLL内蔵  
 256f<sub>s</sub>/384f<sub>s</sub>システムクロック生成
- PCMオーディオ・インターフェース  
 スタンダード/IISフォーマット対応  
 16、20、24ビット入力データ対応  
 8倍デジタルフィルタ内蔵  
 2次アナログ・ローパスフィルタ内蔵
- マルチファンクション  
 ソフトミュート  
 デジタル・アッテネータ(256ステップ)  
 デジタル・ディエンファシス  
 マルチアナログ出力モード
- I<sup>2</sup>C-BUS®インターフェース対応  
 スレープモード・レシーバ  
 7ビット・アドレッシング  
 スタンダードモード・データ転送レート  
 (100kbit/sまで)

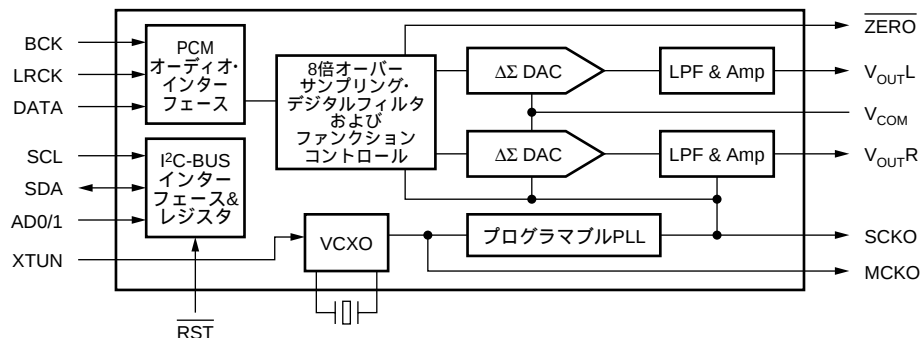
- 5V単一電源動作
- パッケージ : 24ピンSSOP

### アプリケーション

- セットトップボックス

### 概 要

PCM1740は、VCXOおよびアナログPLLを内蔵したハイ・コストパフォーマンスのD/Aコンバータです。VCXOは高精度にチューニングされた27MHzマスタークロック(MCKO)を生成し、アナログPLLはマスタークロックからサンプリング周波数に対応した256f<sub>s</sub>/384f<sub>s</sub>オーディオ・システムクロックを生成します。D/Aコンバータは3次マルチレベル・デルタ・シグマ・モジュレータ、デジタルフィルタ、アナログ出力ローパスフィルタからなり、I<sup>2</sup>C-BUS®インターフェースを介してコントロール可能なソフトミュート、デジタル・アッテネーション、デジタル・ディエンファシス等の機能を有します。デジタルフィルタは8倍インターポレーションの機能を持ち、16kHzから96kHzのサンプリング周波数に対応します。PCM1740は、セットトップボックス等のアプリケーションに最適なデバイスです。



I<sup>2</sup>C-BUS®はPhilips Semiconductorsの登録商標です。

仕様

特に記述のない限り、 $T_A = +25$ 、 $V_{CC} = V_{DD} = V_{BB} = 5.0V$ 、 $f_c = 44.1kHz$ 、システムクロック =  $384f_c$ 、16ビット・データ入力における特性です。

|                                                                                                                                                                                                                                                                            |                                                                                                                                                                                                                                             | PCM1740E                                       |                                                                                                   |                                                                                                      |                                  |
|----------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|---------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|------------------------------------------------|---------------------------------------------------------------------------------------------------|------------------------------------------------------------------------------------------------------|----------------------------------|
| パラメータ                                                                                                                                                                                                                                                                      | 条件                                                                                                                                                                                                                                          | 最小                                             | 標準                                                                                                | 最大                                                                                                   | 単位                               |
| 分解能                                                                                                                                                                                                                                                                        |                                                                                                                                                                                                                                             | 16                                             |                                                                                                   |                                                                                                      | Bits                             |
| データ・フォーマット<br>オーディオ・インターフェース・フォーマット<br>オーディオデータ・ビット長<br>オーディオデータ・フォーマット<br>サンプリング周波数<br>$f_s$                                                                                                                                                                              | スタンダード $f_s$<br>ハーフ $f_s$<br>ダブル $f_s$                                                                                                                                                                                                      | スタンダード/IIS選択<br>16/20/24選択<br>MSBファースト、2'sコンプリ |                                                                                                   |                                                                                                      | Bits                             |
| 内部システムクロック周波数                                                                                                                                                                                                                                                              |                                                                                                                                                                                                                                             | 32<br>16<br>64                                 | 44.1<br>22.05<br>88.2                                                                             | 48<br>24<br>96                                                                                       | kHz<br>kHz<br>kHz                |
| 256 $f_s$ または384 $f_s$                                                                                                                                                                                                                                                     |                                                                                                                                                                                                                                             |                                                |                                                                                                   |                                                                                                      |                                  |
| デジタル入出力<br>ロジック・ファミリ                                                                                                                                                                                                                                                       | 入力ロジック                                                                                                                                                                                                                                      | 2.0                                            | TTLコンパチブル                                                                                         |                                                                                                      |                                  |
| “ハイ”レベル入力電圧<br>$V_{IH}^{(1)(2)}$<br>“ロー”レベル入力電圧<br>$V_{IL}^{(1)(2)}$<br>“ハイ”レベル入力電流<br>$I_{IH}^{(1)(2)}$<br>“ロー”レベル入力電流<br>$I_{IL}^{(1)}$<br>$I_{IL}^{(2)}$<br>“ハイ”レベル出力電圧<br>$V_{OH}^{(3)}$<br>“ロー”レベル出力電圧<br>$V_{OL}^{(3)}$<br>$V_{OL}^{(4)}$                            | $V_{IH} = V_{DD}$<br>$V_I = 0V$<br>$V_{IL} = 0V$<br>$I_{OH} = -2mA$<br>$I_{OL} = 4mA$<br>$I_{OL} = 2mA$                                                                                                                                     | $V_{DD} - 0.5V$                                | 0.8<br>$\pm 10$<br>$\pm 10$<br>-120<br><br>0.5<br>0.5                                             | VDC<br>VDC<br>$\mu A$<br>$\mu A$<br>$\mu A$<br>VDC<br>VDC<br>VDC                                     |                                  |
| デジタル入出力 I <sup>2</sup> C-BUS®インターフェース<br>“ハイ”レベル入力電圧<br>$V_{IH}^{(5)}$<br>“ロー”レベル入力電圧<br>$V_{IL}^{(5)}$<br>“ロー”レベル出力電圧<br>$V_{OL}^{(6)}$<br>出力立ち下がり時間<br>$t_{OF}^{(7)}$<br>入力ロジック電流<br>$I_I^{(8)}$<br>入出力容量<br>$C_I^{(5)}$                                                 | 10 ~ 90% of $V_{DD}$                                                                                                                                                                                                                        | 3.0<br>-0.3<br>0<br><br>-10                    | 1.5<br>0.4<br>250<br>10<br>10                                                                     | V<br>V<br>V<br>ns<br>$\mu A$<br>pF                                                                   |                                  |
| VCXO特性(MCKO)<br>水晶クロック周波数 <sup>(9)</sup><br>水晶クロック精度 <sup>(9)</sup><br>XTUN調整電圧範囲 <sup>(10)</sup><br>XTUN入力インピーダンス<br>出カクロック周波数<br>出カクロック精度<br>出カクロック調整範囲<br>出カクロック・デューティ・サイクル<br>出カクロック・ジッタ<br>出力立ち上がり時間<br>出力立ち下がり時間<br>応答時間 <sup>(11)</sup><br>パワーアップ時間 <sup>(12)</sup> | 27MHz、基本波発振<br><br><br><br><br>XTUN = 1.3V<br>XTUN = 1.3V<br>XTUN = 0V ~ 3V<br>10pF負荷<br>標準遷移<br>20 ~ 80% $V_{DD}$ 、10pF負荷<br>80 ~ 20% $V_{DD}$ 、10pF負荷                                                                                     | 0<br><br><br>35                                | 27.0000<br>$\pm 30$<br><br>60<br>27.0000<br>$\pm 50$<br>300<br>45<br>100<br>4<br>4<br><br>10<br>5 | MHz<br>ppm<br>V<br>k $\Omega$<br>MHz<br>ppm<br>ppm<br>%<br>psec<br>nsec<br>nsec<br>$\mu$ sec<br>msec |                                  |
| PLL AC特性(SCKO)<br>出カクロック周波数<br>出カクロック・デューティ・サイクル<br>出カクロック・ジッタ<br>出力立ち上がり時間<br>出力立ち下がり時間<br>周波数トランジション時間 <sup>(13)</sup><br>パワーアップ時間 <sup>(14)</sup>                                                                                                                       | MCKO = 27.0MHz<br>10pF負荷<br>標準遷移<br>20 ~ 80 % $V_{DD}$ 、10pF負荷<br>80 ~ 20 % $V_{DD}$ 、10pF負荷                                                                                                                                                | 4.096<br>40<br><br><br><br>15                  | 50<br>150<br>4<br>4<br><br>20<br>30                                                               | MHz<br>%<br>psec<br>nsec<br>nsec<br>msec<br>msec                                                     |                                  |
| ダイナミック特性 <sup>(15)</sup><br>THD + N<br>$V_{OUT} = 0dB$<br><br>$V_{OUT} = -60dB$<br><br>ダイナミック・レンジ<br><br>S/N比 <sup>(16)</sup><br><br>チャンネル・セパレーション<br><br>レベル・リアリティ・エラー                                                                                                    | $f_s = 44.1kHz$<br>$f_s = 96kHz$<br>$f_s = 44.1kHz$<br>$f_s = 96kHz$<br>$f_s = 44.1kHz$ 、EIAJ、Aウエイト<br>$f_s = 96kHz$ 、Aウエイト<br>$f_s = 44.1kHz$ 、EIAJ、Aウエイト<br>$f_s = 96kHz$ 、Aウエイト<br>$f_s = 44.1kHz$<br>$f_s = 96kHz$<br>$V_{OUT} = -90dB$ | 90<br>90<br>88                                 | 0.0035<br>0.007<br>2.5<br>4.0<br>94<br>90<br>94<br>90<br>92<br>88<br>$\pm 1.0$                    | %<br>%<br>%<br>%<br>dB<br>dB<br>dB<br>dB<br>dB<br>dB<br>dB                                           |                                  |
| DC精度<br>ゲイン誤差<br>チャンネル間ゲイン・ミスマッチ<br>バイポーラ・ゼロ誤差                                                                                                                                                                                                                             |                                                                                                                                                                                                                                             |                                                | $\pm 1.0$<br>$\pm 1.0$<br>$\pm 1.0$                                                               | $\pm 3.0$<br>$\pm 2.0$                                                                               | % of FSR<br>% of FSR<br>% of FSR |
| アナログ出力<br>電圧範囲<br>センター電圧<br>負荷インピーダンス                                                                                                                                                                                                                                      | フルスケール ( $V_{OUT} = 0dB$ )<br><br>ACカップル                                                                                                                                                                                                    | 5                                              | 0.62 $V_{CC}$<br>0.5 $V_{CC}$                                                                     |                                                                                                      | Vp-p<br>VDC<br>k $\Omega$        |

仕様(続き)

特に記述のない限り、T<sub>A</sub> = + 25 、 V<sub>CC</sub> = V<sub>DD</sub> = V<sub>PP</sub> = 5.0V、 f<sub>s</sub> = 44.1kHz、 システムクロック= 384f<sub>s</sub>、 16ビット・データ入力における特性です。

| パラメータ                | 条件                                                                                                                     | PCM1740E             |                        |                      | 単位       |
|----------------------|------------------------------------------------------------------------------------------------------------------------|----------------------|------------------------|----------------------|----------|
|                      |                                                                                                                        | 最小                   | 標準                     | 最大                   |          |
| デジタルフィルタ特性           |                                                                                                                        |                      |                        |                      |          |
| 通過帯域                 |                                                                                                                        | 0.555 f <sub>s</sub> |                        | 0.445 f <sub>s</sub> | Hz       |
| 阻止帯域                 |                                                                                                                        |                      |                        |                      | Hz       |
| 通過帯域リップル             |                                                                                                                        |                      |                        | ±0.17                | dB       |
| 阻止帯域減衰量              |                                                                                                                        | -35                  |                        |                      | dB       |
| ディエンファシス誤差           |                                                                                                                        | -0.2                 |                        | +0.55                | dB       |
| ディレイ時間               |                                                                                                                        |                      | 11.125/ f <sub>s</sub> |                      | sec      |
| アナログフィルタ特性           |                                                                                                                        |                      |                        |                      |          |
| 周波数応答                | 20Hz ~ 20kHz<br>20Hz ~ 40kHz                                                                                           |                      | -0.16<br>-0.6          |                      | dB<br>dB |
| 電源供給                 |                                                                                                                        |                      |                        |                      |          |
| 電圧範囲                 |                                                                                                                        | +4.5                 | +5                     | +5.5                 | VDC      |
| 電源電流 <sup>(17)</sup> | I <sub>DD</sub> 、 I <sub>CC</sub> 、 I <sub>PP</sub>                                                                    |                      | 25                     | 30                   | mA       |
| 消費電力                 | V <sub>DD</sub> = V <sub>CC</sub> = V <sub>PP</sub> = +5V<br>V <sub>DD</sub> = V <sub>CC</sub> = V <sub>PP</sub> = +5V |                      | 125                    | 150                  | mW       |
| 温度範囲                 |                                                                                                                        |                      |                        |                      |          |
| 動作温度                 |                                                                                                                        | -25                  |                        | +85                  |          |
| 保存温度                 |                                                                                                                        | -55                  |                        | +125                 |          |
| 熱抵抗、θ <sub>JA</sub>  |                                                                                                                        | 100                  |                        | /W                   |          |

注：(1)ピン6、7、17、18、19：AD0、AD1、BCK、DATA、LRCK( シュミット・トリガ入力 )(2)ピン10： $\overline{\text{RST}}$ ( 内部プルアップ抵抗付シュミット・トリガ入力 )  
(3)ピン5、21：MCKO、SCKO(4)ピン16： $\overline{\text{ZERQ}}$  オープン・ドレイン出力 )(5)ピン8、9：SCL、SDA(6)ピン9：SDA( オープン・ドレイン出力、I<sub>OL</sub> = 3 mA )  
(7)ピン9：SDA( バスライン・キャパシタンス10pF ~ 400pF時のV<sub>IHMIN</sub> からV<sub>ILMAX</sub> までの遷移時間 )(8)ピン8、9：SCL、SDA( 0.1V<sub>DD</sub> ~ 0.9V<sub>DD</sub> における入力電流 )(9)  
クリスタル振動子に対する要求仕様、「リセット・オペレーション」の項を参照。(10)ピン3：XTUN(11)XTUN変化時の最大レスポンス時間(12)パワーオン時の最大  
ディレイ時間(13)PLL周波数変化時の最大ロックアップ時間(14)パワーオン時の最大ディレイ時間(15)ソパソク社725Cを使用、20 kHz帯域制限、400 Hz HPF  
オン、30 kHz LPFオン、平均値モードにて測定。(16)インフィニティゼロ検出ミュート・オフにて測定。(17)MCKO、SCKO無負荷、電流値はPLL周波数によって  
変化。

絶対最大定格

|                              |                              |
|------------------------------|------------------------------|
| 電源電圧 <sup>(1)</sup> .....    | +6.5V                        |
| 電源電圧差 <sup>(2)</sup> .....   | ±0.1V                        |
| グランド電圧差 <sup>(3)</sup> ..... | ±0.1V                        |
| デジタル入力電圧 .....               | -0.3 ~ V <sub>DD</sub> +0.3V |
| アナログ入力電圧 .....               | -0.3 ~ V <sub>CC</sub> +0.3V |
| 入力電流( 電源、GNDを除く ) .....      | ±10 mA                       |
| 動作温度 .....                   | -25 ~ +85                    |
| 保存温度 .....                   | -55 ~ +125                   |
| 接合部温度 .....                  | +150                         |
| リード温度( 5秒間の半田付け ) .....      | +260                         |
| パッケージ温度( IRリフロー、ピーク値 ) ..... | +235 、10秒間                   |

注：(1) V<sub>CC</sub>、V<sub>DD</sub>、V<sub>PP</sub> (2) V<sub>CC</sub>、V<sub>DD</sub>、V<sub>PP</sub>間 (3) AGND、DGND、PGND間



静電気放電対策

静電気放電はわずかな性能の低下から完全なデバイスの故障に  
至るまで、様々な損傷を与えます。すべての集積回路は、適切な  
ESD保護方法を用いて、取扱いと保存を行うようにして下さい。  
高精度の集積回路は、損傷に対して敏感であり、極めてわずかな  
パラメータの変化により、デバイスに規定された仕様に適合しな  
くなる場合があります。

パッケージ情報/ご発注の手引き

| モデル      | パッケージ    | 温度範囲      |
|----------|----------|-----------|
| PCM1740E | 24ピンSSOP | -25 ~ +85 |

このデータシートに記載されている情報は、信頼しうるものと考えておりますが、不正確な情報や記載漏れ等に関して弊社は責任を負うものではありません。情  
報の使用について弊社は責任を負えませんので、各ユーザーの責任において御使用下さい。価格や仕様は予告なしに変更される場合がありますのでご了承下さい。  
ここに記載されているいかなる回路についても工業所有権その他の権利またはその実施権を付与したり承諾したりするものではありません。弊社は弊社製品を生  
命維持に関する機器またはシステムに使用することを承認しまたは保証するものではありません。

ピン構成

| ピン番号 | 名称                 | IN/OUT | 機能                                                          |
|------|--------------------|--------|-------------------------------------------------------------|
| 1    | XT1                | -      | 27MHzクリスタル振動子接続                                             |
| 2    | PGND               | -      | PLL、VCXO部グランド                                               |
| 3    | XTUN               | IN     | VCXOチューニング、チューニング・レンジ：0～3V                                  |
| 4    | V <sub>PP</sub>    | -      | PLL、VCXO部電源、+5V                                             |
| 5    | MCKO               | OUT    | マスタークロック出力                                                  |
| 6    | AD0                | IN     | I <sup>2</sup> C-BUS <sup>®</sup> デバイス・アドレス0 <sup>(1)</sup> |
| 7    | AD1                | IN     | I <sup>2</sup> C-BUS <sup>®</sup> デバイス・アドレス1 <sup>(1)</sup> |
| 8    | SCL                | IN     | I <sup>2</sup> C-BUS <sup>®</sup> ビット・クロック入力                |
| 9    | SDA                | IN/OUT | I <sup>2</sup> C-BUS <sup>®</sup> シリアルデータ入出力                |
| 10   | RST                | IN     | リセット制御入力、アクティブ・ロー <sup>(2)</sup>                            |
| 11   | V <sub>OUT</sub> R | OUT    | Rチャンネル・アナログ・オーディオ出力                                         |
| 12   | AGND               | -      | アナログ・グランド                                                   |
| 13   | V <sub>CC</sub>    | -      | アナログ電源、+5V                                                  |
| 14   | V <sub>OUT</sub> L | OUT    | Lチャンネル・アナログ・オーディオ出力                                         |
| 15   | V <sub>COM</sub>   | -      | アナログ出力同相電圧デカップリング                                           |
| 16   | ZERO               | OUT    | インフィニティゼロ・フラグ出力、アクティブ・ロー <sup>(3)</sup>                     |
| 17   | BCK                | IN     | PCMオーディオデータ・ビット・クロック入力 <sup>(1)</sup>                       |
| 18   | DATA               | IN     | PCMオーディオデータ・デジタル入力 <sup>(1)</sup>                           |
| 19   | LRCK               | IN     | PCMオーディオデータ・ラッチ・イネーブル入力 <sup>(1)</sup>                      |
| 20   | RSV                | -      | 予約、オープンにしてください。                                             |
| 21   | SCKO               | OUT    | 256/384 f <sub>s</sub> システムクロック出力                           |
| 22   | V <sub>DD</sub>    | -      | デジタル電源、+5V                                                  |
| 23   | DGND               | -      | デジタル・グランド                                                   |
| 24   | XT2                | -      | 27MHzクリスタル振動子接続                                             |

注：(1)シュミット・トリガ入力。(2)内部プルアップ抵抗付シュミット・トリガ入力。(3)オープン・ドレイン出力。

ピン配置

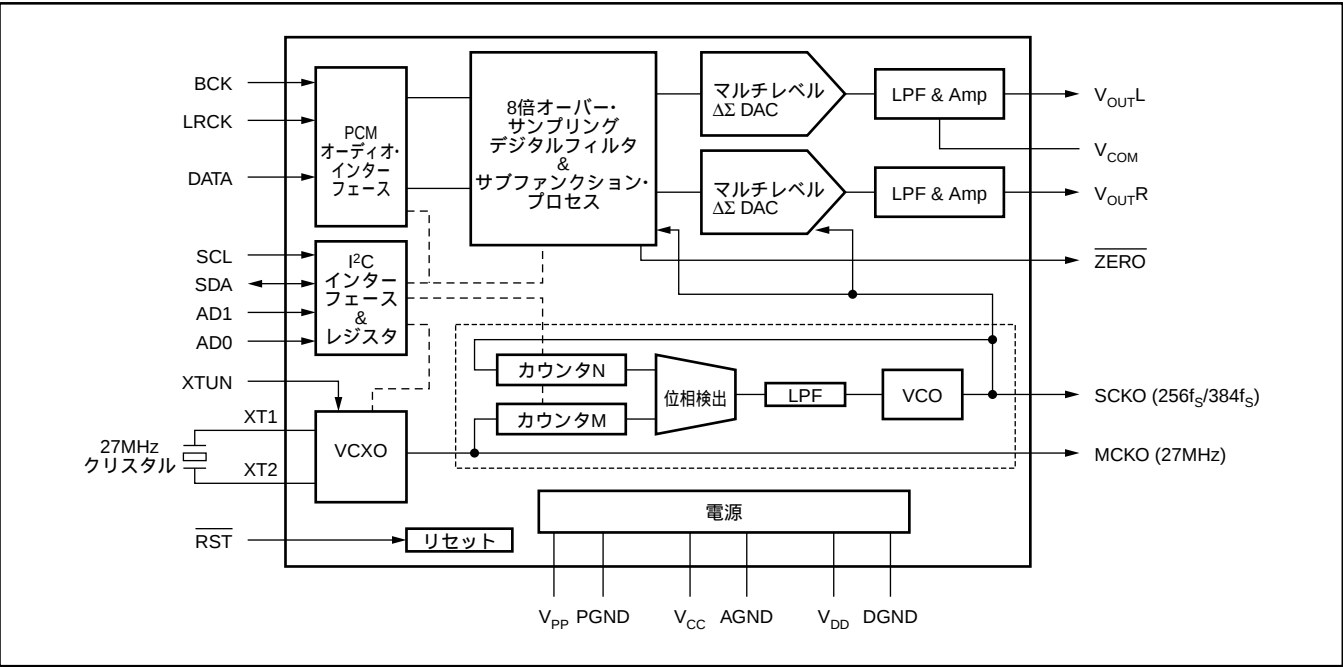
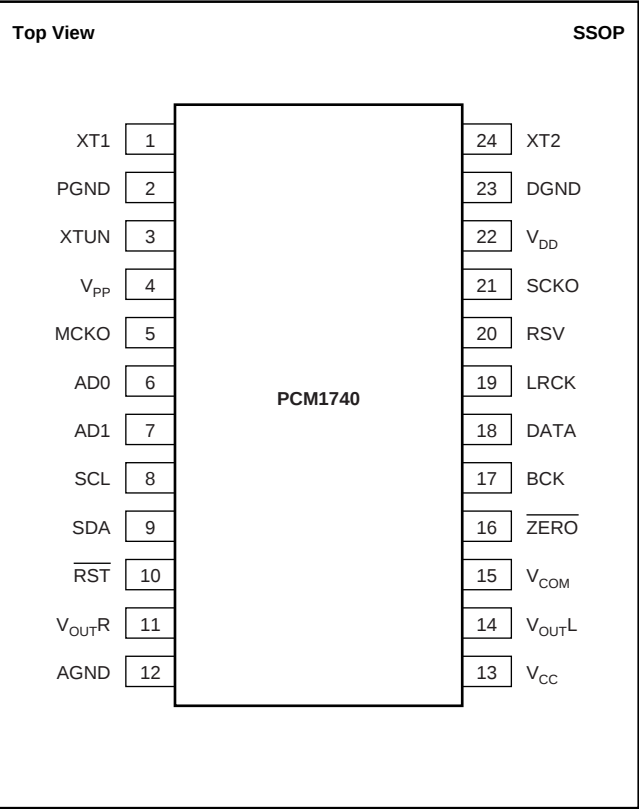
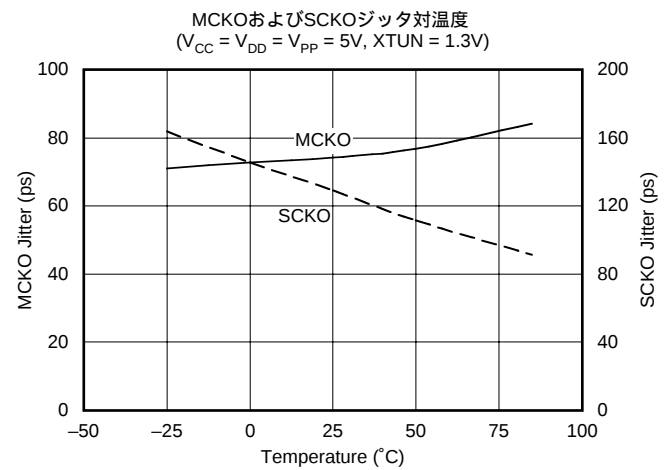
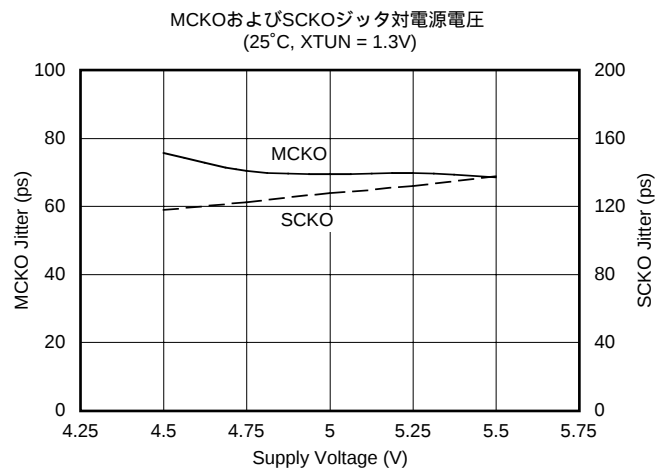
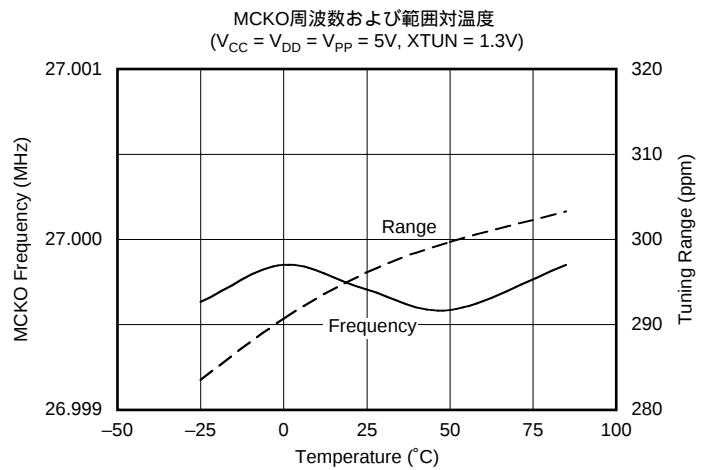
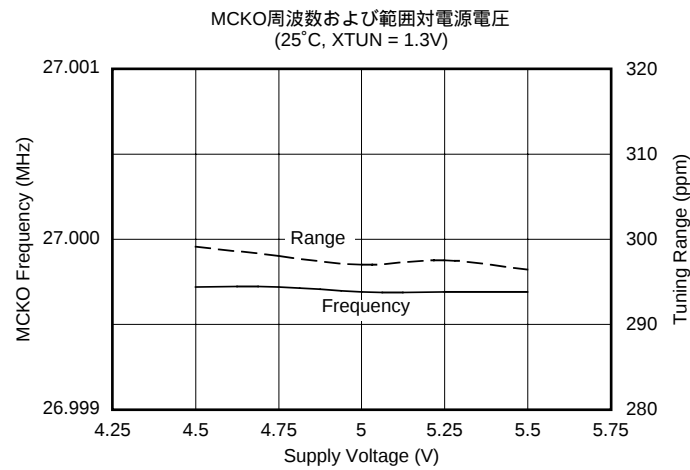
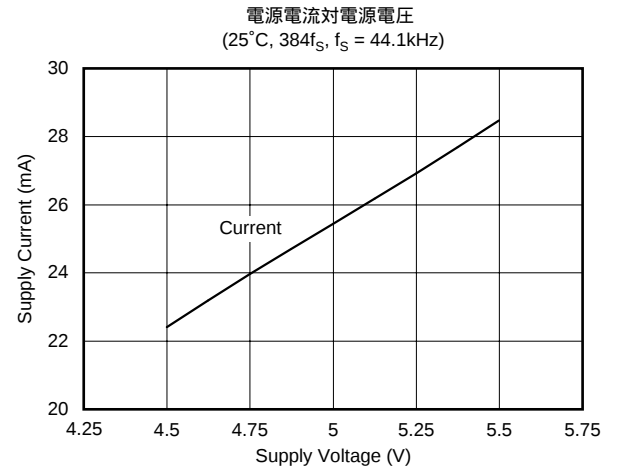
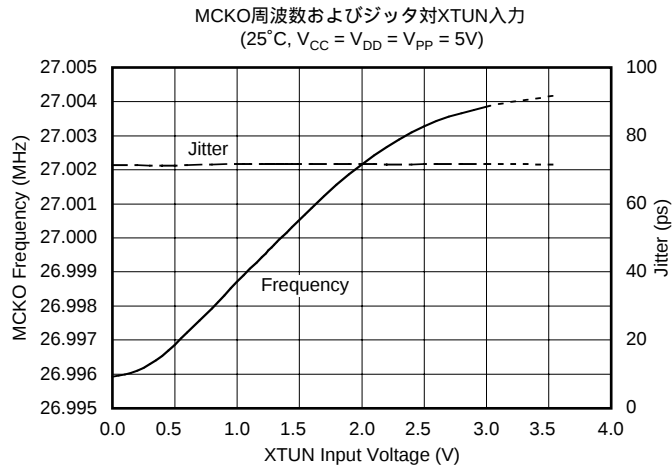


図1. PCM1740ブロック図

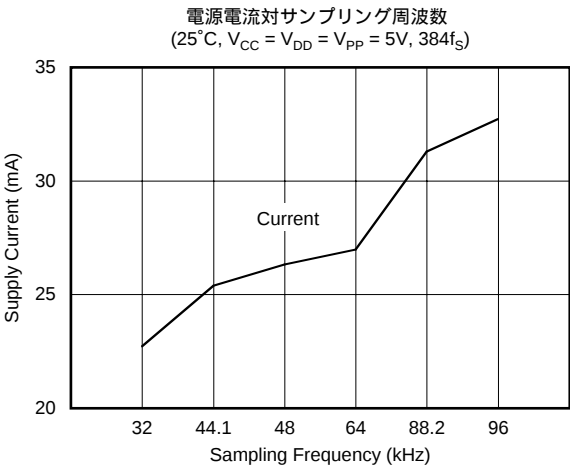
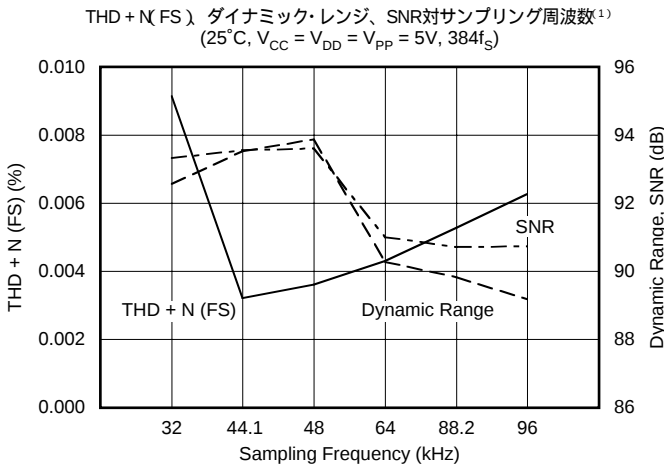
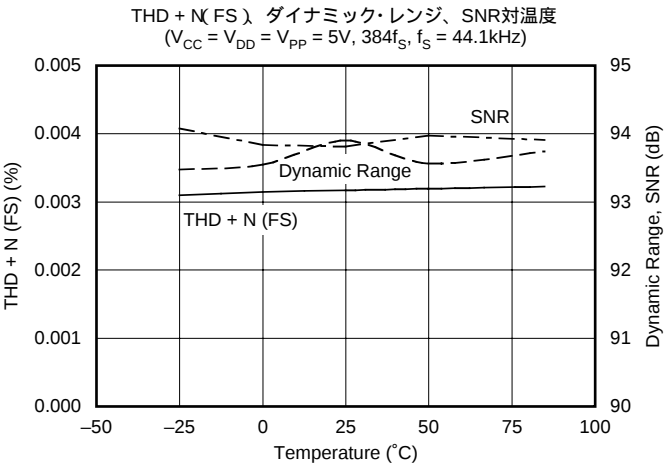
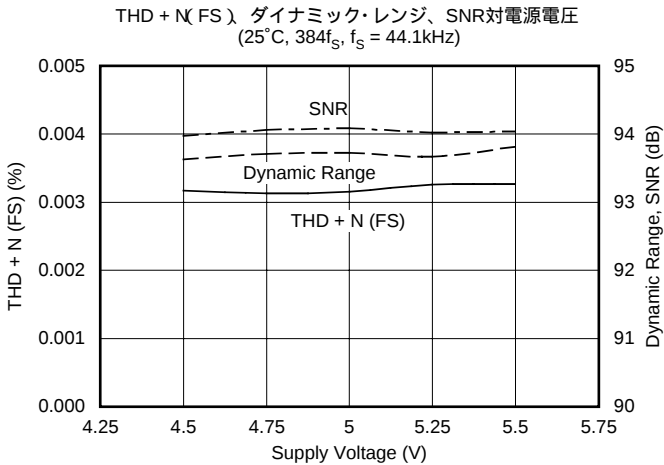
# 代表的性能曲線

特に記述のない限り、 $T_A = +25$ 、 $V_{CC} = V_{DD} = V_{PP} = 5.0V$ 、 $f_S = 44.1kHz$ 、システムクロック =  $384f_S$ 、16ビット・データ入力における特性です。



# 代表的性能曲線

特に記述のない限り、 $T_A = +25$ 、 $V_{CC} = V_{DD} = V_{PP} = 5.0V$ 、 $f_S = 44.1kHz$ 、システムクロック =  $384f_S$ 、16ビット・データ入力における特性です。



注 : (1) 測定帯域は、すべてのサンプリング周波数に対して、20kHz固定。

# 使用上の注意

## PCMオーディオ・インターフェース

PCM1740は、LRCK(ピン19)、DATA(ピン18)、BCK(ピン17)により外部システムとインターフェースします。PCM1740は16/20/24ビット入力、スタンダード・フォーマット、IISフォーマットに対応します。スタンダード・フォーマットはMSBファースト、2'sコンプリメント、後詰めフォーマットに、IISフォーマットはフィリップス・シリアルデータ・プロトコルに対応します。以下に、オーディオデータ入力フォーマットとオーディオデータ入力タイミングを示します。

## マスタークロックとシステムクロック

### VCXO(電圧制御水晶発振器)

PCM1740は、図4に示すVCXO回路を内蔵し、クロック周波数のマッチングが必要なシステムにおいて、外部クリスタルの公称周波数27MHzをチューニングすることができます。VCXOは

XTUNの0~3V変化に対し、300ppm(標準)のチューニング・レンジを持っています。MCKOは5msのパワーアップ時間と、XTUNが変わった際には10μsのレスポンス時間を必要とし、RST入力には影響を受けません。図5に一般的なチューニング曲線を示します。

## クリスタルの選択とXT1/XT2への接続の一例

27MHzクリスタル振動子はAT-cutタイプのクリスタルでなければなりません。またXT1(ピン1)、XT2(ピン24)への接続にあたっては、外部に負荷容量を接続する必要はありません。PCM1740は負荷容量を可変容量として内蔵しています。推奨クリスタル振動子の仕様の一例として、次の内容が挙げられますが、クリスタル振動子およびそのパラメータ(発振周波数、等価直列抵抗、負荷容量等)の決定にあたっては、アプリケーション・ボードに実装されたPCM1740(XTUN = 1.3に設定)に合わせて決定されることをお勧めします。

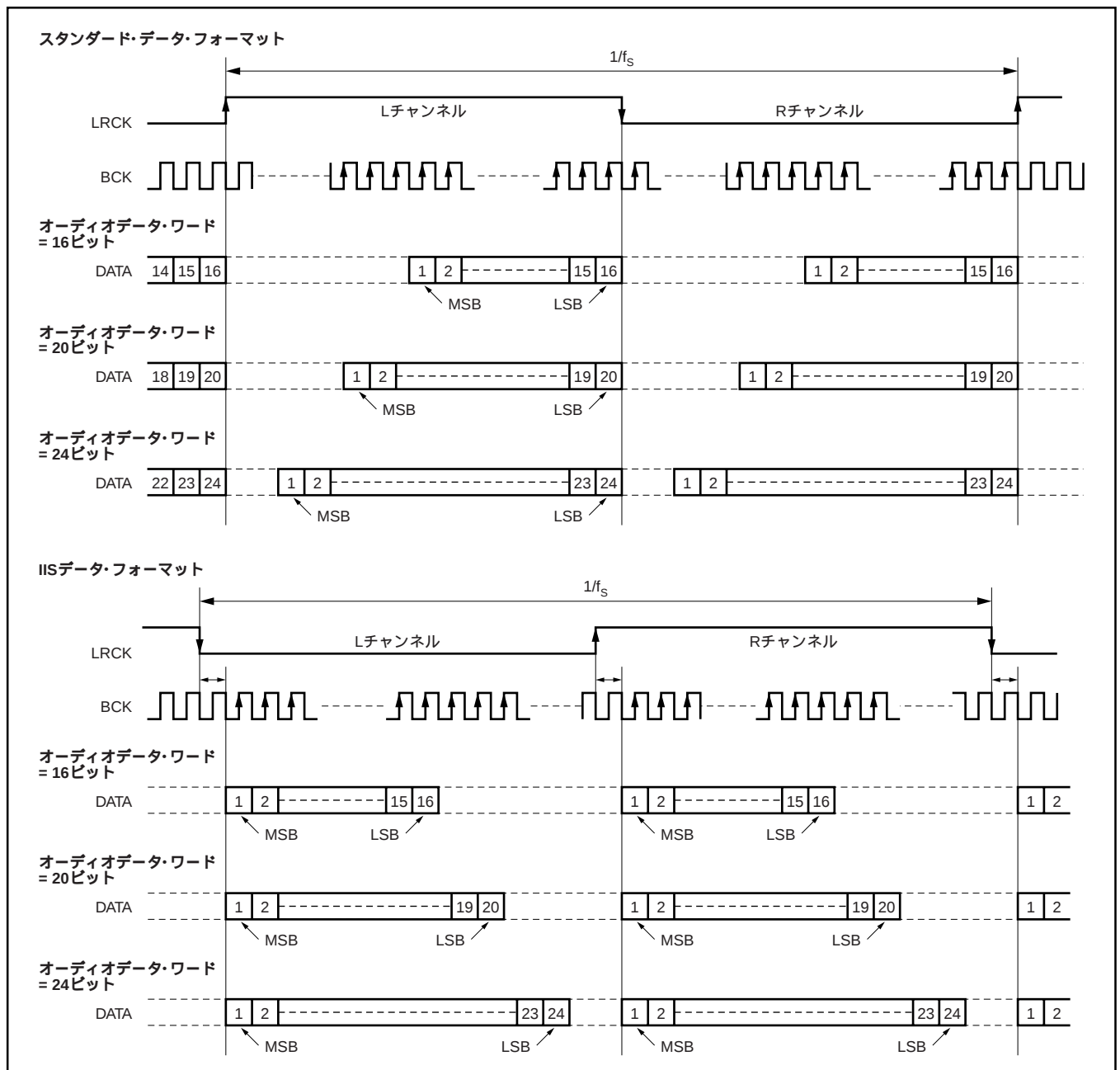


図2. オーディオデータ入力フォーマット

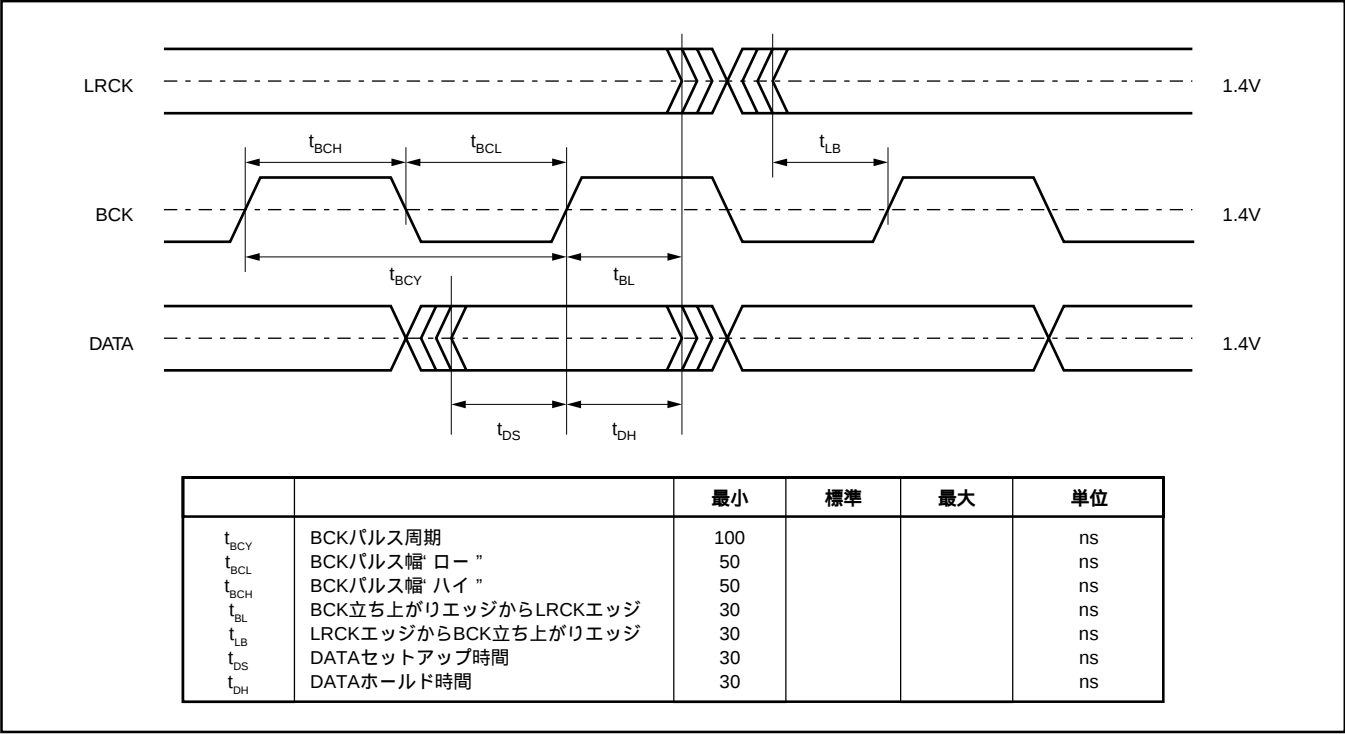


図3. オーディオデータ入力タイミング

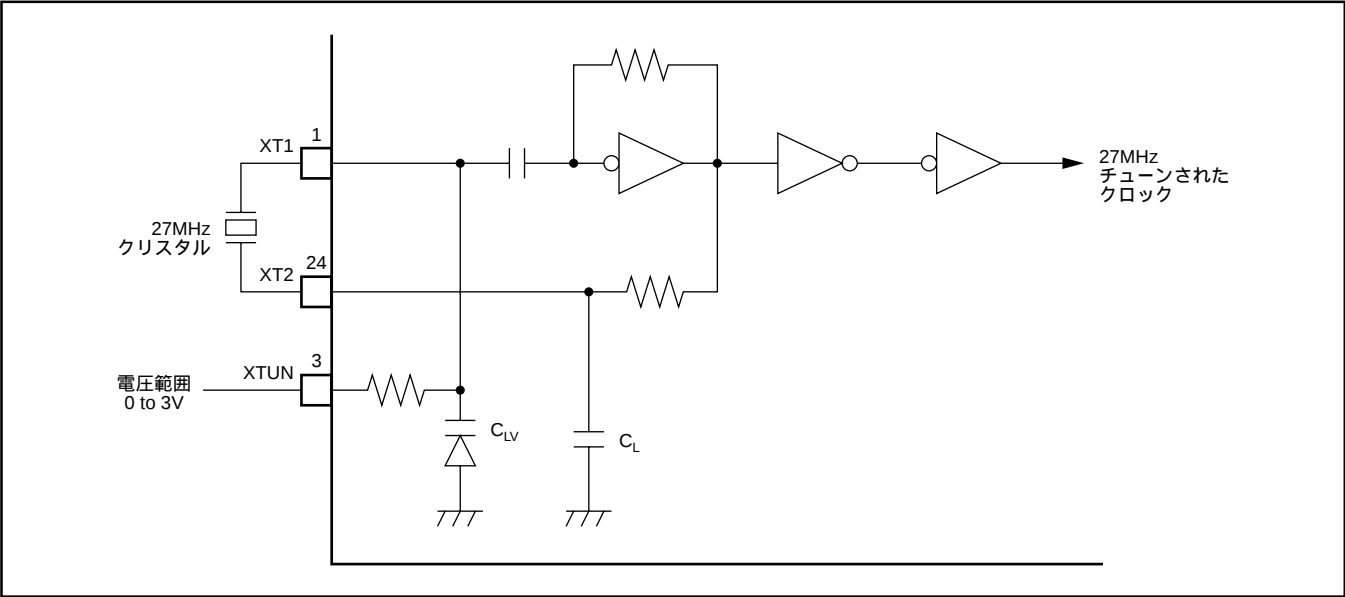


図4. VCXO等価回路

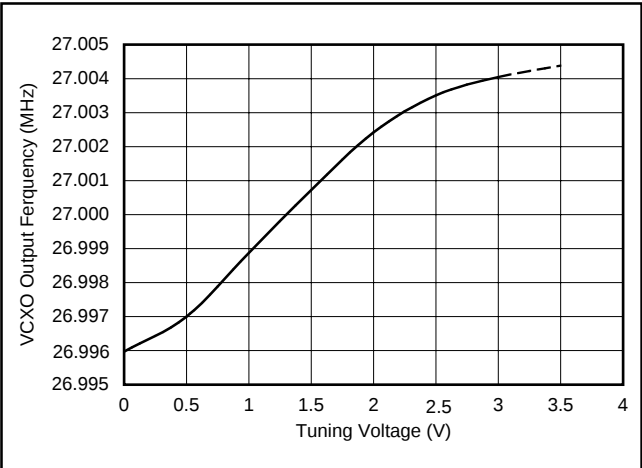


図5. VCXO出力周波数( MCKO、ピン5 )対チューニング電圧 (XTUN、ピン3)特性

### 推奨水晶振動子仕様

|              |                   |
|--------------|-------------------|
| 保持器/パッケージ    | ミニチュア・リードタイプ      |
| 水晶・タイプ、発振モード | AT-cut、基本波発振      |
| 発振周波数        | 27.0000MHz、±30ppm |
| 等価直列抵抗       | 50Ω以下             |
| 並列容量         | 2pF               |
| 負荷容量         | 7pF               |

### PLL( フェーズロック・ループ )

PCM1740は、図6に示されるプログラマブルPLLを内蔵し、内蔵VCXOで生成された27MHzマスタークロックからデジタルフィルタおよびモジュレータの動作に必要なすべてのシステムクロック(256f<sub>s</sub>または384f<sub>s</sub>)を生成します。SCKOは30msのパワーアップ

ブ時間と、PLL周波数が変わった際に20 msの遷移時間を必要とします。RSTによりシステムクロック出力周波数はデフォルトの周波数(44.1kHz、384f<sub>s</sub>)に設定されますが、クロック信号は継続して出力されます。表 にシステムクロック出力周波数を示します。

## リセット・オペレーション

PCM1740には、内蔵パワーオン・リセットと外部リセットがあります。内蔵のパワーオン・リセットは、電源投入後電源電圧が約2.2V(標準)で自動的に起動します。外部リセットはRSTを

“ロー”にすると起動されます。RSTが“ロー”の間、および内部リセット期間( $V_{DD} > 2.2V$ およびRSTが“ハイ”になった後512システムクロックの間)はDAC出力は無効で、 $0.5V_{CC}$ に固定されます。RST動作はVCXOの機能には影響しないため、RST動作中、27MHzのVCXO出力MCKOはそのまま出力され、PLL出力のSCKOはイニシャル設定の周波数を出力します。また、RST動作に用いるシステムクロックは電源ONの後内蔵PLLで生成されるため、PLLクロックが安定するまでの時間(約15ms)をリセット動作に考慮して下さい。以下にパワーオン・リセットと外部リセット・タイミングを示します。

## デジタルオーディオ・システムとの同期

PCM1740は、システムクロックに同期したLRCKを基準に動作します。PCM1740はLRCKとシステムクロックの間に特別な位相関係を必要としませんが、両者は同期している必要があります。LRCK 1周期内にLRCKとシステムクロックの関係が $\pm 6BCK$ 以上変化した場合、 $1/f_s$ 以内にDACは停止し、LRCKとシステムクロックとの間に再び同期関係が確立するまでの間、アナログ出力は $0.5V_{CC}$ に固定されます。変化が $\pm 5BCK$ 以内であれば、正常動作を保ち再同期は行なわれないため、上記のアナログ出力に対するコントロールとデータの不連続は起こりません。

| サンプリング周波数(LRCK) |        | 生成システムクロック256f <sub>s</sub> | 生成システムクロック384f <sub>s</sub> |
|-----------------|--------|-----------------------------|-----------------------------|
| 16kHz           | ハーフ    | 4.096MHz                    | 6.144MHz                    |
| 32kHz           | スタンダード | 8.192MHz                    | 12.288MHz                   |
| 64kHz           | ダブル    | 16.384MHz                   | 24.576MHz                   |
| 22.05kHz        | ハーフ    | 5.6448MHz                   | 8.4672MHz                   |
| 44.1kHz         | スタンダード | 11.2896MHz                  | 16.9344MHz                  |
| 88.2kHz         | ダブル    | 22.5792MHz                  | 33.8688MHz                  |
| 24kHz           | ハーフ    | 6.144MHz                    | 9.216MHz                    |
| 48kHz           | スタンダード | 12.288MHz                   | 18.432MHz                   |
| 96kHz           | ダブル    | 24.576MHz                   | 36.864MHz                   |

表 . サンプリング周波数対システムクロック出力周波数(PLL出力周波数)

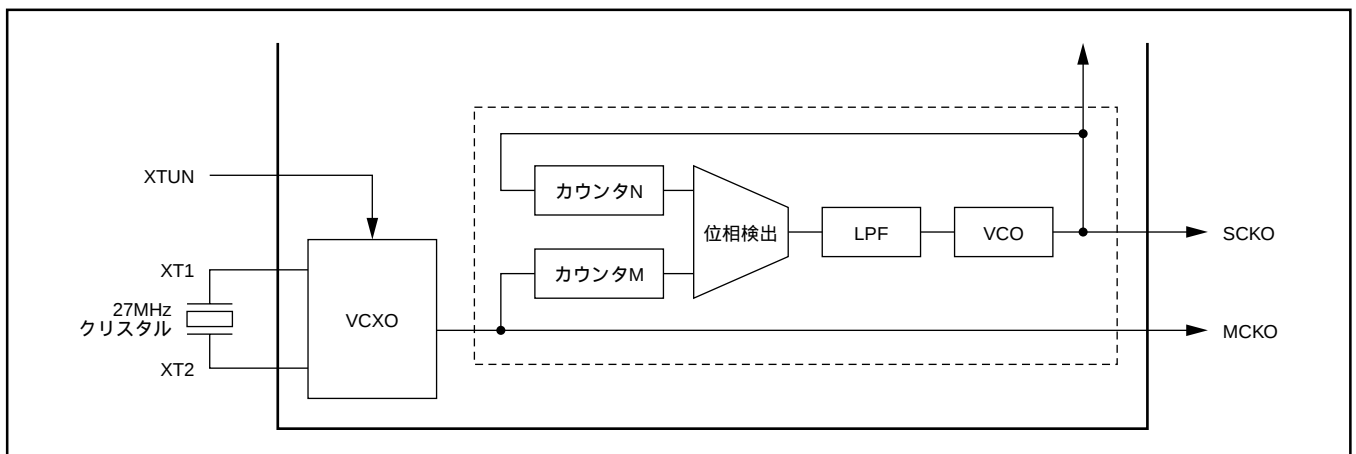


図6. プログラマブルPLLブロック図

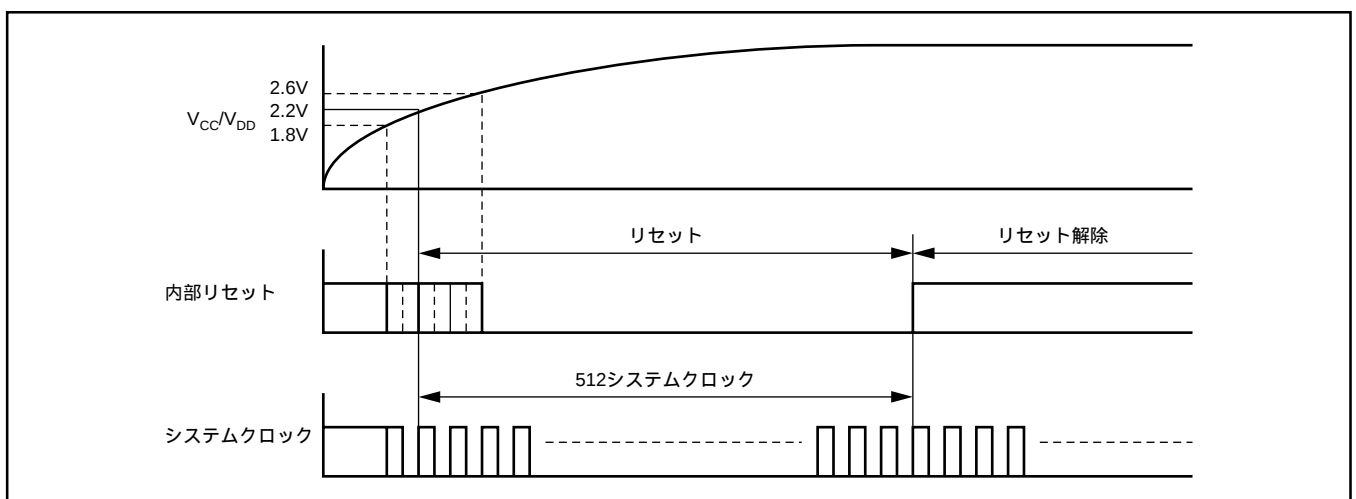


図7. パワーオン・リセット

以下に同期が外れた場合のDACアナログ出力を示します。データが不定の間、オーディオ信号にノイズが発生することがあります。また、通常状態からデータ不定状態、あるいは不定状態から通常状態への遷移はアナログ信号に不連続を生じ、オーディオ信号にノイズを発生させることがあります。

インフィニティゼロ・フラグ機能

DATAに入力されるオーディオデータが65,536BCKクロック連続して“0”の場合、ZERO(ピン16)がローレベルになります。その後1クロックでも“1”が入力されると、その時点でハイ・インピーダンスになります。この端子はオープンドレイン出力でワイヤードOR(OR接続)をとることができます。

デルタ・シグマDACとデジタルフィルタ

PCM1740のデルタ・シグマ部は5レベル量子化器と3次ノイズ・シェーパからなり、オーバー・サンプリングされた入力データを5レベル・デルタ・シグマ出力に変換します。この5レベル・デルタ・シグマ・モジュレータは通常の1ビット(2レベル)デルタ・シグマ・モジュレータに比べてクロックの耐ジッタ性に優れています。8倍インターポーレーション・デジタルフィルタと合わせた総合的

なオーバー・サンプリングレートは、384f<sub>s</sub>時に48f<sub>s</sub>、256f<sub>s</sub>時に64f<sub>s</sub>となります。

ファンクション・コントロール

PCM1740はデジタル・アッテネータ、デジタル・ディエンファシス、ソフトミュート、データフォーマット、入力データ長等の選択を含む各種の機能を持っています。表 にこれらの機能を示しますが、これらの機能はフィリップス社I<sup>2</sup>C-BUS<sup>®</sup>にコンパチブルなシリアル・インターフェースを介してコントロールされます。PCM1740には固有のスレープ・アドレス“10011xx”が与えられています。

プログラマブル・レジスタ

PCM1740の各種機能は、サブ・アドレスとデータからなる5つのプログラマブル・レジスタを介して制御されます。SDA(ピン9)はプログラム・データ、SCL(ピン8)はプログラム・データのためのクロックとして使われます。図9に、スレープ・アドレスを含めた制御データのフォーマットを示します。表 、表 に5つのレジスタに対するマッピング情報を示します。レジスタ0～レジスタ4の選択はSUBアドレス・バイトのA0～A2(B8～B10)で行います。

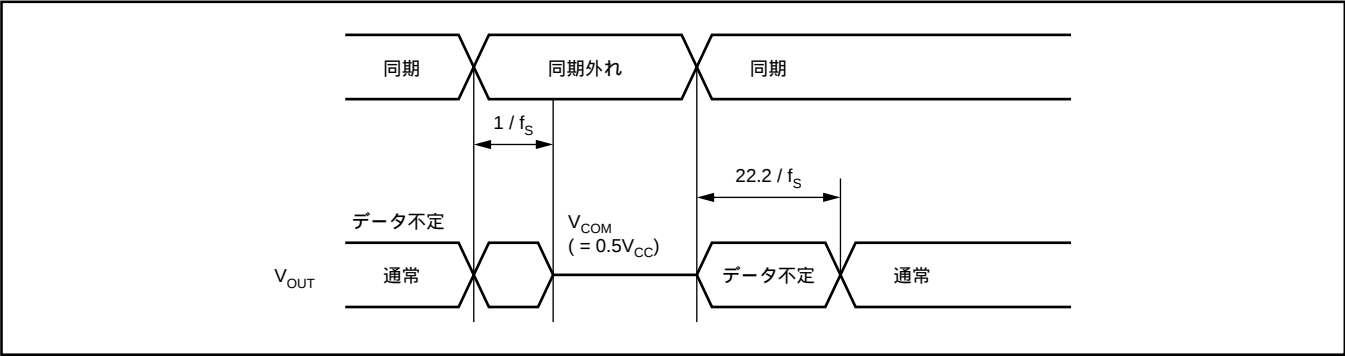


図8. 同期外れ時のDAC出力

| 機能                                              | デフォルト              |
|-------------------------------------------------|--------------------|
| オーディオデータ・フォーマット選択<br>スタンダード/IIS                 | スタンダード・フォーマット      |
| オーディオデータ・ワード選択<br>16ビット/20ビット/24ビット             | 16ビット              |
| LRCKクロック、L/R極性選択                                | Left/Right = ハイ/ロー |
| ディエンファシス制御<br>OFF/32kHz/44.1kHz/48kHz           | OFF                |
| ソフトミュート制御                                       | OFF                |
| アッテネーション制御データ、Lチャンネル                            | 0dB                |
| アッテネーション制御データ、Rチャンネル                            | 0dB                |
| アッテネーション動作モード制御                                 | Lチャンネル、Rチャンネル独立    |
| アッテネーション・データ・ロード                                | ホールド               |
| アナログ出力モード選択                                     | ステレオ               |
| ゼロ検出ミュート制御                                      | OFF                |
| DAC動作制御                                         | ON                 |
| システムクロック選択：256f <sub>s</sub> /384f <sub>s</sub> | 384f <sub>s</sub>  |
| サンプリングレート選択：<br>32kHzグループ/44.1kHzグループ/48kHzグループ | 44.1kHzグループ        |
| ダブル・サンプリングレート選択：<br>スタンダード/ダブル/ハーフ              | スタンダード             |

表 . 選択可能な機能

| レジスタ  | SUBアドレス・バイト |     |     |     |     |     |    |    | データ・バイト |     |      |      |     |     |     |     |
|-------|-------------|-----|-----|-----|-----|-----|----|----|---------|-----|------|------|-----|-----|-----|-----|
|       | B15         | B14 | B13 | B12 | B11 | B10 | B9 | B8 | B7      | B6  | B5   | B4   | B3  | B2  | B1  | B0  |
| レジスタ0 | res         | res | res | res | res | A2  | A1 | A0 | AL7     | AL6 | AL5  | AL4  | AL3 | AL2 | AL1 | AL0 |
| レジスタ1 | res         | res | res | res | res | A2  | A1 | A0 | AR7     | AR6 | AR5  | AR4  | AR3 | AR2 | AR1 | AR0 |
| レジスタ2 | res         | res | res | res | res | A2  | A1 | A0 | PL3     | PL2 | PL1  | PL0  | IW1 | IW0 | DEM | MUT |
| レジスタ3 | res         | res | res | res | res | A2  | A1 | A0 | SF1     | SF0 | DSR1 | DSR0 | SYS | ATC | LRP | IIS |
| レジスタ4 | res         | res | res | res | res | A2  | A1 | A0 | res     | res | res  | res  | res | OPE | IZD | LD  |

注：(1) res：必ず“0”にセットしてください。

表 . プログラム・レジスタ・マッピング

| レジスタ | ビット名      | 機能                  | A2 | A1 | A0 |
|------|-----------|---------------------|----|----|----|
| 0    | AL [7:0]  | アッテネーション・データ、Lチャンネル | 0  | 0  | 0  |
| 1    | AR [7:0]  | アッテネーション・データ、Rチャンネル | 0  | 0  | 1  |
| 2    | PL [3:0]  | アナログ出力モード選択         | 0  | 1  | 0  |
|      | IW [1:0]  | オーディオデータ選択          |    |    |    |
|      | DEM       | ディエンファシス制御          |    |    |    |
|      | MUT       | ソフトミュート制御           |    |    |    |
| 3    | SF [1:0]  | サンプリングレート選択         | 0  | 1  | 1  |
|      | DSR [1:0] | ダブル・サンプリングレート選択     |    |    |    |
|      | SYS       | システムクロック選択          |    |    |    |
|      | ATC       | アッテネーション動作モード制御     |    |    |    |
|      | LRP       | LRCKクロック、LR極性選択     |    |    |    |
|      | IIS       | オーディオデータ、フォーマット選択   |    |    |    |
| 4    | OPE       | DAC動作制御             | 1  | 0  | 0  |
|      | IZD       | ゼロ検出強制ミュート制御        |    |    |    |
|      | LD        | アッテネーション・データ・ロード制御  |    |    |    |

表 . ビット割り当てと機能

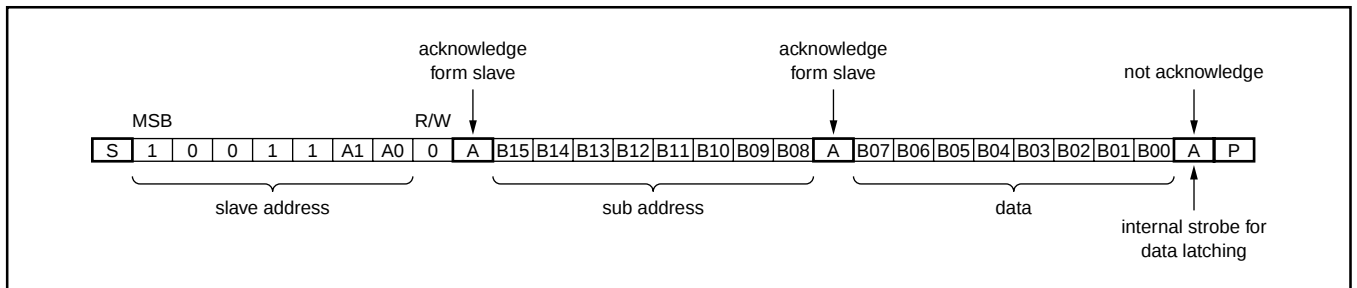


図9. 制御データフォーマット

## レジスタ0 (A2 = 0、A1 = 0、A0 = 0)

AL7 ~ AL0：チャンネル・アッテネーション・データの設定

AL7はMSB、AL0はLSBとなり、減衰量 (= ATT) は次式で表されます。

$$ATT = 20 \log_{10} (AL [7:0] / 256) \text{ [dB]}, \text{ except } AL [7:0] = FFh$$

アッテネーション・データを有効にするためには、レジスタ4のアッテネーション・データ・ロード制御ビットを“1”にしなければなりません。

| AL [7:0] | アッテネーション・レベル  | 初期設定 |
|----------|---------------|------|
| 00h      | -∞dB (= ミュート) |      |
| 01h      | -48.16dB      |      |
| ⋮        | ⋮             |      |
| FEh      | -0.07dB       |      |
| FFh      | 0dB           | ○    |

## レジスタ1 (A2 = 0、A1 = 0、A0 = 1)

AR7 ~ AR0：Rチャンネル・アッテネーション・データの設定

AR7はMSB、AR0はLSBとなり、減衰量 (= ATT) は次式で表されます。

$$ATT = 20 \log_{10} (AR [7:0] / 256) \text{ [dB]}, \text{ except } AR [7:0] = FFh$$

アッテネーション・データを有効にするためには、レジスタ4のアッテネーション・データ・ロード制御ビットを“1”にしなければなりません。

| AR [7:0] | アッテネーション・レベル  | 初期設定 |
|----------|---------------|------|
| 00h      | -∞dB (= ミュート) |      |
| 01h      | -48.16dB      |      |
| ⋮        | ⋮             |      |
| FEh      | -0.07dB       |      |
| FFh      | 0dB           | ○    |

## レジスタ2(A2 = 0、A1 = 1、A0 = 0)

### PL3 ~ PL0 : アナログ出力モード選択

これらのビットはアナログ出力モードを選択します。

| PL3 | PL2 | PL1 | PL0 | Lch出力       | Rch出力       | 備考         |
|-----|-----|-----|-----|-------------|-------------|------------|
| 0   | 0   | 0   | 0   | ミュート        | ミュート        | ミュート       |
| 0   | 0   | 0   | 1   | L           | ミュート        |            |
| 0   | 0   | 1   | 0   | R           | ミュート        |            |
| 0   | 0   | 1   | 1   | (L + R) / 2 | ミュート        |            |
| 0   | 1   | 0   | 0   | ミュート        | L           |            |
| 0   | 1   | 0   | 1   | L           | L           |            |
| 0   | 1   | 1   | 0   | R           | L           | リザーブ       |
| 0   | 1   | 1   | 1   | (L + R) / 2 | L           |            |
| 1   | 0   | 0   | 0   | ミュート        | R           |            |
| 1   | 0   | 0   | 1   | L           | R           | ステレオ(初期設定) |
| 1   | 0   | 1   | 0   | R           | R           |            |
| 1   | 0   | 1   | 1   | (L + R) / 2 | R           |            |
| 1   | 1   | 0   | 0   | ミュート        | (L + R) / 2 |            |
| 1   | 1   | 0   | 1   | L           | (L + R) / 2 |            |
| 1   | 1   | 1   | 0   | R           | (L + R) / 2 |            |
| 1   | 1   | 1   | 1   | (L + R) / 2 | (L + R) / 2 | モノラル       |

### IW1、IW0 : オーディオデータ長選択

これらのビットはオーディオ・シリアルデータ・ストリームのビット長を選択します。

| IW1 | IW0 | オーディオデータ・ワード長 | 初期設定 |
|-----|-----|---------------|------|
| 0   | 0   | 16ビット・データ・ワード | ○    |
| 0   | 1   | 20ビット・データ・ワード |      |
| 1   | 0   | 24ビット・データ・ワード |      |
| 1   | 1   | リザーブ          |      |

### DEM : ディエンファシス制御

このビットはディエンファシス・フィルタを制御します。ディエンファシス制御機能はサンプリング周波数32kHz、44.1kHz、48kHzに対して有効になります。DEMが1の場合、ディエンファシス・フィルタはONとなります。

| DEM | ディエンファシス    | 初期設定 |
|-----|-------------|------|
| 0   | ディエンファシスOFF | ○    |
| 1   | ディエンファシスON  |      |

### MUT : ソフトミュート制御

このビットはソフトミュートを制御します。MUTが1の場合、ソフトミュートはアクティブとなり、アナログ出力は0.5V<sub>CC</sub>(=パイボラゼロ)に向かってミュートされます。この機能はアッテネータの機能を用いており、-∞まで256ステップで変化します。1ステップの変化時間は1/f<sub>s</sub>(f<sub>s</sub>:基準サンプリングレート)によります。MUTを0にすると逆の動作でアッテネータ値0dBまで戻ります。また、アッテネータを使用してある値dにアッテネータ値を設定している場合は、そのアッテネータ値を基準に前述のミュート動作を行います。

| MUT | ソフトミュート    | 初期設定 |
|-----|------------|------|
| 0   | ソフトミュートOFF | ○    |
| 1   | ソフトミュートON  |      |

## レジスタ3(A2 = 0、A1 = 1、A0 = 1)

### SF1、SF0 : サンプリング周波数グループ選択

これらのビットはサンプリング周波数グループを選択します。周波数選択は20μs以上のインターバル時間をもって行って下さい。

| SF1 | SF0 | サンプリングレート・グループ                            | 初期設定 |
|-----|-----|-------------------------------------------|------|
| 0   | 0   | 44.1kHzグループ<br>(22.05kHz、44.1kHz、88.2kHz) | ○    |
| 0   | 1   | 48kHzグループ(24kHz、48kHz、96kHz)              |      |
| 1   | 0   | 32kHzグループ(16kHz、32kHz、64kHz)              |      |
| 1   | 1   | リザーブ                                      |      |

### DSR1、DSR0 : サンプリングレート・モード選択

これらのビットはサンプリングレート・モードを選択します。

| DSR1 | DSR0 | サンプリングレート・モード               | 初期設定 |
|------|------|-----------------------------|------|
| 0    | 0    | スタンダード(32kHz、44.1kHz、48kHz) | ○    |
| 0    | 1    | ダブル(64kHz、88.2kHz、96kHz)    |      |
| 1    | 0    | ハーフ(16kHz、22.05kHz、24kHz)   |      |
| 1    | 1    | リザーブ                        |      |

### SYS : システムクロック周波数選択

このビットはシステムクロック周波数を選択します。

| SYS | システムクロック周波数       | 初期設定 |
|-----|-------------------|------|
| 0   | 384f <sub>s</sub> | ○    |
| 1   | 256f <sub>s</sub> |      |

### ATC : アッテネーション・データ・モード制御

このビットはアッテネーション・データ・モードを制御します。ATCが1の場合、レジスタ0をLチャンネル、RチャンネルDACの共通のアッテネーション・データとして使えます。この場合、レジスタ1は無視されます。

| ATC | アッテネーション動作モード | 初期設定 |
|-----|---------------|------|
| 0   | チャンネル独立制御     | ○    |
| 1   | チャンネル共通制御     |      |

### LRP : LRクロック極性選択

このビットはLRクロックの極性を選択します。

| LRP | LRCKクロック、LR極性                 | 初期設定 |
|-----|-------------------------------|------|
| 0   | LRCK = H : Lch、LRCK = L : Rch | ○    |
| 1   | LRCK = H : Rch、LRCK = L : Lch |      |

### IIS : オーディオデータ・フォーマット選択

このビットは入力データのフォーマットを選択します。

| IIS | オーディオデータ・フォーマット                  | 初期設定 |
|-----|----------------------------------|------|
| 0   | スタンダード・フォーマット<br>(MSBファースト、後ろ詰め) | ○    |
| 1   | IISフォーマット                        |      |

## レジスタ4(A2 = 1、A1 = 0、A0 = 0)

### OPE : DACオペレーション制御

このビットは、DAC機能のオン/オフを制御します。OPEが“1”の場合、入力オーディオデータに関係なく、DAC機能はディスエーブル(OFF)となり、アナログ出力は強制的に $0.5V_{CC}$ (= パイボラゼロ)に固定されます。

| OPE | DAC動作    | 初期設定 |
|-----|----------|------|
| 0   | DAC通常動作  | ○    |
| 1   | DAC動作OFF |      |

### IZD : インフィニティゼロ検出強制ミュート回路制御

このビットは、インフィニティゼロ検出強制・ミュート回路を制御します。IZDが“1”の場合、検出・ミュート回路がアクティブとなり、入力データに65,536BCKサイクル以上の“0”データが連続的に与えられると、DACアナログ出力はデルタ・シグマ変調器出力に無関係の $0.5V_{CC}$ (= パイボラゼロ)に固定されます。ZERO出力はこのビットの影響を受けません。

| IZD | ゼロ検出強制ミュート | 初期設定 |
|-----|------------|------|
| 0   | ON         | ○    |
| 1   | OFF        |      |

### LD : アッテネーション・データ・ロード制御

このビットは、Lチャンネル、Rチャンネル両方のアナログ出力を同時にコントロールするために用いられます。LDが“1”にセットされると、Lチャンネル、Rチャンネル両方のアッテネーション・データが同時に更新されます。LDが“0”の場合には以前のデータが保持されます。LDが“1”にセットされる前にOPEは“0”でなければなりません。

| LD | アッテネーション・データ・ロード | 初期設定 |
|----|------------------|------|
| 0  | ホールド             | ○    |
| 1  | ロード              |      |

## I<sup>2</sup>C-BUS® インターフェース

### ビット転送

1データ・ビットは1クロック・パルスで転送されます。SDAライン上のデータは、制御信号として認識されないようにクロックが“ハイ”の期間は変化してはなりません。

### スタート・ストップ・コンディション

バスが使用されていない間は、データ、クロックともに“ハイ”となります。クロックが“ハイ”の間のデータの“ハイ”から“ロー”への遷移は、スタート・コンディション(S)と定義されます。また、クロックが“ハイ”の間のデータの“ロー”から“ハイ”への遷移は、ストップ・コンディション(P)と定義されます。

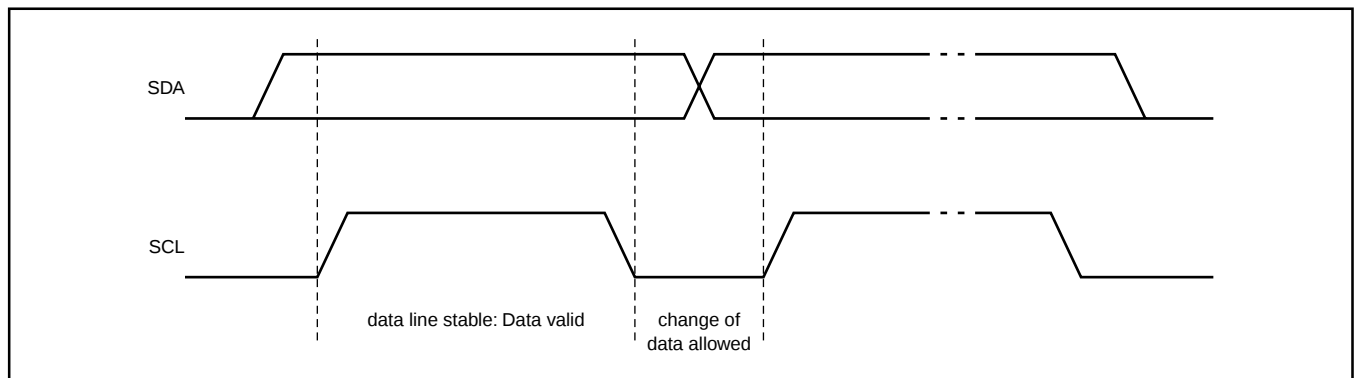


図10. ビット転送

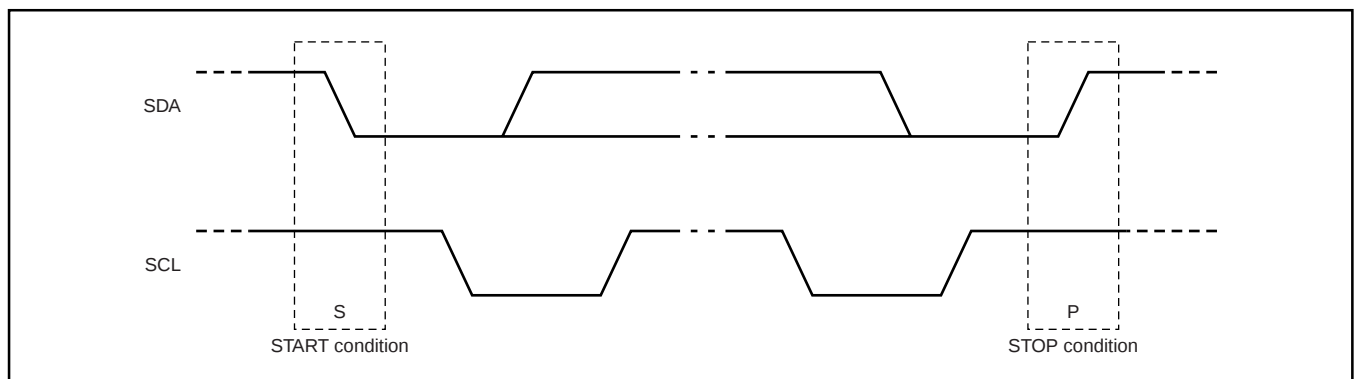


図11. スタート・ストップ・コンディション

## システム構成

メッセージを送信するデバイスはトランスミッタ、受信するデバイスはレシーバと定義されます。メッセージの転送を制御するデバイスはマスター、マスターによって制御されるデバイスはスレーブと定義されます。PCM1740はスレーブのレシーバとなります。

## アクノリッジ(応答通知)

スタート・コンディションとストップ・コンディションの間にトランスミッタからレシーバに転送されるデータバイト数に制限はありません。8ビットの1バイト転送ごとにアクノリッジ・ビットが続きます。1バイトごとにマスターがアクノリッジ・ビットを生成するのに対し、トランスミッタはアクノリッジ・ビットの間、バスを“ハイ”としなければなりません。またマスターはスレーブ・トランスミッタが送ったバイトの受信ごとにアクノリッジを生成しなければなりません。アクノリッジを返すデバイスは、アクノリッジ・クロック・パルスの間SDAを“ロー”としなければなりません。セットアップ、ホールド時間を考慮して、アクノリッジ・クロックの“ハイ”の全期間を通じてSDAラインは“ロー”でなければなりません。マスター・レシーバは、スレーブ・トランス

ミッタの送る最後のバイトにアクノリッジを生成しないことによって、トランスミッタにデータ転送の終了を通知しなければなりません。このシーケンスに対し、トランスミッタはマスターがストップ・コンディションを生成できるよう、データラインを“ハイ”としなければなりません。

## スレーブ・アドレス

スレーブ・アドレスは8ビットからなり、上位5ビットは“10011”、次の2ビットはプログラマブル・ビットとしてAD0(ピン6)、AD1(ピン7)で与えられます。PCM1740は同時に4個までバスに接続できます。スレーブ・アドレスの最後のビットはR/Wビットで、メッセージの方向を定義します。R/Wの“0”は、マスターが選択されたスレーブにインフォメーションをライトしようとしていることを意味します。

## タイミング仕様

マスターは最大100kHzまでのクロックを生成します。図14はスタンダード・モードにおけるデータ転送手順を、図15はSDAとSDLの入力タイミング仕様を示します。

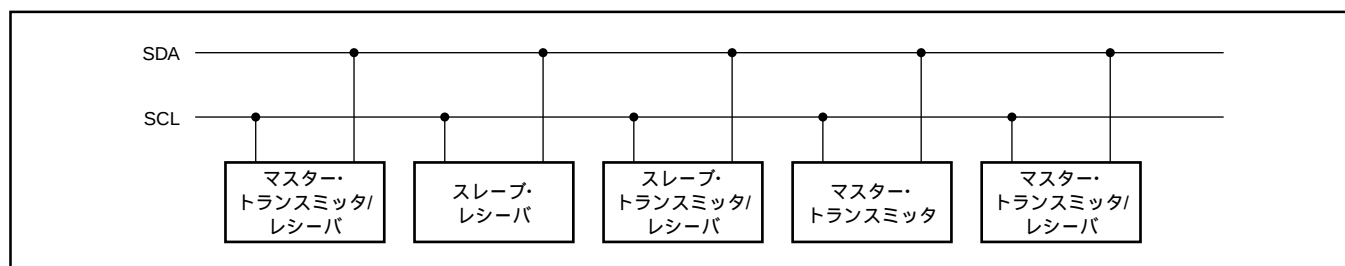


図12. システム構成

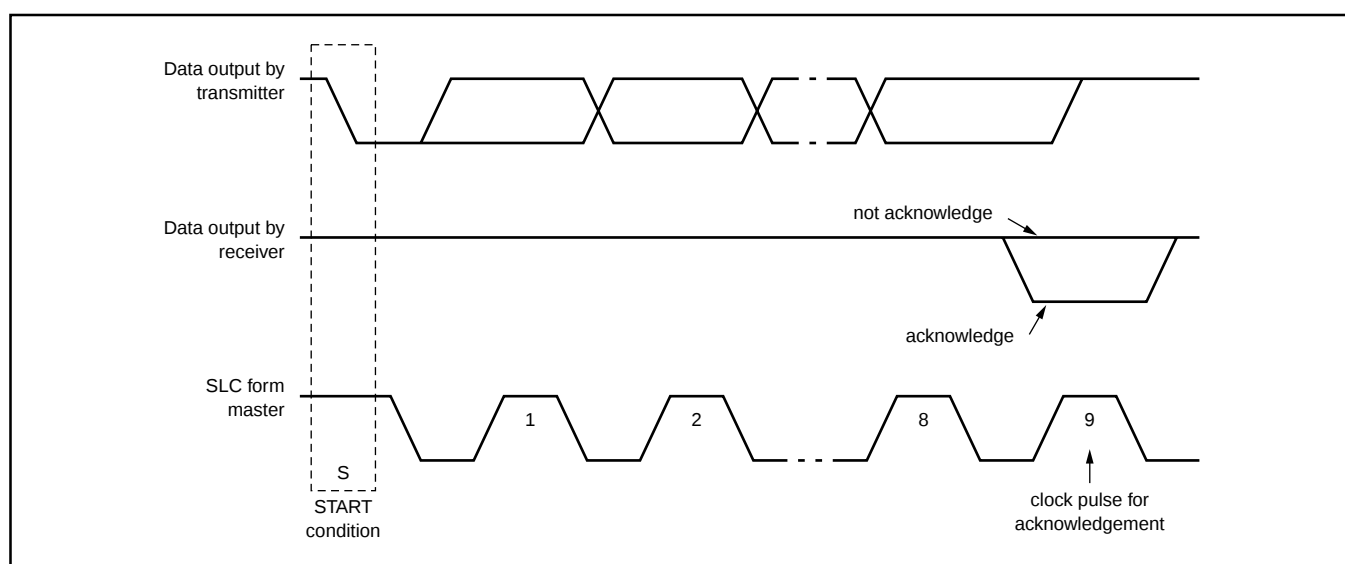
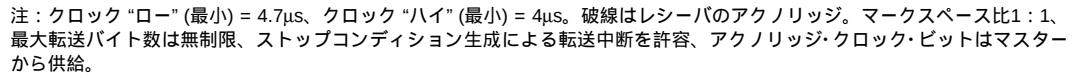


図13. アクノリッジ(応答通知)

[illegible]

S: START condition  
Sr: repeated START condition  
P: STOP condition

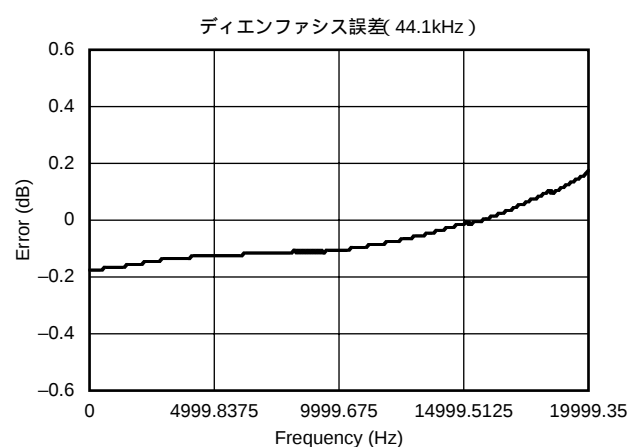
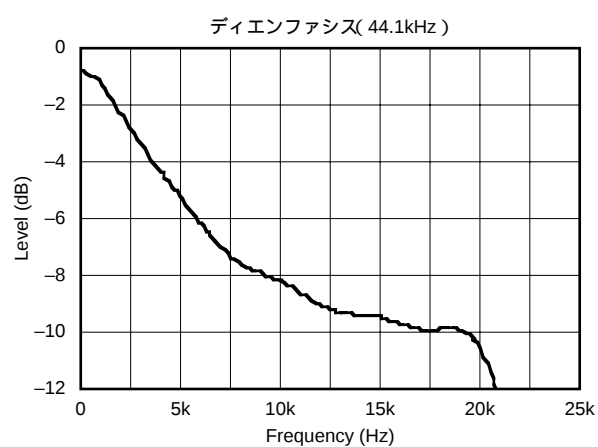
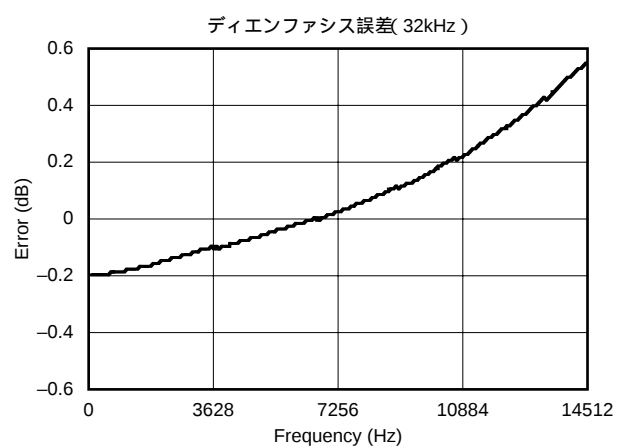
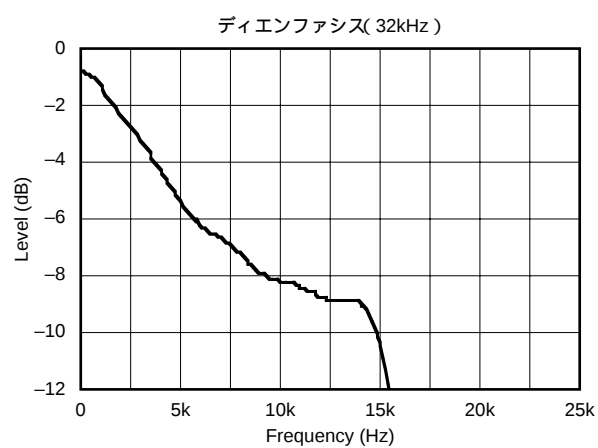
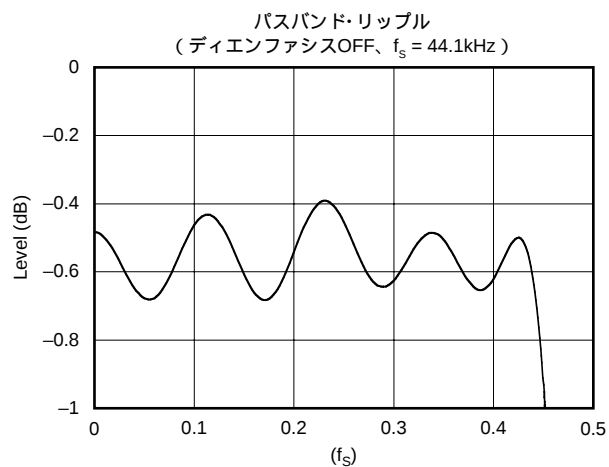
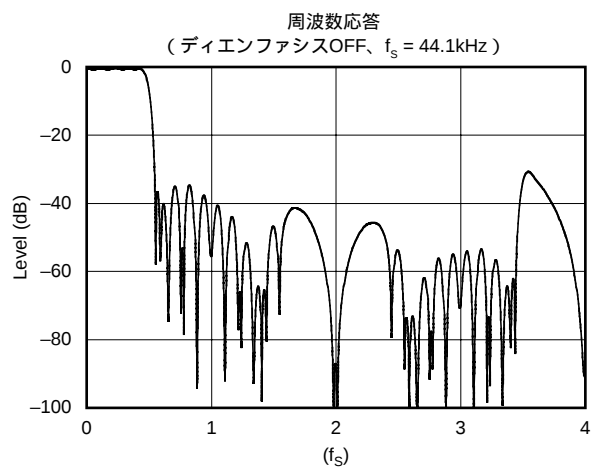
|                      |                                               | 最小                 | 標準 | 最大                  | 単位            |
|----------------------|-----------------------------------------------|--------------------|----|---------------------|---------------|
| $f_{\text{SCL}}$     | SCLクロック周波数                                    |                    |    | 100                 | kHz           |
| $t_{\text{HD; STA}}$ | START条件ホールド時間(繰り返し)<br>この期間の後、最初のクロックが生成されます。 | 4.0                |    |                     | $\mu\text{s}$ |
| $t_{\text{LOW}}$     | SCLクロック“ロー”期間                                 | 4.7                |    |                     | $\mu\text{s}$ |
| $t_{\text{HIGH}}$    | SCLクロック“ハイ”期間                                 | 4.0                |    |                     | $\mu\text{s}$ |
| $t_{\text{SU; STA}}$ | 繰り返しSTART条件へのセットアップ時間                         | 4.7                |    |                     | $\mu\text{s}$ |
| $t_{\text{HD; DAT}}$ | I <sup>2</sup> C-BUS®デバイスへのデータ・ホールド時間         | 0                  |    | 3.45 <sup>(2)</sup> | $\mu\text{s}$ |
| $t_{\text{SU; DAT}}$ | データ・セットアップ時間                                  | 250                |    |                     | ns            |
| $t_{\text{R}}$       | SDAおよびSCL信号立ち上がり時間                            |                    |    | 1000                | ns            |
| $t_{\text{F}}$       | SDAおよびSCL信号立ち下がり時間                            |                    |    | 300                 | ns            |
| $t_{\text{SU; STO}}$ | STOPコンディションへのセットアップ時間                         | 4.0                |    |                     | $\mu\text{s}$ |
| $t_{\text{BUF}}$     | バス・フリー時間( STOPとSTART条件間 )                     | 4.7                |    |                     | $\mu\text{s}$ |
| $C_{\text{B}}$       | バスライン、負荷容量                                    |                    |    | 400                 | pF            |
| $V_{\text{NL}}$      | 接続デバイス、“ロー”レベル、ノイズマージン<br>(ヒステリシスを含む)         | 0.1V <sub>DD</sub> |    |                     | V             |
| $V_{\text{NH}}$      | 接続デバイス“ハイ”レベル、ノイズマージン<br>(ヒステリシスを含む)          | 0.2V <sub>DD</sub> |    |                     | V             |

注：(1)すべての値は、 $V_{IHMIN}$  および  $V_{ILMAX}$  に対する値（仕様の欄を参照）。(2)最大  $t_{HD, DAT}$  は、デバイスがSCLの“ロー”期間  $t_{LOW}$  を伸ばさない場合にのみ適用。

15

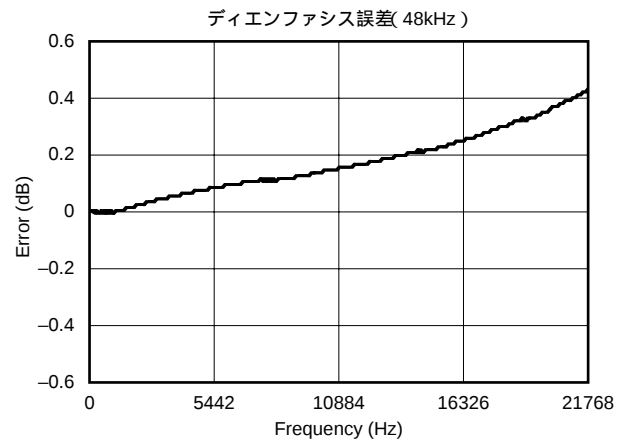
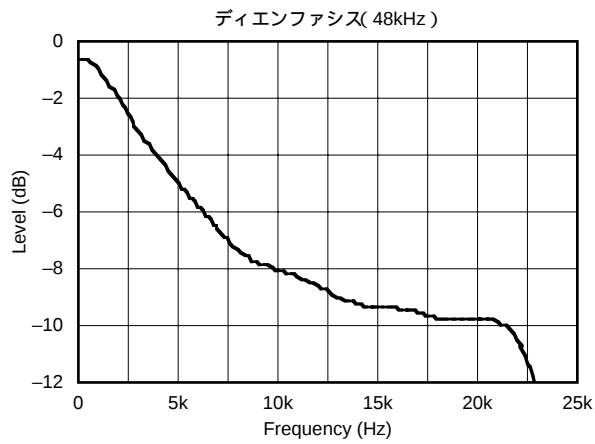
# 特性曲線

## デジタルフィルタ

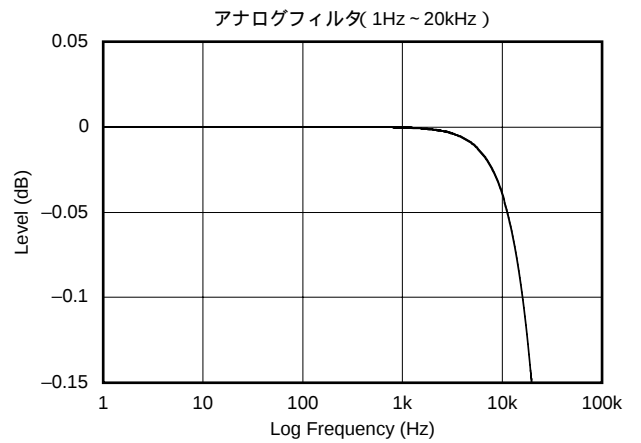
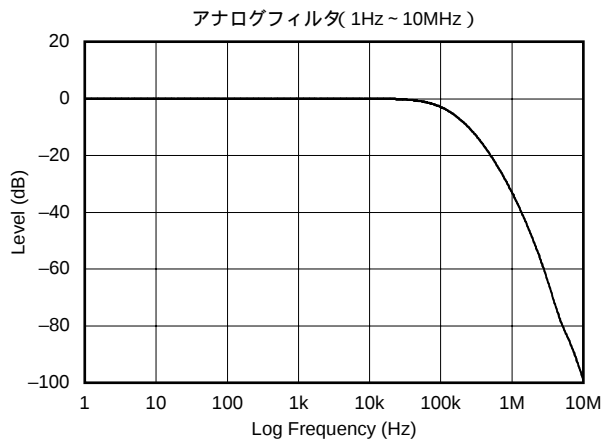


# 特性曲線

## デジタルフィルタ



## アナログフィルタ( 1Hz ~ 10MHzおよび1Hz ~ 20kHz )



# アプリケーション

## 代表的アプリケーション

PCM1740は図16に示されるように、受信された27MHzマスタークロックにMCKOを同期させます。27MHzマスタークロックとMCKOを比較して得られるPWM信号は、ローパスフィルタを通してXTUNに供給されます。

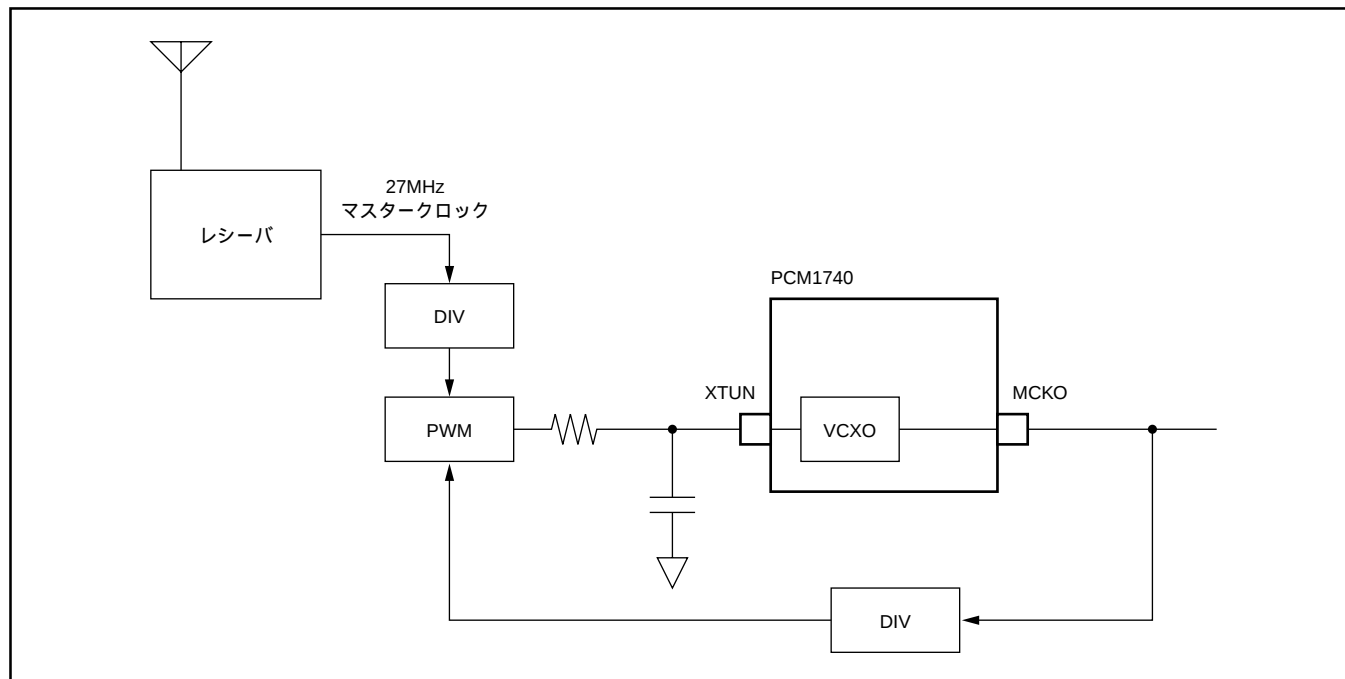


図16. 代表的アプリケーションブロック図

$C_1, C_2, C_3$ :  $1\mu\text{F} \sim 10\mu\text{F}$ のバイパス・コンデンサ  
 $C_4$ :  $V_{\text{COM}}$   $10\mu\text{F}$ のデカップリング・コンデンサ  
 クロック(MCKO、SCKO)の出力は複数のスレーブ・チップ用に外部でバッファされなければならない

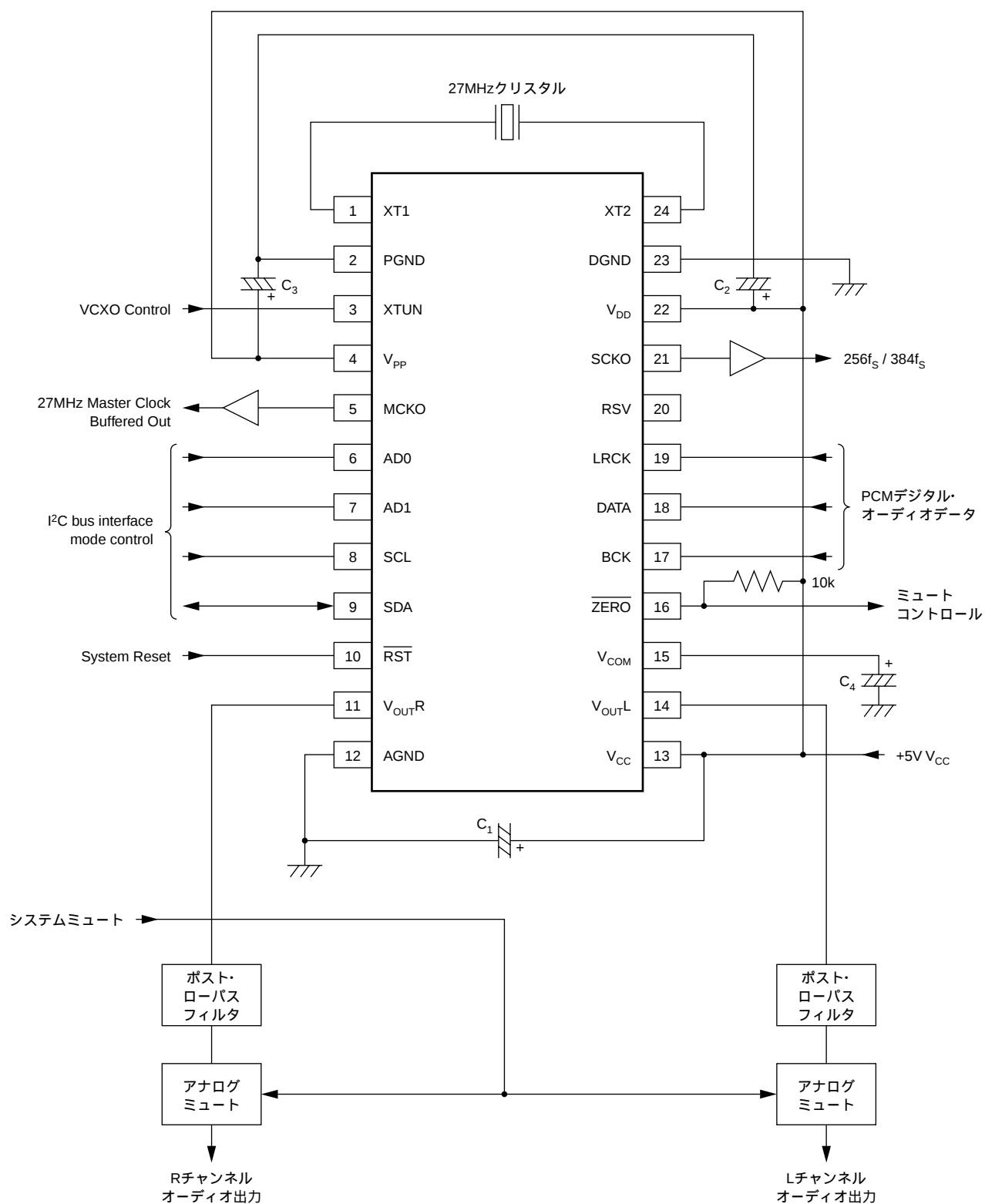
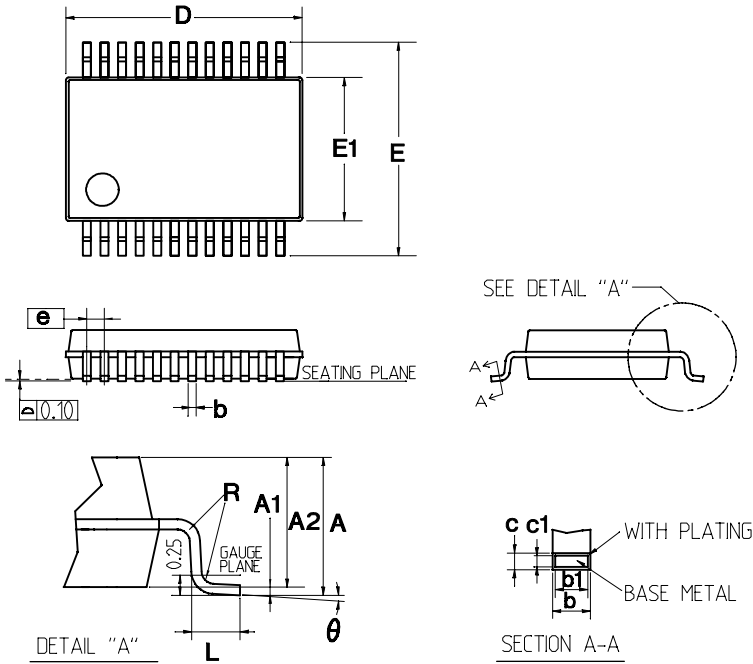


図17. 基本接続回路例

外觀

パッケージ番号 - 24ピンSSOP

Unit: mm



|    | MIN  | TYP      | MAX  |
|----|------|----------|------|
| A  | -    | -        | 2.13 |
| A1 | 0.05 | -        | 0.25 |
| A2 | 1.62 | 1.75     | 1.88 |
| b  | 0.22 | -        | 0.38 |
| b1 | 0.22 | 0.30     | 0.33 |
| c  | 0.09 | -        | 0.20 |
| c1 | 0.09 | 0.15     | 0.16 |
| D  | 7.90 | 8.20     | 8.50 |
| E  | 7.40 | 7.80     | 8.20 |
| E1 | 5.00 | 5.30     | 5.60 |
| e  | -    | 0.65 BSC | -    |
| L  | 0.63 | 0.90     | 1.03 |
| R  | 0.09 | -        | -    |
| θ  | 0°   | 4°       | 8°   |

JEDEC NO. MO-150-AG

- Notes:
- "D" and "E1" dimensions do not include mold flash or protrusions, but does include mold mismatch and are measured at datum plane, mold parting line. Mold flash or protrusion shall not exceed 0.20 mm per side.
  - Dimension "b" does not include dambar protrusion/intrusion. Allowable dambar protrusion shall be 0.13 mm total in excess of "b" dimension at maximum material condition. Dambar intrusion shall not reduce dimension "b" by more than 0.07 mm at least material condition.
  - "b", "b1", "c" and "c1" dimensions apply to the flat section of the lead between 0.10 and 0.25 mm from the lead tips.