

SoundPlus™ 24ビット、192kHz、 ステレオ・オーディオD/Aコンバータ

特 長

- 分解能：24ビット
- 16/18/20/24ビット・オーディオ・インターフェース選択可
- PCM1737：ソフトウェア・コントロール
- PCM1739：ハードウェア・コントロール
- 高性能
 ダイナミック・レンジ：106dB(標準)
 SNR：105dB(標準)
 THD + N：0.0015%(標準)
- 4倍/8倍オーバー・サンプリング・デジタルフィルタ内蔵
 通過帯域：0.454 f_s
 阻止帯域：0.546 f_s
 通過帯域リップル：±0.002dB
 阻止帯域減衰量：-82dB
- サンプリング・レート(f_s)：10～200kHz
- システムクロック：128/192/256/384/512/768 f_s 自動選択
- マルチファンクション(1部PCM1737のみ)
 0～-63dB、0.5dBステップ、デジタル・アッテネータ
 ゼロ検出
 ソフトミュート
 ディエンファシス($f_s = 32/44.1/48$ kHz)
 デルタ・シグマ変調部、オーバー・サンプリング・レート可変可
- 電源電圧：+5V、+3.3V
- パッケージ：28ピンSSOP

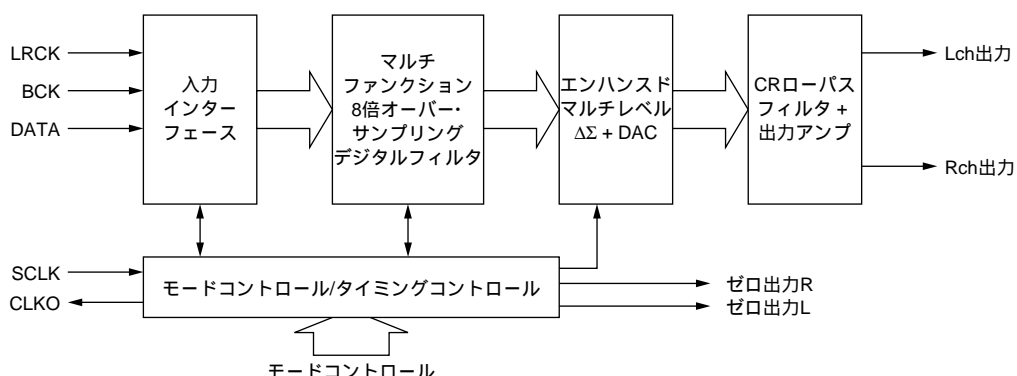
概 要

PCM1737/1739は、バー・ブラウンが特に高性能化のために開発したエンハンスド・マルチレベル・デルタ・シグマ方式を用いた、高性能ステレオ・オーディオD/Aコンバータです。

最大192kHzサンプリング、24ビット・データに対応可能で、DVD-M、DVD-A等のフォーマットのアプリケーションに完全に対応する機能と性能を有しています。PCM1737は各種機能をすべてソフトウェアで制御でき、PCM1739は機能の一部のみがハードウェアで制御可能です。

内蔵の8倍オーバー・サンプリング・デジタルフィルタ(192kHz時は4倍)は、-82dBの阻止帯域減衰量を有し、PCM1737ではシャープ/スロー・ロールオフ特性の選択も可能です。また、0.5dBステップのデジタル・アッテネータ、ディエンファシス、ゼロ検出、ソフトミュート等のマルチファンクション機能により、アプリケーションに応じた使用が可能です。

PCM1737は、デルタ・シグマ変調部の動作サンプリング・レートを可変にできる機能を持っているため、外部アナログLPF(ローパスフィルタ)のアプリケーションに応じた設計も容易にします。PCM1737/1739はこのように、高性能、高機能によりDVD-M、DVD-Aはもとより、ホームシアター・システム、AVアンプ等のアプリケーションに最適なデバイスです。



仕様(続き)

特に記述のない限り、 $T_A = +25$ 、 $V_{CC} = 5.0V$ 、 $V_{DD} = 3.3V$ 、システムクロック = $384f_s$ ($f_s = 44.1kHz$)および24ビット・データです。

パラメータ	条件	PCM1737E、PCM1739E			単位
		最小	標準	最大	
電源供給					
電源電圧	V_{DD}	+3.0	+3.3	+3.6	VDC
電源電流	V_{CC} $I_{DD}^{(5)}$	+4.5	+5.0	+5.5	VDC
	$V_{DD} = 3.3V$ $f_s = 44.1kHz$ $f_s = 96kHz / 256f_s$ $f_s = 192kHz / 128f_s$		8.5 16.5 19.5	12.0	mA mA mA
	$V_{CC} = 5.0V$ $f_s = 44.1kHz$ $f_s = 96kHz / 256f_s$ $f_s = 192kHz / 128f_s$		13.0 14.0 14.5	18.0	mA mA mA
消費電力	$V_{DD} = 3.3V$ 、 $V_{CC} = 5.0V$ $f_s = 44.1kHz$ $f_s = 96kHz / 256f_s$ $f_s = 192kHz / 128f_s$		93 124 137	130	mW mW mW
温度範囲					
動作		0		70	
保存		-55		+125	
熱抵抗 θ_{JA}			100		/W

注：(1)ピン23、24、25(PCM1737)：ZEROL、ZEROR、MDO(PCM1737)。(2)ピン4：CLKO (3)シバソク #725THD使用。20kHz帯域制限、平均モード、400HzHPF、30kHzLPF ON。5kΩ以上の負荷抵抗をコンデンサ・カップルで接続。(4)インフィニティ・ゼロ回路OFF。(5)CLKO未接続。

絶対最大定格

電源電圧 $+V_{DD}$	+4.0V
$+V_{CC}$	+6.5V
入力電流 (電源を除く)	$\pm 10mA$
電源電圧差 (V_{CCA} 、 V_{CCL} 、 V_{CCR})	$\pm 0.1V$
グランド電圧差	$\pm 0.1V$
デジタル入力電圧	-0.2V ~ +5.5V
デジタル出力電圧	-0.2V ~ $V_{DD} + 0.2V$
消費電力	650mW
動作温度	0 ~ +70
保存温度	-55 ~ +125
リード温度 (5秒間の半田付け)	+260
パッケージ温度 (リフロー、10秒間)	+235



静電気放電対策

静電気放電はわずかな性能の低下から完全なデバイスの故障に至るまで、様々な損傷を与えます。すべての集積回路は、適切なESD保護方法を用いて、取扱いと保存を行うようにして下さい。高精度の集積回路は、損傷に対して敏感であり、極めてわずかなパラメータの変化により、デバイスに規定された仕様に適合しなくなる場合があります。

パッケージ情報/ご発注の手引き

モデル	パッケージ	パッケージ図番号 ⁽¹⁾	仕様温度範囲	パッケージのマーキング	発注番号 ⁽²⁾	供給時の状態
PCM1737E	28ピンSSOP	324	0 ~ +70	PCM1737E	PCM1737E	マガジン
PCM1737E	28ピンSSOP	324	0 ~ +70	PCM1737E	PCM1737E/2K	テーブリール
PCM1739E	28ピンSSOP	324	0 ~ +70	PCM1739E	PCM1739E	マガジン
PCM1739E	28ピンSSOP	324	0 ~ +70	PCM1739E	PCM1739E/2K	テーブリール

注：(1)詳細図および寸法表は、データシートの巻末を参照してください。(2)スラッシュ(/)のついたモデルは、その後に示される数量を単位として、テーブリールでのみ供給されます(例えば、/2Kは2,000個で1リールであることを示します)。「PCM1737E/2K」をご発注の場合、2,000個入りのテーブリールが1本納入されます。

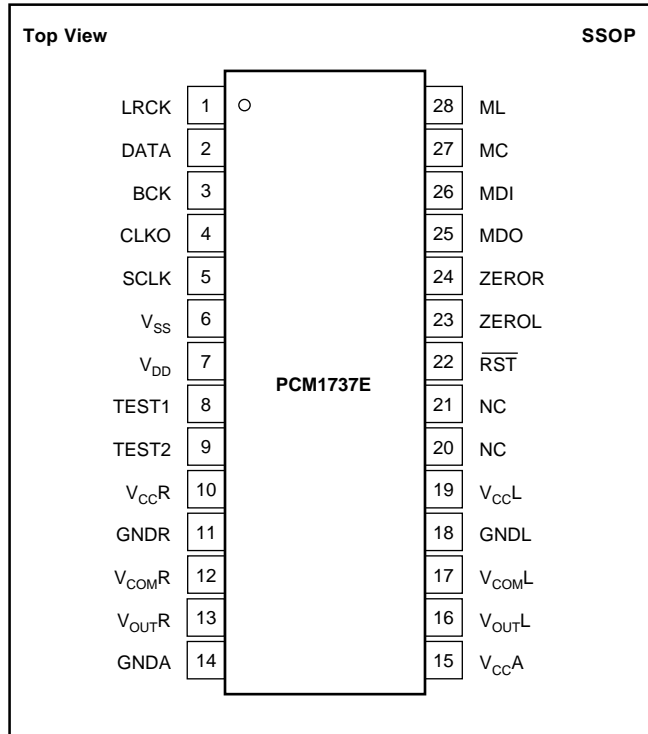
このデータシートに記載されている情報は、信頼しうるものと考えておりますが、不正確な情報や記載漏れ等に関して弊社は責任を負うものではありません。情報の使用について弊社は責任を負えませんので、各ユーザの責任において御使用下さい。価格や仕様は予告なしに変更される場合がありますのでご了承下さい。ここに記載されているいかなる回路についても工業所有権その他の権利またはその実施権を付与したり承諾したりするものではありません。弊社は弊社製品を生命維持に関する機器またはシステムに使用することを承認しまたは保証するものではありません。

ピン構成(PCM1737)

ピン番号	名称	IN/OUT	説明
1	LRCK	IN	LRCKクロック入力(f_s) ⁽¹⁾
2	DATA	IN	オーディオ・データ入力 ⁽¹⁾
3	BCK	IN	ビットクロック入力 ⁽¹⁾
4	CLKO	OUT	システムクロック、バッファード出力
5	SCLK	IN	システムクロック、入力 ⁽¹⁾
6	V _{SS}	-	デジタル・グラウンド
7	V _{DD}	-	デジタル電源、+3.3V
8	TEST1	IN	テストピン ⁽²⁾ (必ず、オープンまたはグラウンド)
9	TEST2	IN	テストピン ⁽²⁾ (必ず、オープンまたはグラウンド)
10	V _{CC} R	-	Rch、アナログ電源、+5V
11	GNDR	-	アナログ・グラウンド、Rch
12	VCOMR	-	Rch、アナログ出力アンプ・コモン
13	V _{OUT} R	OUT	Rch、アナログ電圧出力
14	GNDL	-	アナログ・グラウンド
15	V _{CC} A	-	アナログ電源、+5V
16	V _{OUT} L	OUT	Lch、アナログ電圧出力
17	VCOML	-	Lch、アナログ出力アンプ・コモン
18	GNDL	-	アナログ・グラウンド、Lch
19	V _{CC} L	-	Lch、アナログ電源、+5V
20	NA	IN	未使用
21	NA	IN	未使用
22	RST	IN	リセット
23	ZEROL	OUT	Lch、ゼロデータ・フラグ
24	ZEROR	OUT	Rch、ゼロデータ・フラグ
25	MDO	OUT	モード制御、データ出力 ⁽³⁾
26	MDI	IN	モード制御、データ入力 ⁽²⁾
27	MC	IN	モードクロック ⁽²⁾
28	ML	IN	モードラッチ ⁽²⁾

注：(1)シュミット・トリガ入力、5Vロジック入力可。(2)シュミット・トリガ、入力プルダウン抵抗付き。5Vロジック入力可。(3)トライステート出力。

ピン配置(PCM1737)

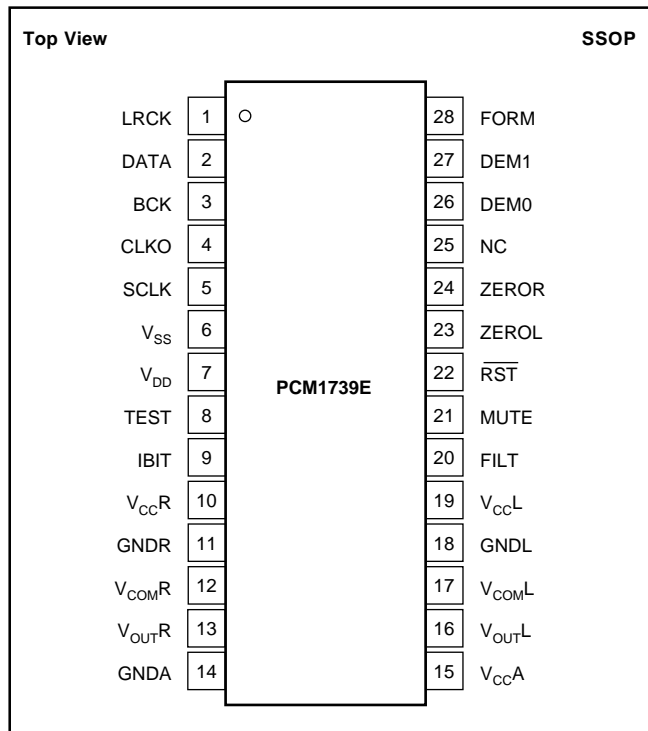


ピン構成(PCM1739)

ピン番号	名称	IN/OUT	説明
1	LRCK	IN	LRCKクロック入力(f_s) ⁽¹⁾
2	DATA	IN	オーディオ・データ入力 ⁽¹⁾
3	BCK	IN	ビットクロック入力 ⁽¹⁾
4	CLKO	OUT	システムクロック、バッファード出力
5	SCLK	IN	システムクロック、入力 ⁽¹⁾
6	V _{SS}	-	デジタル・グラウンド
7	V _{DD}	-	デジタル電源、+3.3V
8	TEST	IN	テストピン ⁽²⁾ (必ずV _{DD} に接続)
9	IBIT	IN	入力データ・ビット選択 ⁽²⁾
10	V _{CC} R	-	Rch、アナログ電源、+5V
11	GNDR	-	アナログ・グラウンド、Rch
12	VCOMR	-	Rch、アナログ出力アンプ・コモン
13	V _{OUT} R	OUT	Rch、アナログ電圧出力
14	GNDA	-	アナログ・グラウンド
15	V _{CC} A	-	アナログ電源、+5V
16	V _{OUT} L	OUT	Lch、アナログ電圧出力
17	VCOML	-	Lch、アナログ出力アンプ・コモン
18	GNDL	-	アナログ・グラウンド、Lch
19	V _{CC} L	-	Lch、アナログ電源、+5V
20	FILT	IN	4倍フィルタ選択 ⁽²⁾
21	MUTE	IN	L/Rch、ソフトミュート ⁽²⁾
22	RST	IN	リセット
23	ZEROL	OUT	Lch、ゼロデータ・フラグ
24	ZEROR	OUT	Rch、ゼロデータ・フラグ
25	NA	-	未使用
26	DEM0	IN	ディエンファシス制御 ⁽²⁾
27	DEM1	IN	ディエンファシス制御 ⁽²⁾
28	FORM	IN	入力データ・フォーマット選択 ⁽²⁾

注：(1)シュミット・トリガ入力、5Vロジック入力可。(2)シュミット・トリガ、入力プルダウン抵抗付き。5Vロジック入力可。

ピン配置(PCM1739)



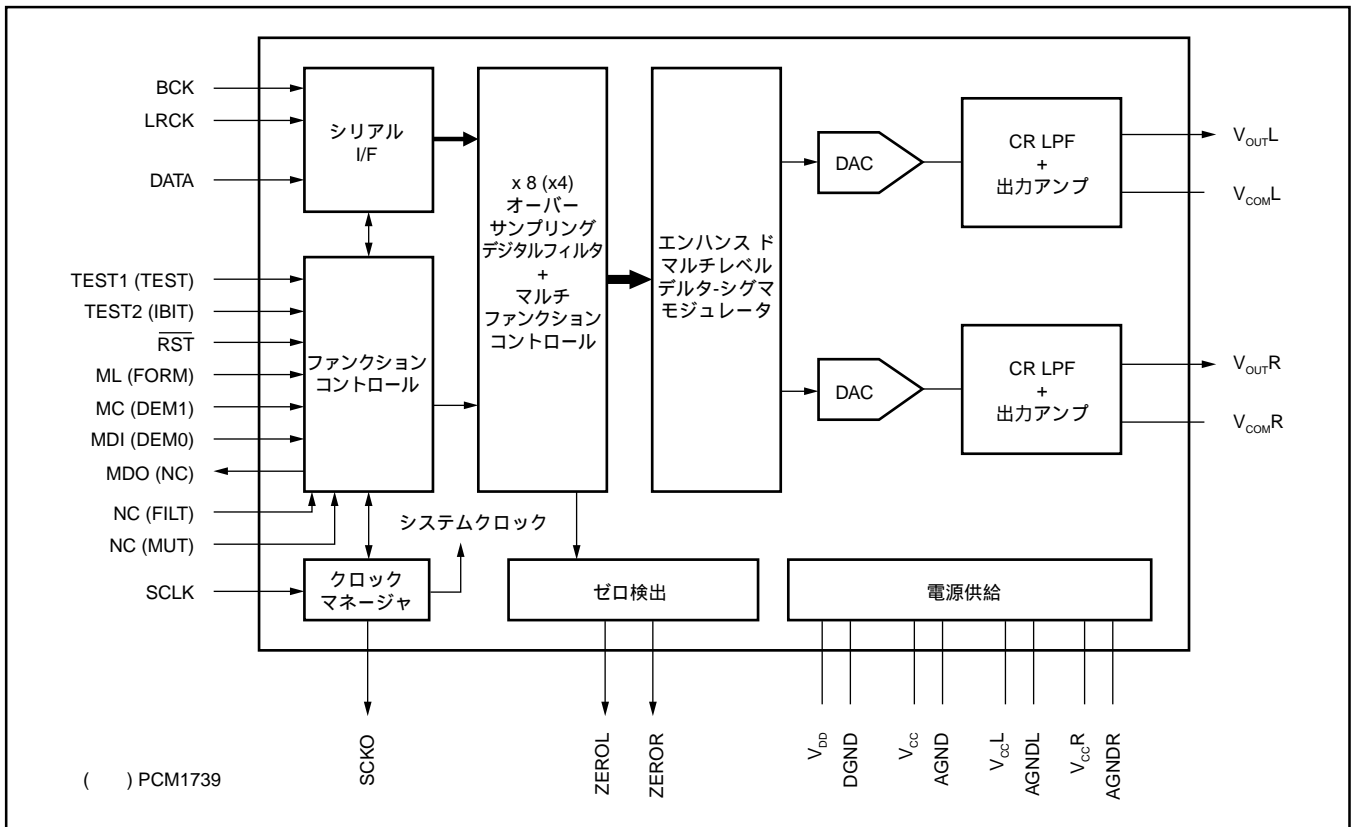
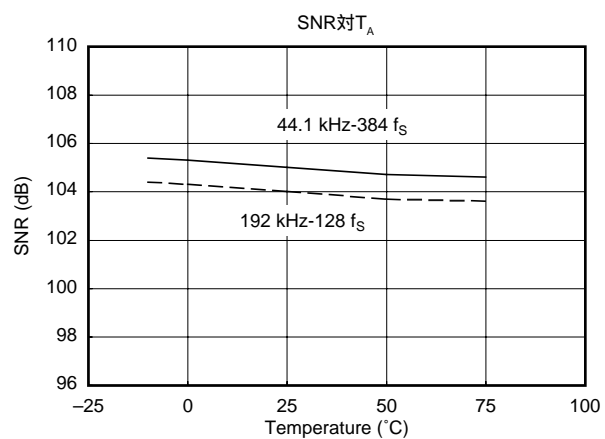
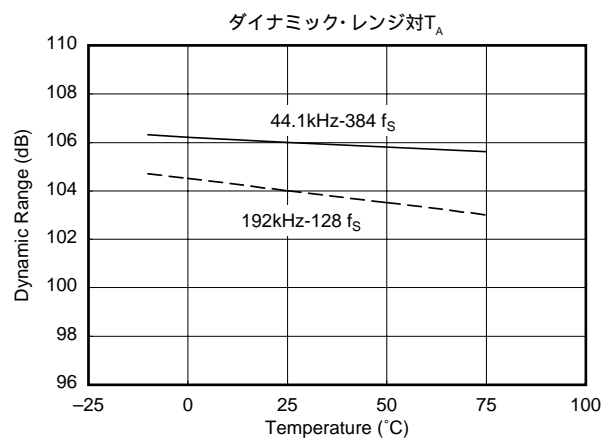
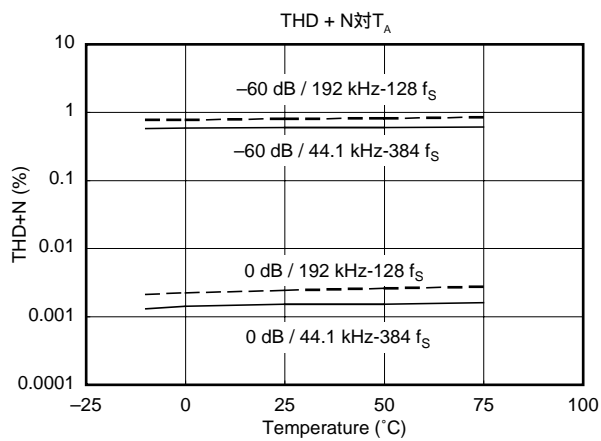
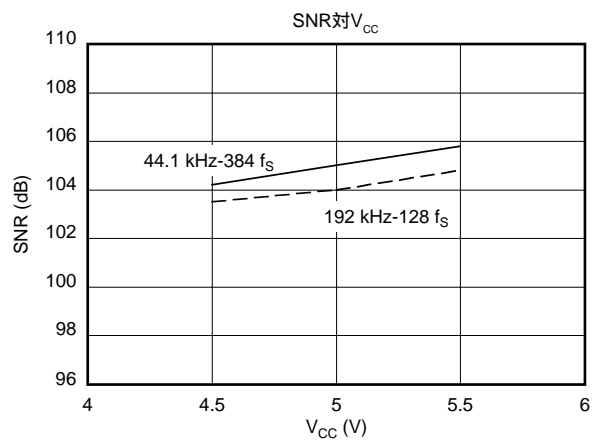
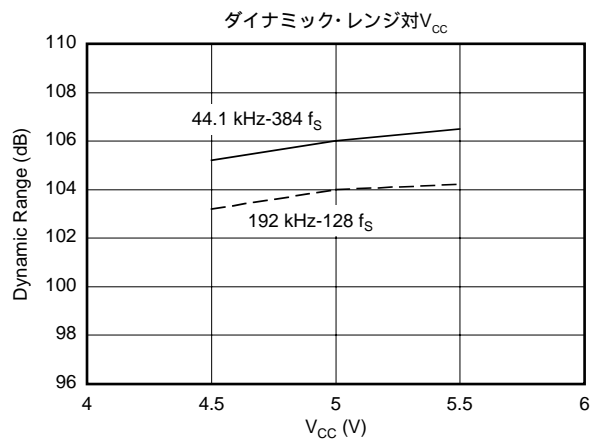
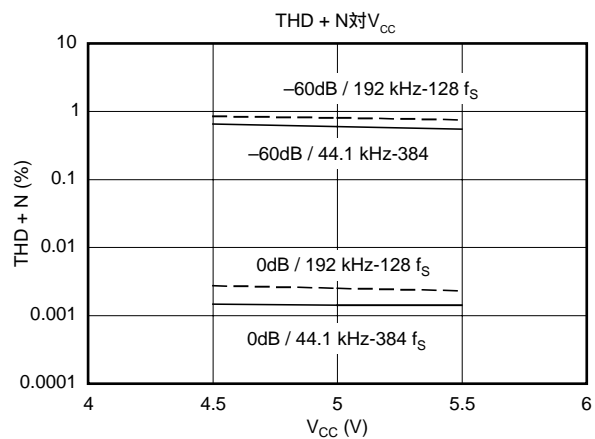


図1. PCM1737/1739ブロック図

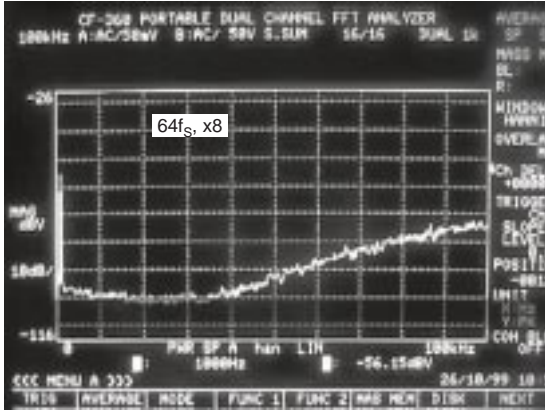
代表的性能曲線



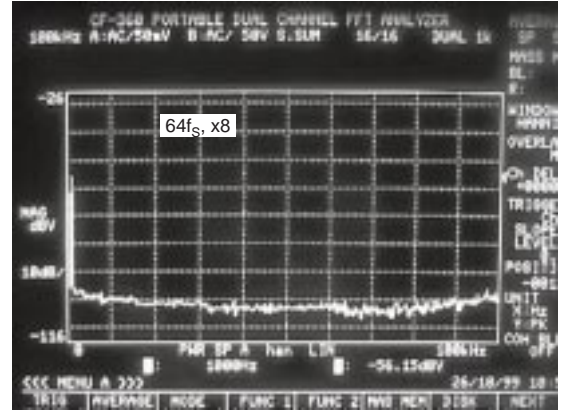
代表的性能曲線

-60dB、1kHz出力スペクトラム

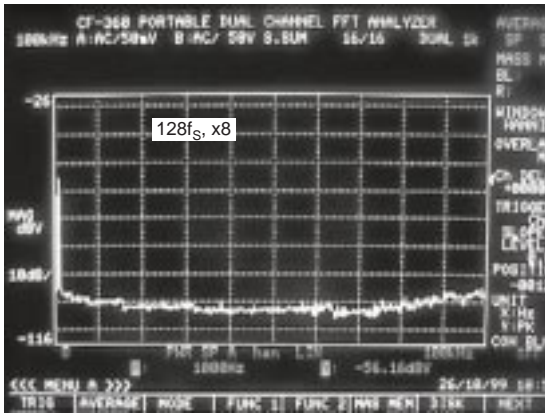
$f_s = 44.1\text{kHz}$ 、 $64f_s$



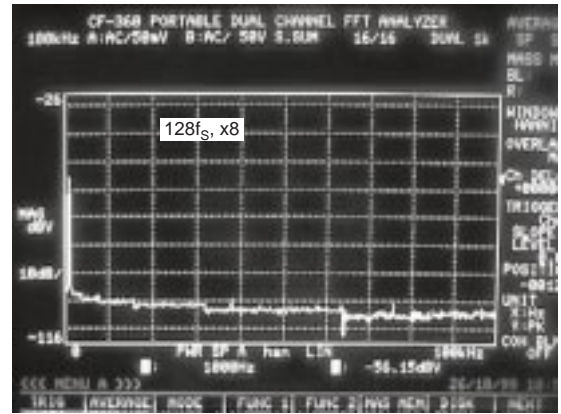
$f_s = 96\text{kHz}$ 、 $64f_s$



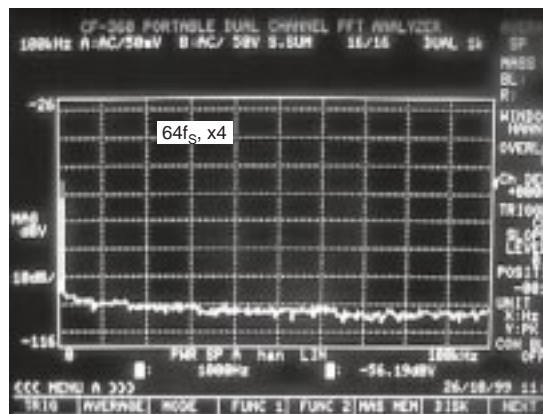
$f_s = 44.1\text{kHz}$ 、 $128f_s$



$f_s = 96\text{kHz}$ 、 $128f_s$



$f_s = 192\text{kHz}$ 、 $64f_s$



使用上の注意

エンハンスド・マルチレベル・デルタ-シグマの動作原理

PCM1737デルタ シグマ・セクションでは、従来のマルチレベル・デルタ シグマでの5レベルの振幅方向での分解能を8レベルに向上させ、8レベルのデルタ-シグマ変調を行います。このエンハンスド・マルチレベル・デルタ-シグマ方式は、特に高性能化を実現するために新たに開発された方式です。

デジタルフィルタでオーバー・サンプリングされた最大24ビットのデータはこのエンハンスド・マルチレベル・デルタ-シグマ変調により、8レベル(0、1、2、3、4、5、6、7)の変調信号に変換されます。図2にこの8レベル・エンハンスド・マルチレベル・デルタ-シグマ変調器のブロック図を示します。デルタ-シグマ次数は4次で、一般的な1ビット(2レベル)デルタ-シグマ変調に比べ、系の安定性および耐ジッタ性に優れています。デジタルフィルタ部とデルタ-シグマ変調部との総合オーバー・サンプリング・レート

は使用システムクロックに関係なく $64f_s$ に設定されており、特に帯域内の量子化ノイズの抑圧と、帯域外ノイズの絶対レベル抑圧を両立させた伝送特性を持たせています。

図3は、PCM1737のエンハンスド・マルチレベル・デルタ-シグマ変調器の量子化雑音特性のシミュレーション・データです。帯域内($f_s/2$)での量子化雑音レベルは、 -140dB から -160dB まで抑圧されており、分解能に応じたダイナミック・レンジを得ることができます。また、帯域外ノイズもフルスケール比 -60dB に抑圧されており、ポストローパスフィルタの負担を軽減します。

エンハンスド・マルチレベル・デルタ-シグマの耐ジッタ特性

PCM1737の8レベル量子化器は、他の一般的なデルタ-シグマ型DACに比べてシステムクロックのジッタ耐量にも優位性を持っています。図4にシミュレーションによるジッタ量対ダイナミック・レンジ特性データを示します。

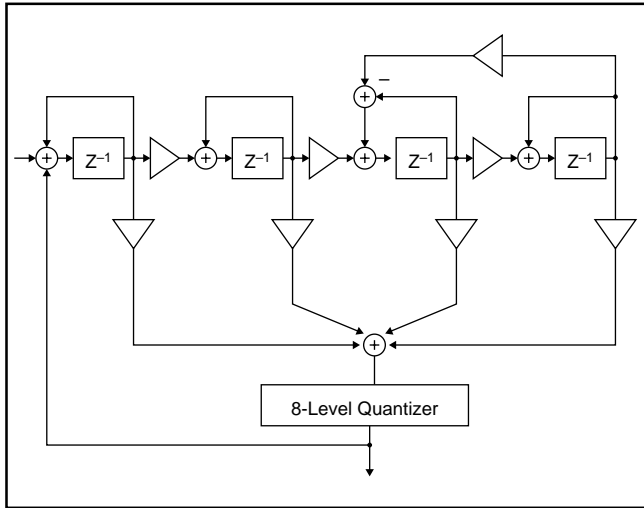


図2. 8レベル・エンハンスド・マルチレベル・デルタ-シグマ変調器のブロック図

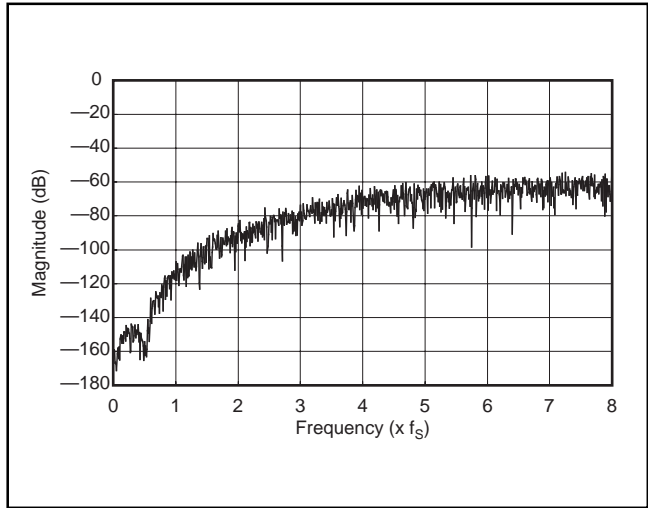


図3. 量子化雑音特性($64f_s$ 、PCM1737/PCM1739)

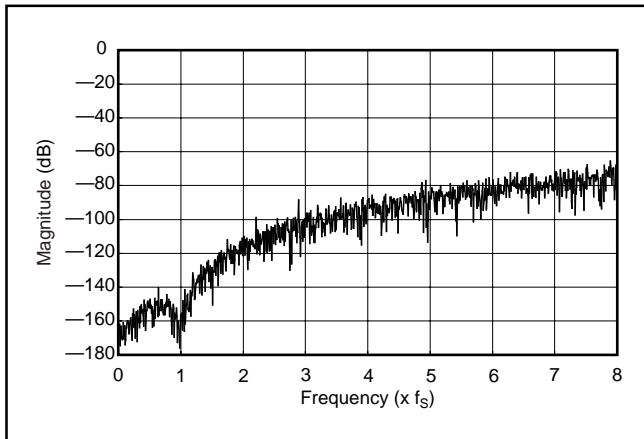


図4. 量子化雑音特性($128f_s$ 、PCM1737)

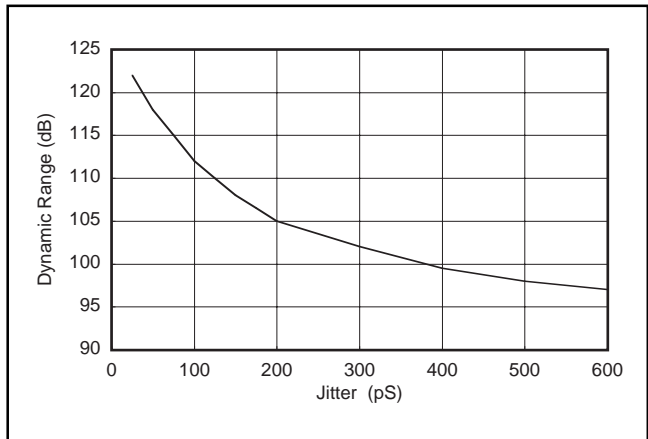


図5. ジッタ対ダイナミック・レンジ

システムクロック

PCM1737/1739のシステムクロックは、 $128f_s$ 、 $192f_s$ 、 $256f_s$ 、 $384f_s$ 、 $512f_s$ 、 $768f_s$ (f_s : 基準サンプリング・レート)のいずれも対応可能で、このシステムクロックはPCM1737/1739のSCLK端子に外部から入力します。

PCM1737/1739では、システムクロックの自動検出機能を有しているため、外部からシステムクロック周波数の選択を制御する必要はありません。また、システムクロックとLRCKクロック (f_s) は同期関係が必要ですが、位相を正確に合わせる必要はありません。システムクロックのタイミング規定を図6に示します。

PCM1737/1739では $f_s = 192\text{kHz}$ での動作が可能ですが、システムクロック周波数は制限されます。表 に対応可能な代表的基準サンプリング・レート (f_s) とシステムクロック周波数の関係を示し

ます。 $f_s = 96\text{kHz}$ では最大 $512f_s$ まで、 $f_s = 192\text{kHz}$ では最大 $192f_s$ までそれぞれ対応可能です。

PCMオーディオ・データ・インターフェース

PCM1737/1739では、LRCK(ピン1)、BCK(ピン3)、DATA(ピン2)により外部システムとインターフェースします。入力データ・フォーマットはMSBファースト、2'sコンプリに対応しており、インターフェース・フォーマットとしてはPCM1737では16/18/20/24ビットの後ろ詰め、最大24ビットのIISおよび前詰めをそれぞれソフトウェア制御で選択できます。PCM1739は、16/24ビットの後ろ詰め、または最大24ビットのIISを制御ピンで選択できます。図7にインターフェース・フォーマットを、図8に入力データ・タイミング規定をそれぞれ示します。

サンプリング・レート (f_s) - LRCK	システムクロック周波数 (MHz)					
	$128f_s$	$192f_s$	$256f_s$	$384f_s$	$512f_s$	$768f_s$
32kHz	-	-	8.1920	12.2880	16.3840	24.5760
44.1kHz	-	-	11.2896	16.9344	22.5792	33.8688
48kHz	-	-	12.2880	18.4320	24.5760	36.8640
96kHz	12.2880	18.4320	24.5760	36.8640	49.1520	-
192kHz	24.5760	36.8640	-	-	-	-

表I. 標準システムクロック周波数

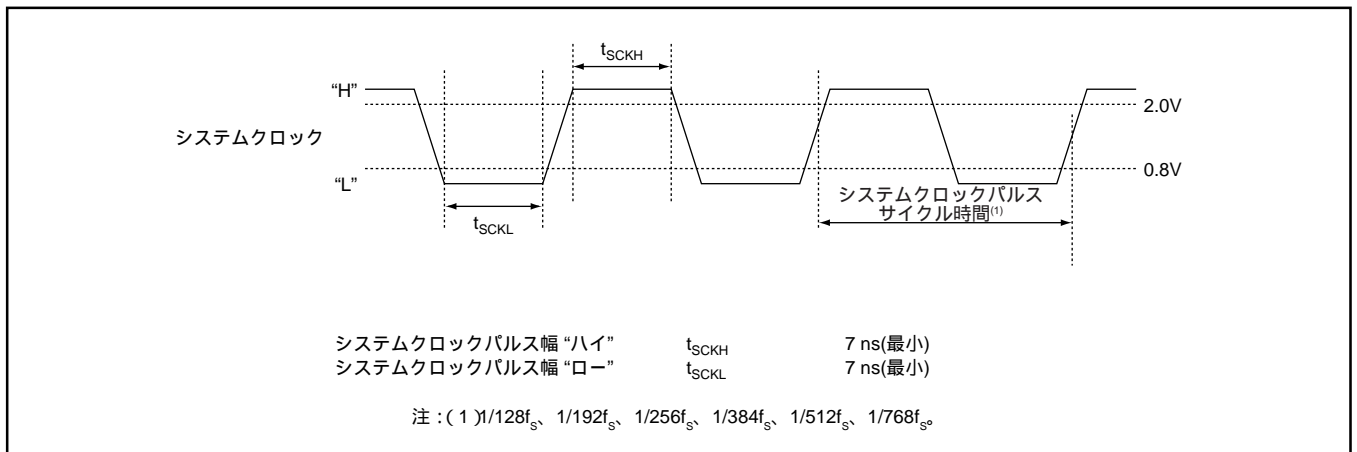
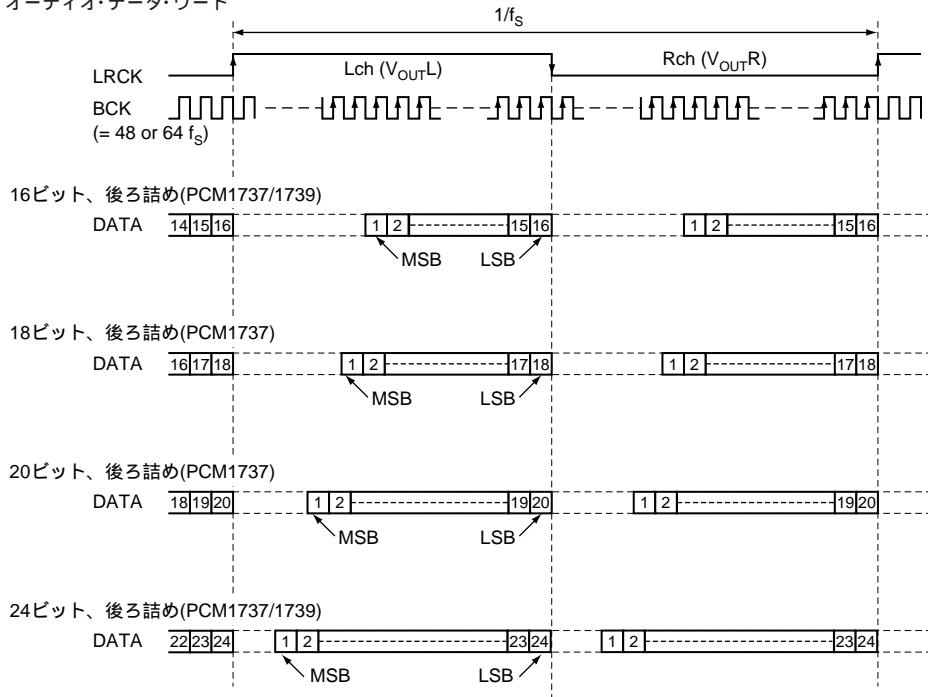
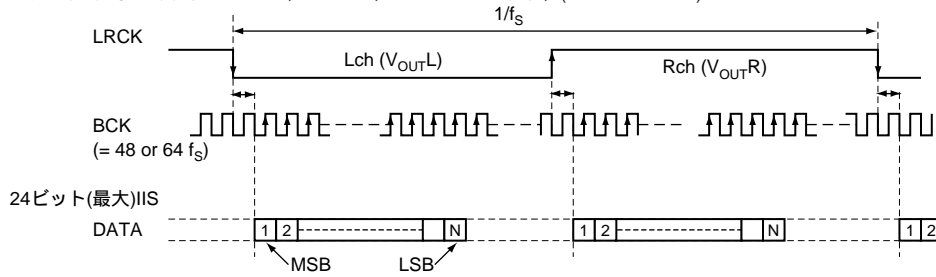


図6. システムクロックのタイミング

(1) スタンダード・データフォーマット : Lch = H, Rch = L
オーディオ・データ・ワード



(2) IISデータ・フォーマット : Lch = L, Rch = H, N = 16 ~ 24ビット, (PCM1737/1739)



(3) 前詰めフォーマット : Lch = H, Rch = L, N = 16 ~ 24ビット, (PCM1737)

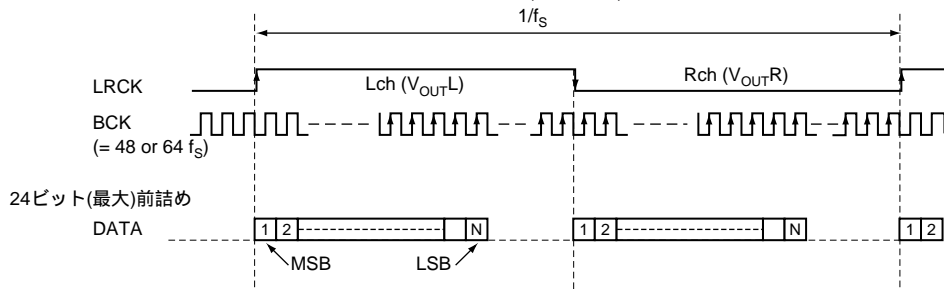


図7. オーディオ・データ・インターフェース・フォーマット

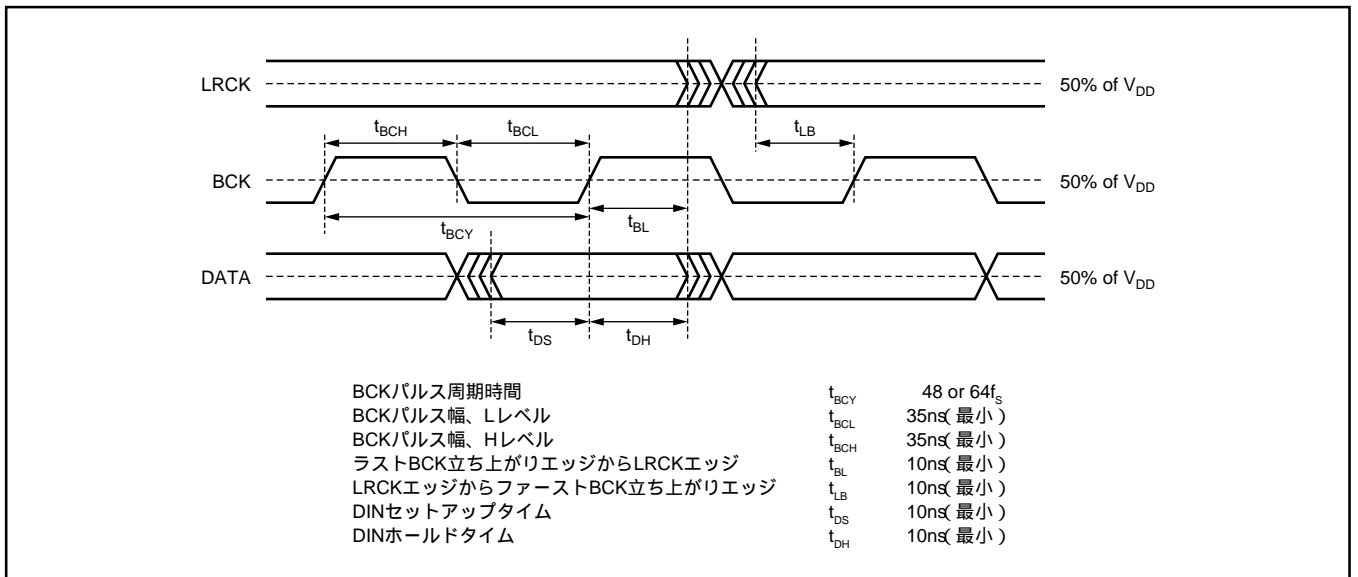


図8. オーディオ・データ入力タイミング

リセット・オペレーション

PCM1737/1739には、次に示す内蔵のパワーオン・リセットと外部からのRST端子制御による2種類のリセットがあります。これらのリセット機能は、内部動作に対しては共通になっており、同じ働きをします。リセット時にはソフトウェア・モードにおける各コントロール・レジスタは初期値が設定され、リセット期間中のDACアナログ出力は $0.5V_{CC}$ (バイポーラ・ゼロ)に固定されます。

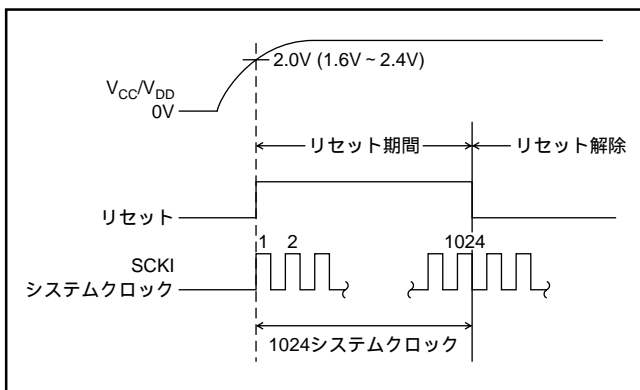


図9. パワーオン・リセット

パワーオン・リセット

内蔵のパワーオン・リセットは、電源電圧を検知して自動的に行われます。電源投入後、電源電圧が標準2.0V(1.6Vから2.4V)を超えるとリセット動作となり、外部入力システムクロックを1024クロックカウントした後にリセット解除します。

外部リセット

RST端子(ピン22)を一定期間ローレベルにすることにより、外部からリセットをかけることができます。RST端子がローからハイに変化した後、パワーオン・リセットと同様に1024システムクロック・カウント後リセット解除となり、それまでの間はリセット期間となります。

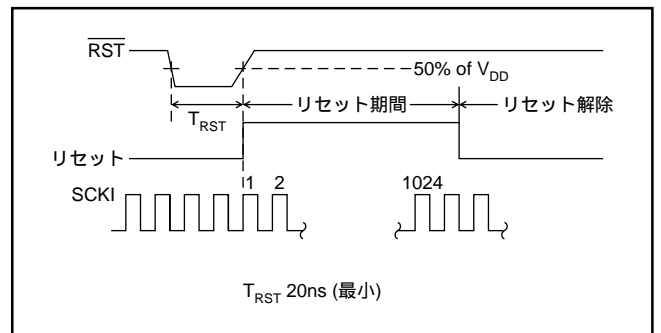


図10. 外部リセット・タイミング

ゼロフラグ検出・出力機能

データ入力(DATA)が1024LRCKクロック(f_s)サイクルの間連続して0(ゼロ)の場合、ゼロ検出機能によりZEROL、ZEROR(ピン23、ピン24)端子出力はLレベルからHレベルに変化し、ゼロ検出出力となります。このゼロ検出は入力ステレオ・データに対しチャンネル独立で検出動作を行い、LchはZEROL、RchはZERORにそれぞれ対応しています。PCM1737では、後述のマルチファンクション制御によりゼロ検出ミュートのON/OFFを選択できます。

外部システムとの同期

PCM1737/1739の入力LRCKクロック(基準サンプリング・レート: f_s)とシステムクロック($256/384/512/768f_s$)とは常時同期していなければなりません。すなわち、LRCKクロックの1サイクルの間は256、384、512、768いずれかのシステムクロックがあれば同期関係は成立し、両クロックの位相は影響しません。PCM1737では、内部で常時LRCKクロックとシステムクロックをモニタしており、両クロックの同期関係を確認しています。

同期外れ時の動作

LRCKクロックとシステムクロックの同期関係が、例えばサンプリング・レート(f_s)が変化した場合などで同期外れとなると、1/ f_s の間DAC出力は不定となり、その後 $0.5V_{CC}$ (バイポーラ・ゼロ)を

出力します。また、同期外れ状態から同期状態に回復した場合は $34/f_s$ の期間DAC出力は不定となり、その後正常状態となります。この関係を図11に示します。

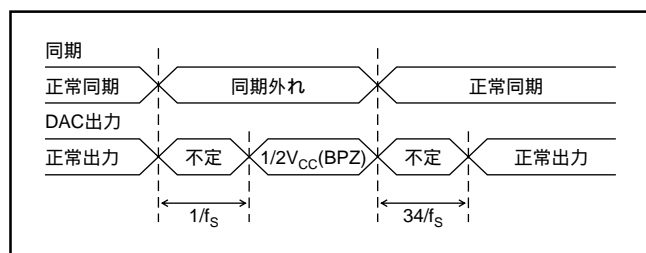


図11. 同期外れ時のDAC出力

PCM1737とPCM1739のマルチファンクション機能

PCM1737とPCM1739で制御可能なマルチファンクションを表に示します。PCM1737は、全てのマルチファンクションがソフトウェア(シリアルデータ)で制御可能です。PCM1739は、一部の機能がハードウェア(ピン設定)で制御可能です。

機能	PCM1737	PCM1739
デジタル・アッテネーション制御 : 0 ~ -63dB、0.5dB/ステップ	イネーブル	ディスエーブル
オーバー・サンプリング・レート制御	イネーブル	ディスエーブル
ゼロ検出ミュート	イネーブル	ディスエーブル
アッテネーション・スピード制御 : $2f_s$ または $4f_s$	イネーブル	ディスエーブル
ソフトミュート制御	イネーブル	イネーブル
ディエンファシス制御 44.1kHzディエンファシス 48kHzディエンファシス 32kHzディエンファシス	イネーブル	イネーブル
デジタル・ディエンファシス制御	イネーブル	イネーブル
DACオペレーション制御	イネーブル	ディスエーブル
4倍デジタルフィルタ選択 : 8倍デジタルフィルタ 4倍デジタルフィルタ、 $f_s = 192\text{kHz}$ 、128または $192f_s$	イネーブル	イネーブル
デジタルフィルタ・ロールオフ特性選択 シャープ・ロールオフ(ノーマル) スロー・ロールオフ1 スロー・ロールオフ2	イネーブル	ディスエーブル
クロック出力制御 クロック出力 ON/OFF クロック出力バッファ 1/2分周	イネーブル イネーブル	ディスエーブル ディスエーブル
インクリメント読み込み制御	イネーブル	ディスエーブル
入力オーディオ・データ・ワード/フォーマット選択 16-24ビット、スタンダード(後ろ詰め) 16-24ビット、IIS 16-24ビット、前詰め	イネーブル イネーブル イネーブル	イネーブル(16/24) イネーブル ディスエーブル
読み込みレジスタ選択 10h-15h	イネーブル	ディスエーブル

表 . PCM1737/PCM1739で制御可能なマルチファンクション

PCM1739機能制御

PCM1739では、ハードウェア制御(ピン設定)により次に示す各種機能を制御することができます。

FILT : 4倍/8倍デジタルフィルタ選択

FILTピンの制御により、内蔵オーバー・サンプリング・デジタルフィルタのオーバー・サンプリング・レートの4倍、8倍を選択します。 $f_s = 192\text{kHz}$ 時は必ず4倍(FILT = H)を選択しなければなりません。

FILT(ピン20)	オーバー・サンプリングレート
L	8倍デジタルフィルタ(デフォルト)
H	4倍デジタルフィルタ $f_s = 192\text{kHz}$ 、 $\text{SCKI} = 128f_s$ または $192f_s$

MUT : ソフトミュート制御

MUTピンの制御によりソフトミュート機能のON/OFFを選択します。

MUT(ピン21)	ソフトミュート動作
L	ソフトミュートOFF(デフォルト)
H	ソフトミュートON

DEM0、DEM1：ディエンファシス制御

DEM0、DEM1ピンの制御によりディエンファシス機能を選択します。

DEM0(ピン26)	DEM1(ピン27)	ディエンファシス
L	L	OFF(デフォルト)
L	H	ON、 $f_s = 32\text{kHz}$
H	L	ON、 $f_s = 44.1\text{kHz}$
H	H	ON、 $f_s = 48\text{kHz}$

IBIT：入力オーディオ・データ長選択

IBITピンの制御により、入力オーディオ・データ・ビット長の選択をします。入力オーディオ・データ・ビット長は、16ビットまたは24ビットです。

IBIT(ピン9)	オーディオ・データ長
L	24ビット(デフォルト)
H	16ビット

FORM：入力オーディオ・データ・フォーマット選択

FORMピンの制御により、入力オーディオ・データ・フォーマットの選択をします。データ・フォーマットは後ろ詰め、またはIISフォーマットです。

FORM(ピン28)	入力オーディオ・データ・フォーマット
L	後ろ詰め/スタンダード(デフォルト)
H	IIS

PCM1737マルチファンクション制御機能

モード制御機能

PCM1737のデータ・フォーマット選択、アッテネータ制御などの動作モードは、ML、MC、MDI、MDOの16ビット・シリアルデータで制御することができます。また、このシリアル・インターフェースでは、MDIはシリアルデータの書き込み(WRITE)に用いられ、MDOは設定データの読み込み(READ)に用いることができます。図12および図13に書き込み(WRITE)および読み込み(READ)におけるインターフェース・フォーマットを示します。なお、シリアルデータの書き込み、読み込みタイミングは、入力オーディオ・データ(LRCK等)とは全く非同期で行うことができます。これらシリアル・インターフェースにおけるタイミング規定を図14に示します。

PCM1737の動作モード設定におけるマルチファンクションのレジスタ設定、デフォルトの関係を表に示します。

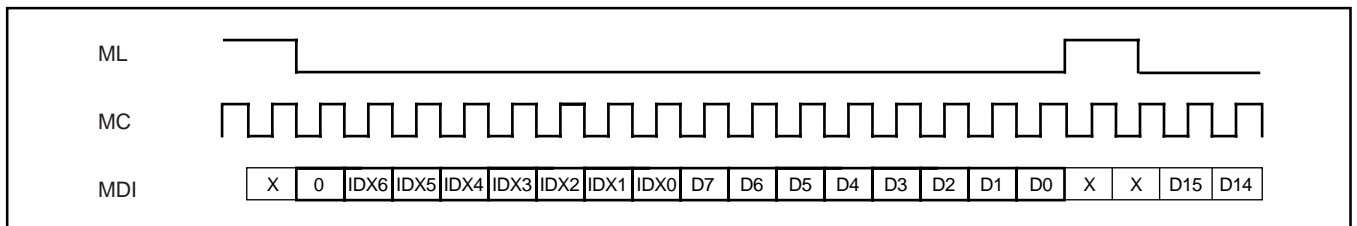
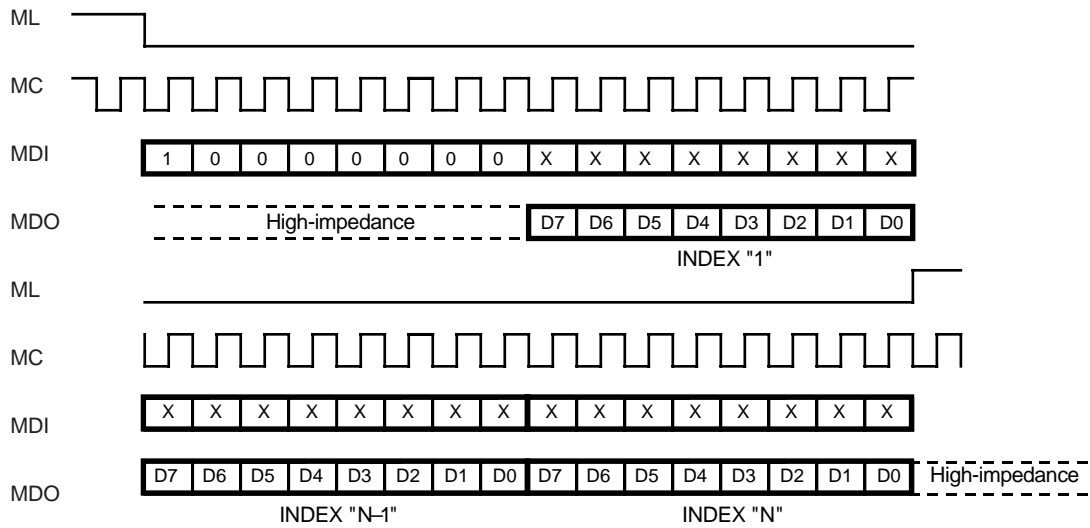


図12. シリアル・インターフェース・フォーマット(書き込み/WRITE)

INC = 1 : インクリメントON



INC = 0 : インクリメントOFF

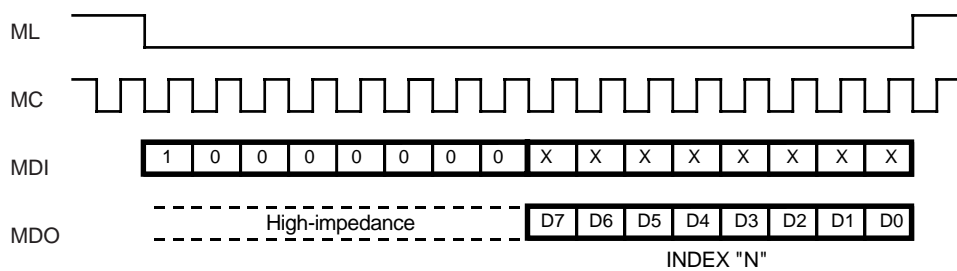
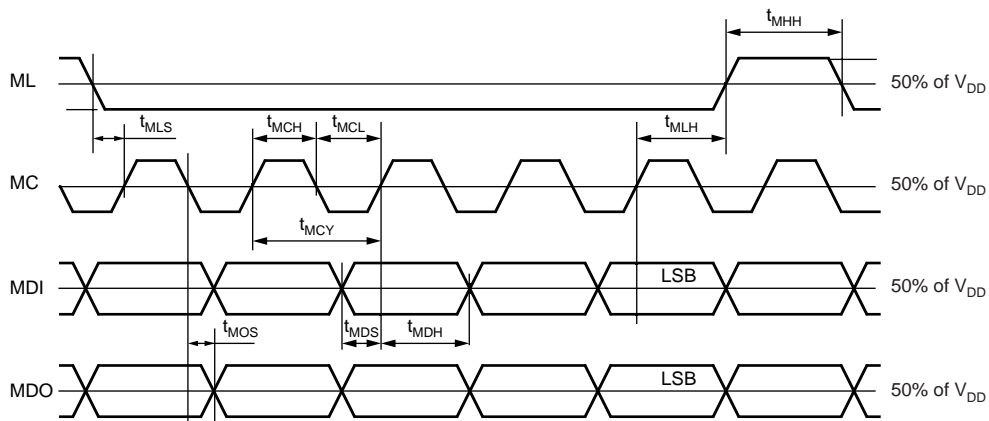


図13. シリアル・インターフェース・フォーマット(読み込み/READ)



MCパルスサイクル時間	t_{MCY}	100ns(最小)
MC' ロー "レベル時間	t_{MCL}	50ns(最小)
MC' ハイ "レベル時間	t_{MCH}	50ns(最小)
ML' ハイ "レベル時間	t_{MHH}	300ns(最小)
ML立ち下がりエッジからMC立ち上がりエッジ	t_{MLS}	20ns(最小)
MLホールド時間 ⁽¹⁾	t_{MLH}	20ns(最小)
MDIホールド時間	t_{MDH}	15ns(最小)
MDIセットアップ時間	t_{MDS}	20ns(最小)
MC立ち下がりエッジからMDOステープル	t_{MOS}	30ns(最大)

注 : (1)LSBデータ対応MCクロックの立ち上がりからMLの立ち上がり

図14. シリアル・インターフェース・タイミング規定

機能	デフォルト	レジスタ	ビット
デジタル・アッテネーション制御：0～-63dB、0.5dB/ステップ	0dB	レジスタ16、17	AT1(7:0) AT2(7:0)
オーバー・サンプリング・レート制御	64f _s オーバー・サンプリング	レジスタ18	OVER
ゼロ検出ミュート制御	OFF	レジスタ18	INZD
アッテネーション・ロード制御	アッテネーション・ロードOFF	レジスタ18	ATLD
アッテネーション・スピード制御：2f _s または4f _s	2f _s	レジスタ18	ATTS
ソフトミュート制御	ミュートOFF	レジスタ18	MUT(2:1)
ディエンファシス制御： 44.1kHzディエンファシス 48kHzディエンファシス 32kHzディエンファシス	44.1kHzディエンファシス	レジスタ19	DMF(1:0)
デジタル・ディエンファシス制御	ディエンファシスOFF	レジスタ19	DM12
DACオペレーション制御	通常動作	レジスタ19	DAC1、DAC2
4倍デジタルフィルタ選択： 8倍デジタルフィルタ 4倍デジタルフィルタ、192kHz/128または192f _s	8倍デジタルフィルタ	レジスタ20	X4DF
デジタルフィルタ・ロールオフ特性選択 シャープ・ロールオフ(ノーマル) スロー・ロールオフ1 スロー・ロールオフ2	シャープ・ロールオフ(ノーマル)	レジスタ20	FLT(1:0)
クロック出力制御 クロック出力可/不可 クロック出力1/2divideOFF/ON	可 1/2divideOFF	レジスタ20 レジスタ20	CLKE CLKD
インクリメント読み込み制御	インクリメント読み込みOFF	レジスタ20	INC
入力オーディオ・データ・ワード/フォーマット選択 16-24ビット、スタンダード(後ろ詰め) 16-24ビット、IIS 16-24ビット、前詰め	24ビット、スタンダード・フォーマット	レジスタ21	FMT(2:0)
読み込みレジスタ選択 10h-15h	10h	レジスタ21	REG(6:0)

表 . 動作モード選択機能とレジスタ設定のデフォルト

	B15	B14	B13	B12	B11	B10	B9	B8	B7	B6	B5	B4	B3	B2	B1	B0
レジスタ 16	R/W	IDX6	IDX5	IDX4	IDX3	IDX2	IDX1	IDX0	AT17	AT16	AT15	AT14	AT13	AT12	AT11	AT10
レジスタ 17	R/W	IDX6	IDX5	IDX4	IDX3	IDX2	IDX1	IDX0	AT27	AT26	AT25	AT24	AT23	AT22	AT21	AT20
レジスタ 18	R/W	IDX6	IDX5	IDX4	IDX3	IDX2	IDX1	IDX0	RSV	OVER	RSV	INZD	ATLD	ATTS	MUT2	MUT1
レジスタ 19	R/W	IDX6	IDX5	IDX4	IDX3	IDX2	IDX1	IDX0	RSV	DMF1	DMF0	DM12	RSV	RSV	DAC2	DAC1
レジスタ 20	R/W	IDX6	IDX5	IDX4	IDX3	IDX2	IDX1	IDX0	X4DF	FLT1	FLT0	CLKD	CLKE	FMT2	FMT1	FMT0
レジスタ 21	R/W	IDX6	IDX5	IDX4	IDX3	IDX2	IDX1	IDX0	INC	REG6	REG5	REG4	REG3	REG2	REG1	REG0

注：(1)RSVが必ずLであること。

表 . モードレジスタ・マッピング

シリアル制御データのレジスタ構成と制御

表 にPCM1737のシリアル制御レジスタのマッピングを示します。R/W(B15)で書き込み/読み込みの選択、IDXr(B8～B14)でレジスタ選択(レジスタ16～レジスタ21)を行い、データ(B0～B7)で動作モード制御を行います。

R/W(B15)	書き込み/読み込み
0	書き込み(WRITE)
1	読み込み(READ)

IDX(B8～B14)	レジスタ
10h	レジスタ16
11h	レジスタ17
12h	レジスタ18
13h	レジスタ19
14h	レジスタ20
15h	レジスタ21

データの書き込み(WRITE)

データの書き込み(WRITE)は次の手順によります。最初に、R/W(B15)を書き込み(B15 = 0)の選択を行います。次に、IDXn (B8 ~ B14)でどのレジスタ(レジスタ0 ~ レジスタ11)の制御を行うかを選択します。選択されたレジスタでの動作モードの制御はB0 ~ B7でのデータで行います。

データの読み込み(READ)

データ読み込み(READ)は次の手順によります。最初に、後述するレジスタ11のREGxフラグで読み込みたいレジスタの設定を行います(書き込みモードで、IDXnによりレジスタ11を選択し、REGxで読み出したいレジスタを選択)。次に、MCクロック、MDIデータ入力をする時にB15を読み込み(B15 = 1)とすると、16ビットのMDOデータの後半の8ビットに選択されたレジスタの設定データが読み込みデータとして出力されます。また、読み込み方法にはインクリメント読み込みON/OFFの2通りがあり、インクリメントOFFでは前述のMDIデータで設定したIDXに応じたレジスタの8ビット・データを読み込みできます。インクリメントONでは、MCクロックを連続して入力することにより、設定したIDXに応じたレジスタから順次、全レジスタ・データを連続して読み込むことが可能です。このインクリメント読み込みONでレジスタがレジスタ11まで出力されると、レジスタ0に戻り、再び順次各レジスタ・データを出力します。

レジスタ16、17 (IDX : 10h、11h)

レジスタ16、17は、PCM1737の内蔵デジタル・アッテネーション・コントロールに使用し、レジスタ16がLch、レジスタ17がRchにそれぞれ対応しています。

アッテネーション・レベルはAT10からAT17、AT20からAT27の8ビット・データ(AT10、AT20がLSB)で制御し、全ステップ数は128ステップあり、0dBから-63dBまでを0.5dBステップで、-63dB以上は無限大($-\infty$)に制御できます。

Atx (B0 ~ B7) (x : 1, 2)	アッテネーション・レベル(減衰量)
1111 1111b (255)	0dB、アッテネーションなし(デフォルト)
1111 1110b (254)	-0.5dB
1111 1101b (253)	-1.0dB
⋮	
1000 0011b (131)	-62.0dB
1000 0010b (130)	-62.5dB
1000 0001b (129)	-63.0dB
1000 0000b (128)	$-\infty$
⋮	
0000 0000b (0)	$-\infty$

レジスタ18 (IDX : 12h)

OVER (B6) : オーバー・サンプリング・レート制御

OVERフラグはデルタ・シグマ変調部の総合オーバー・サンプリング・レートの制御機能で、 $64f_s$ 、または $128f_s$ (f_s : 基準サンプリング・レート)を選択することができます。また、 $f_s = 192\text{kHz}$ 時($X4DF = H$)では、 $64f_s$ のみの動作となり、 $128f_s$ は設定できません。

OVER	
0	$64f_s$ オーバー・サンプリング(デフォルト)
1	$128f_s$ オーバー・サンプリング

INZD (B4) : ゼロ検出ミュート制御

INZDフラグでゼロ検出ミュートの制御を行います。入力データ(DATA)が1024LRCKクロック・サイクル連続してゼロのとき、DAC出力の強制ミュートON/OFFを選択します。ZEROR、ZEROLのゼロ検出出力と検出条件は同じですが、ZEROL、ZERORの動作はINZDフラグの選択とは無関係です。

INZD	ゼロ検出ミュート
0	OFF(デフォルト)
1	ON

ATLD (B3) : アッテネーション機能制御

このATLDフラグは、アッテネーション機能のON/OFF制御で、PCM1737内蔵のデジタル・アッテネータを使用する場合はONに、使用しない場合はOFFに設定します。なお、一度ONに設定した後にOFFにするとレジスタ内容が変化するので、電源投入後にONからOFFへの設定変更はできません。

ATLD	アッテネーション機能
0	OFF(デフォルト)
1	ON

ATTS (B2) : アッテネーション・スピード選択

ATTSフラグは設定したアッテネーション値への実行スピード制御で、128ステップの1ステップの変化に要する時間を2種類選択できます。

ATTS	1ステップ所要時間(f_s : サンプリング・レート)
0	$2/f_s$ (デフォルト)
1	$4/f_s$

MUT1、MUT2 (B0、B1) : ソフトミュート制御

MUTxフラグは、Lch、Rch独立でのソフトミュート制御で、MUT1がLch、MUT2がRchにそれぞれ対応しています。

MUTx(x : 1, 2)	ソフトミュート
0	OFF(Ch独立、デフォルト)
1	ON(Ch独立)

レジスタ19 (IDX : 13h)

DMF0、DMF1 (B5、B6) : ディエンファシス・サンプリング・レート制御

DMF0、DMF1フラグでディエンファシスON時のサンプリング周波数(f_s)を制御します。PCM1737では、 $f_s = 32\text{kHz}$ 、 44.1kHz 、 48kHz をサポートしており、このいずれかを選択できます。

DMF1	DMF0	ディエンファシス周波数
0	0	44.1kHz(デフォルト)
0	1	48kHz
1	0	32kHz
1	1	リザーブ

DM12(B4): デジタル・ディエンファシス制御

DM12フラグで内蔵のデジタル・ディエンファシスのON/OFF制御を行います。

DM12	ディエンファシス制御
0	OFF(デフォルト)
1	ON

DAC1、DAC2(B0、B1): DACオペレーション制御

DAC1、DAC2フラグでチャンネル独立でのDAC動作制御を行います。DAC1がLch、DAC2がRchにそれぞれ対応しており、DAC動作OFFを選択すると、オーディオ出力は他の条件に関係なく、バイポーラ・ゼロ($0.5V_{CC}$)となります。

DAC(x: 1, 2)	DACオペレーション(動作)
0	チャンネルx動作ON(デフォルト)
1	チャンネルx動作OFF

レジスタ20(IDX: 14h)

X4DF(B7): 4倍デジタルフィルタ選択

X4DFフラグは、内蔵オーバー・サンプリング・デジタルフィルタのオーバー・サンプリング・レート制御で、4倍または8倍の選択ができます。入力サンプリング・レート、 $f_s = 192\text{kHz}$ 時では、必ず4倍($X4DF = 1$)を選択しなければなりません。

X4DF	デジタルフィルタ選択
0	8倍デジタルフィルタ(デフォルト)
1	4倍デジタルフィルタ、 $192\text{kHz}/128$ または $192f_s$

FLT0、FLT1(B5、B6): デジタルフィルタ・ロールオフ特性選択

FLT0、FLT1フラグで内蔵デジタルフィルタのロール・オフ特性を制御します。PCM1737では、シャープ・ロールオフ、スロー・ロールオフ1、2の選択ができます。

FLT1	FLT0	デジタルフィルタ・ロールオフ特性
0	0	シャープ・ロールオフ(デフォルト)
0	1	スロー・ロールオフ1
1	0	スロー・ロールオフ2
1	1	リザーブ(未使用)

CLKD(B4): CLKOクロック出力選択

CLKDフラグでCLKO端子(ピン4)のクロック出力周波数を制御します。例えば、PCM1737への入力システムクロックの1/2分周出力を得たい場合等に有効です。

CLKD	CLKOクロック出力
0	バッファ出力(デフォルト)
1	1/2分周出力

CLKE(B3): システムクロック出力制御

CLKEフラグでCLKOクロック出力のON/OFF制御を行います。CLKO出力を使用しない場合は、OFFにしておくことを推奨します。

CLKE	CLKOクロック出力
0	ON(出力、デフォルト)
1	OFF(非出力)

FMT0、FMT1、FMT2(B0、B1、B2): 入力オーディオ・フォーマット選択

FMT0、FMT1、FMT2フラグでPCM1737への入力オーディオデータ・フォーマットの選択をします。

FMT2	FMT1	FMT0	オーディオデータ・フォーマット
0	0	0	24ビット、スタンダード・フォーマット(後ろ詰め)(デフォルト)
0	0	1	20ビット、スタンダード・フォーマット(後ろ詰め)
0	1	0	18ビット、スタンダード・フォーマット(後ろ詰め)
0	1	1	16ビット、スタンダード・フォーマット(後ろ詰め)
1	0	0	16-24ビット、IISフォーマット
1	0	1	16-24ビット、前詰めフォーマット
1	1	0	リザーブ(未使用)
1	1	1	リザーブ(未使用)

レジスタ21(IDX: 15h)

INC(B7): インクリメント読み込み制御

INCフラグで、各レジスタの読み込み(READ)時の読み込み方法をインクリメント読み込みON/OFFのいずれにするかを選択します。

INC	読み込み(READ)方法
0	インクリメント読み込みOFF(デフォルト)
1	インクリメント読み込みON

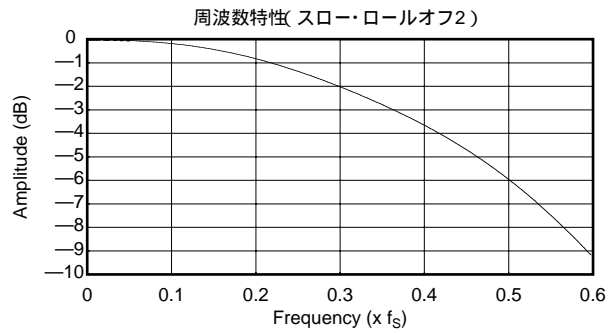
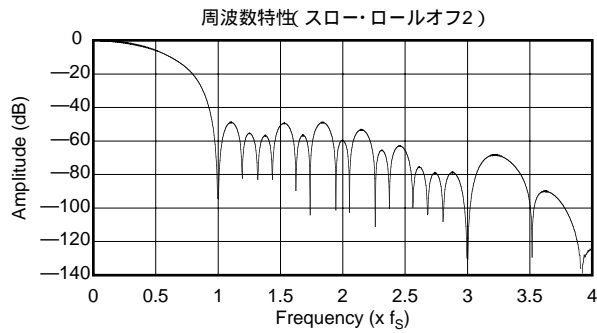
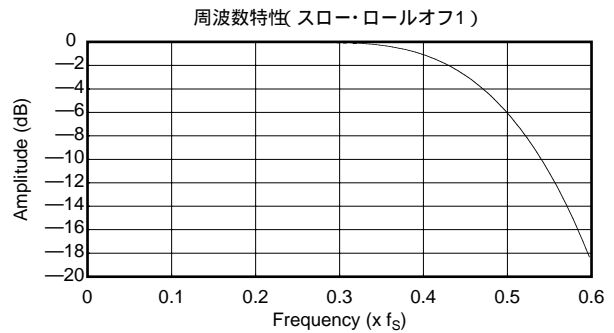
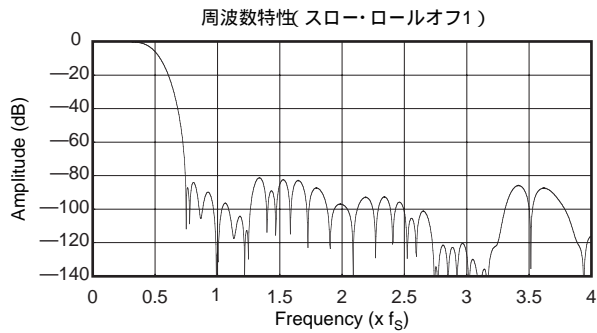
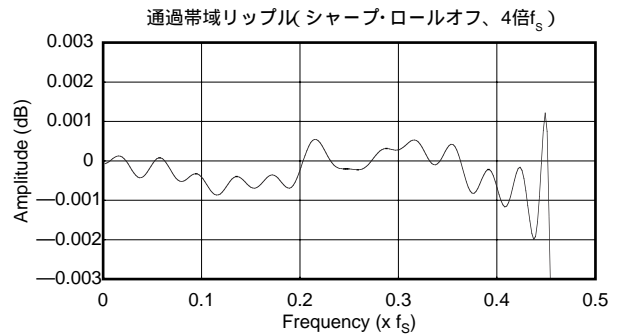
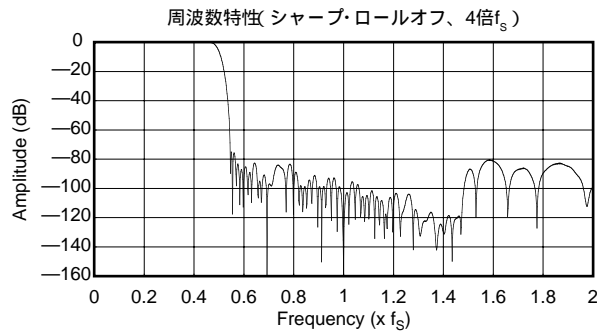
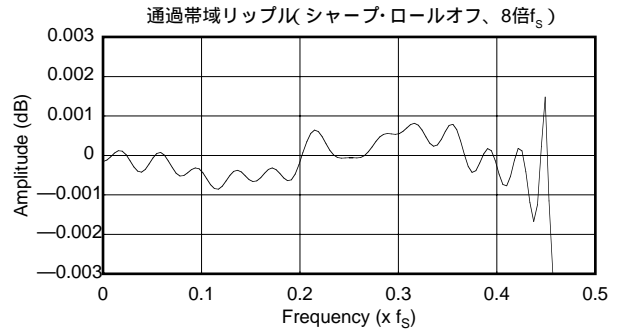
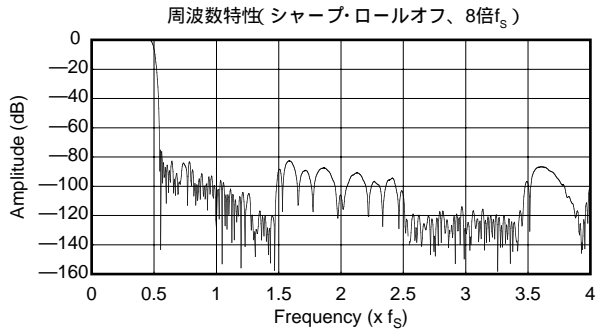
REG6-REG0(B6-B0): 読み込み(READ)レジスタ選択

読み込み(READ)時の読み込みレジスタの選択をREG6-REG0フラグで行います。ここでの設定値 10hから15hが、レジスタ16からレジスタ21に対応しています。

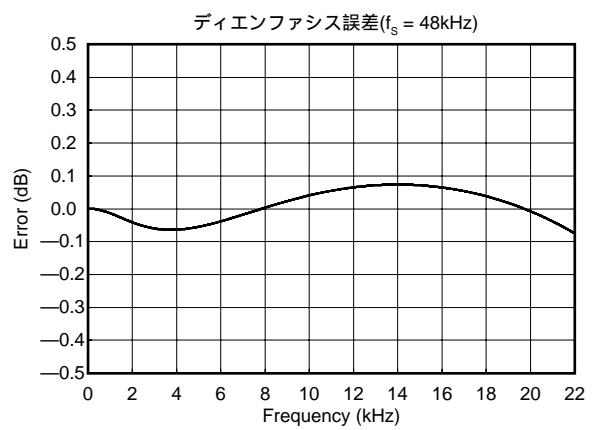
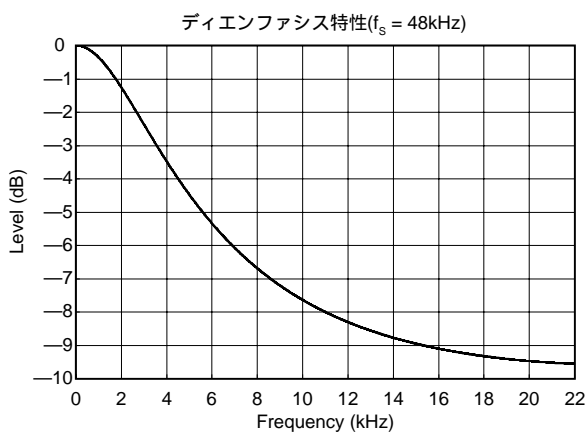
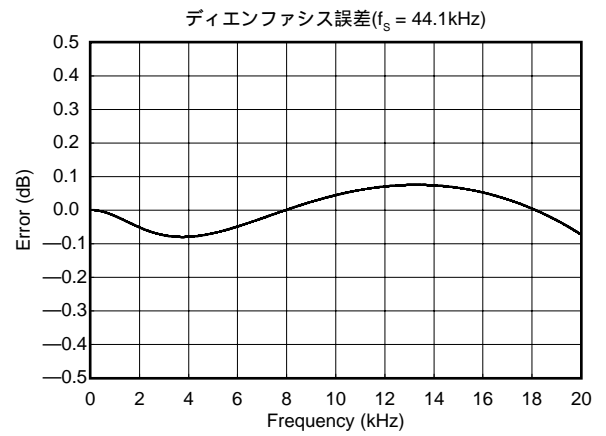
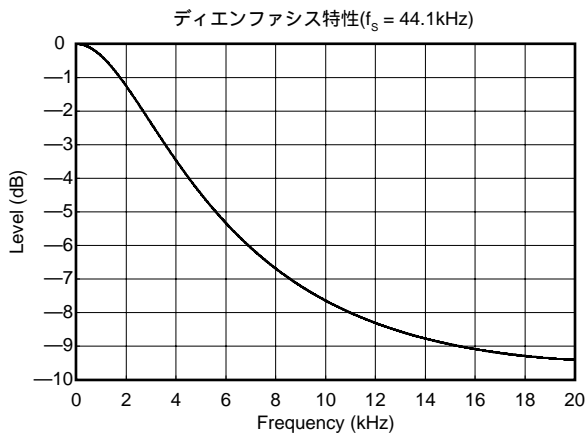
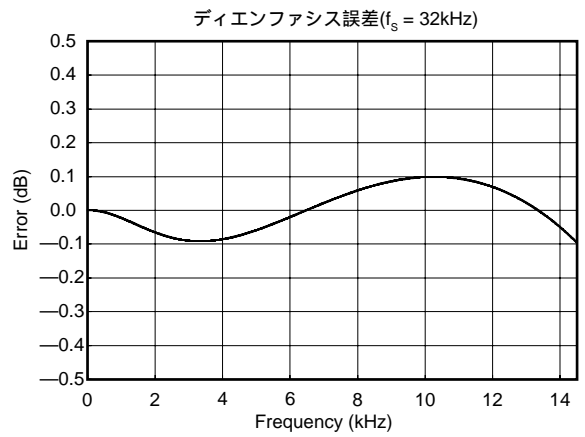
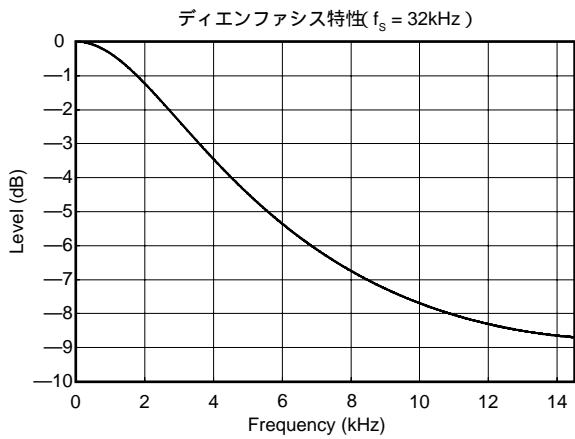
REG(B6-B0)	レジスタ
10h(デフォルト)	レジスタ16
11h	レジスタ17
12h	レジスタ18
13h	レジスタ19
14h	レジスタ20
15h	レジスタ21

デジタルフィルタ特性

デジタルフィルタ(ディエンファシスOFF)



ディエンファシス特性



アナログフィルタ特性

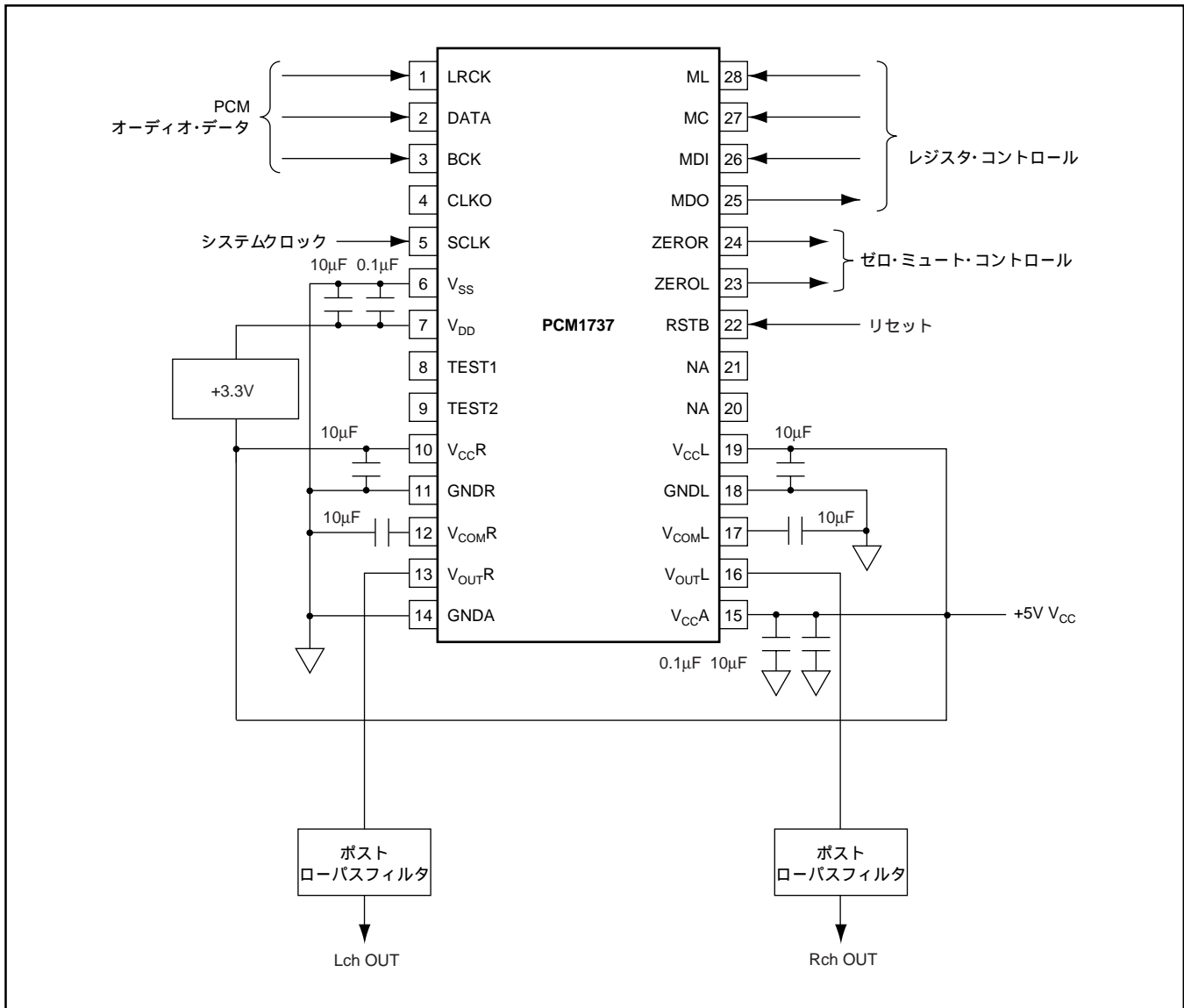
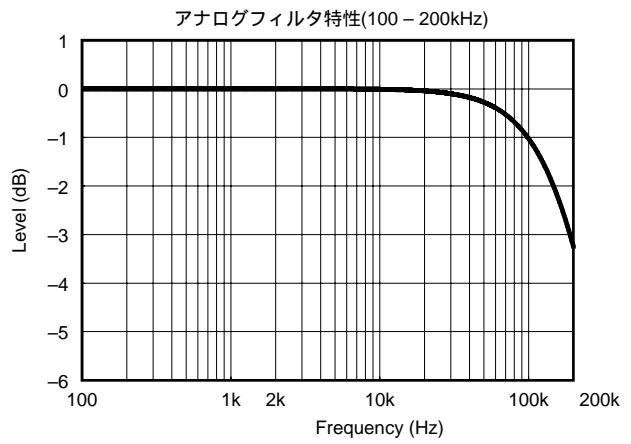
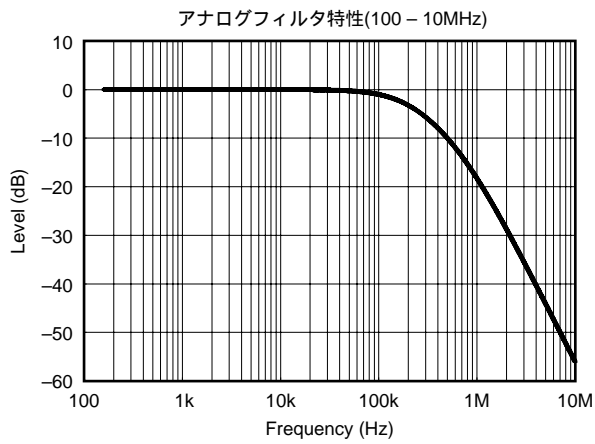


図15. PCM1737の基本接続

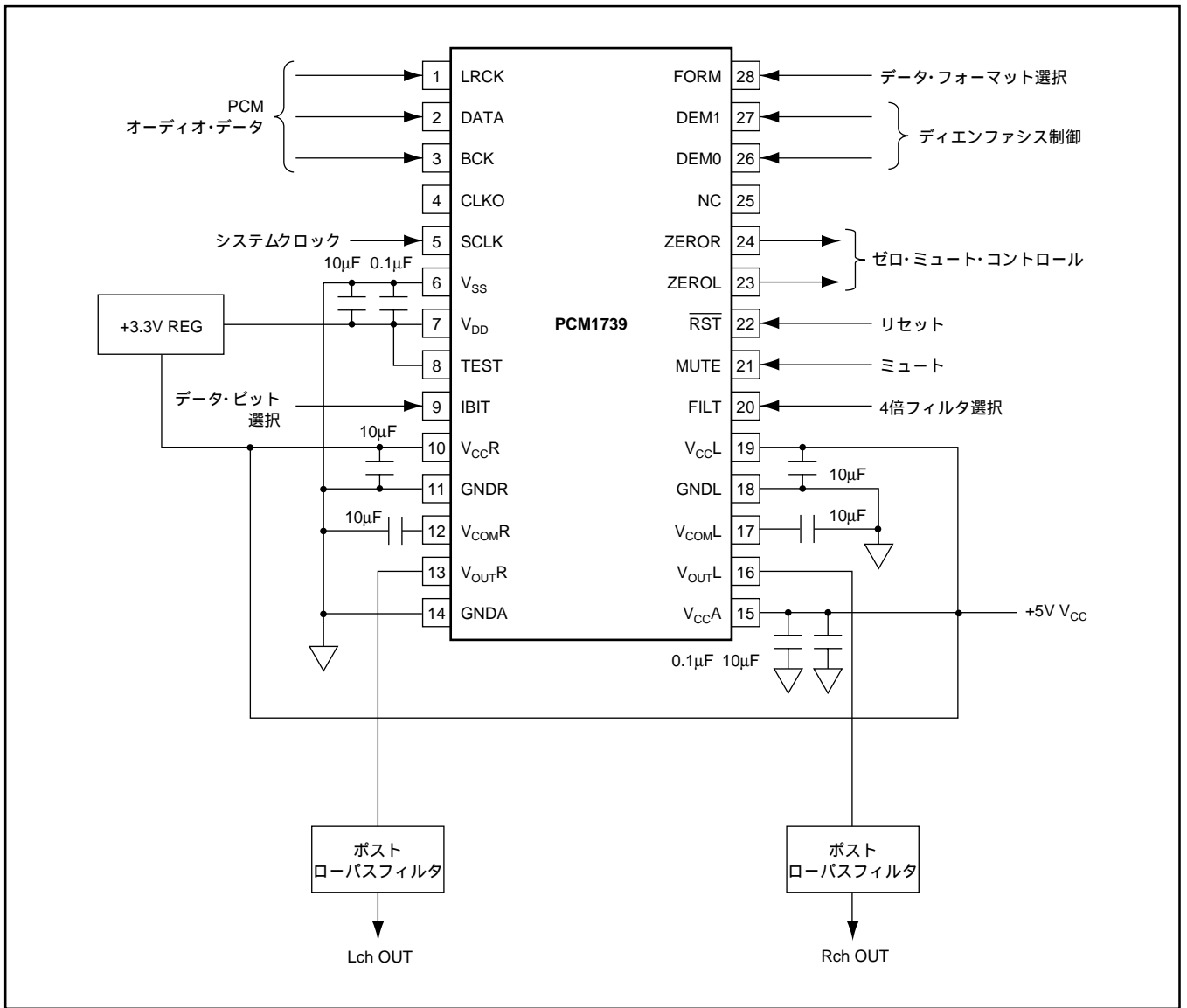


図16. PCM1739の基本接続

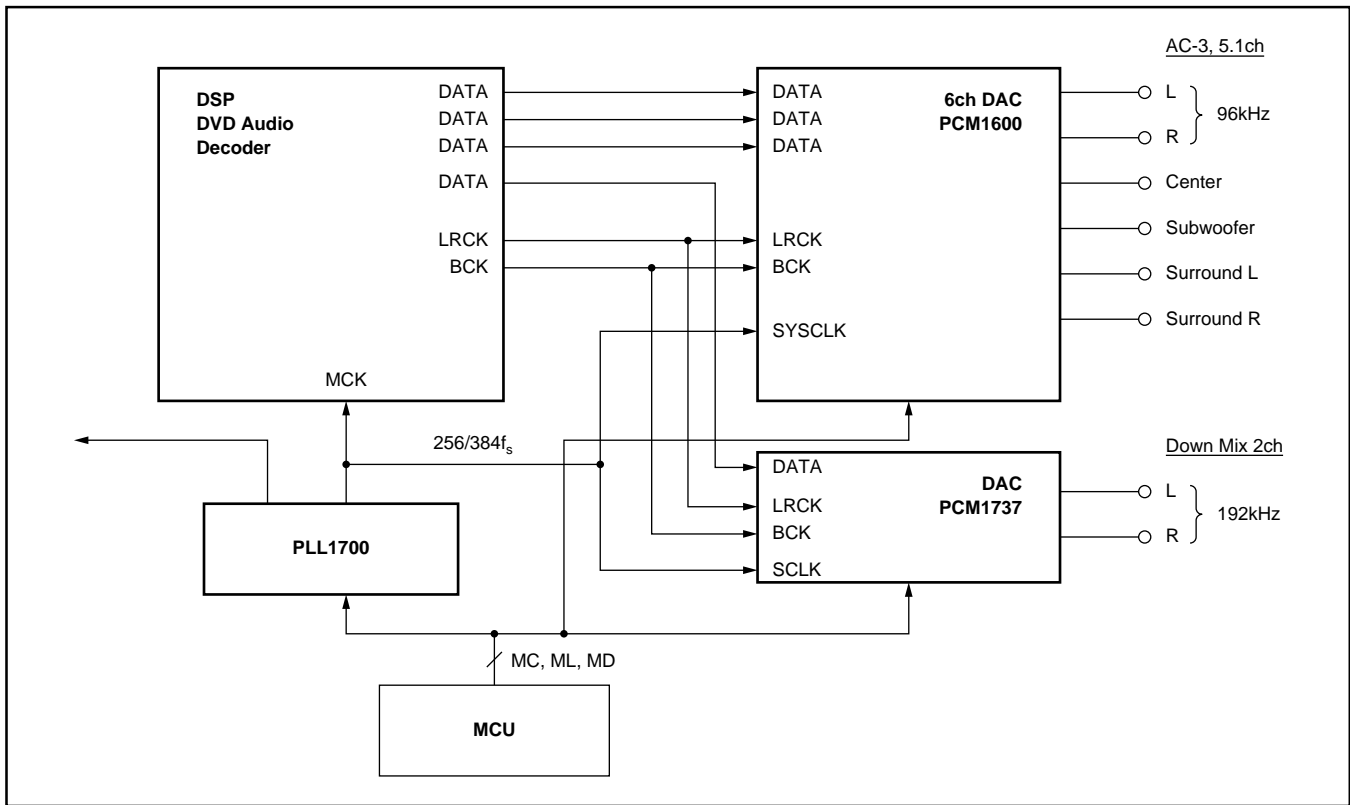
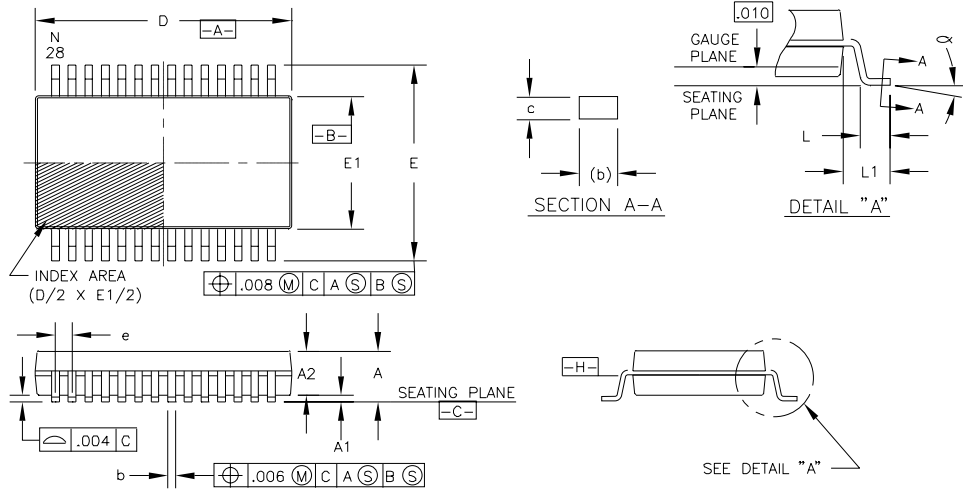


図17. PCM1600/1601とPCM1737の組み合わせ例

外觀

パッケージ番号324 - 28ピンSSOP



DIM	INCHES		MILLIMETERS		N	E	DIM	INCHES		MILLIMETERS		N	E
	MIN.	MAX.	MIN.	MAX.				MIN.	MAX.	MIN.	MAX.		
A	--	.079	--	2.00									
A1	.002	--	0.05	--									
A2	.065	.073	1.65	1.85									
b	.009	.015	0.22	0.38	3,7								
c	.004	.010	0.09	0.25	7								
D	.390	.413	9.90	10.50	2								
E	.291	.323	7.40	8.20									
E1	.196	.220	5.00	5.60	2								
e	.0256 BASIC		0.65 BASIC										
L	.022	.037	0.55	0.95	4								
L1	.049	REF	1.25	REF									
N	28		28		5								
θ	0°	8°	0°	8°									

NOTES:

1. DIMENSIONING AND TOLERANCING PER ANSI Y14.5-1982.
2. D AND E1 DIMENSIONS DO NOT INCLUDE MOLD FLASH OR PROTRUSIONS, BUT DO INCLUDE MOLD MISMATCH AND ARE MEASURED AT DATUM PLANE [-H-] MOLD PARTING LINE. MOLD FLASH OR PROTRUSION SHALL NOT EXCEED .008 INCH PER SIDE.
3. DIMENSION b DOES NOT INCLUDE DAMBAR PROTRUSION/INTRUSION. ALLOWABLE DAMBAR PROTRUSION SHALL BE .005 INCH TOTAL IN EXCESS OF b DIMENSION AT MAXIMUM MATERIAL CONDITION.

DAMBAR INTRUSION SHALL NOT REDUCE DIMENSION b BY MORE THAN .003 INCH AT LEAST MATERIAL CONDITION.

4. DIMENSION L TO BE DETERMINED AT SEATING PLANE-DATUM C.
5. N IS THE NUMBER OF TERMINAL POSITIONS.
6. A VISUAL INDEX FEATURE MUST BE LOCATED WITHIN THE CROSS-HATCHED AREA.
7. SECTION A-A DIMENSIONS APPLY TO THE FLAT SECTION OF THE LEAD BETWEEN .004 AND .010 INCH FROM THE LEAD TIP.

PACKAGE NUMBER: ZZ324 REV.: C
JEDEC NUMBER: MO-150