



PCM1732



SoundPlus™ 24ビット、96kHz、HDCDデコーダ内蔵 ステレオ・オーディオD/Aコンバータ

特 長

- エンハンスド・マルチレベル・デルタ-シグマ方式
- HDCD®(High Definition Compatible Digital®)デコーダ内蔵
- 16/20/24ビットPCMオーディオ・インターフェース
- サンプリング・レート(f_s): 16kHz ~ 96kHz
- システムクロック: 256 / 384 / 512 / 768 f_s
- 高性能
THD+N: 0.0015%(標準)
ダイナミック・レンジ: 104dB(標準)
S/N比: 104dB(標準)
- 8倍オーバー・サンプリング・デジタルフィルタ内蔵
阻止帯域減衰量: 120dB
パスバンド・リップル: ± 0.0001 dB
- 2ch同位相電圧出力
- 2次アナログ・ローパスフィルタ内蔵
- マルチファンクション
(デジタル・ディエンファシス、アッテネータ、ソフトミュート、位相反転他)
- 単一+5V電源動作
- パッケージ: 28ピンSOP

HDCD®およびHigh Definition Compatible Digital®はパシフィック・マイクロソニックス社の登録商標です。

概 要

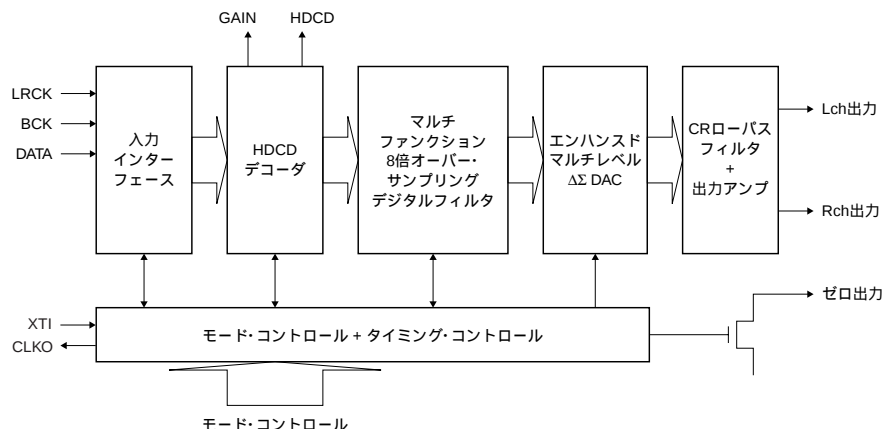
PCM1732は、バー・ブラウンが特に高性能化のために開発した、エンハンスド・マルチレベル・デルタ-シグマ方式と、米国パシフィック・マイクロソニックス社の開発によるHDCD (High Definition Compatible Digital) 方式の再生デコーダを組み合わせたステレオ・オーディオD/Aコンバータです。

PCM1732は、DVDを始めとする96kHzサンプリング、24ビット・データおよびHDCDエンコードされたデータを完全にデコードできる機能を有し、THD+N特性を始めとするオーディオ・ダイナミック性能も高性能化されています。内蔵の8倍オーバー・サンプリング・デジタルフィルタも120dBもの阻止帯域減衰量、 ± 0.0001 dBの通過帯域内リップル性能を持ち、また、マルチファンクション対応によりL/R独立制御アッテネータ、ディエンファシス、ソフトミュート、ゼロ検出、HDCDゲイン・スケーリング、データ位相反転等の機能を有しているので、アプリケーションに合わせた応用が可能です。

PCM1732は、高性能、高機能、HDCDデコード機能によりHDCD対応CDプレーヤ、DVD、AVアンプ、MD等、中・高級デジタル・オーディオ・アプリケーションに最適なD/Aコンバータです。

PCM1732 使用契約

カスタマーがPCM1732を使用した量産製品を販売する場合、米国パシフィック・マイクロソニックス社とのライセンス契約が必要です。HDCDおよびライセンスに関するお問い合わせはパシフィック・マイクロソニックス社または同社の販売代理店にお問い合わせ下さい。



仕様

特に記述のない限り、T_A = +25℃、V_{CC} = V_{DD} = +5V、サンプリング周波数f_S = 44.1kHz、システムクロック = 384f_S、24ビット・データです。

パラメータ	条件	PCM1732U			単位
		最小	標準	最大	
分解能		24			
データ・フォーマット オーディオ・インターフェース・フォーマット オーディオ・データ・ビット長 オーディオ・データ・フォーマット サンプリング周波数(f _S) システムクロック周波数 システムクロック・デューティ		スタンダード/左詰め/IIS 16/20/24選択可 MSBファースト、2'sコンプリ			
		16		96	kHz
		40	256/384/512/768f _S	60	%
デジタル入出力 ⁽¹⁾ 入力ロジックレベル 出力ロジックレベル	V _{IH} V _{IL} V _{OH} V _{OL} I _{OH} = 2mA I _{OL} = 4mA	2.0 4.5		0.8 0.5	V V V V
CLKO AC特性 ⁽²⁾ 出力立ち上がり時間 t _r 出力立ち下がり時間 t _f 出力デューティ・サイクル	20 ~ 80% V _{DD} 、10pF 80 ~ 20% V _{DD} 、10pF 10pF負荷		5.5 4 50		ns ns %
ダイナミック特性 ⁽³⁾ (24ビット) THD + N ダイナミック・レンジ(Aウエイト) S/N比 ⁽⁴⁾ (Aウエイト) チャンネル・セパレーション	V _O = 0dB V _O = -60dB	f _S = 44.1kHz f _S = 96kHz f _S = 44.1kHz f _S = 44.1kHz、EIAJ法 f _S = 96kHz f _S = 44.1kHz、EIAJ法 f _S = 96kHz f _S = 44.1kHz f _S = 96kHz	0.0015 0.002 0.8 104 103 104 103 102 101	0.003	% % % dB dB dB dB dB dB dB
DC特性 ゲイン誤差 ゲイン誤差、チャンネル間ミスマッチ バイポーラ・ゼロ誤差			±1.0 ±1.0 ±30	±3.0 ±3.0 ±60	% of FSR % of FSR mV
アナログ出力 出力電圧 センター電圧 負荷抵抗	ACカップル	5	0.57 V _{CC} 0.5 V _{CC}		Vp-p V kΩ
デジタルフィルタ特性 フィルタ特性1(f _S = 52kHz) 通過帯域 阻止帯域 通過帯域リップル 阻止帯域減衰量 群遅延 フィルタ特性2(f _S > 52kHz) 通過帯域 阻止帯域 通過帯域リップル 阻止帯域減衰量 群遅延 ディエンファシス誤差	±0.002dB -3dB < 0.453f _S ストップバンド = 0.515f _S ストップバンド = 0.520f _S ±0.005dB -3dB < 0.341f _S ストップバンド = 0.538f _S	0.515 f _S -109 -123 0.538 f _S -132	81/f _S 31/f _S	0.471 f _S 0.487 f _S ±0.0001 0.395 f _S 0.441f _S ±0.0001 ±0.1	 dB dB dB sec dB dB dB sec dB
アナログフィルタ特性 -3dB帯域幅 周波数特性	at 20kHz		100 -0.17		kHz dB
電源 電源電圧 電源電流 消費電力	I _{CC} + I _{DD} V _{DD} 、V _{CC} V _{CC} = V _{DD} = 5V、f _S = 44.1kHz V _{CC} = V _{DD} = 5V、f _S = 96kHz V _{CC} = V _{DD} = 5V、f _S = 44.1kHz V _{CC} = V _{DD} = 5V、f _S = 96kHz	4.5	5 85 93 425 465	5.5 105	VDC mA mA mW mW
温度範囲 動作 保存 熱抵抗、θ _{JA}		-25 -55		+70 +125	 /W

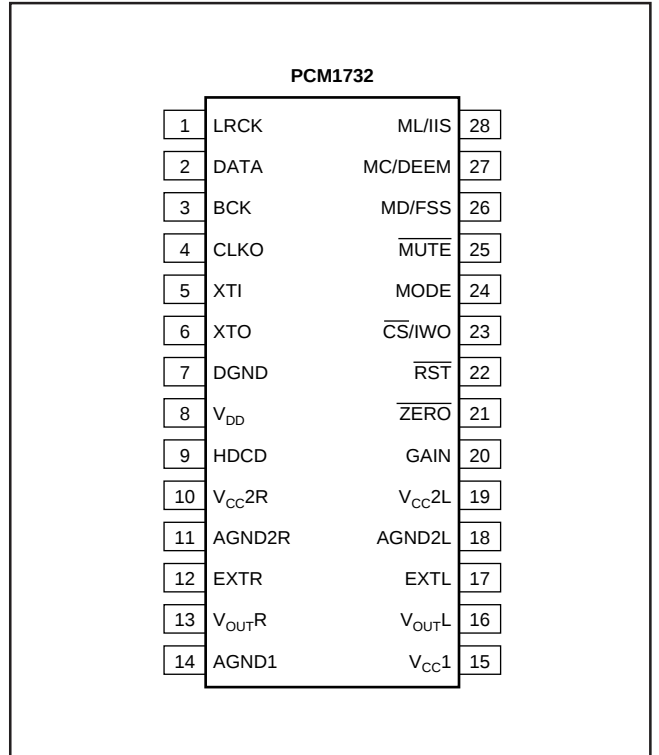
注：(1)XTI(システムクロック入力ピン)以外に適用。XTIピンはCMOSロジックレベル(6ページ、システムクロックの項を参照)。(2)クロック出力にはクロック・バッファ(74HC04等)の挿入を推奨します。出力デューティ・サイクル値は、水晶振動子使用時です。(3)シバソク社725Cを使用、400kHz HPF、30kHz LPF ON。Average mode、20kHz帯域制限。(4)インフィニティ・ゼロ回路オフ。

ピン構成

ピン番号	ピン名	I/O	説明
1	LRCK	IN	L/Rクロック入力(f_s) ⁽³⁾
2	DATA	IN	データ入力 ⁽³⁾
3	BCK	IN	ビット・クロック入力 ⁽³⁾
4	CLKO	OUT	システムクロック、バッファード出力
5	XTI	IN	クリスタル発振器接続または外部クロック入力
6	XTO	OUT	クリスタル発振器接続
7	DGND	-	デジタル・グランド
8	V _{DD}	-	デジタル電源、+5V
9	HDCD	OUT	HDCDエンコード検出出力
10	V _{CC2R}	-	アナログ電源、+5V
11	AGND2R	-	アナログ・グランド
12	EXTR	-	Rch、アナログ出力アンプ・コモン
13	V _{OUTR}	OUT	Rch、アナログ電圧出力
14	AGND1	-	アナログ・グランド
15	V _{CC1}	-	アナログ電源、+5V
16	V _{OUTL}	OUT	Lch、アナログ電圧出力
17	EXTL	-	Lch、アナログ出力アンプ・コモン
18	AGND2L	-	アナログ・グランド
19	V _{CC2L}	-	アナログ電源、+5V
20	GAIN	OUT	ゲインスケール制御
21	ZERO	OUT	ゼロデータ・フラグ
22	RST	IN	リセット。このピンが“L”の間、DFとデルタ・シグマ・モジュレータはリセット状態になります。 ⁽¹⁾
23	CS/IWO	IN	チップ・セレクト/入力フォーマット・セレクト ⁽²⁾
24	MODE	IN	モード制御セレクト(H: ソフトウェア、L: ハードウェア) ⁽¹⁾
25	MUTE	IN	ミュート制御 ⁽¹⁾
26	MD/FSS	IN	モード制御データ/サンプリング周波数 f_s ⁽¹⁾
27	MC/DEEM	IN	モード制御クロック/ディエンファシス選択 ⁽¹⁾
28	ML/IIS	IN	モード制御ラッチ/入力フォーマット選択 ⁽¹⁾

注：(1)ピン22、24、25、26、27、28：シュミット・トリガ入力、プルアップ抵抗付き。(2)ピン23：シュミット・トリガ入力、プルダウン抵抗付き。(3)ピン1、2、3：シュミット・トリガ入力

ピン配置



絶対最大定格

電源電圧 (V _{DD} 、V _{CC1} 、V _{CC2R} 、V _{CC2L})	+6.5V
電源電圧差	±0.1V
GND電圧差	±0.1V
デジタル入力電圧	-0.3 ~ V _{DD} +0.3V
入力電流(電源、GNDを除く)	±10mA
許容電力	750mW
動作温度	-25 ~ +70
保存温度	-55 ~ +125
リード温度(5秒間の半田付け)	+260
パッケージ表面温度(リフロー、10秒間)	+235

パッケージ情報/ご発注の手引き⁽¹⁾

モデル	パッケージ	温度範囲
PCM1732U	28ピンSOP	-25 ~ +70

注：(1)詳細図および寸法については、データシートの巻末を参照して下さい。

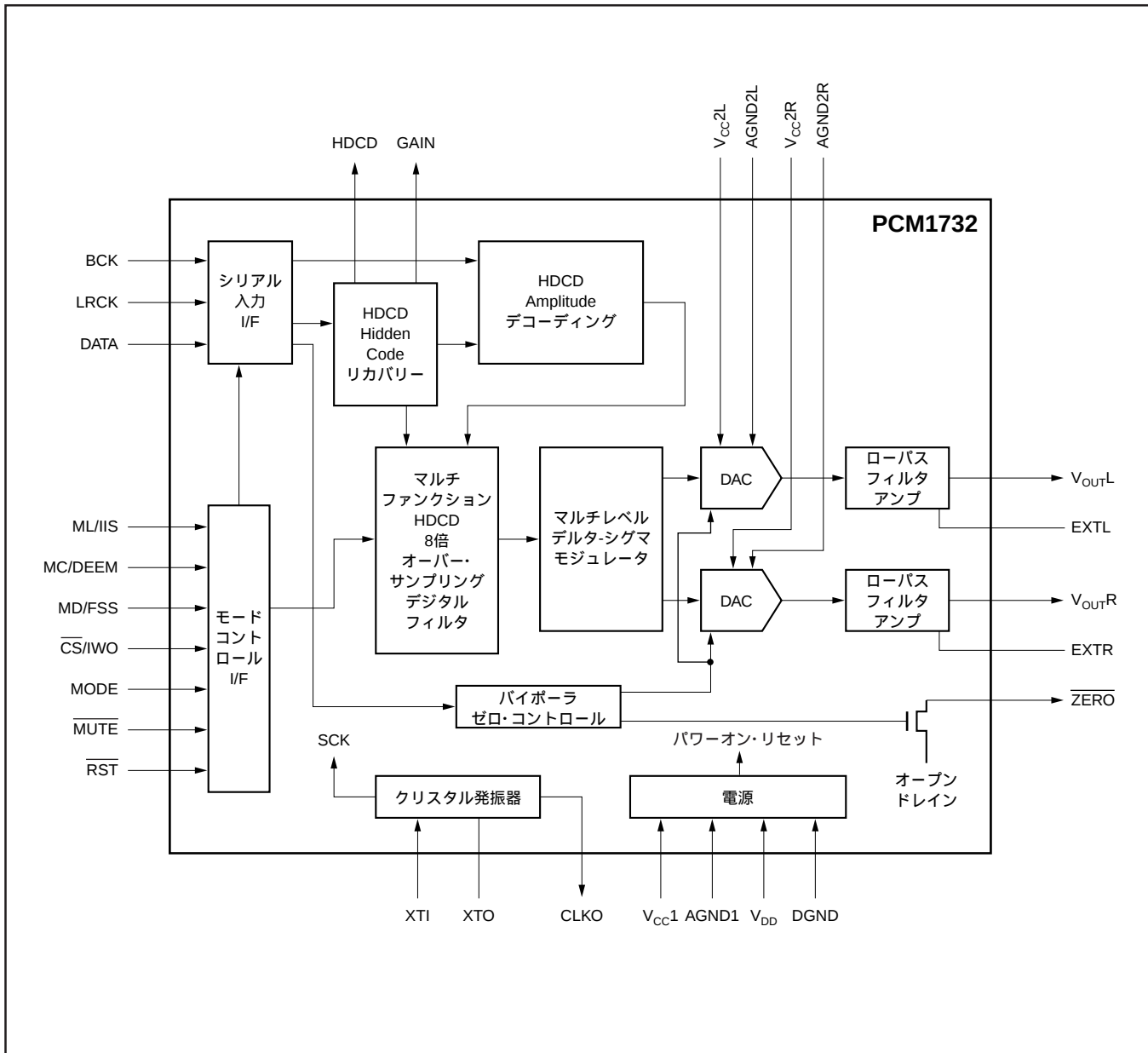


静電気放電対策

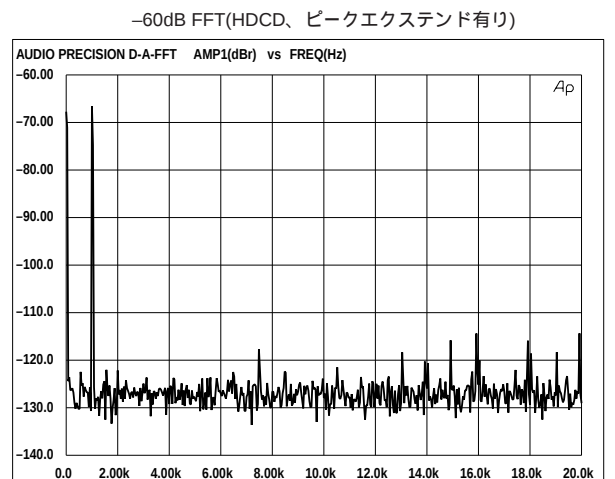
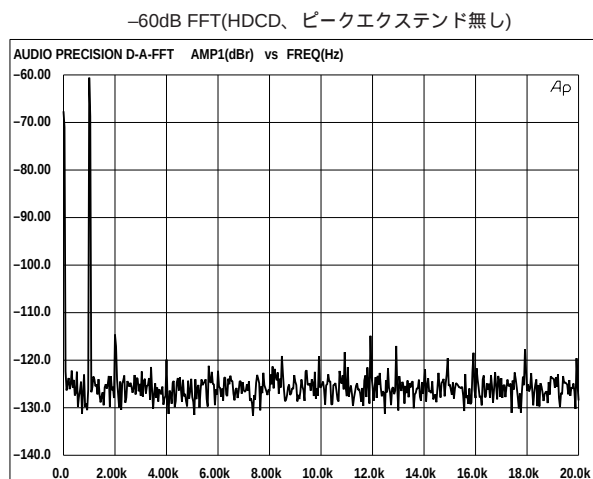
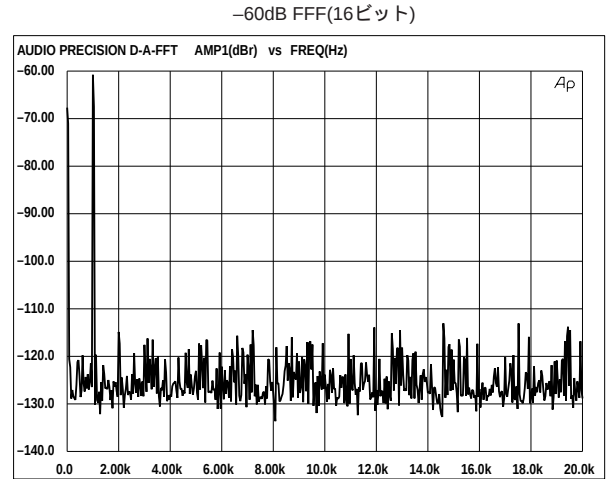
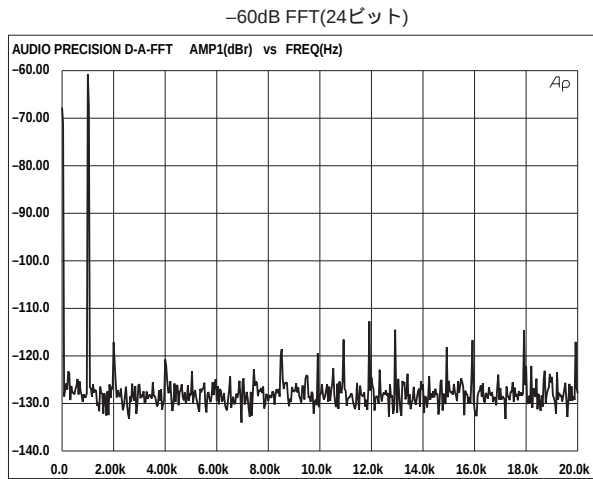
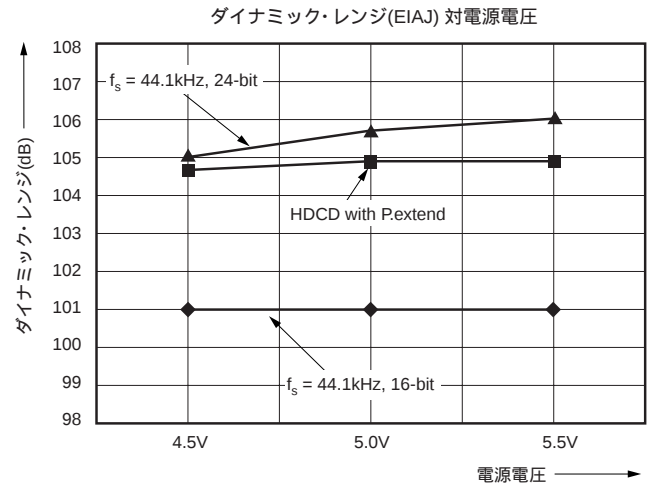
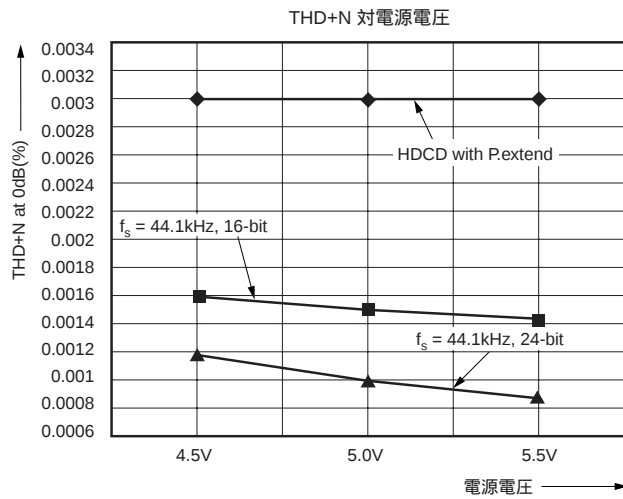
静電気放電はわずかな性能の低下から完全なデバイスの故障に至るまで、様々な損傷を与えます。すべての集積回路は、適切なESD保護方法を用いて、取扱いと保存を行うようにして下さい。高精度の集積回路は、損傷に対して敏感であり、極めてわずかなパラメータの変化により、デバイスに規定された仕様に適合しなくなる場合があります。

このデータシートに記載されている情報は、信頼しうるものと考えておりますが、不正確な情報や記載漏れ等に関して弊社は責任を負うものではありません。情報の使用について弊社は責任を負えませんので、各ユーザーの責任において御使用下さい。価格や仕様は予告なしに変更される場合がありますのでご了承下さい。ここに記載されているいかなる回路についても工業所有権その他の権利またはその実施権を付与したり承諾したりするものではありません。弊社は弊社製品を生命維持に関する機器またはシステムに使用することを承認しまたは保証するものではありません。

ブロック図



代表的性能曲線



エンハンスド・マルチレベル・デルタ・シグマの動作原理

PCM1732のデルタ・シグマ・セクションでは、従来のマルチレベル・デルタ・シグマでの5レベルの振幅方向での分解能を8レベルに向上させ、8レベルのデルタ・シグマ変調を行います。このエンハンスド・マルチレベル・デルタ・シグマ方式は、特に高性能化を実現するために新たに開発された方式です。

デジタルフィルタでオーバー・サンプリングされた最大24ビットのデータはこのエンハンスド・マルチレベル・デルタ・シグマ変調により、8レベル(0、1、2、3、4、5、6、7)の変調信号に変換されます。図1に、この8レベル・エンハンスド・マルチレベル・デルタ・シグマ変調器のブロック図を示します。デルタ・シグマ次数は4次で、一般的な1ビット(2レベル)デルタ・シグマ変調に比べて、系の安定性および耐ジッタ性に優れています。デジタルフィルタ部とデルタ・シグマ変調部との総合オーバー・サンプリング・レートは使用システムクロックに関係なく、 $64f_s$ に設定されており、特に帯域内の量子化ノイズの抑圧と、帯域外ノイズの絶対レベル抑圧を両立させた伝送特性を持たせています。

図2は、PCM1732のエンハンスド・マルチレベル・デルタ・シグマ変調器の量子化雑音特性のシミュレーション・データです。帯域内($f_s/2$)での量子化雑音レベルは、 -140dB から -160dB まで抑圧されており、分解能に応じたダイナミック・レンジを得ることができます。また、帯域外ノイズもフルスケール比 -60dB に抑圧されており、ポスト・ローパスフィルタの負担を軽減します。

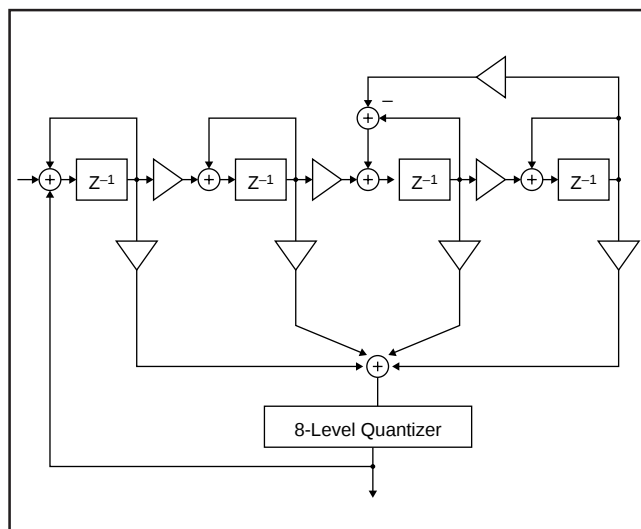


図1. 8 レベル・エンハンスド・マルチレベル・デルタ・シグマ変調器のブロック図

エンハンスド・マルチレベル・デルタ・シグマの耐ジッタ特性

PCM1732の8レベル量子化器は、他の一般的なデルタ・シグマ型DACに比べシステムクロックのジッタ耐量も優位です。図3にシミュレーションによるジッタ量対ダイナミック・レンジの比較データを示します。

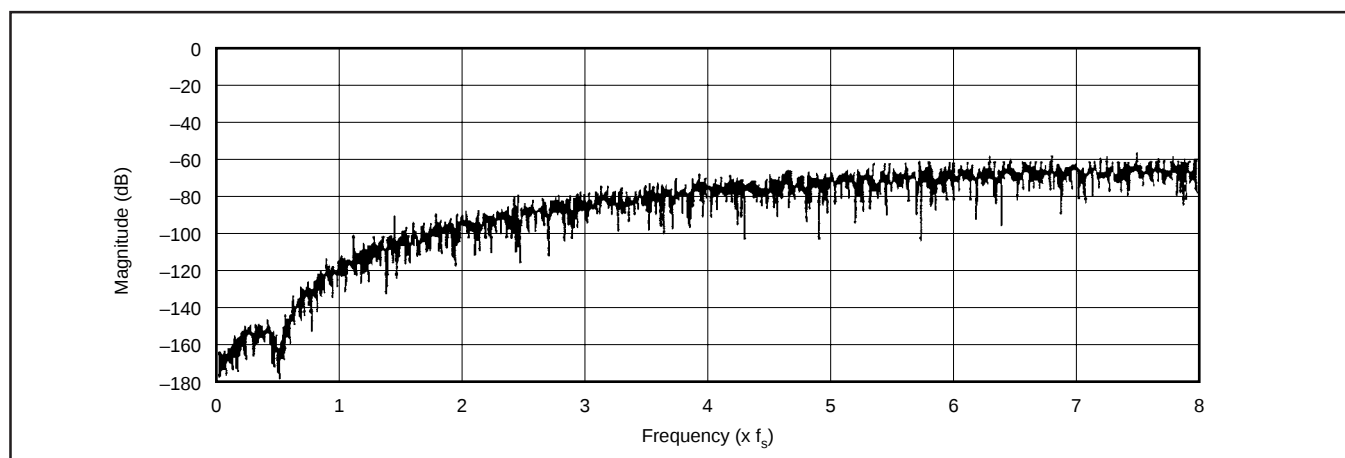


図2. 量子化雑音特性

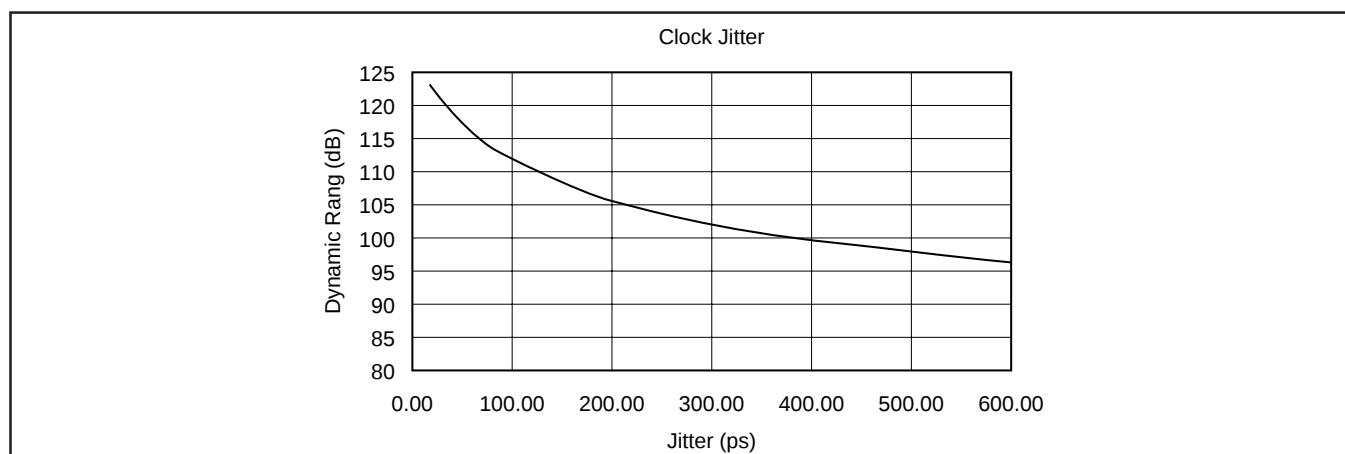


図3. ジッタ対ダイナミック・レンジ

システムクロック

PCM1732のシステムクロックは、 $256f_s$ 、 $384f_s$ 、 $512f_s$ 、あるいは $768f_s$ (f_s = 基準サンプリング・レート)のいずれでも対応可能で、このシステムクロックは、PCM1732自体でクリスタル発振させるか、XTI端子に外部から入力します。基準サンプリング・レート (f_s)は最大96kHzまで対応可能ですが、この f_s = 96kHz時のシステムクロックは最大 $512f_s$ となり、 $768f_s$ は対応していません。また、クリスタル発振使用時は25MHz以上の周波数でのクリスタル発振に対応していないので、システムクロックが25MHz以上となる場合はXTI端子に外部入力として用いて下さい。システムクロックの接続例を図4、図5にそれぞれ示します。また、システムクロックの対応関係を表に示します。

PCM1732では、システムクロックの自動判別機能を有しているため、外部より、例えば $256f_s/384f_s$ の選択制御をする必要はありません。また、システムクロックとLRCKクロック(基準サンプリング・レート)は同期を取る必要がありますが、位相を正確に合わせる必要はありません。PCM1732に外部からシステムクロックを供給する場合のタイミング規定を図6に示します。

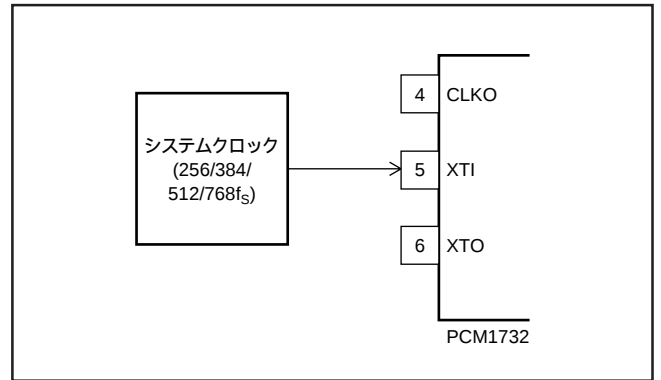


図4. 外部クロック入力接続例

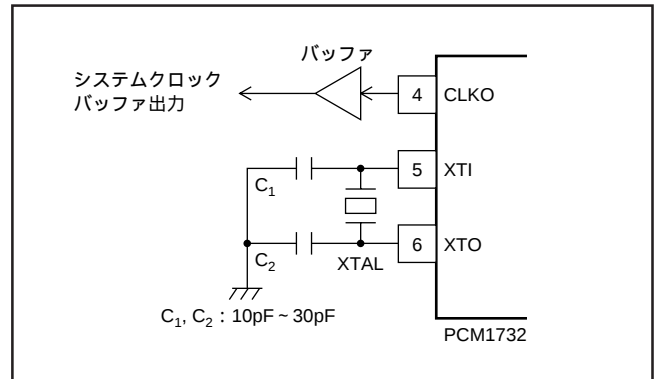


図5. クリスタル発振クロック接続例

基準サンプリング・レート (f_s)	システムクロック周波数(MHz)			
	$256f_s$	$384f_s$	$512f_s$	$768f_s$
32kHz	8.192	12.2880	16.3840	24.5760
44.1kHz	11.2896	16.9340	22.5792	33.8688 ⁽¹⁾
48kHz	12.2880	18.4320	24.5760	36.8640 ⁽¹⁾
88.2kHz	22.5792	33.8688 ⁽¹⁾	45.1584 ⁽¹⁾	不可
96kHz	24.5760	36.8640 ⁽¹⁾	49.1520 ⁽¹⁾	不可

注：(1)PCM1732のクリスタル発振回路は、24.5760MHzまで対応可能です。これ以上のシステムクロック周波数ではクリスタル発振回路は動作しないので、外部クロック入力を用いて下さい。

表 システムクロック周波数対応例

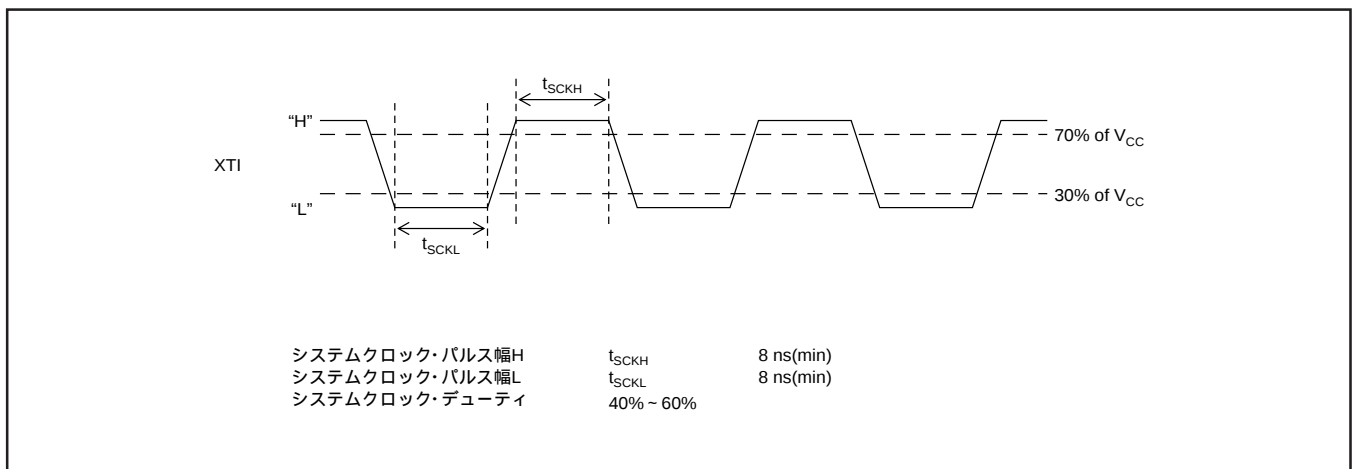


図6. システムクロック入力タイミング規定

PCMオーディオデータ・インターフェース

PCM1732は、LRCK、BCK、DATAにより、外部システムとインターフェースします。入力データ・フォーマットは16/20/24ビット、MSBファースト、2’sコンプリで、後詰めめのスタンダードフォーマット、前詰めフォーマット、IISフォーマットの選択が可能です。

これらのフォーマット選択は、後述の動作モードにより対応可能な選択が決めますので、モード制御機能の項を参照して下さい。図7にデータ・フォーマットを、図8にタイミング規定をそれぞれ示します。

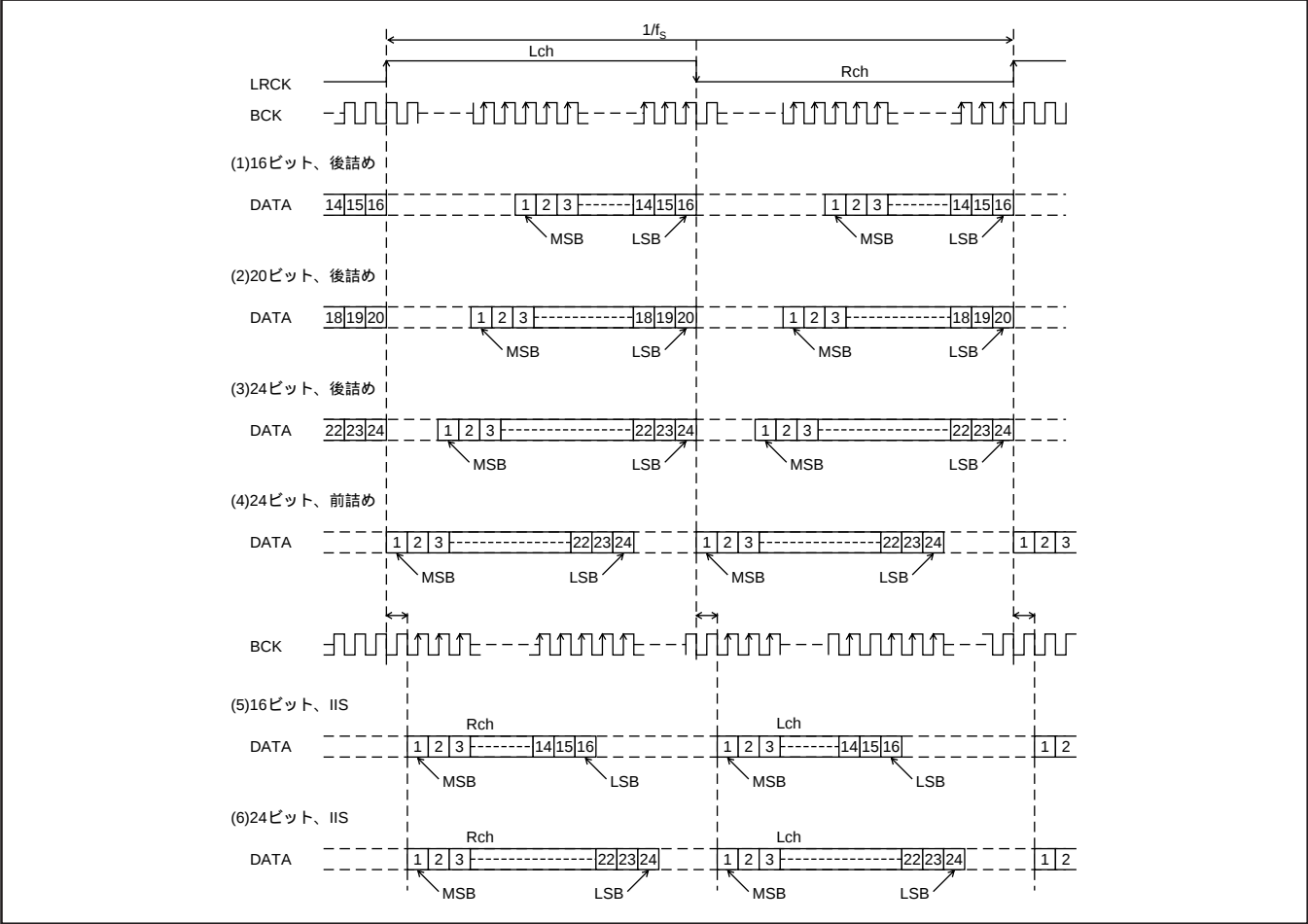


図7.PCMオーディオデータ・インターフェース・フォーマット

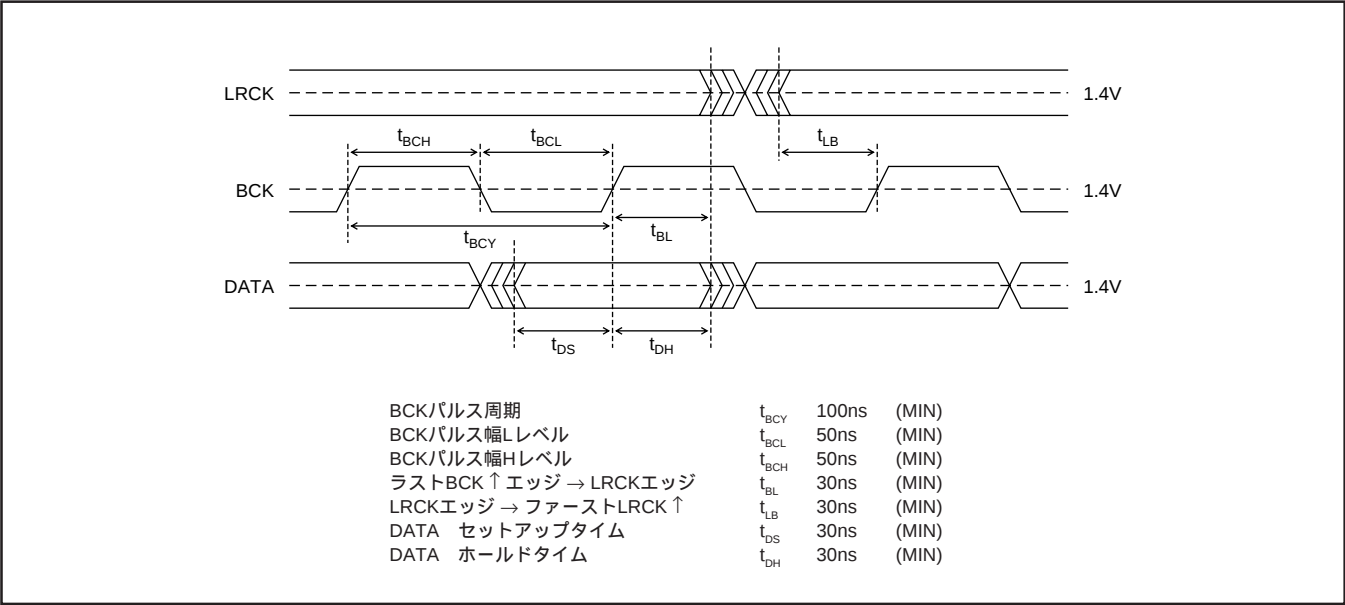


図8.オーディオデータ入力タイミング

リセット・オペレーション

PCM1732には、次に示す内蔵のパワーオン・リセットと外部からの $\overline{\text{RST}}$ 端子制御による2種類のリセットがあります。これらのリセット機能は、内部動作に対しては共通になっており、同じ働きをします。

リセット時にはソフトウェア・モードにおける各コントロールのレジスタ(MODE0からMODE3)に初期値が設定され(ソフトウェア・モードの説明を参照)、リセット期間中のアナログ出力は $0.5V_{CC}$ (バイポーラゼロ)に固定されます。

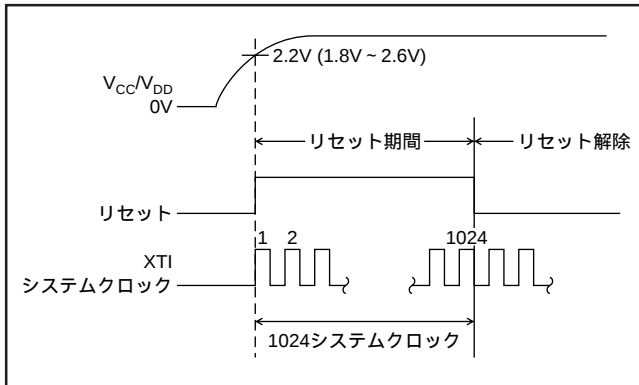


図9.パワーオン・リセット・タイミング

パワーオン・リセット

内蔵のパワーオン・リセットは電源電圧を検知して自動的に行われます。電源投入後、電源電圧が標準2.2V(1.8Vから2.6V)を超えると、リセット動作となり、システムクロックを1024クロックカウントした後にリセットを解除します。パワーオン・リセット使用時は、 $\overline{\text{RST}}$ (ピン22)はオープンまたは“H”レベルとします。

外部リセット

$\overline{\text{RST}}$ (ピン22)を一定期間“L”レベルにすることにより、外部からリセットをかけることができます。 $\overline{\text{RST}}$ 端子が“L”から“H”に変化した後、パワーオン・リセットと同様に1024システムクロックのカウント後、リセット解除となるまでの間はリセット期間となります。

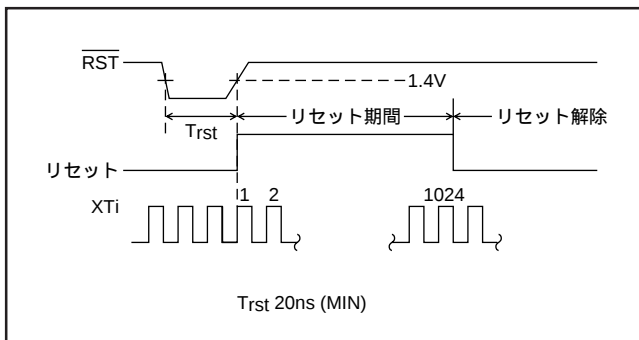


図10.外部リセット・タイミング

ゼロフラグ出力機能

データ入力(DATA)が65536ビット・クロック・サイクルの間連続してゼロ“0”の場合、ゼロ検出機能により $\overline{\text{ZERO}}$ 端子(ピン21)が“L”レベルになります。その後、1ビット・クロック間でもデータ入力がゼロ以外になると、 $\overline{\text{ZERO}}$ 端子はハイ・インピーダンス状態となります。この端子はオープン・ドレイン出力なので、他の機能とOR接続することができます。また、このゼロフラグ出力機能はPCM1732の設定状態に関係なく、常にゼロ検出を実行します(リセット時を除く)。

外部システムとの同期

PCM1732は、LRCKクロック(基準サンプリング・レート f_s)とシステムクロック(256/384/512/768 f_s)との同期関係を常時内部でモニタしています(リセット時を除く)。LRCKクロックの1サイクル($1/f_s$)の間に256、384、512、768いずれかのシステムクロックがあれば同期関係は成立し、正常動作します。この両クロックの同期関係がずれた場合の動作は次のようになります。

$1/f_s$ 期間内の同期ずれ

例えば、1LRCKクロック・サイクル($1/f_s$)の間だけ瞬時にシステムクロックが255クロック($256f_s$ に対し)や386クロック($384f_s$ に対し)となった場合、このシステムクロックのずれ時間が ± 5 ビット・クロック(BCKIN)期間であれば、正常動作を保ちます。ずれ時間が ± 5 ビット・クロック期間を超えると同期外れ状態となります。

f_s が変化する場合の同期ずれ

例えば、 f_s が44.1kHzから48kHzに変化する場合等でLRCKクロックのシステムクロックの同期が $1/f_s$ 期間以上ずれた場合は同期外れ状態となります。

同期外れ時のDAC出力

同期状態から同期外れ状態になると、 $1/f_s$ 期間DAC出力は不定となり、その後 $0.5V_{CC}$ (バイポーラゼロ)を出力します。また、同期外れ状態から同期状態になった場合、 $30/f_s$ 期間DAC出力は不定となり、その後正常出力となります。

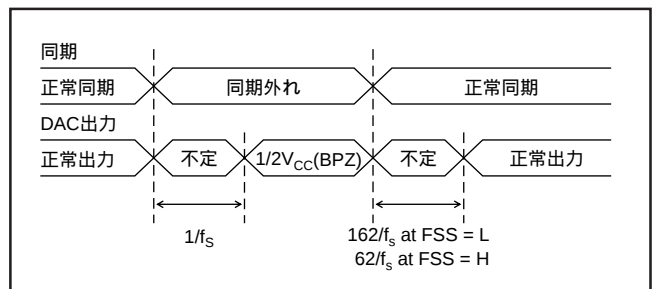


図11.同期外れ時のDAC出力

モード制御機能

PCM1732の基本動作モードには、ソフトウェア・モードとハードウェア・モードがあり、それぞれの動作モードにおいて制御可能な機能が異なります。この基本動作モードの選択はMODE(ピン24)で行います。

MODE(ピン24)	基本動作モード
H	ソフトウェア・モード
L	ハードウェア・モード

ソフトウェア・モード/ハードウェア・モードとそれぞれのモードに対する制御可能な機能を表 に示します。

機能	MODE = H ソフトウェア・モード	MODE = L ハードウェア・モード
入力データ・フォーマット選択	可	可 ⁽¹⁾
入力データ・ビット長選択	可	可 ⁽¹⁾
入力LRCK極性選択	可	不可
ディエンファシス制御	可	可 ⁽²⁾
サンプリング・レート・レンジ制御	可	可
ソフトミュート	可	可
アッテネータ	可	不可
ゼロ検出ミュート制御	可	不可
DACオーバーレション制御	可	不可
DAC出力位相選択	可	不可
CLKO出力クロック選択	可	不可

注：(1)24ビット前詰め、後詰めは不可。(2) $f_s = 44.1\text{kHz}$ のみ

表 . モード制御、選択機能

ハードウェア・モード (MODE = L)

ハードウェア・モード選択時に制御可能な機能は表 に示すとおりです。以下、ハードウェア・モード時の各ピンの制御と機能を示します。

サンプリング・レート・レンジ制御

FSS(ピン26)の設定により、使用サンプリング・レート(f_s)のレンジを制御します。適切な設定を行わないと、発熱による損傷を招くことがあります。

FSS = L	$f_s \leq 52\text{kHz}$
FSS = H	$f_s > 52\text{kHz}$

ディエンファシス制御(DEEM)

DEEM(ピン27)の設定により、ディエンファシスの制御を行います。

DEEM = L	ディエンファシスOFF
DEEM = H	ディエンファシスON ($f_s = 44.1\text{kHz}$ のみ)

入力データ・フォーマット(ビット長)選択(IIS、IWO)

IIS(ピン28)、IMO(ピン23)の選択により、オーディオデータ入力フォーマット(ビット長)の選択を行います。

IIS(ピン28)	IWO(ピン23)	オーディオ・フォーマット
L	L	16ビット、後詰め(スタンダード)
L	H	20ビット、後詰め
H	L	16ビット、IIS
H	H	24ビット、IIS

ソフトミュート制御(MUTE)

MUTE(ピン25)によりソフトミュートのON/OFFの制御を行います。

MUTE(ピン25)	ソフトミュート
L	ミュートON
H	ミュートOFF(通常動作)

ソフトウェア・モード (MODE = H)

ソフトウェア・モードを選択時には、表 に示した全ての機能をシリアル制御データにより制御することができます。表 に制御可能な機能と、イニシャル状態(デフォルト)の設定を示します。

機能	デフォルト
サンプリング・レート(f_s)レンジ選択	$f_s < 52\text{kHz}$
PCMオーディオデータ・フォーマット選択	後詰め(スタンダード)
後詰め/前詰め/IIS	
PCMオーディオデータ・ビット長選択	16ビット
16/20/24ビット	
LRCK極性選択	Lch : H / Lch : L
Lch : H / Lch : L	
ディエンファシス制御	OFF
ソフトミュート	OFF
アッテネータ制御	
L/R独立/同時	0dB、L/R独立
ゼロ検出ミュート	OFF
DACオーバーレション制御	ON(通常動作)
ディエンファシス用サンプリング・レート選択	
32k/44.1k/48kHz	44.1kHz
HD/CD ゲイン・スケール選択(Digital/Analog)	Digital
HD/CD Hidden Code ビット・ロケーション	
16th/20th/22th/24th-bit	16th-bit
DAC出力位相制御	通常(正相)
CLKO出力クロック選択	入力クロック

表 . 制御可能な機能とデフォルト設定

制御データ・フォーマット

PCM1732のソフトウェア・モード時のシリアル制御は、ML、MC、MDの各端子にシリアル制御データを伝送することにより可能です。シリアル制御データは、16ビットのMCクロック、MDデータとイネーブル信号となるMLクロックで構成されます。このシリアル制御データのフォーマットを図12に、タイミング規定を図13にそれぞれ示します。また、 $\overline{\text{CS}}$ (ピン23)をHにすると(Lにプルダウンされています)、データ制御は無効になります。

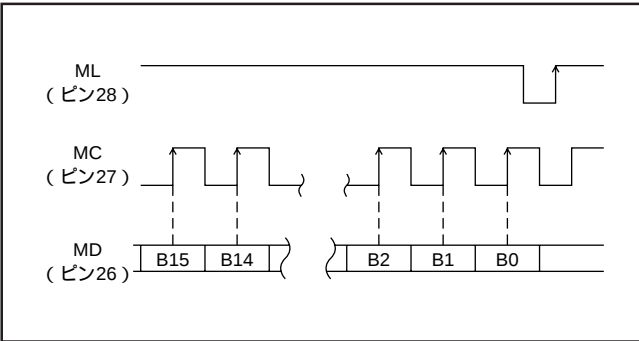


図12. シリアル制御データ・フォーマット

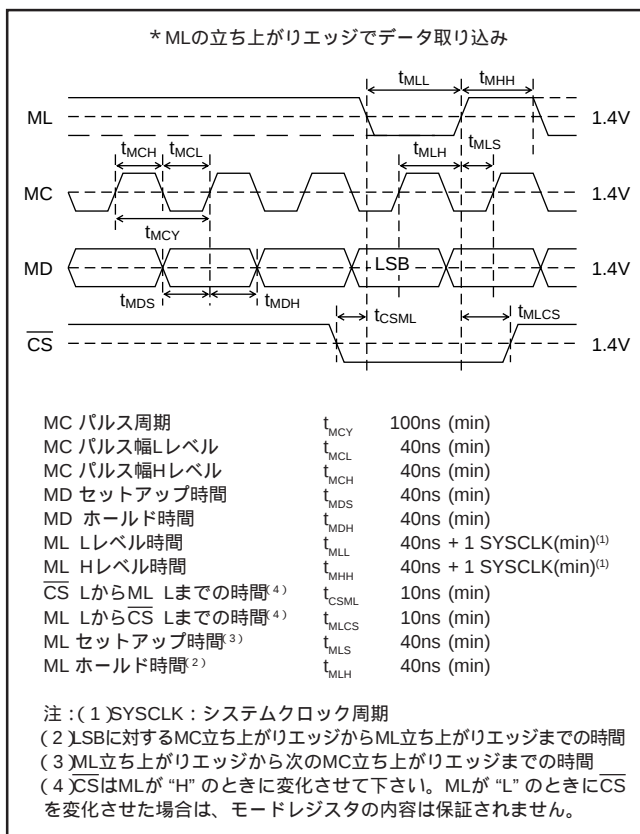


図13. シリアル制御データ・タイミング規定

	B15	B14	B13	B12	B11	B10	B9	B8	B7	B6	B5	B4	B3	B2	B1	B0
MODE0	res	res	res	res	res	A1	A0	LDL	AL7	AL6	AL5	AL4	AL3	AL2	AL1	AL0
MODE1	res	res	res	res	res	A1	A0	LDR	AR7	AR6	AR5	AR4	AR3	AR2	AR1	AR0
MODE2	res	res	res	res	res	A1	A0	CB1	CB0	SCA	FSS	IW1	IW0	OPE	DEM	MUT
MODE3	res	res	res	res	res	A1	A0	IZD	SF1	SF0	CKO	REV	HMO	ATC	LRP	IIS

図14. モードレジスタ・マッピング

レジスタ名	ビット名	機能
MODE0	A1、A0 LDL AL7-AL0 res	レジスタのアドレス アッテネーション・データのロード Lchのアッテネーション・データの設定 未使用、“0”に固定
MODE1	A1、A0 LDR AR7-AR0 res	レジスタのアドレス アッテネーション・データのロード Rchのアッテネーション・データの設定 未使用、“0”に固定
MODE2	A1、A0 FSS SCA CB1、CB0 IW1、IW0 OPE DEM MUT	レジスタのアドレス サンプリング・レート(f_s)レンジ選択 HD CD ゲイン・スケーリング選択 HD CD Hidden Code ビット・ロケーション設定 入力オーディオ・データ・ビット長選択 DACオペレーション選択(ON : 通常動作、OFF : 動作停止) ディエンファシス制御ON/OFF ソフトミュート制御ON/OFF
MODE3	A1、A0 IZD SF0、SF1 CKO REV HMO ATC LRP IIS	レジスタのアドレス ゼロ検出ミュート制御 ON/OFF ディエンファシス用サンプリング・レート選択 CLKOクロック周波数選択1または1/2 DAC出力位相制御(正相/逆相) Reserved L(0)に固定 アッテネータL/R同時制御選択 LRCKクロック極性選択 入力オーディオ・データ・フォーマット選択

表 . 各レジスタの名称と機能

シリアル制御データのレジスタ構成

モードコントロールにおける制御レジスタは図14に示すとおり、基本的に4つのモード・レジスタ(MODE0からMODE3)を持っており、レジスタの選択および選択内容は16ビットのシリアルデータで行います。各レジスタ(MODE0からMODE3)のビット構成と機能を表 1に示します。制御手順としては、まずA0、A1ビットにてレジスタを選択し、他のビットでそれぞれの機能を制御します。また、シリアル制御データはリセット解除後に入力します。

制御レジスタのMODE選択

A1、A0(MODE0-MODE3)

制御レジスタのMODE0からMODE3の選択はA1、A0両ビットのコントロールで行います。

レジスタ	A1	A0
MODE0	0	0
MODE1	0	1
MODE2	1	0
MODE3	1	1

各レジスタの説明

AL7-AL0、AR7-AR0、LDL、LDR(MODE0、MODE1)

MODE0およびMODE1はデジタル・アッテネータの制御レジスタで、AL7-AL0、AR7-AR0の各ビット(AL7、AR7がMSB、AL0、AR0がLSB)によって256ステップのアッテネータをLch/Rch独立で制御することができます。

LDL、LDRはアッテネータ値のロードに用いられ、LDL、LDRを'1'にセットすることによりアッテネータの設定値がロードされます。LDL、LDRが'0'の場合、アッテネータの設定は有効ですが、実際のアッテネータ値はその前のレベルを保ち、LDLまたはLDRが'1'になった時点で設定したアッテネータ値に変化します。また、後述のATCレジスタが'1'にセットされた場合、AL7-AL0(MODE0)のレジスタ設定のみでLch/Rch両方のアッテネータ値を同時に制御することが可能です。

アッテネータの減衰量ATTは次に示す計算式で与えられます。

$$ATT = 0.5 \times (DATA - 255) [dB] \quad (1)$$

DATA : アッテネータ設定値

FFh = -0dB

FEh = -0.5dB

|

|

01h = -127.5dB

00h = -∞ (=MUTE)

式(1)から、このアッテネータは0.5dBステップのアッテネータであることがわかります。

ATC(MODE3)

ATCレジスタを'1'にすると、Lch、Rch共通のアッテネータ設定をMODE0(AL7-AL0)で行うことができます。この場合、MODE1(AR7-AR0)は無視されます。

ATC	アッテネータ制御
0	Lch/Rch独立
1	Lch/Rch共通

IW1、IW0(MODE2)、IIS(MODE3)

これらの制御レジスタにより、オーディオ入力データフォーマットおよびデータビット長を選択します。

IIS	IW1	IW0	オーディオデータフォーマット
0	0	0	16ビット、後詰め(スタンダード)
0	0	1	20ビット、後詰め
0	1	0	24ビット、後詰め
0	1	1	24ビット、前詰め
1	0	0	16ビット、IIS
1	0	1	24ビット、IIS
1	1	0	Reserved
1	1	1	Reserved

OPE(MODE2)

OPEレジスタはDACオペレーション選択機能で、DAC動作停止時は、デジタル入力に関係なく、アナログ出力を0.5V_{cc}(バイポーラゼロ)に固定します。

OPE	DAC動作
0	ON(通常動作)
1	OFF(動作停止)

DEM(MODE2)、SF1、SF2(MODE3)

DEMレジスタは、ディエンファシスのON/OFF制御で、ディエンファシスON時のサンプリング周波数はSF1、SF2の制御レジスタで制御します。

DEM	ディエンファシス
0	OFF
1	ON

SF1	SF0	ディエンファシス・サンプリング周波数
0	0	Reserved
0	1	48kHz
1	0	44.1kHz
1	1	32kHz

MUT(MODE2)

MUTレジスタは、ソフトミュート制御(ON/OFF)です。

MUT	ソフトミュート
0	OFF
1	ON

IZD(MODE3)

IZDレジスタは、ゼロ検出ミュートのON/OFF制御で、IZD=1がセットされた場合、ゼロフラグと同条件でゼロを検出し、DACアナログ出力を強制的にミュート(0.5V_{cc}、バイポーラゼロ)します。

IZD	ゼロ検出ミュート
0	OFF
1	ON

CKO(MODE3)

CKOレジスタは、CLKO端子の出力クロック周波数選択制御で、XTIクロックに対して1倍(バッファ)または1/2分周の選択が可能です。

CKO	CLKO出力クロック周波数
0	XTI
1	XTI/2 (1/2分周)

REV(MODE3)

REVレジスタは、DACアナログ出力の位相選択制御で、通常(正相)と逆相を選択することができます。

REV	DACアナログ出力
0	正常(正相)
1	逆相

LRP(MODE3)

LRPレジスタは、LRCKクロックの極性選択制御で、通常のデータフォーマットに対しLRCKクロックの極性を反転させることができます。

LRP	LRCK極性		
0	<table border="1"><tr><td>L</td><td>R</td></tr></table> Lch : H、Rch : L	L	R
L	R		
1	<table border="1"><tr><td>L</td><td>R</td></tr></table> Lch : L、Rch : H	L	R
L	R		

FSS(MODE2)

FSSレジスタは、入力サンプリング・レート(f_s)のレンジ制御で、 f_s に対する内部動作を切り替えるために行います。また、適切な設定を行わないと発熱による損傷を招くことがあります。

FSS	サンプリング・レート(f_s)
0	$f_s \leq 52\text{kHz}$
1	$f_s > 52\text{kHz}$

SCA(MODE2)

SCAレジスタは、HDCDエンコード信号(ピークエクステンドあり)と通常CDのゲインとの差(6dB)を内部デジタル・ゲイン・スケーリングで行う(通常のCDおよびHDCD(ピークエクステンドなし)信号を6dBアッテネーションする)か、アナログ・ゲイン・スケーリング(外部アナログ回路による)で行うかの選択をします。

SCA	ゲイン・スケーリング
0	デジタル(6dBアッテネーション)
1	アナログ

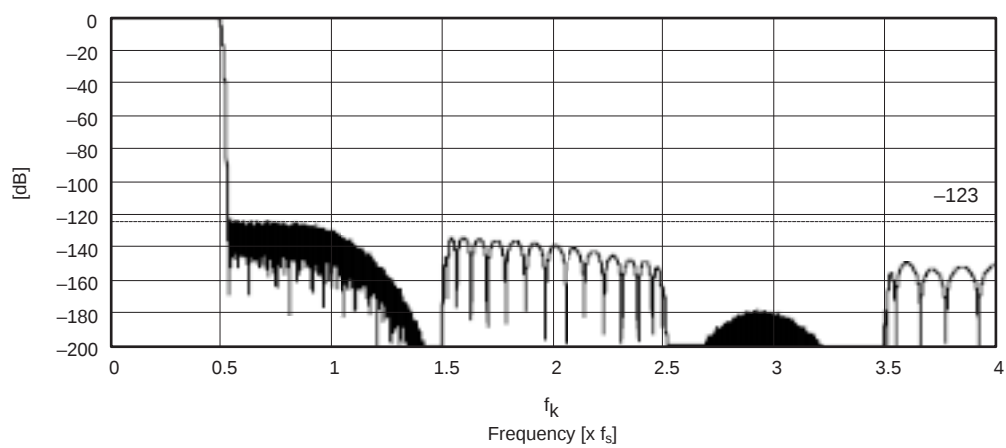
CB1、CB0(MODE2)

CB1、CB0レジスタは、HDCD Hidden Codeのビット・ロケーション設定機能で、入力データ・フォーマットに合わせて必ず行わなければなりません。HDCDにおいては、そのデータのLSBにHDCDエンコードされたHidden Codeが存在し、デコード時にはこのLSBデータを検出して行われます。通常のHDCDデータは16ビットで、16番目のデータ(LSB)がこれに相当しており、イニシャルでは16番目のデータを検出しています。20ビット、24ビットのHDCDデータ・フォーマットでは、このHidden Codeの位置がそれぞれ20番目、24番目になり、データ長に合わせたHidden Codeの検出位置の設定をします。

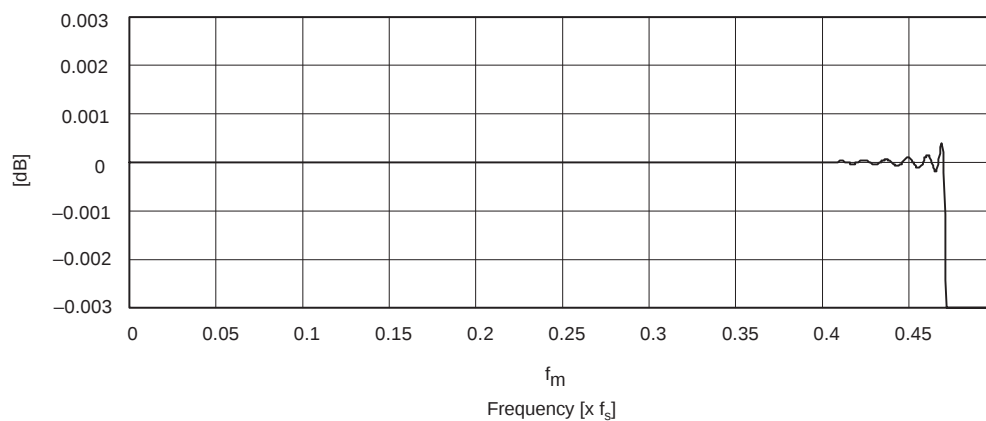
CB1	CB0	HDCD Hidden Code位置
0	0	16ビット目
0	1	20ビット目
1	0	予約
1	1	24ビット目

デジタルフィルタ特性

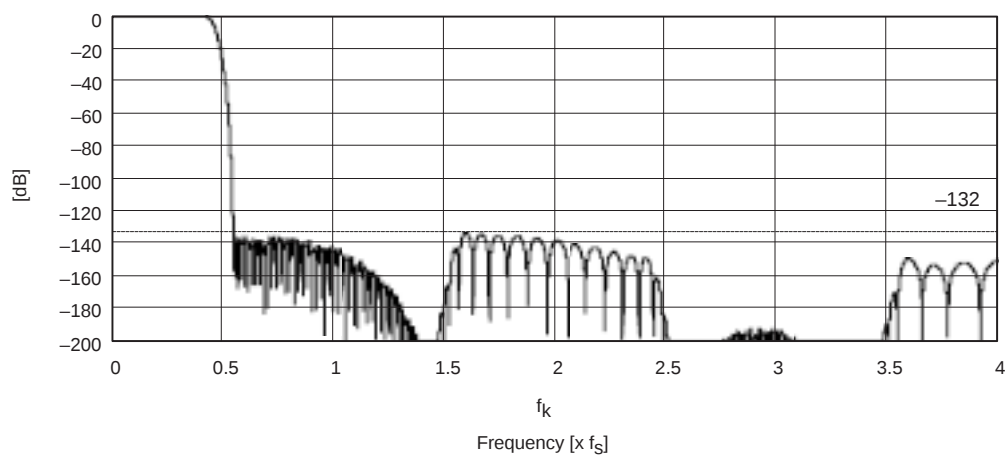
ディエンファシス=OFF



周波数特性($f_s < 52\text{kHz}$)

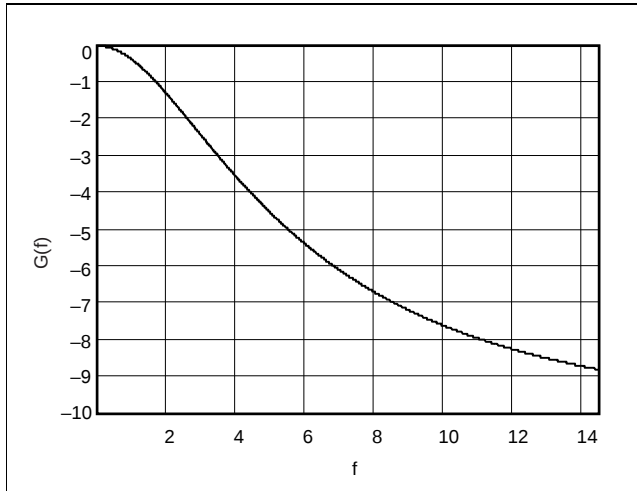


通過帯域リップル

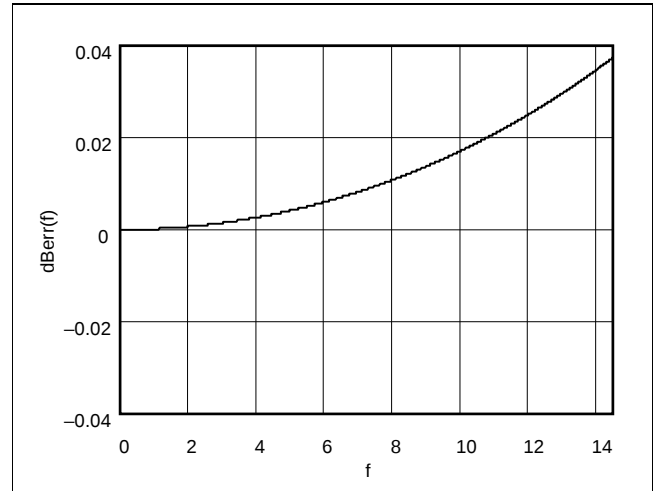


周波数特性($f_s > 52\text{kHz}$)

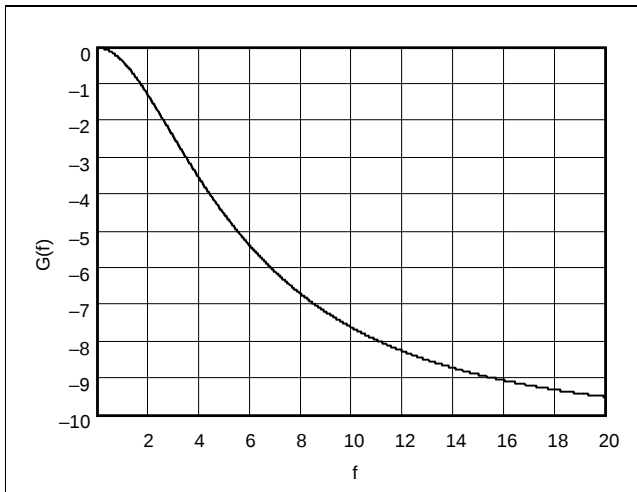
ディエンファシス特性 $f_s = 32\text{kHz}$



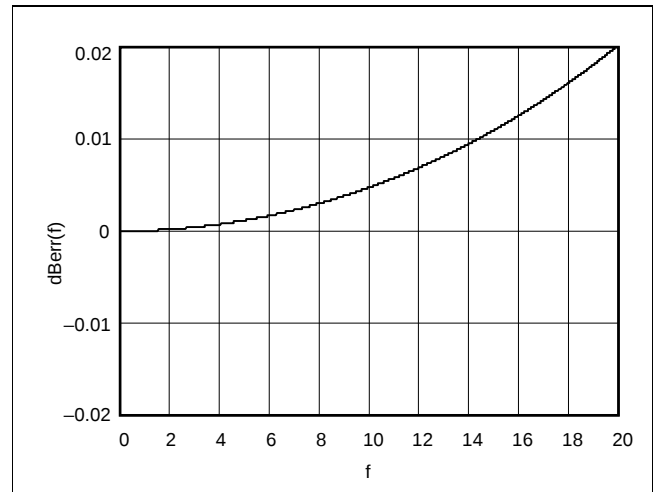
ディエンファシス誤差 $f_s = 32\text{kHz}$



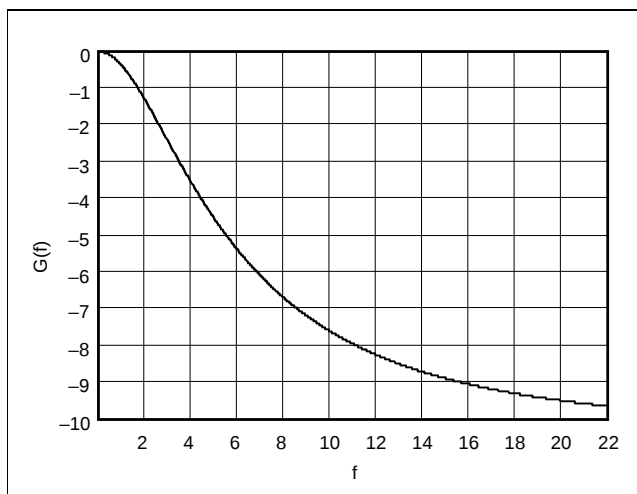
ディエンファシス特性 $f_s = 44.1\text{kHz}$



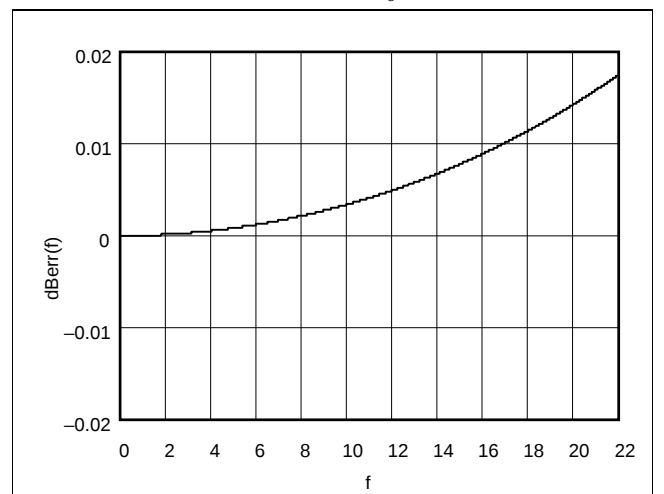
ディエンファシス誤差 $f_s = 44.1\text{kHz}$



ディエンファシス特性 $f_s = 48\text{kHz}$

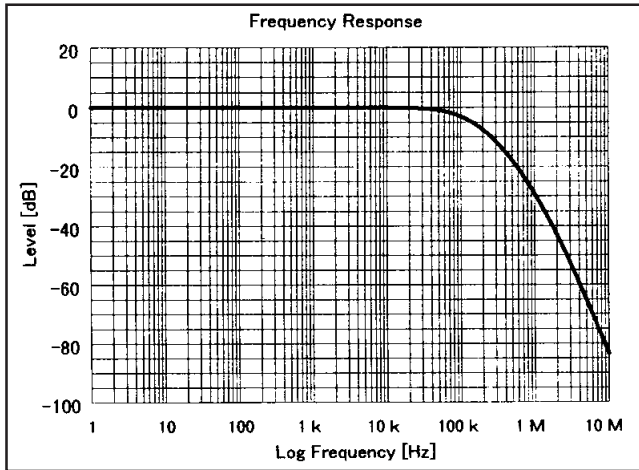


ディエンファシス誤差 $f_s = 48\text{kHz}$

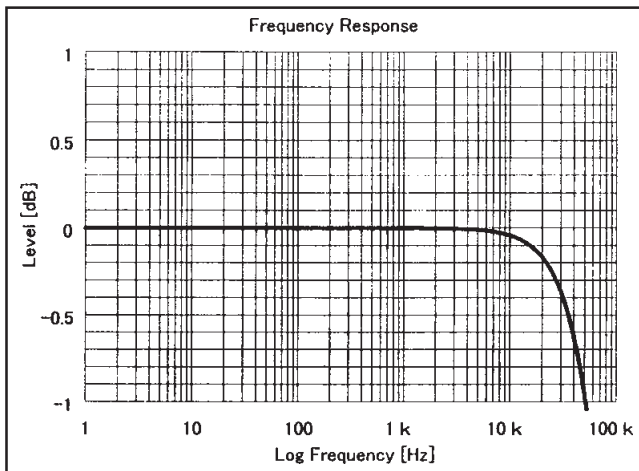


内蔵アナログフィルタ特性

1 ~ 10MHz



1 ~ 40kHz



ソフトミュート・オペレーション

PCM1732の動作モード(ソフトウェア・モード/ハードウェア・モード)に関わらず、ソフトミュートON時は両チャンネルのアナログ出力を $-\infty$ にまでアッテネートします。ハードウェア・モード時は、アッテネータの設定は機能していないため、ソフトミュートONで0dBが $-\infty$ まで $256/f_s$ 時間でミュートします。ソフトミュートOFFでは逆に、 $-\infty$ から0dBまで同様に変化します。ソフトウェア・モード時も基本動作は同じですが、アッテネータ機能を選択し、ある値にアッテネータ値を設定している場合は、そのアッテネータ値と $-\infty$ の間でミュート量が変化します。これらのソフトミュートでのミュート量変化の様子を図15に示します。

CLKO負荷

システムクロックをPCM1732でクリスタル発振させ、その発振クロックをCLKO端子から外部に供給する場合は、必ずバッファを介してクロックを外部に供給して下さい。CLKO出力の負荷電流が増えるとアナログ部のダイナミック特性に影響することがあります。PCM1732の優れた高性能を発揮させるため、CLKOの負荷には注意して下さい。

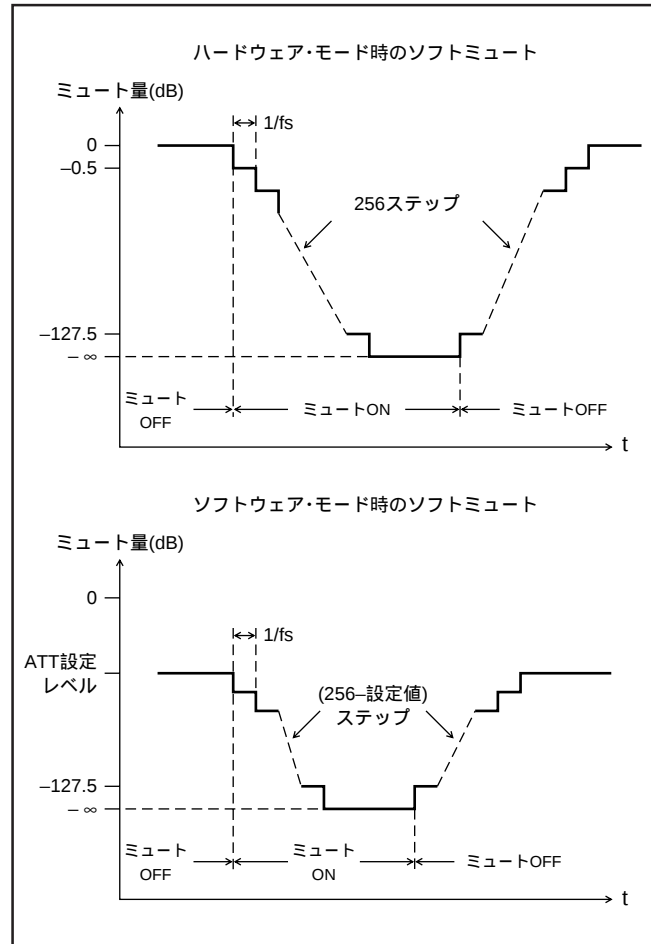


図15. ソフトミュートでのミュート量変化の様子

ダイナミック特性とテスト条件

PCM1732は、32kHz、44.1kHz、48kHzといった標準的なサンプリング・レート(f_s)と、DVD等での96kHzサンプリング・レートに対応可能ですが、実アプリケーションにおいては、ナイキスト定理に基づいた出力ポスト・ローパスフィルタの設定とダイナミック特性テスト時の帯域制限について十分考察しなければなりません。

PCM1732のすべてのダイナミック特性は、現行のEIAJにおけるCDプレーヤの測定方法で用いられる20kHz帯域制限条件でテストされ、仕様を保証しています。これは、 $f_s = 44.1\text{kHz}$ を基準にしたもので、例えば $f_s = 96\text{kHz}$ 条件におけるテスト条件の標準規格が未設定であることにもよります。

THD+N特性テストにおいては、その測定帯域条件によってTHD+Nの'+N'成分が変化します。すなわち、 $f_s = 96\text{kHz}$ でナイキスト周波数である48kHzの測定帯域でTHD+Nを測定した場合、当然+N成分は帯域が広がった分増加し、THD+N値は $f_s = 44.1\text{kHz}$ に比べて大きくなります。

PCM1732では、すべてのテストを20kHz帯域制限でテストしていますが、これはポスト・ローパスフィルタに要求するものではなく、テストシステムに要求されるものです。実アプリケーションでの帯域外ノイズは、デジタルフィルタの阻止帯域減衰量でサンプリング・スペクトラムの抑圧レベルが決定されます。PCM1732の内蔵アナログフィルタは100kHz付近まで周波数特性を伸ばしているため、 $f_s = 96\text{kHz}$ 条件にも対応できます。

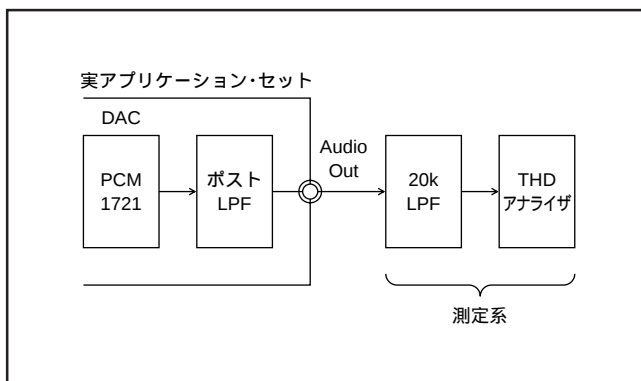


図16. THDテスト条件

図17にPCM1732の応用接続図を示します。C₃からC₈のバイパス・コンデンサはできる限りピンに最短距離で接続し、各電源グランドは共通接続とし、グランドパターンはなるべく広いベタグランドとします。ポスト・ローパスフィルタは実際のアプリケーションではCR1次パッシブ、アクティブ2次から3次が一般的に用いられます。アナログミュート段のミュート回路制御タイミングはシステム全体との動作状況により決定されます。

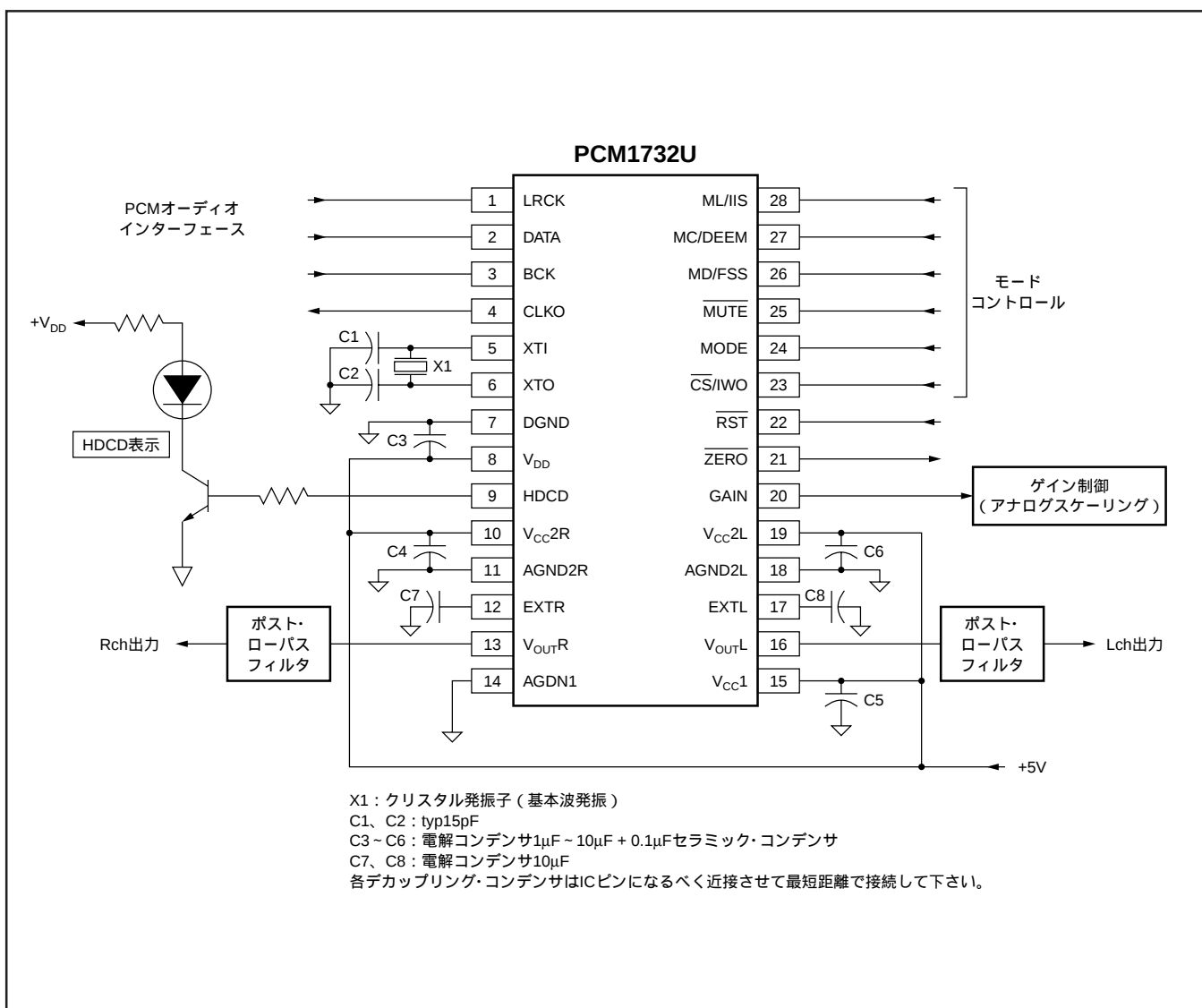


図17. PCM1732の応用接続図

CDタイプによる基準信号レベルと抽出機能

HDCD対応CDでは、そのレコーディング(エンコード)時に、ピークエクステンドあり、またはピークエクステンドなしの2種類の方法で情報が記録されます。通常CDとこのHDCDピークエクステンドなしの基準レベル(DAC入力における0dB、フルスケール)は同じですが、ピークエクステンドありで記録されたデータの基準レベルは、前者のものより6dB低くなります。

PCM1732では、入力信号データから、この通常CD/HDCDおよびピークエクステンドあり/なしの情報は抽出され、HDCDピンおよびゲイン・ピンから出力されます。これらの関係を下記に示します。

CDタイプ	HDCDピン	ゲイン・ピン	基準レベル
通常CD	L	L	0dB
HDCD (ピークエクステンドなし)	H	L	0dB
HDCD (ピークエクステンドあり)	H	H	-6dB

したがって、HDCD(ピークエクステンドあり)の場合とそれ以外の場合との信号レベル差(6dB)は、補正する必要があります。この補正の方法には、後述するデジタル・スケーリングとアナログ・スケーリングの2種類があります。また、HDCDピンはHDCDエンコードされた全てのソースに対してHとなり、これによりHDCD再生を示すインジケータを表示させなければなりません。このHDCD表示機能はライセンス上の絶対条件ですので必ず行って下さい。

ゲイン・スケーリング

デジタル・スケーリングは、PCM1732の内部デジタルフィルタ部で自動的にCDタイプを検出し、通常CDおよびHDCD(ピークエクステンドなし)時の信号は6dBアッテネートされ、HDCD(ピークエクステンドあり)時の信号はそのまま通過します。これにより、両者の信号レベル差を一致させますが、通常CDおよびHDCD(ピークエクステンドなし)の信号量が6dBロス(量子化1ビット相当)することになります。このデジタル・スケーリングはPCM1732のモードレジスタMODE2のSCA、ソフトウェア・コントロールで制御され、デフォルトではこのデジタル・スケーリング(SCA=0)が選択されています。後述するアナログ・スケーリングを選択する場合は、ソフトウェア・コントロールでSCA=1を設定します。

アナログ・スケーリング(SCA=1の設定)は、外部にアナログ・ゲイン切り替え回路を用意して行う方法です。アナログ・スケーリング(SCA=1)では、PCM1732内部でレベル補正はいっさい行われず、PCM1732の出力信号はHDCD(ピークエクステンドあり)の場合は、通常CDおよびHDCD(ピークエクステンドなし)の場合を基準にして6dB低くなるので、外部ゲインアンプで6dBのゲインをとれなければなりません。したがって、この外部ゲイン回路は、基準ゲイン(0dB)/+6dBの切り替えが必要になります。このゲイン切り替え制御にはゲイン・ピンを用いて行います。また、HDCD(ピークエクステンドあり)の信号レベルは+6dBのピークを含む場合があります。この+6dBのピークレベルは通常CDの0dBと同じレベルですから、ゲインアンプには十分なヘッドルームが必要です。アナログ・ゲインスケーリングの場合は、デジタル・ゲインスケーリングで発生する通常CDおよびHDCD(ピークエクステンドなし)信号に対する6dBの信号ロス(量子化1ビット相当)はありませんが、前述のヘッドルームとゲイン切り替えを含むオーディオ性能には留意しなければなりません。

CDタイプとオーディオ・ダイナミック特性

PCM1732では、THD+N、ダイナミック・レンジ、S/N比、出力レベル等のオーディオ・ダイナミック特性に関して(24ビット・データ、サンプリング・レート=44.1kHz)を基準にして規定されています。通常CD、HDCD時(ピークエクステンドあり/なし)およびゲイン・スケーリング(デジタル/アナログ)時のオーディオ・ダイナミック特性は当然これらの組み合わせによって異なりますので、参照として別途、Appendixの項目に示してあります。

* For more information on the HDCD process, see the AES paper which was presented at the 101st Convention, November 1996 in Los Angeles. (Preprint number 4392).

* HDCD technology provided under license from Pacific Micronics, Inc. This product's design is covered by one or more of the following: In the USA: 5,479, 168, 5,638,074, 5,640, 161, 5,808,574, 5,838,274, 5,854,600, 5,864,311, 5,872,531, and In Australia: 669114. With other patent pending.

Appendix

16ビット・データにおけるアナログ特性

特に記述のない限り、 $T_A = +25$ 、 $V_{CC} = V_{DD} = +5V$ 、 $f_s = 44.1kHz$ 、システムクロック = $384f_s$ 、16ビット・データです。

パラメータ	条件	PCM1732U			単位
		最小	標準	最大	
ダイナミック・アナログ特性 通常CD アナログ・ゲイン・スケーリング ⁽⁵⁾ $THD + N \quad V_O = 0dB$ $V_O = -60dB$ ダイナミック・レンジ 出力電圧	0dBFS EIAJ, Aウェイト 0dBFS ⁽²⁾		-95 -37 97 $0.57V_{CC}$		dB dB dB Vp-p
ダイナミック・オーディオ特性 HDCD CD アナログ・ゲイン・スケーリング ⁽⁶⁾ $THD + N \quad V_O = 0dB$ $V_O = -60dB$ ダイナミック・レンジ 出力電圧	0dBFS EIAJ, Aウェイト ⁽⁴⁾ 0dBFS、ピークエクステンドなし ⁽²⁾ 0dBFS、ピークエクステンドあり ⁽³⁾ +6dBFS ⁽¹⁾⁽³⁾		-94 -38 104 $0.57V_{CC}$ $0.285V_{CC}$ $0.57V_{CC}$		dB dB dB Vp-p Vp-p Vp-p
ダイナミック・オーディオ特性 通常CD デジタル・ゲイン・スケーリング ⁽⁵⁾ $THD + N \quad V_O = 0dB$ $V_O = -60dB$ ダイナミック・レンジ 出力電圧	0dBFS EIAJ, Aウェイト 0dBFS		-92 -33 96 $0.285V_{CC}$		dB dB dB Vp-p
ダイナミック・オーディオ特性 HDCD CD デジタル・ゲイン・スケーリング ⁽⁶⁾ $THD + N \quad V_O = 0dB$ $V_O = -60dB$ ダイナミック・レンジ 出力電圧	0dBFS EIAJ, Aウェイト ⁽⁴⁾ 0dBFS +6dBFS ⁽¹⁾		-91 -34 104 $0.285V_{CC}$ $0.57V_{CC}$		dB dB dB Vp-p Vp-p

注：(1)+6dBFS(dBフルスケール)フル・ピークエクステンド出力レベルで、HDCD録音に存在する場合があります。(2)ゲイン・ピン^{ロー}。(3)ゲイン・ピン^{ハイ}。(4)+6dBまでのピークエクステンドを含む。(5)ディザ^ー無。(6)ディザ^ー有。また、THD+Nは非ピークエクステンド時、ダイナミック・レンジはピークエクステンド時。

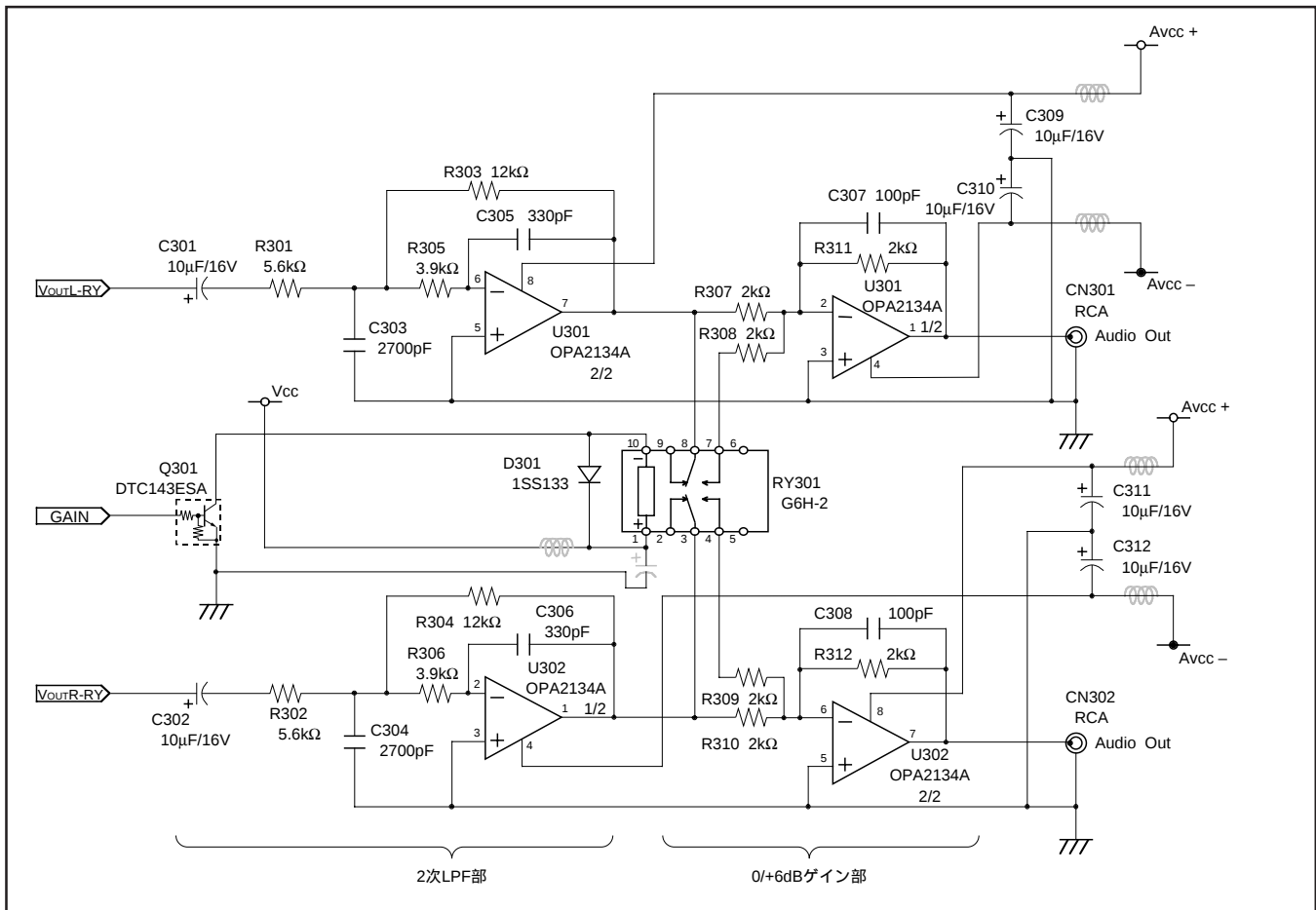


図18. リレーによるゲイン・スケーリング回路例

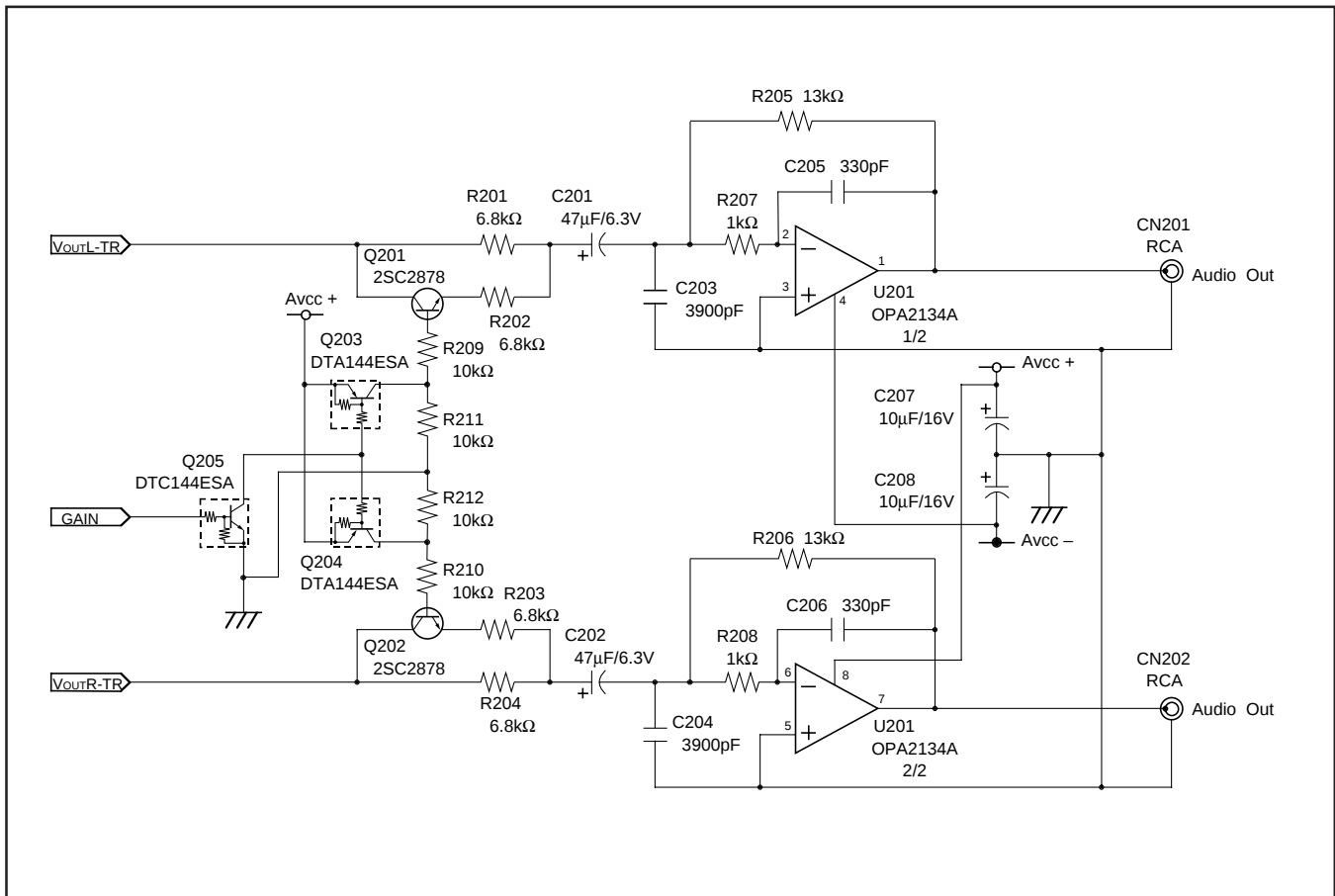
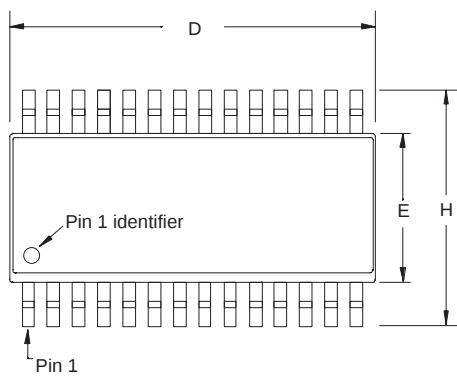


図19. トランジスタによるゲイン・スケーリング回路例

外觀

28ピンSOP



	MILLIMETERS	
	MIN	MAX
A	2.35	2.65
A1	0.10	0.30
B	0.33	0.51
C	0.23	0.32
D	17.70	18.10
E	7.40	7.60
e	1.27 BASIC	
H	10.11	10.65
L	0.508	1.02
θ	0°	8°

