



SoundPLUS 24ビット、96kHz ステレオ・オーディオD/Aコンバータ

特 長

- エンハンスド・マルチレベル・デルタ-シグマ方式
- 16/20/24ビットPCMオーディオ・インターフェース
- サンプリング・レート(f_s) : 16kHz ~ 96kHz
- システム・クロック : 256/384/512/768 f_s
- 高性能
 THD + N : 0.0015%(標準)
 ダイナミック・レンジ : 106dB(標準)
 S/N比 : 106dB(標準)
- 8倍オーバー・サンプリング・デジタルフィルタ内蔵
 阻止帯域減衰量 : 82dB
 パスバンド・リップル : ± 0.002 dB
- 2ch同位相電圧出力
- 2次アナログ・ローパスフィルタ内蔵
- マルチファンクション
 (デジタル・ディエンファシス、ソフトミュート)
- 単一+5V電源動作
- パッケージ : 28ピンSSOP

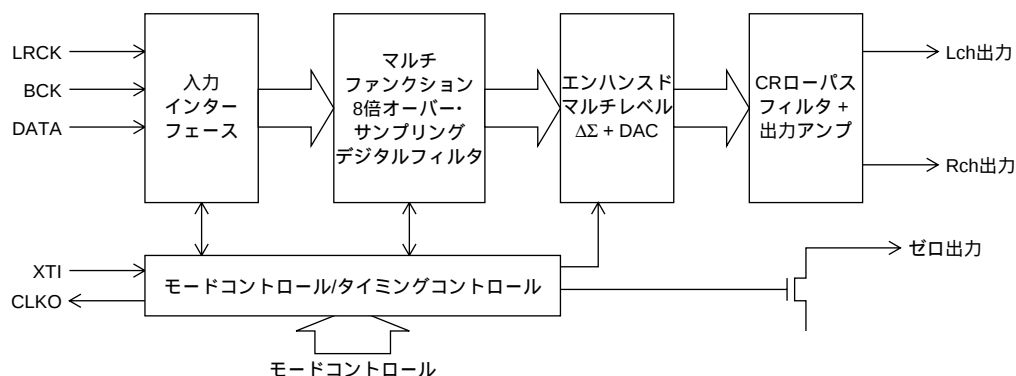
概 要

PCM1728は、バー・ブラウンが特に高性能化のために開発した、エンハンスド・マルチレベル・デルタ-シグマ方式を用いた高性能ステレオ・オーディオD/Aコンバータで、DVDを始めとする96kHzサンプリング、24ビット・データに完全に対応できる機能と性能を持っています。PCM1728は、従来のマルチレベル・デルタ-シグマ方式に比べ、THD + N特性を始めとする各ダイナミック特性が大幅に高性能化されています。

内蔵の8倍オーバー・サンプリング・デジタルフィルタも阻止帯域減衰量が82dB、パスバンド・リップルが ± 0.002 dBと高性能化されており、ポスト・ローパスフィルタの負担を軽くしています。

また、マルチファンクション対応により、デジタル・ディエンファシス、ソフトミュート等の機能を持っているため、目的に応じた使用が可能です。

PCM1728は、高性能、高機能によりDVDを中心とした中、高級デジタル・オーディオ・アプリケーションに最適です。



仕様

特に記述のない限り、T_A = +25℃、V_{CC} = V_{DD} = +5V、外部システム・クロック、f_S = 44.1kHz、システム・クロック = 384f_S、24ビット・データです。

パラメータ	条件	PCM1728E			単位
		最小	標準	最大	
分解能		24			
データ・フォーマット オーディオ・インターフェース・フォーマット オーディオ・データ・ビット長 オーディオ・データ・フォーマット サンプリング周波数(f _S) システム・クロック周波数 ⁽¹⁾		スタンダード/左詰め/MSBファースト、2'sコンプリ 16/20/24選択可 16 256/384/512/768f _S 96			kHz
デジタル入出力 入力ロジックレベル 出力ロジックレベル	V _{IH} V _{IL} V _{OH} V _{OL} I _{OH} = 2mA I _{OL} = 4mA	2.0 4.5		0.8 0.5	V V V V
CLKO AC特性 ⁽²⁾ 出力立ち上がり時間 t _r 出力立ち下がり時間 t _f 出力デューティ・サイクル	20 ~ 80% V _{DD} , 10pF 80 ~ 20% V _{DD} , 10pF 10pF負荷		5.5 4 37		ns ns %
ダイナミック特性 ⁽³⁾ (24ビット) THD + N ダイナミック・レンジ(Aウェイト) S/N比 ⁽⁴⁾ (Aウェイト) チャンネル・セパレーション	V _O = 0dB V _O = -60dB f _S = 44.1kHz f _S = 96kHz f _S = 44.1kHz、EIAJ法 f _S = 96kHz f _S = 44.1kHz、EIAJ法 f _S = 96kHz f _S = 44.1kHz f _S = 96kHz	 98 98 96	0.0015 0.002 0.8 106 103 106 103 102 101	0.003	% % % dB dB dB dB dB dB dB
ダイナミック特性 ⁽³⁾ (16ビット) THD + N ダイナミック・レンジ(Aウェイト)	V _O = 0dB f _S = 44.1kHz f _S = 96kHz f _S = 44.1kHz、EIAJ法 f _S = 96kHz		0.0020 0.0025 98 97		% % dB dB
DC特性 ゲイン誤差 ゲイン誤差、チャンネル間ミスマッチ バイポーラ・ゼロ誤差			±1.0 ±1.0 ±30	±3.0 ±3.0 ±60	% of FSR % of FSR mV
アナログ出力 出力電圧 センター電圧 負荷抵抗	ACカップル	5	0.62 V _{CC} 0.5 V _{CC}		Vp-p V kΩ
デジタルフィルタ特性 フィルタ特性 通過帯域 阻止帯域 通過帯域リップル 阻止帯域減衰量 群遅延 ディエンファシス誤差	±0.002dB -3dB ストップバンド = 0.546f _S ストップバンド = 0.567f _S	0.546 f _S -75 -82	 30/f _S	0.454 f _S 0.490 f _S ±0.002 ±0.1	 dB dB dB sec dB
アナログフィルタ特性 -3dB帯域幅 周波数特性	at 20kHz		100 -0.17		kHz dB
電源 ⁽⁵⁾ 電源電圧 電源電流 消費電力	V _{DD} , V _{CC} f _S = 44.1kHz f _S = 96kHz f _S = 44.1kHz f _S = 96kHz	4.5	5 32 45 160 225	5.5 45 225	VDC mA mA mW mW
温度範囲 動作 保存		-25 -55		+85 +125	

注：(1)6ページ、システム・クロックの項を参照。(2)クロック出力にはクロック・バッファ(74HC04等)の挿入を推奨します。出力デューティ・サイクル値は、水晶振動子使用時です。(3)シバソク社725Cを使用、400kHz HPF、30kHz LPF ON。Average mode、20kHz帯域制限。(4)インフィニティ・ゼロ回路オフ。(5)PCM1728の各電源ピンは、共通接続としてシステムのアナログ電源に接続して下さい。

このデータシートに記載されている情報は、信頼しうるものと考えておりますが、不正確な情報や、記載漏れ等に関して弊社は責任を負うものではありません。情報の使用について弊社は責任を負えませんので、各ユーザーの責任においてご使用下さい。価格や仕様は予告なしに変更される場合がありますのでご了承下さい。ここに記載されているいかなる回路についても工業所有権その他の権利またはその実施権を付与したり承諾したりするものではありません。弊社は弊社製品を生命維持に関する機器またはシステムに使用することを承認しまたは保証するものではありません。

ピン構成

ピン番号	ピン名	I/O	説明
1	LRCK	IN	LRCKクロック入力(f_s) ⁽³⁾
2	DATA	IN	データ入力 ⁽³⁾
3	BCK	IN	データ用ビット・クロック入力 ⁽³⁾
4	CLKO	OUT	システム・クロック、バッファード出力
5	XTI	IN	クリスタル発振器接続または外部クロック入力
6	XTO	OUT	クリスタル発振器接続
7	DGND	-	デジタルGND
8	V _{DD}	-	デジタル電源、+5V
9	V _{CC2R}	-	アナログ電源、+5V
10	AGND2R	-	アナログGND
11	EXTR	OUT	Rch、アナログ出力アンプ・コモン
12	NC	-	未接続
13	V _{OUTR}	OUT	Rch、アナログ電圧出力
14	AGND1	-	アナログGND
15	V _{CC1}	-	アナログ電源、+5V
16	V _{OUTL}	OUT	Lch、アナログ電圧出力
17	NC	-	未接続
18	EXTL	OUT	Lch、アナログ出力アンプ・コモン
19	AGND2L	-	アナログGND
20	V _{CC2L}	-	アナログ電源、+5V
21	ZERO	OUT	ゼロデータ・フラグ
22	RST	IN	リセット。このピンが“L”の間、DFとデルタ・シグマ・モジュレータはリセット状態になります。 ⁽¹⁾
23	IWO	IN	入力フォーマット・セレクト ⁽²⁾
24	IW1	IN	入力フォーマット・セレクト ⁽²⁾
25	MUTE	IN	ミュート制御 ⁽¹⁾
26	DM0	IN	ディエンファシス選択 ⁽¹⁾
27	DM1	IN	ディエンファシス選択 ⁽¹⁾
28	IIS	IN	入力フォーマット選択 ⁽¹⁾

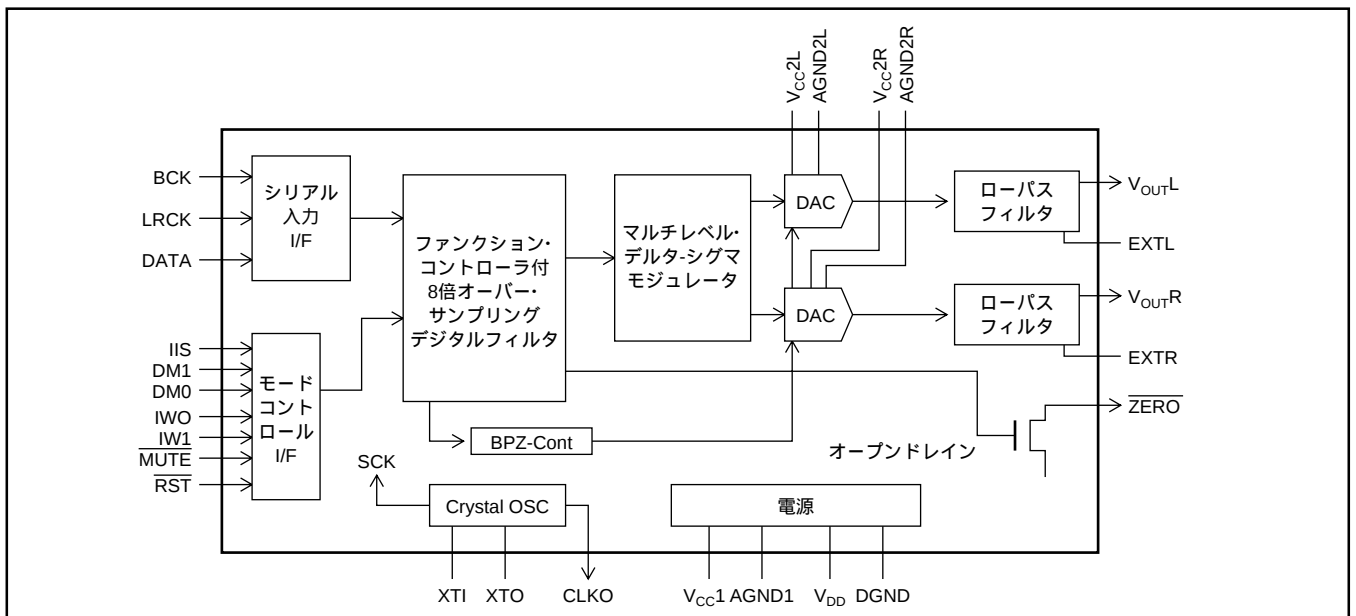
注：(1)ピン22、25、26、27、28：シュミット・トリガ入力、プルアップ抵抗付き。(2)ピン23、24：シュミット・トリガ入力、プルダウン抵抗付き。(3)ピン1、2、3：シュミット・トリガ入力

パッケージ情報/ご発注の手引き

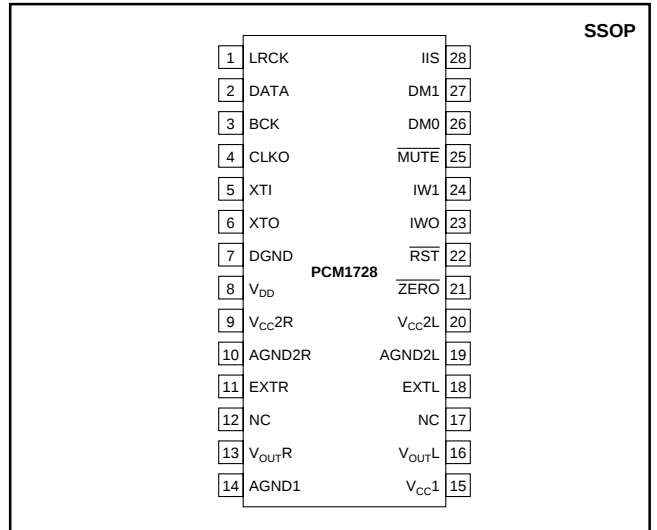
モデル	パッケージ ⁽¹⁾	温度範囲
PCM1728E	28ピンSSOP	-25 ~ +85

注：(1)詳細図および寸法表は、データシートの巻末を参照して下さい。

ブロック図



ピン配置



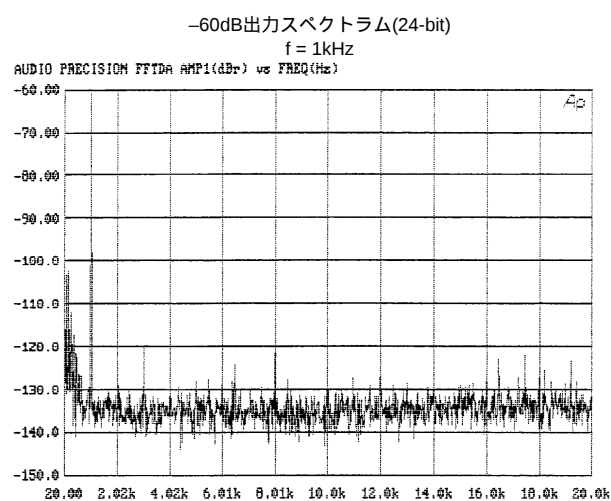
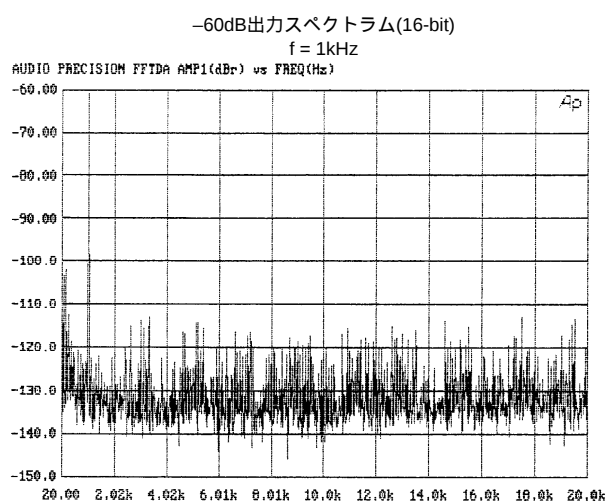
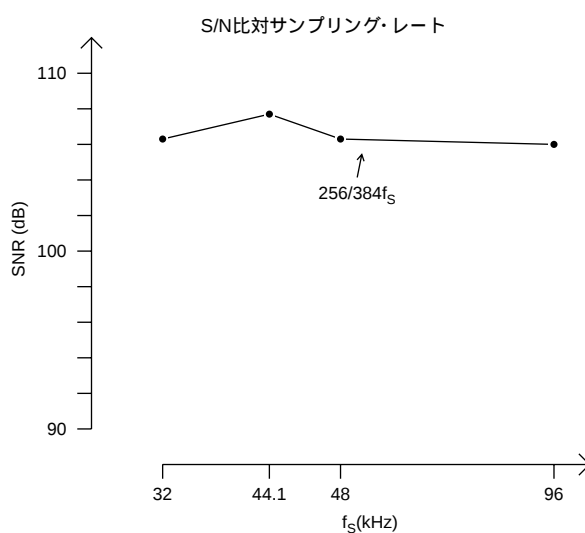
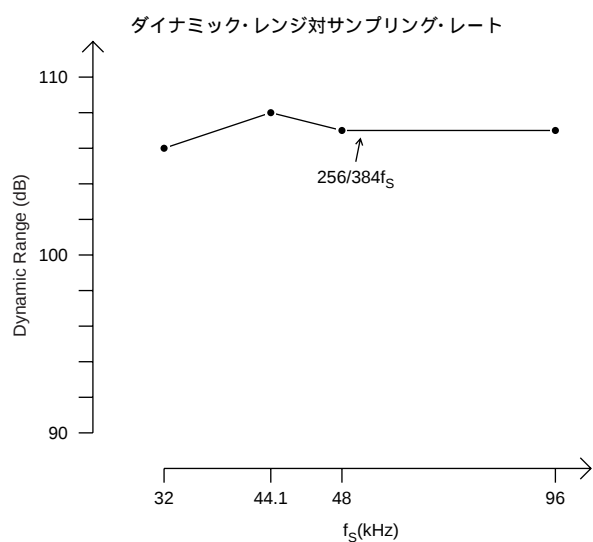
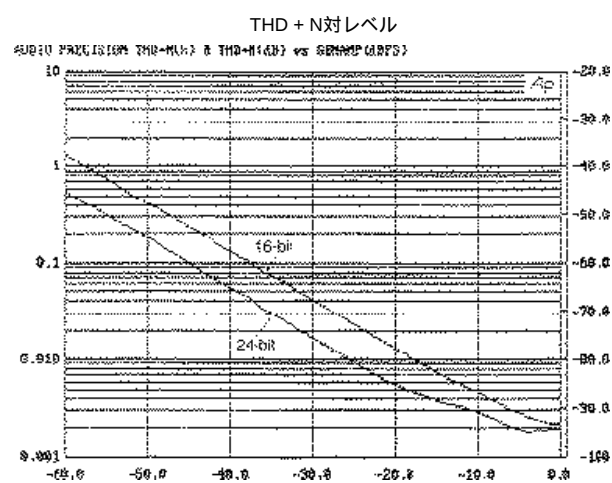
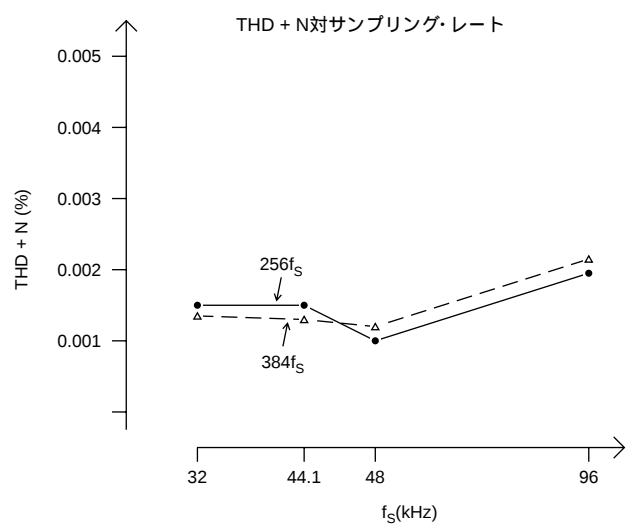
絶対最大定格

電源電圧 (V _{DD} , V _{CC1} , V _{CC2R} , V _{CC2L})	+6.5V
電源電圧差	±0.1V
GND電圧差	±0.1V
デジタル入力電圧	-0.3 ~ V _{DD} + 0.3V
入力電流 (電源、GNDを除く)	±10mA
許容電力	400mW
動作温度	-25 ~ +85
保存温度	-55 ~ +125
リード温度 (5秒間の半田付け)	+260
パッケージ表面温度 (リフロー、10秒間)	+235

静電気放電対策

静電気放電はわずかな性能の低下から完全なデバイスの故障に至るまで、様々な損傷を与えます。すべての集積回路は、適切なESD保護方法を用いて、取扱いと保存を行うようにして下さい。高精度の集積回路は、損傷に対して敏感であり、極めてわずかなパラメータの変化により、デバイスに規定された仕様に適合しなくなる場合があります。

代表的性能曲線



エンハンスド・マルチレベル・デルタ・シグマの動作原理

PCM1728のデルタ・シグマ・セクションでは、従来のマルチレベル・デルタ・シグマでの5レベルの振幅方向での分解能を8レベルに向上させ、8レベルのデルタ・シグマ変調を行います。このエンハンスド・マルチレベル・デルタ・シグマ方式は、特に高性能化を実現するために新たに開発された方式です。

デジタルフィルタでオーバー・サンプリングされた最大24ビットのデータはこのエンハンスド・マルチレベル・デルタ・シグマ変調により、8レベル(0、1、2、3、4、5、6、7)の変調信号に変換されます。

図1にこの8レベル・エンハンスド・マルチレベル・デルタ・シグマ変調器のブロック図を示します。デルタ・シグマ次数は4次で、一般的な1ビット(2レベル)デルタ・シグマ変調に比べて、系の安定性および耐ジッタ性に優れています。デジタルフィルタ部とデルタ・シグマ変調部との総合オーバー・サンプリング・レートは使用システム・クロックに関係なく、 $64f_s$ に設定されており、特に帯域内の量子化ノイズの抑圧と、帯域外ノイズの絶対レベル抑圧を両立させた伝送特性を持たせています。

図2は、PCM1728のエンハンスド・マルチレベル・デルタ・シグマ変調器の量子化雑音特性のシミュレーション・データです。帯域内($f_s/2$)での量子化雑音レベルは、 -140dB から -160dB まで抑圧されており、分解能に応じたダイナミック・レンジを得ることができます。また、帯域外ノイズもフルスケール比 -60dB に抑圧されており、ポストLPFの負担を軽減します。

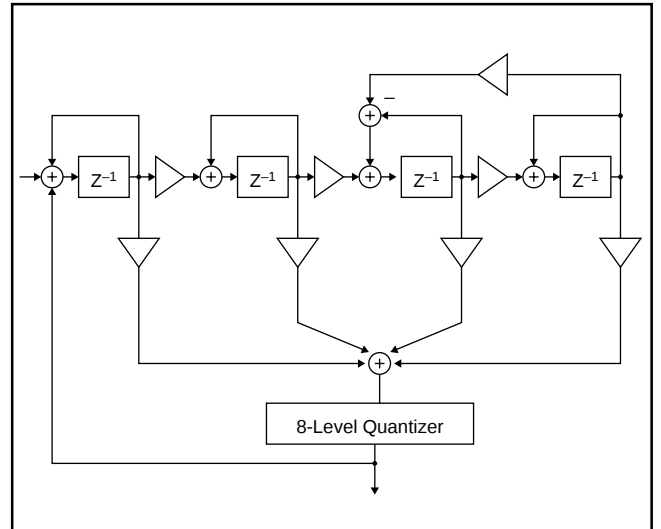


図1. 8レベル・エンハンスド・マルチレベル・デルタ・シグマ変調器のブロック図

エンハンスド・マルチレベル・デルタ・シグマの耐ジッタ特性

PCM1728の8レベル量子化器は、他の一般的なデルタ・シグマ型DACに比べてシステム・クロックのジッタ耐量にも優位性をもっています。図3にシミュレーションによる、ジッタ量対ダイナミック・レンジの特性データを示します。

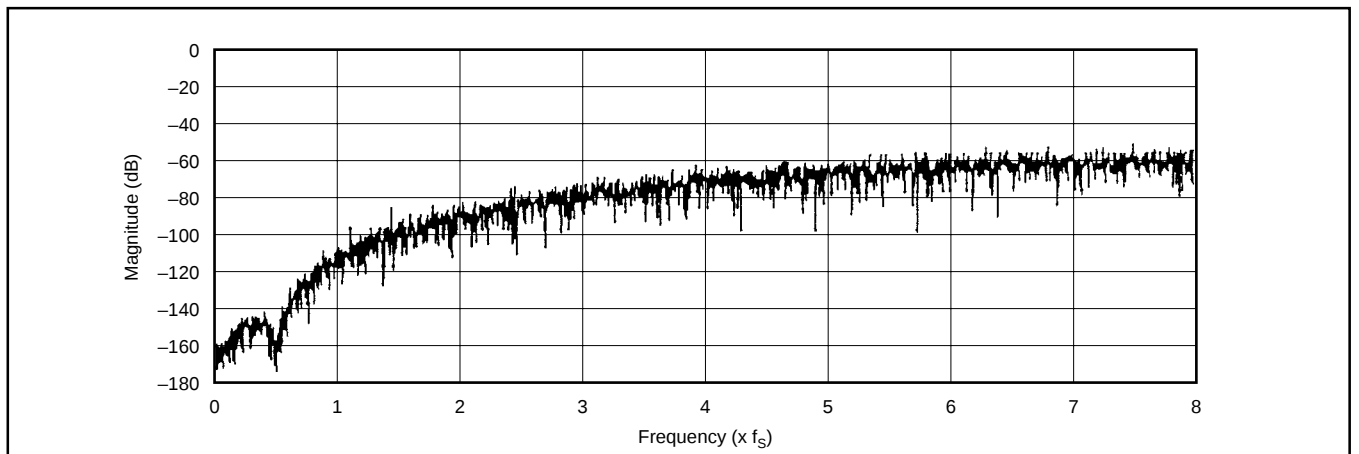


図2. 量子化雑音特性

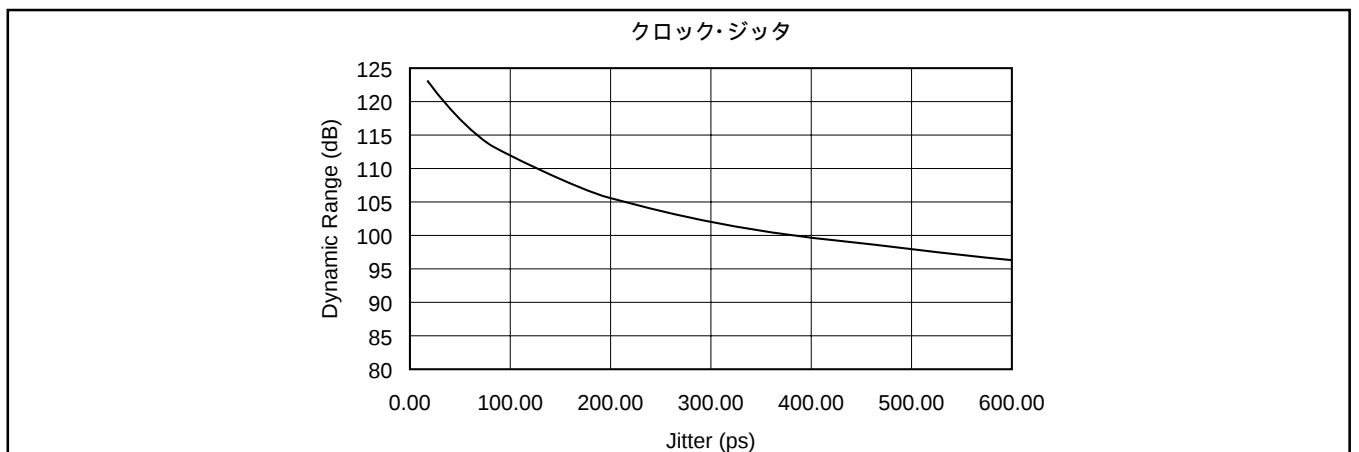


図3. ジッタ対ダイナミック・レンジ

システム・クロック

PCM1728のシステム・クロックは、 $256f_s$ 、 $384f_s$ 、 $512f_s$ 、あるいは、 $768f_s$ (f_s : 基準サンプリング・レート)のいずれでも対応可能で、このシステム・クロックは、PCM1728自体でクリスタル発振させるか、XTI端子に外部から入力します。

基準サンプリング・レート(f_s)は最大96kHzまで対応可能ですが、この $f_s = 96\text{kHz}$ 時のシステム・クロックは最大 $512f_s$ となり、 $768f_s$ には対応していません。また、クリスタル発振使用時は25MHz以上の周波数でのクリスタル発振に対応していないので、システム・クロックが25MHz以上となる場合はXTI端子に外部入力として用いて下さい。システム・クロックの接続例を図4、図5にそれぞれ示します。また、システム・クロックの対応関係を表 に示します。

PCM1728では、システム・クロックの自動判別機能を有しているため、外部より例えば、 $256f_s/384f_s$ の選択制御をする必要はありません。また、システム・クロックとLRCKクロック(基準サンプリング・レート)は同期を取る必要がありますが、位相を正確に合わせる必要はありません。PCM1728に外部からシステム・クロックを供給する場合のタイミング規定を図6に示します。

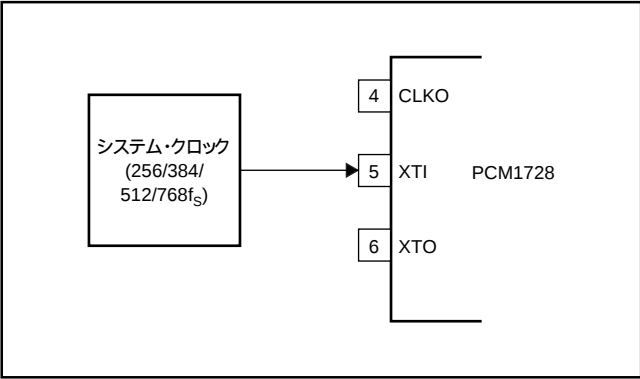


図4. 外部クロック入力接続例

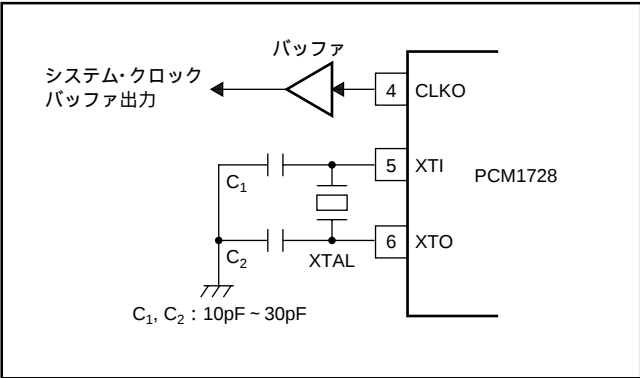


図5. クリスタル発振クロック接続例

基準サンプリング・レート(f_s)	システム・クロック周波数(MHz)			
	$256f_s$	$384f_s$	$512f_s$	$768f_s$
32kHz	8.192	12.2880	16.3840	24.5760
44.1kHz	11.2896	16.9340	22.5792	33.8688 ⁽¹⁾
48kHz	12.2880	18.4320	24.5760	36.8640 ⁽¹⁾
96kHz	24.5760	36.8640 ⁽¹⁾	49.1520 ⁽¹⁾	不可

注 : (1)PCM1728のクリスタル発振回路は、24.5760MHzまで対応可能です。これ以上のシステム・クロック周波数ではクリスタル発振回路は動作しないので、外部クロック入力を用いて下さい。

表 . システム・クロック周波数対応例

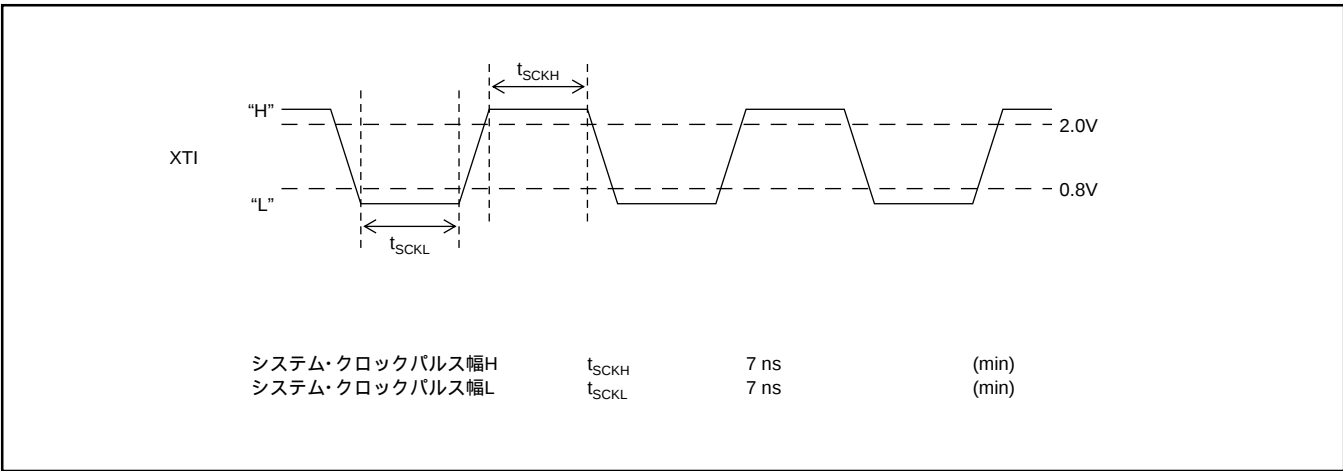


図6. システム・クロック入力タイミング規定

PCMオーディオ・データ・インターフェース

PCM1728は、LRCK、BCK、DATAにより、外部システムとインターフェースします。入力データ・フォーマットは16/20/24ビット、MSBファースト、2'sコンプリで、後詰めめのスタンダードフォーマット、前詰めめのフォーマット、IISフォーマットの選択が可能です。

これらのフォーマット選択は、後述のモード制御機能により対応可能な選択が決められますので、モード制御機能の項を参照して下さい。図7にデータ・フォーマットを、図8にタイミング規定をそれぞれ示します。

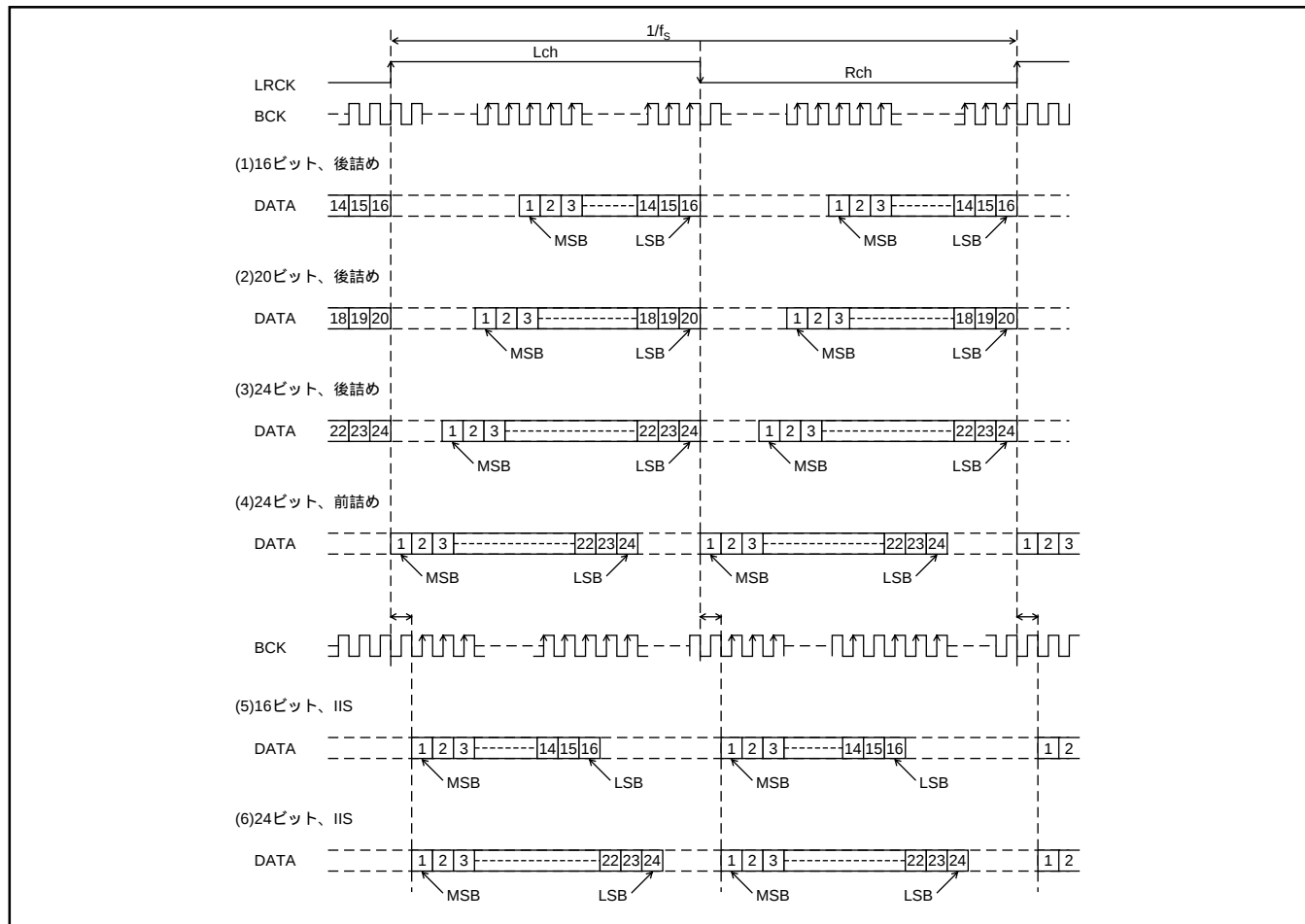


図7. PCMオーディオ・データ・インターフェース・フォーマット

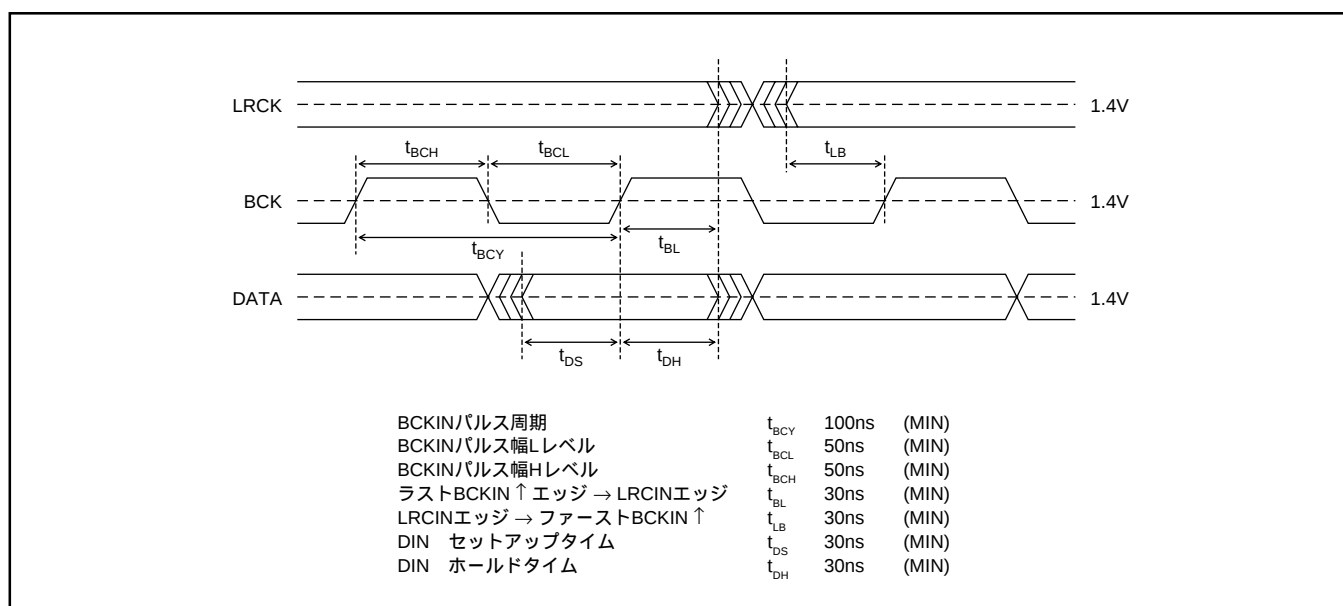


図8. オーディオ・データ入力タイミング

リセット・オペレーション

PCM1728には、次に示す内蔵のパワーオン・リセットと外部からの $\overline{\text{RST}}$ 端子制御による2種のリセットがあります。これらのリセット機能は内部動作に対しては共通になっており、同じ働きをします。リセット期間中のアナログ出力は $0.5V_{CC}$ (BPZ)に固定されます。

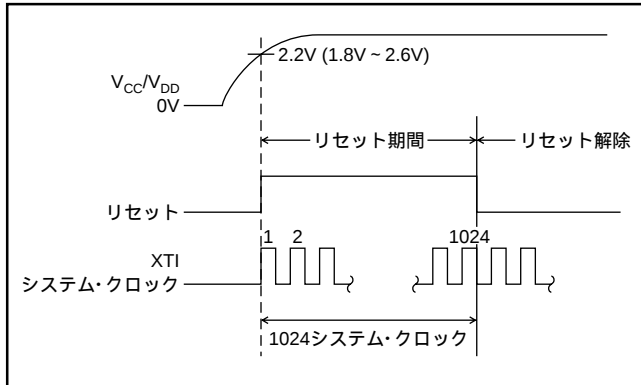


図9. パワーオン・リセット・タイミング

パワーオン・リセット

内蔵のパワーオン・リセットは電源電圧を検知して自動的に行われます。電源投入後、電源電圧が標準2.2V (1.8Vから2.6V) を超えると、リセット動作となり、システム・クロックを1024クロックカウントした後にリセットを解除します。パワーオン・リセット使用時は $\overline{\text{RST}}$ (ピン22) はオープンまたは“H”レベルとします。

外部リセット

$\overline{\text{RST}}$ (ピン22) を一定期間“L”レベルにすることにより、外部からリセットをかけることができます。

$\overline{\text{RST}}$ 端子がLからHに変化した後、パワーオン・リセットと同様に1024システム・クロックのカウント後、リセット解除となるまでの間はリセット期間となります。

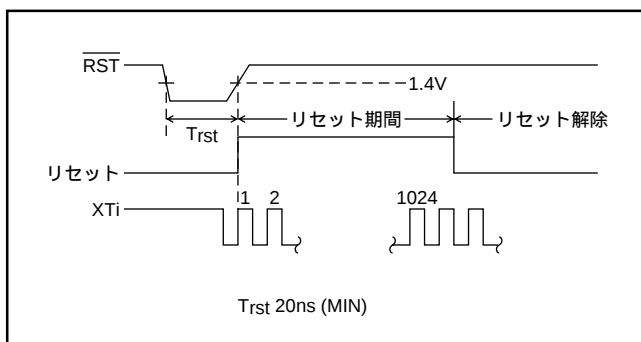


図10. 外部リセット・タイミング

ゼロフラグ出力機能

データ入力 (DATA) が65536ビット・クロック・サイクルの間連続してゼロ“0”の場合、ゼロ検出機能により $\overline{\text{ZERO}}$ 端子 (ピン21) が“L”レベルになります。その後、1ビット・クロック間でもデータ入力がゼロ以外になると、 $\overline{\text{ZERO}}$ 端子はハイ・インピーダンス状態となります。この端子はオープン・ドレイン出力なので、他の機能とOR接続することができます。また、このゼロフラグ出力機能はPCM1728の設定状態に関係なく、常にゼロ検出を実行します (リセット時を除く)。

外部システムとの同期

PCM1728は、LRCKクロック (基準サンプリング・レート f_s) とシステム・クロック (256/384/512/768 f_s) との同期関係を常時内部でモニタしています (リセット時を除く)。LRCKクロックの1サイクル ($1/f_s$) の間に (256、384、512、768いずれかの) システム・クロックがあれば同期関係は成立し、正常動作します。この両クロックの同期関係がずれた場合の動作は次のようになります。

$1/f_s$ 期間内の同期ずれ

例えば、1LRCKクロック・サイクル ($1/f_s$) の間だけ瞬時にシステム・クロックが255クロック ($256f_s$ に対し) や386クロック ($384f_s$ に対し) となった場合、このシステム・クロックのずれ時間が ± 5 ビット・クロック (BCKIN) 期間であれば、正常動作を保ちます。ずれ時間が ± 6 ビット・クロック期間を超えると同期外れ状態となります。

f_s が変化する場合は同期ずれ

例えば、 f_s が44.1kHzから48kHzに変化する場合等でLRCKクロックのシステム・クロックの同期が $1/f_s$ 期間以上ずれた場合は同期外れ状態となります。

同期外れ時のDAC出力

同期状態から同期外れ状態になると、 $1/f_s$ 期間DAC出力は不定となり、その後 $0.5V_{CC}$ (BPZ) を出力します。また、同期外れ状態から同期状態になった場合、 $30/f_s$ 期間DAC出力は不定となり、その後正常出力となります。

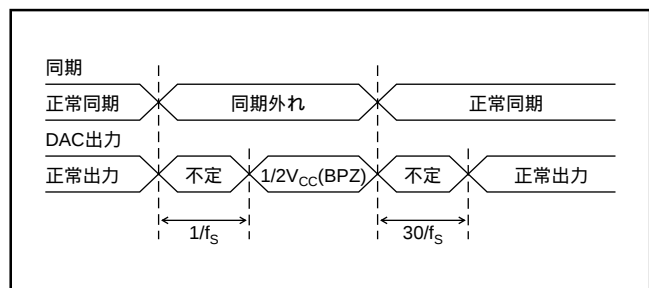


図11. 同期外れ時のDAC出力

モード制御機能

PCM1728の基本動作モード(インターフェース・フォーマット選択、ディエンファシス等)は全てハードウェア設定で行うことができます。各ピンの制御と機能を以下に示します。

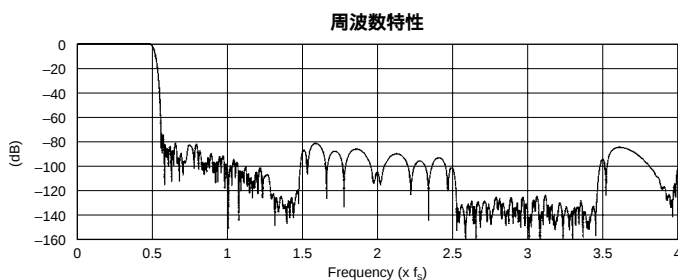
入力データ・フォーマット選択(IIS、IW1、IW0)

IIS(ピン28)、IW1(ピン24)、IW0(ピン23)の選択により、オーディオ・データ・フォーマットの選択を行います。

IIS	IW1	IW0	オーディオ・データ・フォーマット
0	0	0	16ビット、後詰め(スタンダード)
0	0	1	20ビット、後詰め
0	1	0	24ビット、後詰め
0	1	1	24ビット、前詰め
1	0	0	16ビット、IIS
1	0	1	24ビット、IIS
1	1	0	Reserved
1	1	1	Reserved

デジタルフィルタ特性

ディエンファシス = OFF



ソフトミュート制御(MUTE)

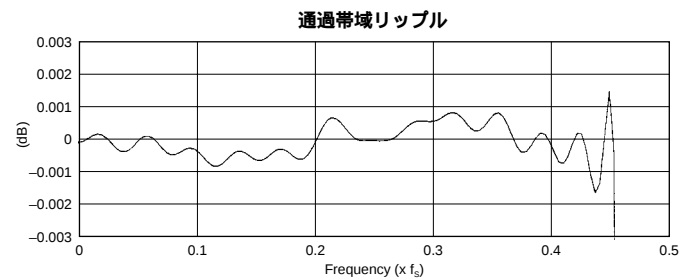
MUTE(ピン25)によりソフトミュートのON/OFFの制御を行います。

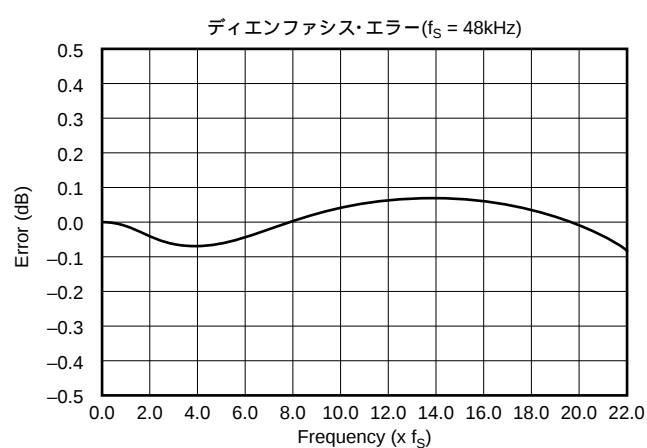
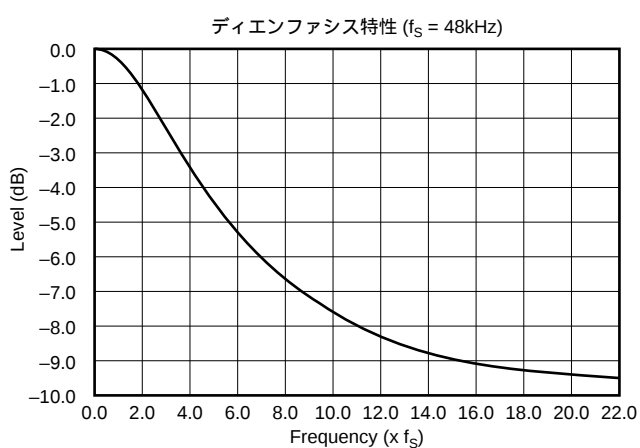
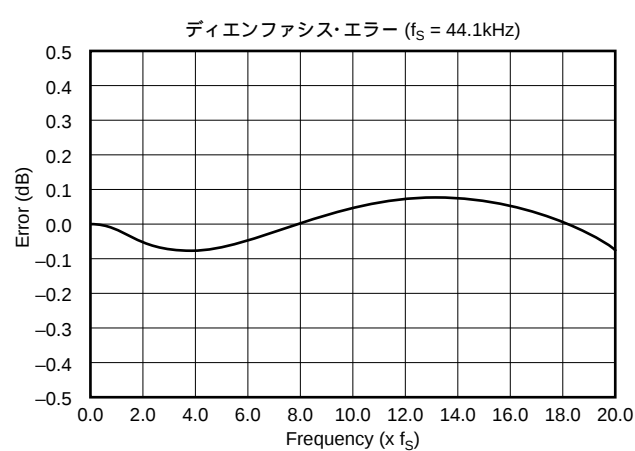
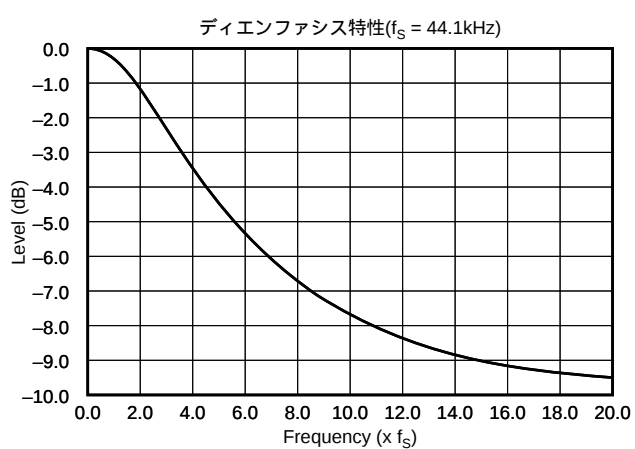
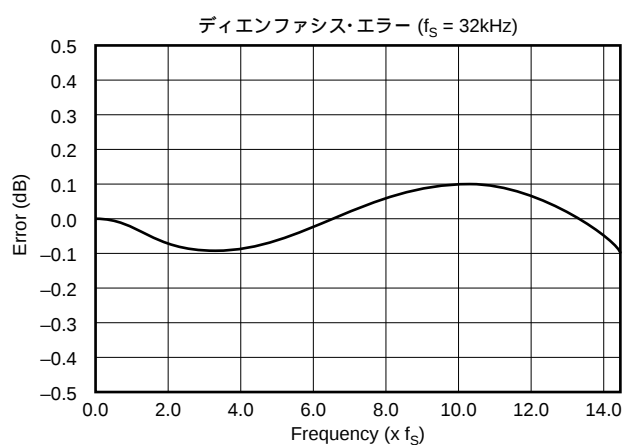
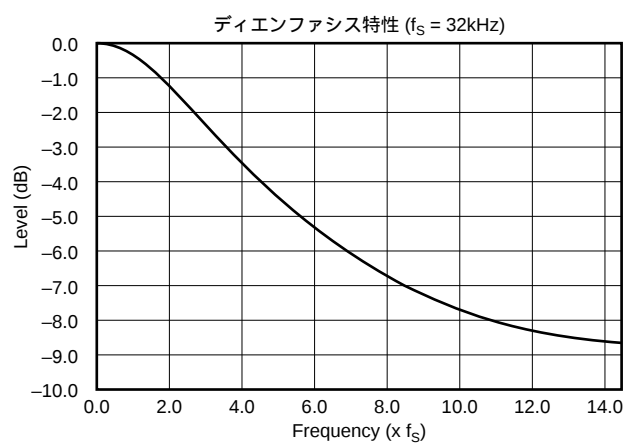
MUTE(ピン25)	ソフトミュート
L	ミュートON
H	ミュートOFF(通常動作)

ディエンファシス制御(DM1、DM0)

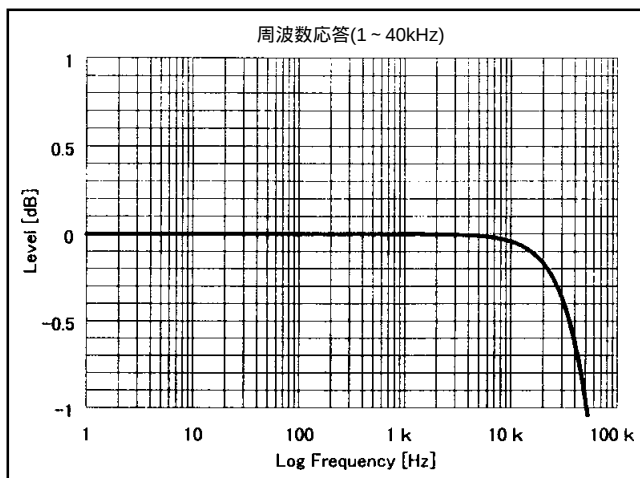
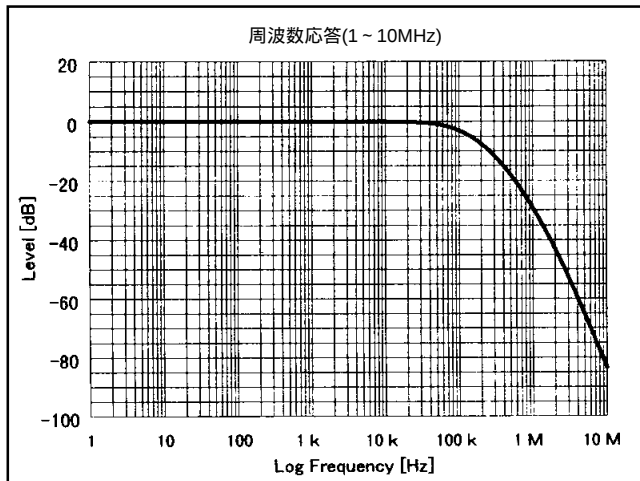
DM1(ピン27)、DM0(ピン26)の設定により、ディエンファシスの制御を行います。

DM1(ピン27)	DM0(ピン26)	ディエンファシス
L	L	OFF
L	H	48kHz
H	L	44.1kHz
H	H	32kHz





内蔵アナログフィルタ特性



ソフトミュート・オペレーション

PCM1728の動作モード(ソフトウェア・モード/ハードウェア・モード)に関わらず、ソフトミュートON時は両チャンネルのアナログ出力を $-\infty$ にまでアッテネートします。ハードウェア・モード時は、アッテネータの設定は機能していないため、ソフトミュートONで0dBから $-\infty$ まで256/ f_s 時間でミュートします。ソフトミュートOFFでは逆に、 $-\infty$ から0dBまで同様に変化します。ソフトウェア・モード時も基本動作は同じですが、アッテネータ機能を選択し、ある値にアッテネータ値を設定している場合は、そのアッテネータ値と $-\infty$ の間でミュート量が変化します。これらのソフトミュートでのミュート量変化の様子を図12に示します。

CLKO負荷

システム・クロックをPCM1728でクリスタル発振させ、その発振クロックをCLKO端子から外部に供給する場合は、必ずバッファを介してクロックを外部に供給して下さい。CLKO出力の負荷電流が増えるとアナログ部のダイナミック特性に影響することがあります。PCM1728の優れた高性能を発揮させるため、CLKOの負荷には注意して下さい。

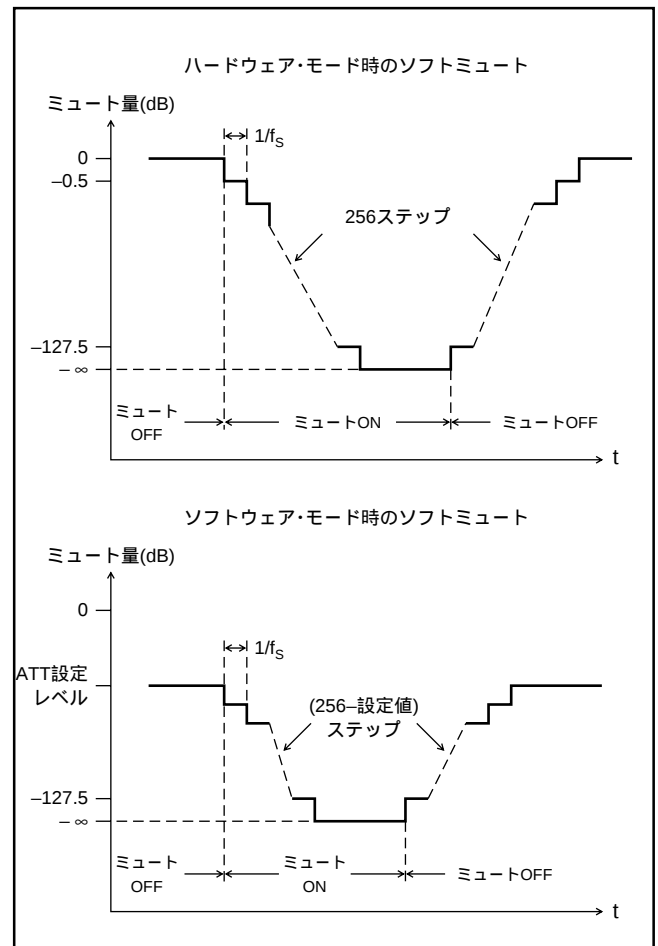


図12. ソフトミュートでのミュート量変化の様子

ダイナミック特性とテスト条件

PCM1728は、32kHz、44.1kHz、48kHzといった標準的なサンプリング・レート(f_s)と、DVD等での96kHzサンプリング・レートに対応可能ですが、実アプリケーションにおいては、ナイキスト定理に基づいた出力ポストLPFの設定とダイナミック特性テスト時の帯域制限について十分考察しなければなりません。

PCM1728のすべてのダイナミック特性は、現行のEIAJにおけるCDプレーヤの測定方法で用いられる20kHz帯域制限条件でテストされ、仕様を保証しています。これは、 $f_s = 44.1\text{kHz}$ を基準にしたもので、例えば $f_s = 96\text{kHz}$ 条件におけるテスト条件の標準規格が未設定であることにもよります。

THD + N特性テストにおいては、その測定帯域条件によってTHD + Nの“+N”成分が変化します。すなわち、 $f_s = 96\text{kHz}$ でナイキスト周波数である48kHzの測定帯域でTHD + Nを測定した場合、当然+N成分は帯域が広がった分増加し、THD + N値は $f_s = 44.1\text{kHz}$ に比べて大きくなります。

PCM1728では、すべてのテストを20kHz帯域制限でテストしていますが、これはポストLPFに要求するものではなく、テストシステムに要求されるものです。実アプリケーションでの帯域外ノイズは、デジタルフィルタの阻止帯域減衰量でサンプリング・スペクトラムの抑圧レベルが決定され、デルタ・シグマ変調特性で量子化雑音レベルが決定されます。PCM1728の内蔵アナログフィルタは100kHz付近まで周波数特性を伸ばしているため、 $f_s = 96\text{kHz}$ 条件にも対応できます。

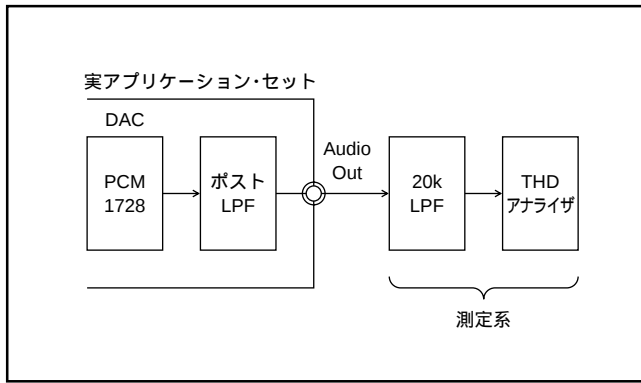


図13. THDテスト条件

図14にPCM1728の応用接続図(外部システム・クロック入力)を示します。 C_1 から C_4 のバイパス・コンデンサはできる限りピンに最短距離で接続し、各電源グラウンドは共通接続とし、グラウンドパターンはなるべく広いベタグラウンドとします。ポストLPFは実際のアプリケーションではCR1次パッシブ、アクティブ2次から3次が一般的に用いられます。アナログ段のミュート回路制御タイミングはシステム全体との動作状況により決定されます。

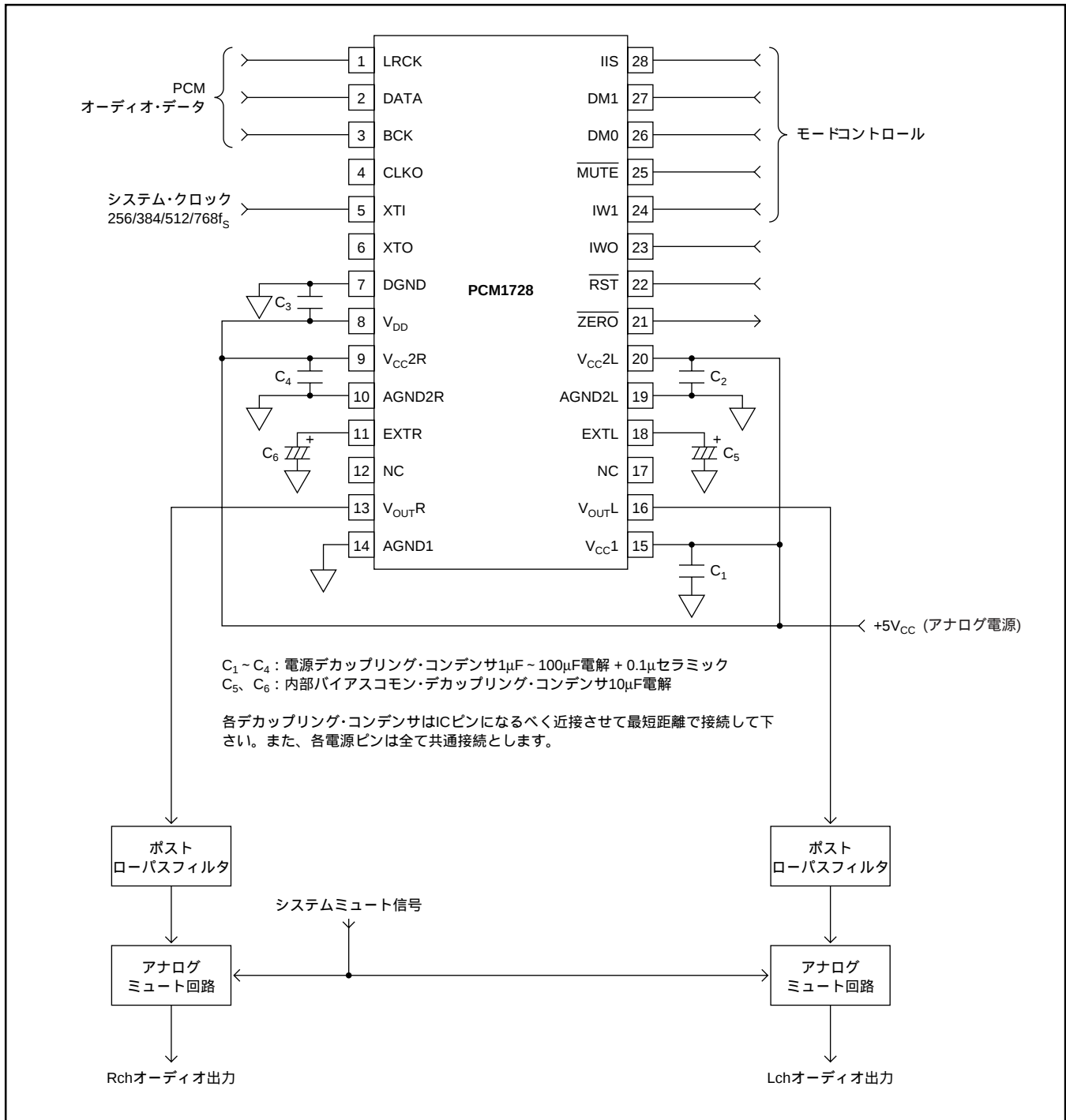
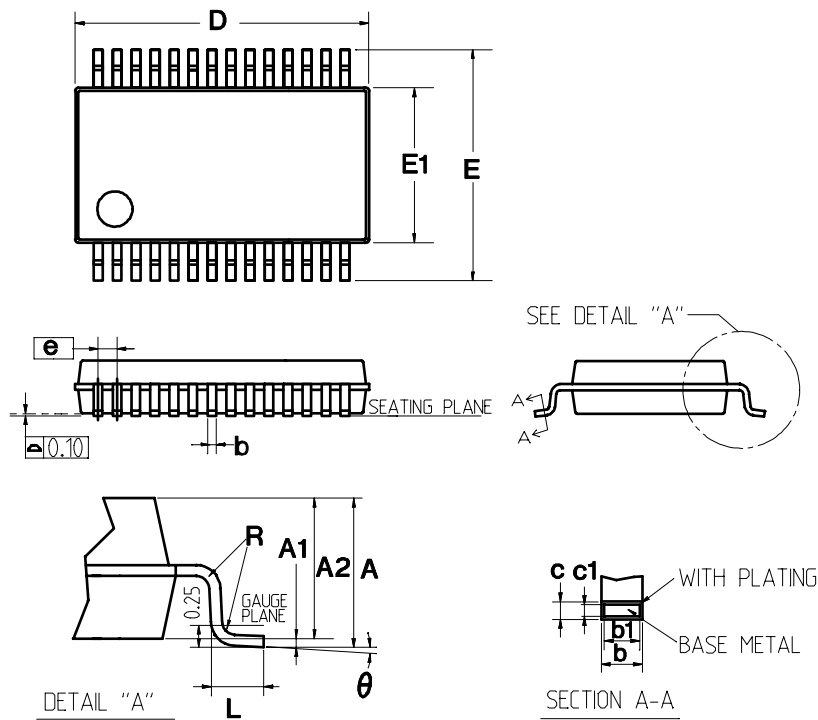


図14. PCM1728の応用接続図

外觀

28ピンSSOP



DIM	MILLIMETERS		
	MIN	TYP	MAX
A	—	—	2.13
A1	0.05	—	0.25
A2	1.62	1.75	1.88
b	0.22	—	0.38
b1	0.22	0.30	0.33
c	0.09	—	0.20
c1	0.09	0.15	0.16
D	9.90	10.20	10.50
E	7.40	7.80	8.20
E1	5.00	5.30	5.60
e	—	0.65 BSC	—
L	0.63	0.90	1.03
R	0.09	—	—
θ	0°	4°	8°