



SoundPlus™

ステレオ・オーディオ D/A コンバータ

特 長

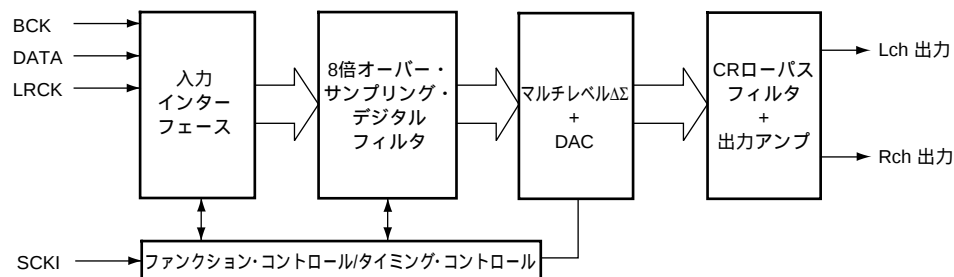
- マルチレベル・デルタ・シグマ方式
- 高性能
 THD+N: 0.007% (標準)
 ダイナミックレンジ: 95dB (標準)
 S/N比: 97dB (標準)
- 2ch同位相電圧出力
 $V_O = 0.62 \times V_{CC} (V_{p-p})$
- 広サンプリング・レート f_s 対応 (16kHz ~ 96kHz)
- システム・クロック: 256 f_s /384 f_s 対応
- 8倍オーバー・サンプリング・デジタル
 フィルタ内蔵
- 2次アナログ・ローパスフィルタ内蔵
- デジタル・ディエンファシス(f_s 44.1kHz)
- 5V単一電源動作
- パッケージ: 小型14ピンSOP

概 要

PCM1725は、バー・ブラウンが誇るマルチレベル・デルタ・シグマ方式DACにデジタルフィルタと出力オペアンプを1チップにコンビネーションさせた、ステレオCMOSデルタ・シグマ型ハイ・コストパフォーマンスD/Aコンバータです。

PCM1725は、16kHzから96kHzのサンプリング・レートに対応でき、システム・クロックは256 f_s /384 f_s のいずれも動作可能で、256 f_s /384 f_s の自動選択機能を内蔵しています。入力デジタル・データは、16ビット、スタンダード/IISフォーマットのいずれにも対応できます。

PCM1725の電源電圧は、単一5Vで動作可能であり、小型14ピンSOP、高性能特性とあわせて、CD-DA、CD-ROM、CD-I、MPEG応用製品、セット・トップ・ボックス、カー・オーディオ、ポータブル・オーディオ、サウンドカード等広範囲なアプリケーションに用いることができます。



仕様

特に記述のない限り、T_A=+25℃、V_{CC}=5.0V、f_S=44.1kHz、SCKI=256f_S/384f_S、16ビット・データ入力、測定帯域20kHzにおけるものです。

パラメータ	条件	PCM1725U			単位
		最小	標準	最大	
分解能		16			Bits
ロジック入出力レベル					
入力ロジックレベル	V _{IH} ⁽¹⁾ V _{IL} ⁽¹⁾	2.0		0.8	VDC
入力ロジック電流	I _{IH} ⁽¹⁾ I _{IL} ⁽¹⁾			1 -120	VDC μA μA
インターフェース・フォーマット			スタンダード/IIS フォーマット選択可		
データ・フォーマット			16ビット MSBファースト 2'sコンプリ		
基準サンプリング周波数		16	44.1	96	kHz
システム・クロック周波数	256f _S /384f _S	4.096/6.144	11.2896/16.9344	24.576/36.864	MHz
DC特性					
ゲイン・エラー			±1.0	±5.0	% of FSR
ゲイン・エラー、チャンネル間ミスマッチ			±1.0	±5.0	% of FSR
バイポーラ・ゼロ誤差	V _O =1/2 V _{CC} at BPZ		±20	±50	mV
ダイナミック特性 ⁽²⁾					
THD+N	V _O =0dB(F/S) V _O =-60dB	f = 991Hz、f _S = 44.1kHz f = 991Hz、f _S = 44.1kHz	0.007 2.5	0.012	% %
ダイナミック・レンジ	f _S = 44.1kHz	EIAJ、Aウエイト	95		dB
S/N比	f _S = 44.1kHz	EIAJ、Aウエイト	97		dB
チャンネルセパレーション		f = 991Hz	95		dB
アナログ出力					
出力電圧	0dB(F/S)		0.62 V _{CC}		Vp-p
センター電圧			1/2 V _{CC}		VDC
負荷抵抗(AC負荷)		10			kΩ
デジタルフィルタ特性					
通過帯域				0.445f _S	Hz
阻止帯域		0.555f _S			Hz
通過帯域リップル				± 0.17	dB
阻止帯域減衰量		-35			dB
ディエンファシス・エラー	f _S =44.1	-0.2		+0.2	dB
群遅延			11.125/f _S		sec
内蔵アナログフィルタ特性					
-3dB帯域幅			100		kHz
通過帯域特性	f = 20kHz		-0.16		dB
電源供給					
電源電圧 V _{CC} 、V _{DD}	V _{CC}	4.5	5.0	5.5	VDC
電源電流 I _{CC} 、I _{DD}	V _{CC} = 5V、f _S = 44.1kHz		13	18	mA
消費電力 P _D	V _{CC} = 5V、f _S = 44.1kHz		65	90	mW
温度範囲					
動作		-25		+85	
保存		-55		+125	

注：(1)BCKIN、DIN、LRCIN、FORMAT、SCKIの各端子に適用。(2)20kHz帯域制限で測定。シバソク社725C(平均値モード、400Hz HPF ON、30kHz LPF ON)。

このデータシートに記載されている情報は、信頼し得るものと考えておりますが、不正確な情報や記載漏れ等に関して弊社は責任を負うものではありません。情報の使用について弊社は責任を負えませんので、各ユーザーの責任において御使用下さい。価格や仕様は予告なしに変更される場合がありますのでご了承下さい。ここに記載されているいかなる回路についても工業所有権その他の権利またはその実施権を付与したり承諾したりするものではありません。弊社は弊社製品を生命維持に関する機器またはシステムに使用することを承認または保証するものではありません。

ピン構成

ピン	名称	IN / OUT	機能
1 ⁽¹⁾	LRCIN	IN	オーディオデータ用基準サンプリング・クロック入力
2 ⁽¹⁾	DIN	IN	オーディオデータ入力
3 ⁽¹⁾	BCKIN	IN	オーディオデータ用ビット・クロック入力
4	NC	–	未接続
5	CAP	–	内部バイアス・デカップ端子
6	V _{OUT} R	OUT	Rch、アナログ電圧出力
7	GND	–	グランド
8	V _{CC}	–	電源
9	V _{OUT} L	OUT	Lch、アナログ電圧出力
10	NC	–	未接続
11	NC	–	未接続
12 ⁽¹⁾⁽²⁾	DM	IN	ディエンファシス制御 H: ディエンファシス ON L: ディエンファシス OFF
13 ⁽¹⁾⁽²⁾	FORMAT	–	オーディオデータ・フォーマット選択 H: IISフォーマット L: スタンダード・フォーマット
14	SCKI	IN	システム・クロック入力(256f _s /384f _s)

注：(1)シュミット・トリガ入力(2)内蔵プルアップ抵抗付

パッケージ情報/ご発注の手引き⁽¹⁾

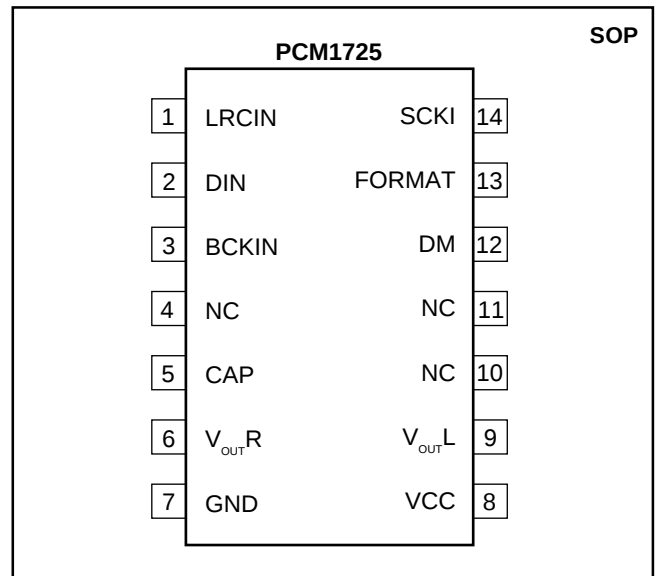
モデル	パッケージ	温度範囲
PCM1725U	14ピンSOP	–25°C ~ +85°C

注：詳細図および寸法表は、データシートの巻末を参照してください。

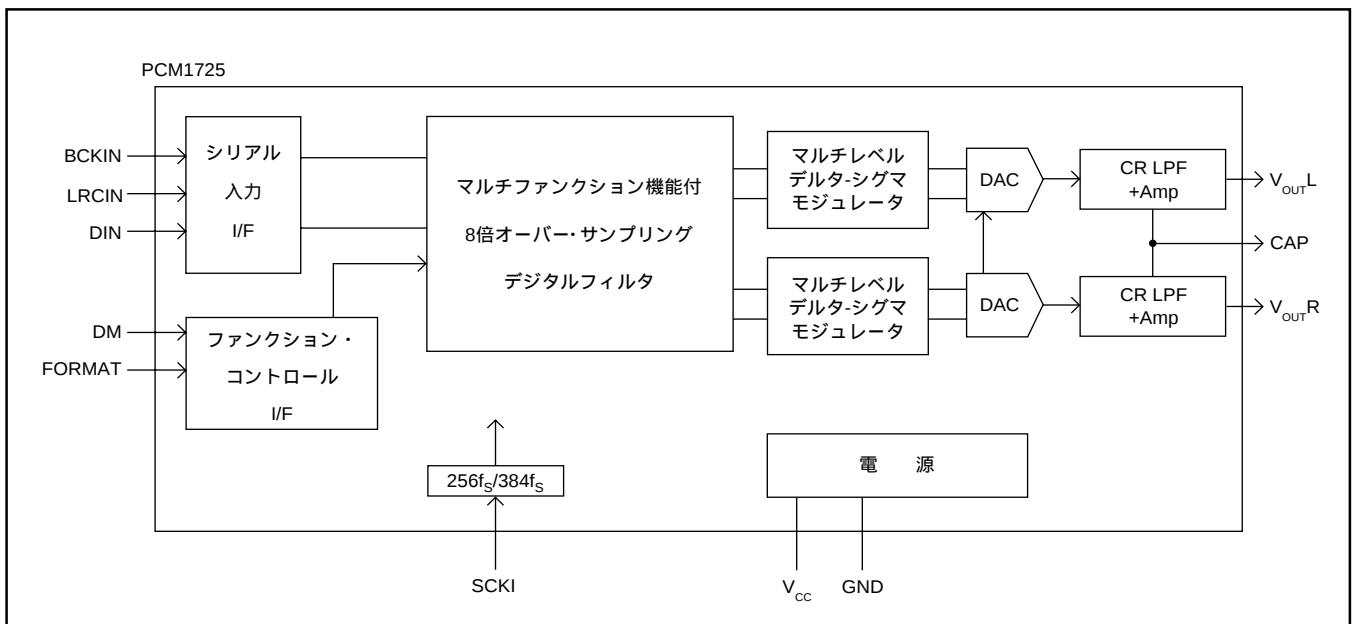
絶対最大定格

保存温度	–55 ~ +125
動作温度	–25 ~ +85
電源電圧	+6.5V
電源電圧差	±0.1V
入力電圧	–0.3V ~ V _{DD} +0.3V
入力電流(V _{CC} 、GNDピンを除く)	±10mA
消費電力	290mW
半田耐熱性	260 5秒
熱抵抗 θ_{JA}	90 /W

ピン配置

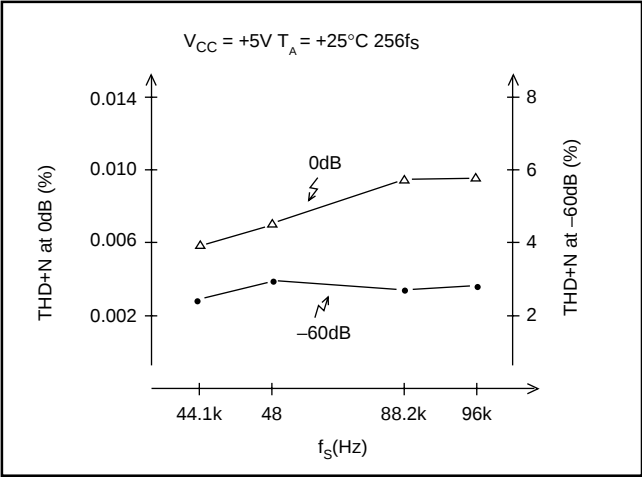


ブロック図

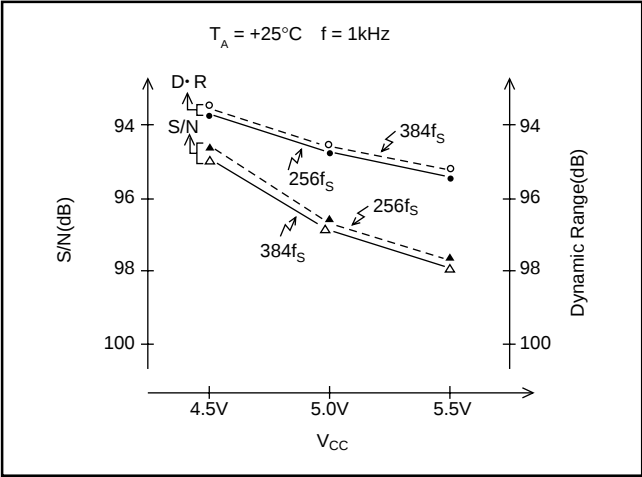


代表的性能曲線

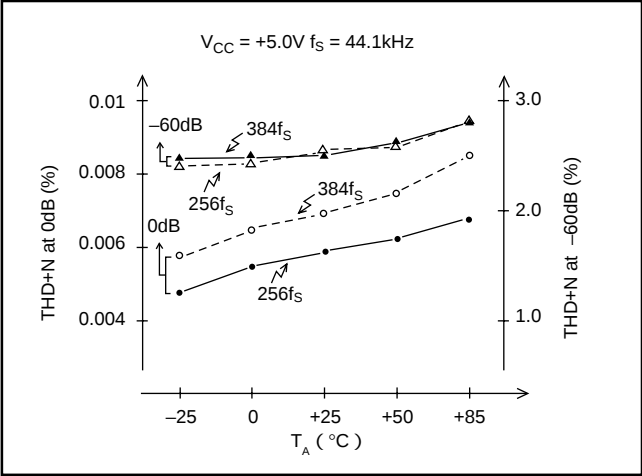
THD+Nダイナミックレンジ対サンプリング・レート f_s



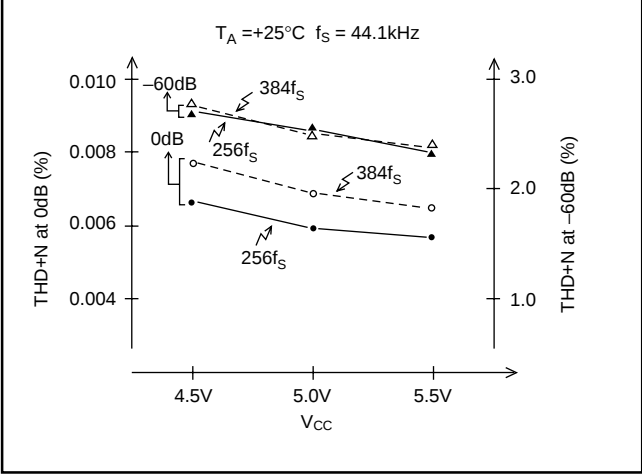
S/N比 ダイナミック・レンジ対電源電圧



THD+N 対周囲温度特性



THD+N 対 電源電圧



ΔΣセクションの動作原理

PCM1725のΔΣセクションでは、振幅方向に5レベルの分解能をもつ5レベル量子化器を用いて、5レベルのΔΣ変調を行います。デジタルフィルタでオーバー・サンプリングされた16ビットのデータは、ΔΣ変調された5レベル(0、1、2、3、4)信号に変換されます。図1に、この5レベルΔΣ変調器のブロック図を示します。ΔΣ次数は3次としていますが、一般的な1ビット(2レベル)ΔΣ変調に比べて、系の安定性および耐ジッタ性に優れています。デジタルフィルタ部とΔΣ変調部との総合オーバー・サンプリング・レートは、256f_s時では64f_s、384f_s時では96f_sとなっています。

一般的なΔΣ変調では、次数を高くすると系が不安定になる問題がありますが、PCM1725では5レベルΔΣ変調および系全体の位相補償により優れた安定性を得ています。図3に、ΔΣ変調後の量子化雑音レベルの理論スペクトラム特性(f_s=44.1kHz、システム・クロック=256f_s/384f_s、信号周波数f_{sig}=1kHz)を示します。PCM1725では、5レベルΔΣ変調により、オーディオ帯域において-120dB以上量子雑音を抑圧しています。

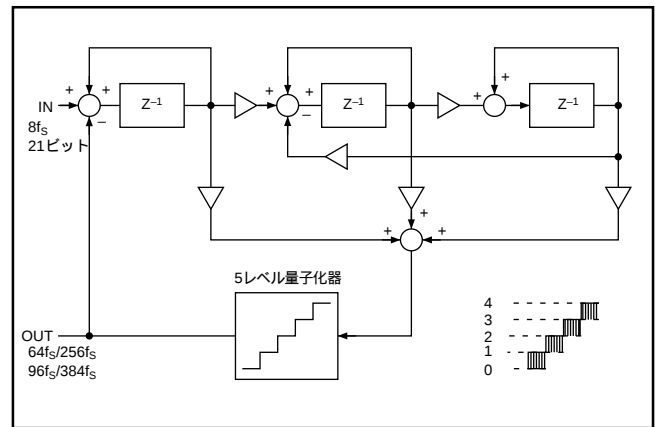


図1 . 5レベルΔΣ変調器のブロック図

マルチレベルΔΣの耐ジッタ特性

PCM1725は、5レベル量子化器の使用により、他の一般的な1ビットDACに比べてシステム・クロックのジッタ耐量に優位性を持っています。図2にシミュレーションによる、ジッタ量対ダイナミック・レンジの比較データを示します。

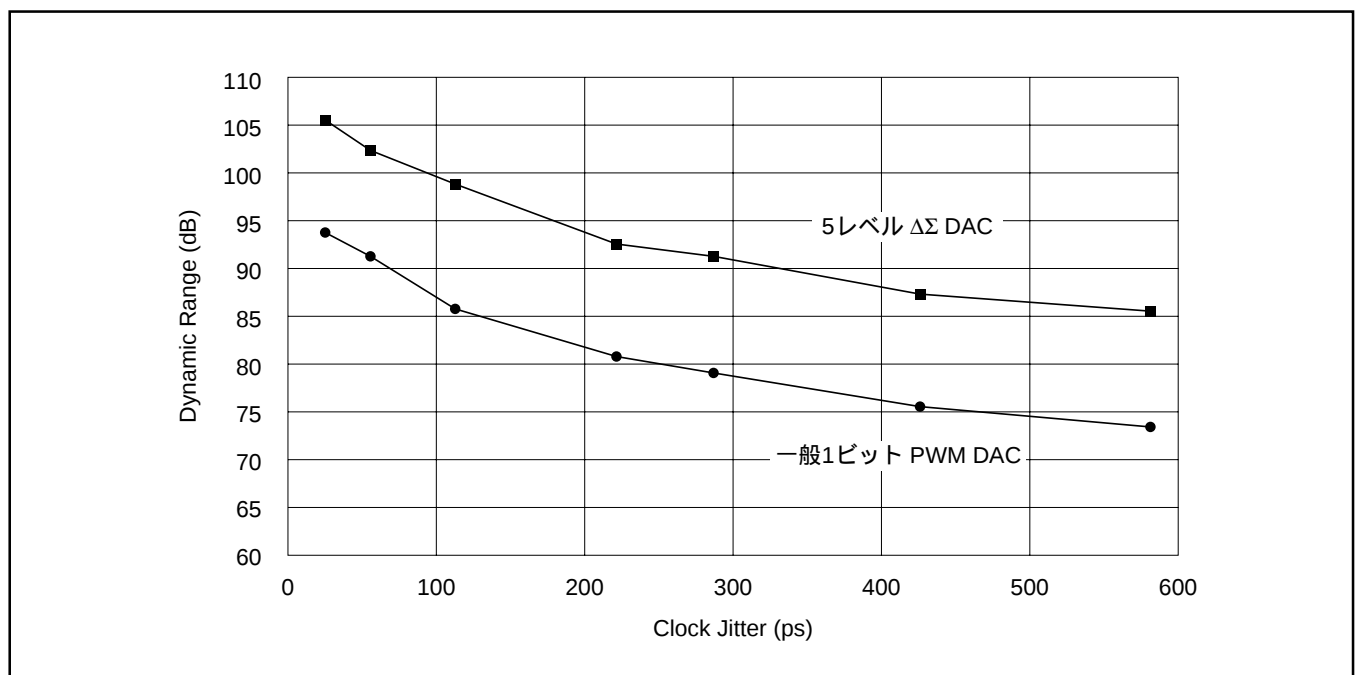


図2 . ジッタ対ダイナミック・レンジ シミュレーション・データ

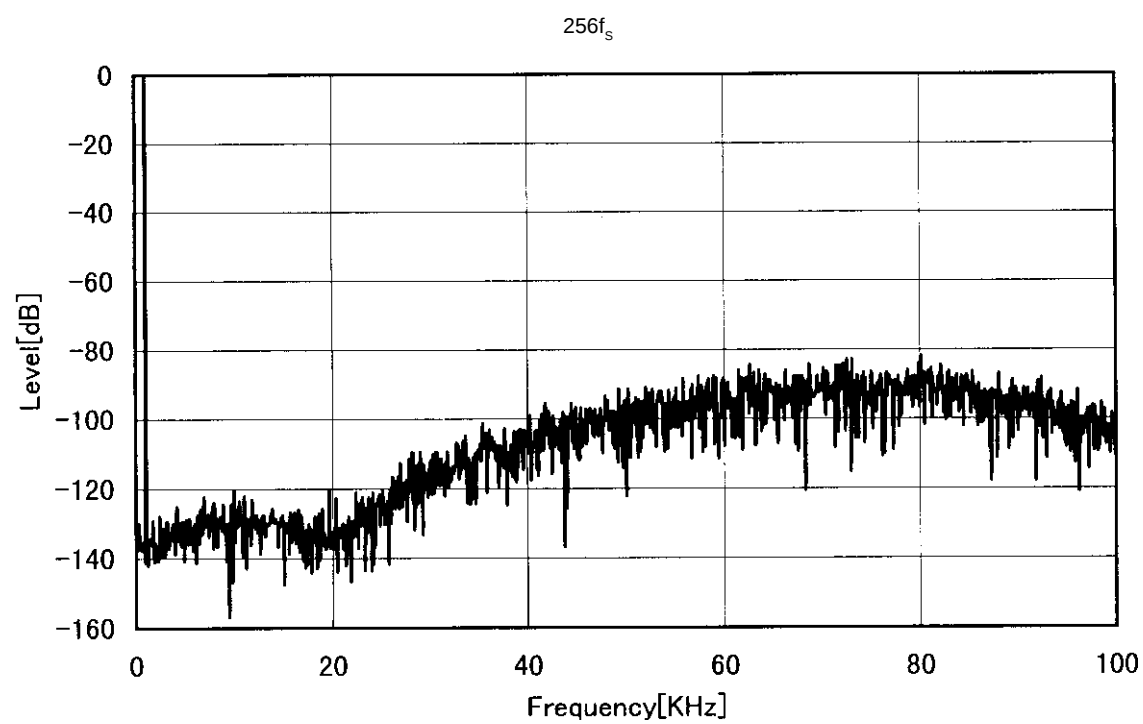
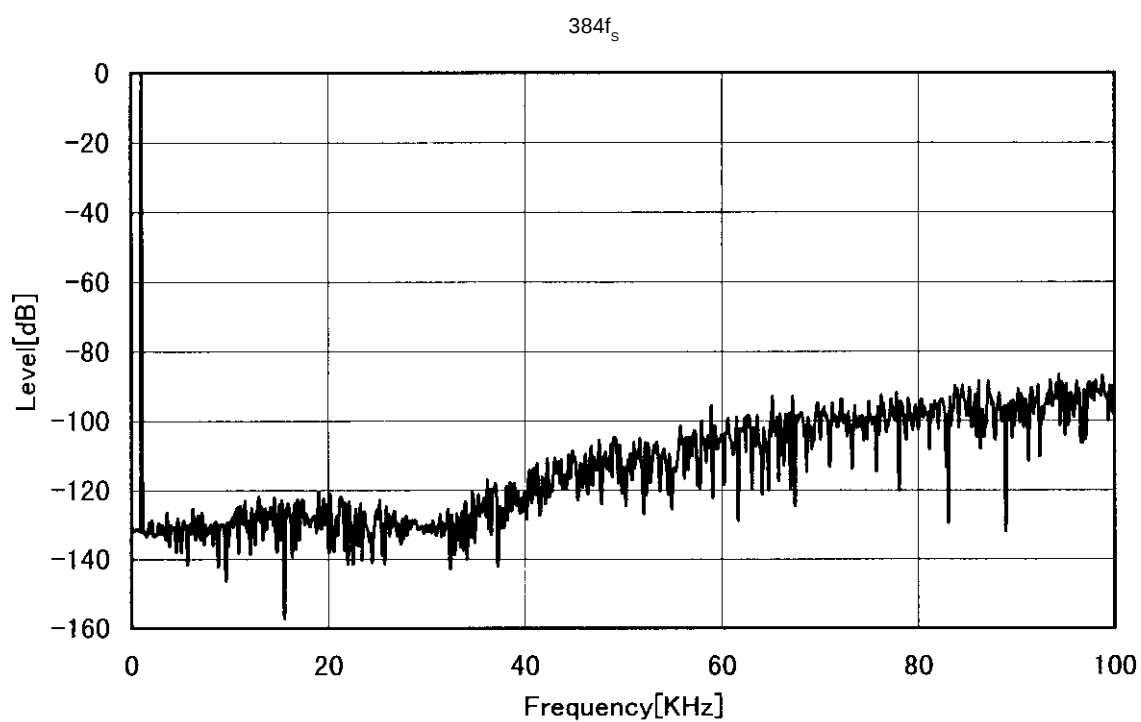


图3.量子化雑音特性

オーディオデータ・インターフェース

PCM1725は、LRCIN、DIN、BCKINにより、外部システムとインターフェースします。入力データ・フォーマットは16ビット、MSBファースト、2'sコンプリで後詰めのスタンダード・フォーマットまたはIISフォーマットの選択が可能です。データ・フォーマットとタイミング規定を図4および図5に示します。

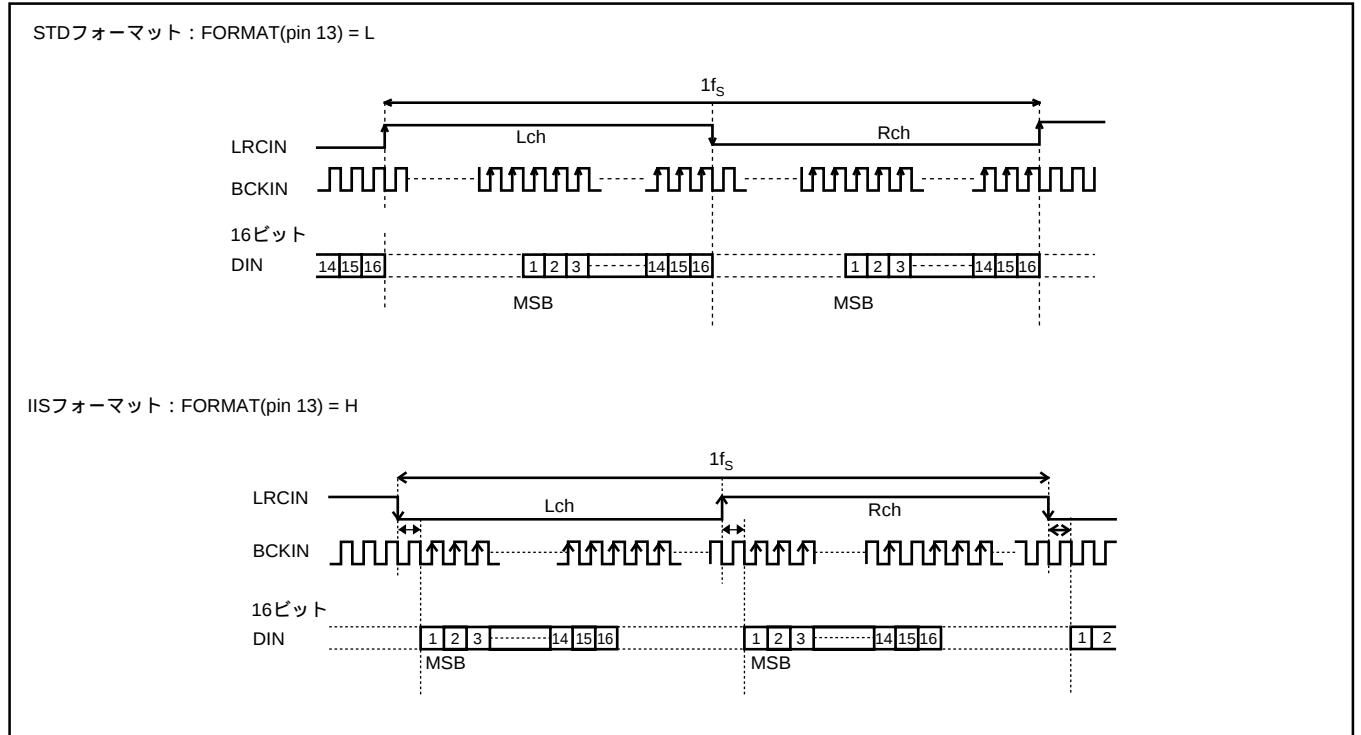


図4. オーディオデータ入力フォーマット

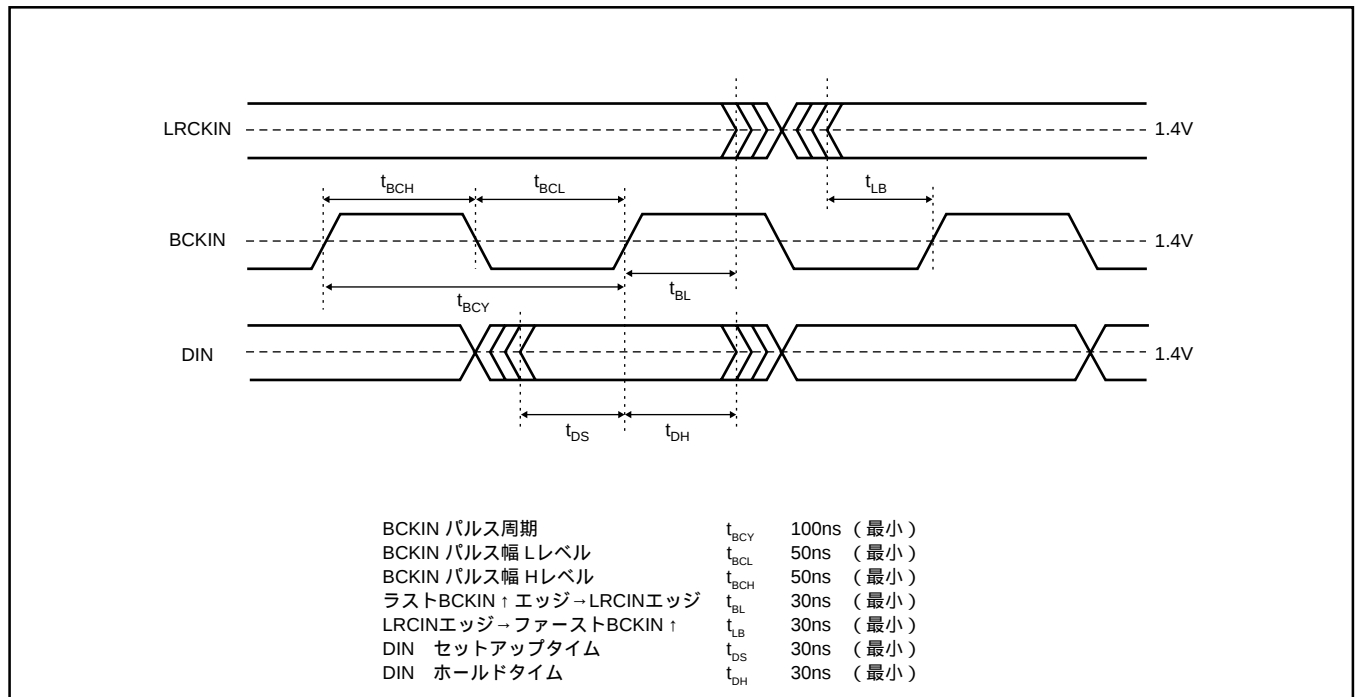


図5. 入力タイミング規定

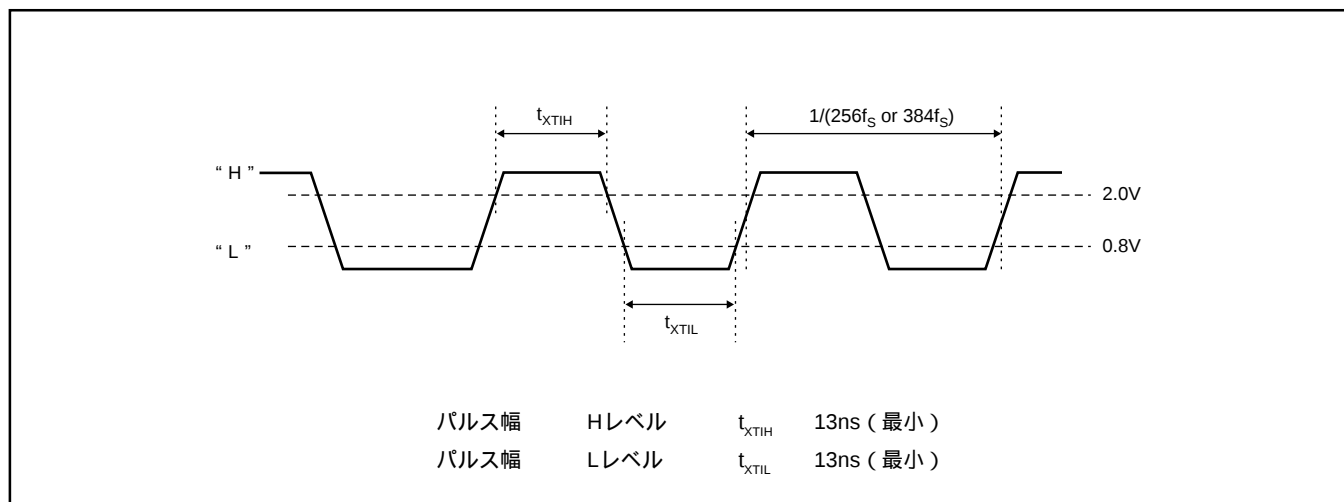


図6. PCM1725システム・クロック(外部より供給)タイミング規定

システム・クロック

PCM1725のシステム・クロックは、 $256f_s$ および $384f_s$ のいずれにも対応可能で、内部に $256f_s/384f_s$ の自動判別機能を有しているため、外部より $256f_s/384f_s$ の選択制御は必要ありません。システム・クロックはSCKI(14ピン)に外部からクロックを直接入力することができます。また、システム・クロックとLRCINクロック(基準サンプリング・レート)は同期をとる必要がありますが、位相を正確に合わせる必要はありません。PCM1725に外部よりクロックを供給する場合のタイミング規定を図6に示します。

リセット・オペレーション

PCM1725には、次に示す内蔵のパワーオン・リセット機能があります。内蔵のパワーオン・リセットは電源電圧を検知して自動的に行われます。電源投入後、電源電圧が標準 $2.2V$ ($1.8V$ から $2.6V$)を超えると、リセット動作となり、システム・クロックを1024クロックカウントした後にリセットを解除します。

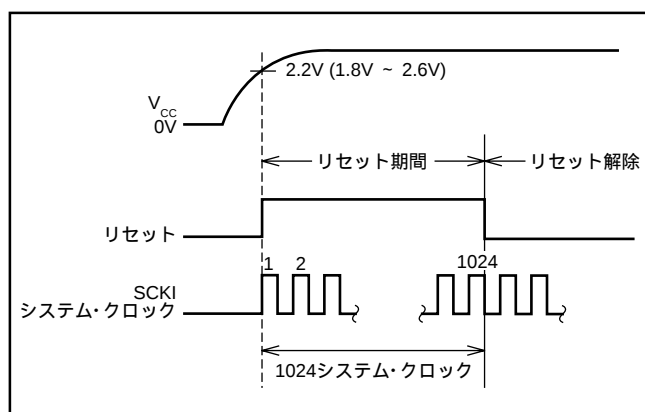


図7. パワーオン・リセット・タイミング

外部システムとの同期

PCM1725は、LRCINクロック(基準サンプリング・レート f_s)とシステム・クロック($256f_s/384f_s$)との同期関係を常時内部でモニタしています(リセット時を除く)。

LRCINクロックの1サイクル($1/f_s$)の間に256または384のシステム・クロックがあれば同期関係は成立し、正常動作します。

この両クロックの同期関係がズレた場合の動作は次のようになります。

$1/f_s$ 期間内の同期ズレ

例えば、1LRCINクロック・サイクル($1/f_s$)の間だけ瞬時にシステム・クロックが255クロック($256f_s$ に対し)や386クロック($384f_s$ に対し)となった場合、このシステム・クロックのズレ時間が ± 5 ビット・クロック(BCKIN)期間内であれば、正常動作を保ちます。ズレ時間が ± 6 ビット・クロック期間を超えると同期外れ状態となります。

f_s が変化する場合の同期ズレ

例えば、 f_s が32kHzから48kHzに変化する場合等でLRCINクロックとシステム・クロックの同期が $1/f_s$ 期間以上ズレた場合は同期外れ状態となります。

同期外れ時のDAC出力

同期状態から同期外れ状態となると、 $1/f_s$ 期間はDAC出力は不定となり、その後 $1/2V_{CC}$ (BPZ)を出力します。また、同期外れ状態から同期状態になった場合、 $11.125/f_s$ 期間DAC出力は不定となり、その後正常出力となります。

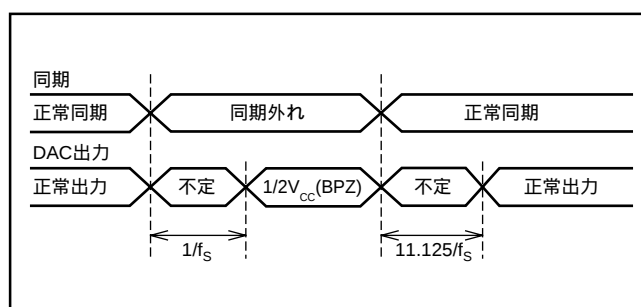


図8. 同期外れ時のDAC出力

ファンクション・コントロール

PCM1725のファンクション・コントロールを以下に示します。

FORMAT (入力データ・フォーマット選択)

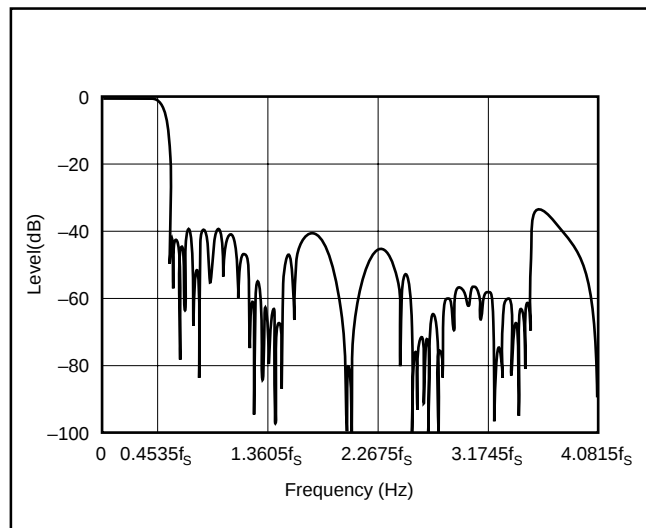
FORMAT (pin 13)	フォーマット
L	16ビット・スタンダード(右詰め)
H	IIS

DM (ディエンファシス制御)

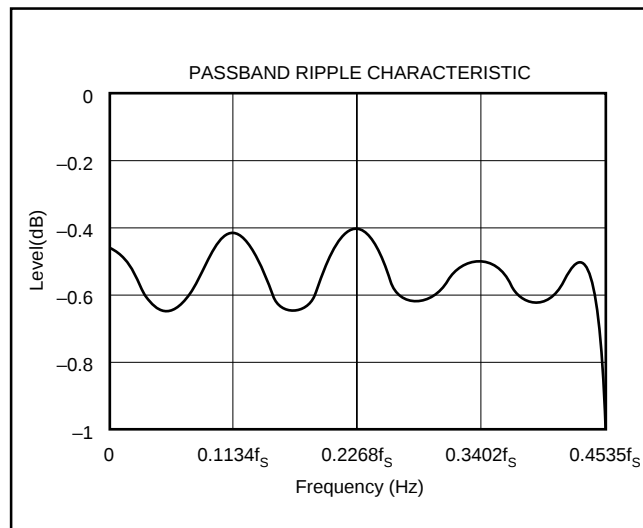
LRPL (pin 12)	ディエンファシス
L	OFF
H	ON

デジタルフィルタ特性

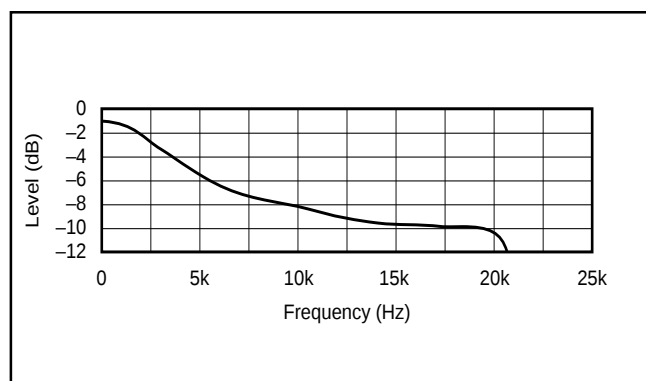
周波数特性（ディエンファシス オフ）



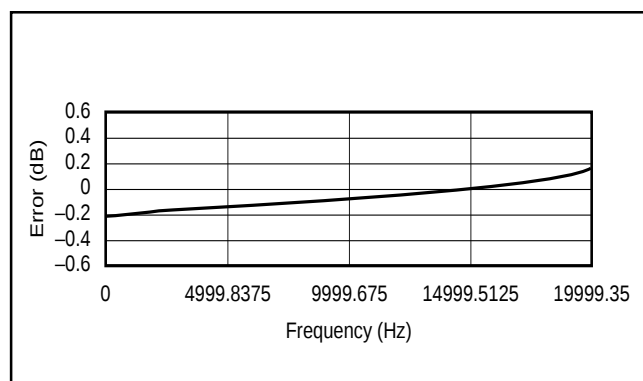
通過帯域リップル特性



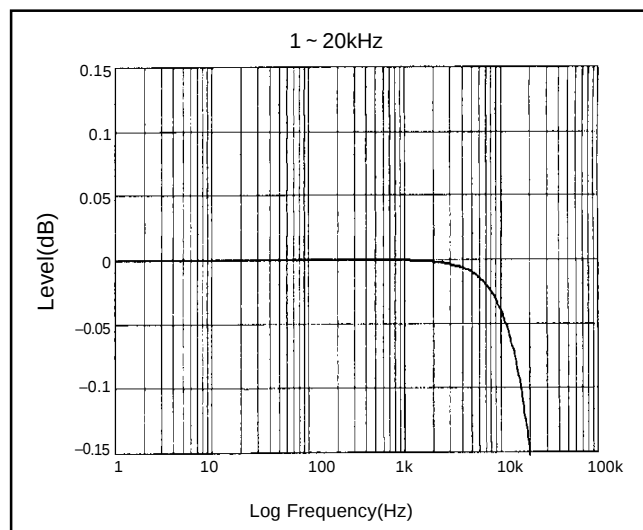
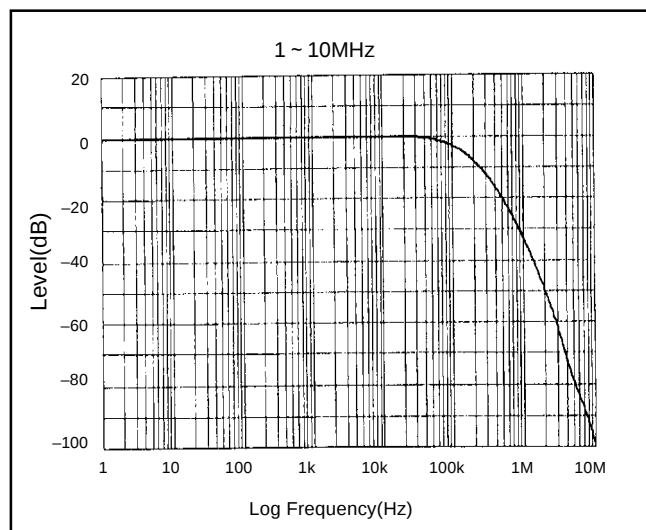
ディエンファシス特性（44.1kHz）



ディエンファシス・エラー



内蔵アナログフィルタ特性



ダイナミック特性とテスト条件

PCM1725では、32kHz、44.1kHz、48kHzといった標準的なサンプリング・レート(f_s)の他、ハーフ f_s 、ダブル f_s の広範囲なサンプリング・レートに対応可能ですが、実アプリケーションにおいては、ナイキストの定理に基づいた出力ポスト・ローパスフィルタの設定について十分考察しなければなりません。また、PCM1725の全てのダイナミック特性は、現行のEIAJにおけるCDプレーヤの測定法で用いられる20kHzの帯域制限条件でテストされています。

PCM1725の内蔵デジタルフィルタは8倍オーバー・サンプリングで阻止帯域減衰量は35dBです。したがって、出力スペクトラムは図9で示されます。

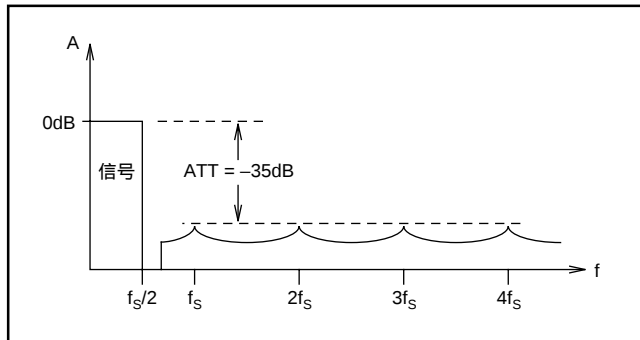


図9. デジタルフィルタによる出力スペクトラム

$f_s = 48\text{kHz}$ 、 f_{max} (最大信号周波数) = 20kHzを例にポストLPF特性による出力測定スペクトラムの差を図10に示します。図10においてLPF特性がAの場合は、測定されるスペクトラムは信号S+THDであり、THDテストにおいて、正しくTHDを測定できます。LPF特性がBまたはCの場合は、測定されるスペクトラムはS+THDにデジタルフィルタで除去しきれない残留スペクトラムP1、P2も測定してしまいます。

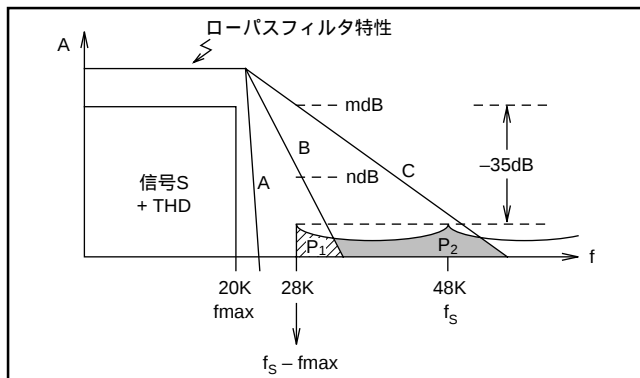


図10. THDテストとLPFの関係

($f_s - f_{\text{max}}$)における測定スペクトラムは

Bの場合、

$$S + \text{THD} + (-35\text{dB} - \text{ndB}) P1$$

Cの場合

$$S + \text{THD} + (-35\text{dB} - \text{mdB}) P1$$

これらの場合、THDテストはTHDではなく、帯域外スペクトラムを測定していることになります。

0.01%のTHDはdB換算では-80dBですから、($f_s - f_{\text{max}}$)における減衰量はDACのTHD実力値よりも大きくなければなりません。

今まで解説した通り、ダイナミック特性の正しいテストでは20kHzの帯域制限が必要です。このことは図11に示すように“測定条件”として必要なもので、

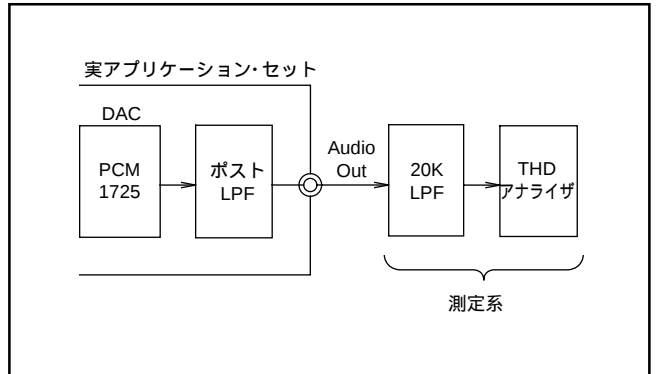


図11. THDテスト条件

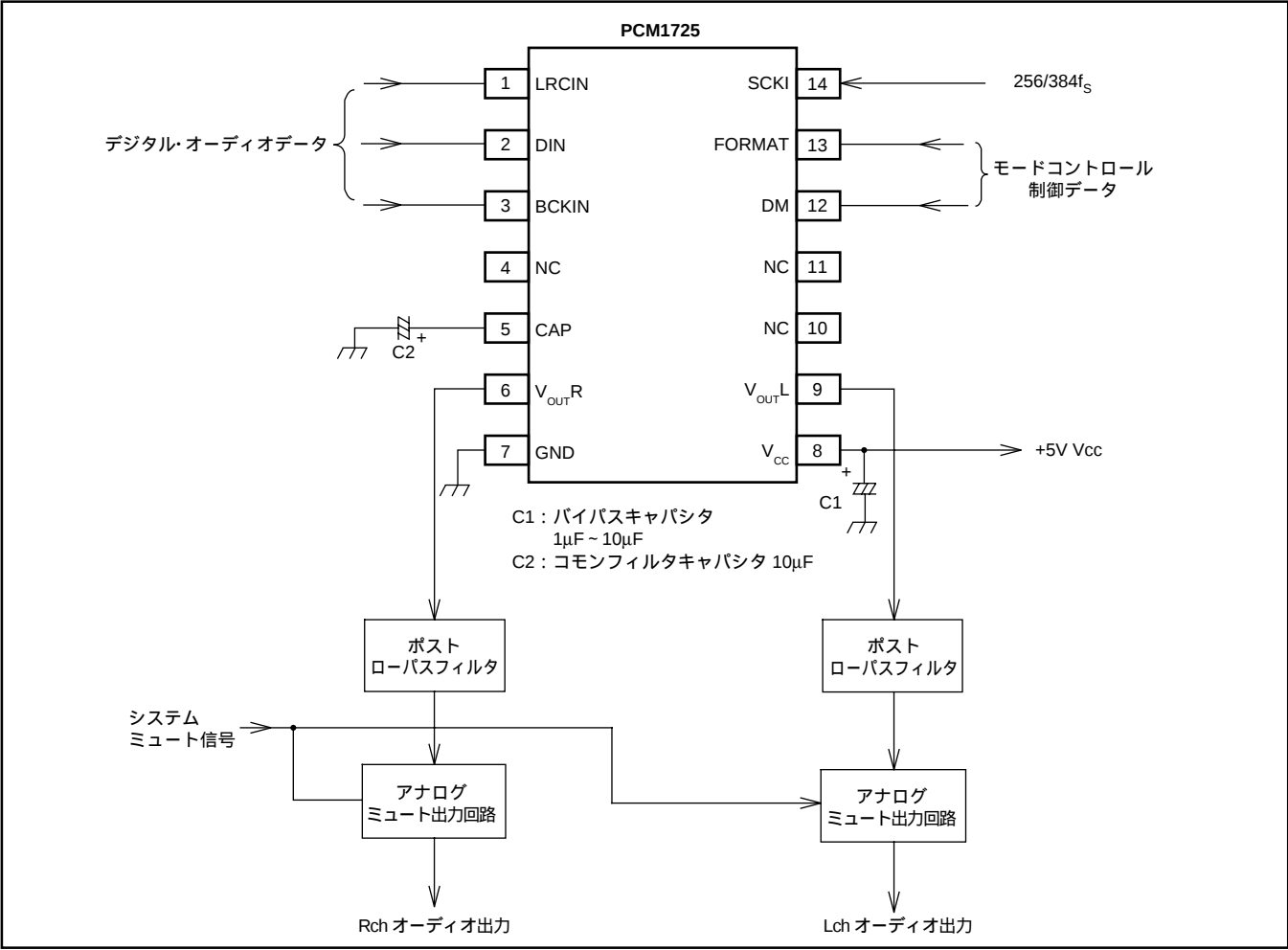
実アプリケーションのセットに要求するものではありません。実際のセットにおいては人間の聴覚上、20kHz以上のスペクトラムは聞こえないので、20kHz以上のスペクトラムに対する処理、すなわち、ポストLPFの次数、カットオフ周波数等の特性は設計者の意図により決定されるべきものです。

次にサンプリング・レート f_s が96kHz、88.2kHz、64kHzの場合ですが、ナイキスト定理による信号最大周波数 f_{max} はそれぞれ48kHz、44.1kHz、32kHzとなり、ダイナミック特性のテストにおける帯域制限も20kHzから変更すべきですが、現行ではこれらのサンプリング・レートに対する標準が無いので、PCM1725においては20kHz帯域制限条件下でテストしています。

PCM1725 応用接続図

下図にPCM1725の応用接続図を示します。バイパス・コンデンサはできる限りピンに最短距離で接続し、グランドパターンはなるべく広いベタグランドとします。また、CAP端子とコモンフィルタキャパシタC2間に200Ωの抵抗を接続することでフルスケール出力時のAC特性が向上します。

ポスト・ローパスフィルタは実際のアプリケーションでは、CR1次バッシブ、アクティブ2次から3次が一般的に用いられます。
アナログ段のミュート回路制御タイミングはシステム全体との動作状況により決定されます。



外観

