



SoundPlus™ プログラマブルPLL内蔵 ステレオ・オーディオD/Aコンバータ

特 長

- マルチレベル・デルタ-シグマ方式
- 16/20/24ビット・インターフェース可能
- 高性能
 THD+N : 0.0035%(標準)
 ダイナミックレンジ : 94dB(標準)
 S/N比 : 96dB(標準)
- 2ch同位相電圧出力
 $V_O = 0.62 \times V_{CA}(V_{PP})$
- マスター・クロック
 (内蔵PLL用基準クロック) : 27MHz
- 生成システム・クロック : $256f_s/384f_s$
- 広サンプリング・レート f_s 対応
 16/32/64 kHz
 22.05/44.1/88.2 kHz
 24/48/96 kHz
- 8倍オーバー・サンプリング・デジタルフィルタ内蔵
- マルチファンクション
 デジタル・ディエンファシス
 ソフトミュート
 アッテネータ(256ステップ、L/R独立制御可)
 アナログ出力モード選択機能(16通り)
- 2次アナログ・ローパスフィルタ内蔵
- 5V単一電源動作
- パッケージ : 小型24ピンSSOP

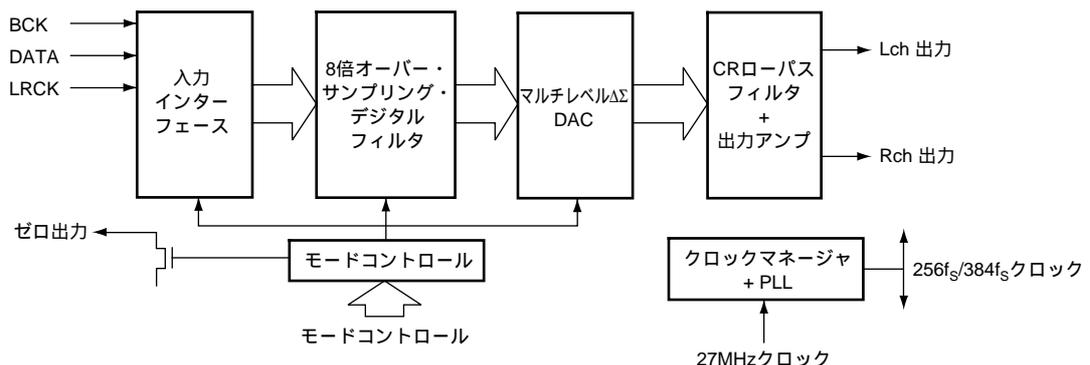
概 要

PCM1723はマルチレベル・デルタ-シグマ方式DACにデジタル・フィルタ、出力オペアンプ、さらにはMPEG2デコードに対応するシステム・クロック生成PLLを1チップにコンビネーションさせたハイ・コストパフォーマンスDACです。

PCM1723ではMPEG2デコードにおける27MHzマスター・クロックから $256f_s/384f_s$ の f_s (サンプリング・レート)に応じたシステム・クロックを生成でき、16kHzから96kHzの広範囲なサンプリング・レートに対応できます。これらのサンプリング・レートは外部からのプログラムで制御でき、DAC自体は $256f_s/384f_s$ いずれも動作可能で、 $256f_s/384f_s$ 自動選択機能を有しています。生成システム・クロックは外部にも供給可能な構成としています。

デジタルフィルタ部では、豊富なコントロール・ファンクションを持っています。L/R独立256ステップ・アッテネータ、ソフトミュート、ディエンファシス、アナログ出力モード選択機能等、実アプリケーションに応じての制御が可能です。

PCM1723は、5V単一電源で動作し、小型24ピンSSOP、高性能特性と合わせてDVD(デジタル・ビデオ・ディスク)セット・トップ・ボックス等のMPEG2応用アプリケーションを中心としたデジタル・オーディオ機器に最適なデバイスです。



仕様

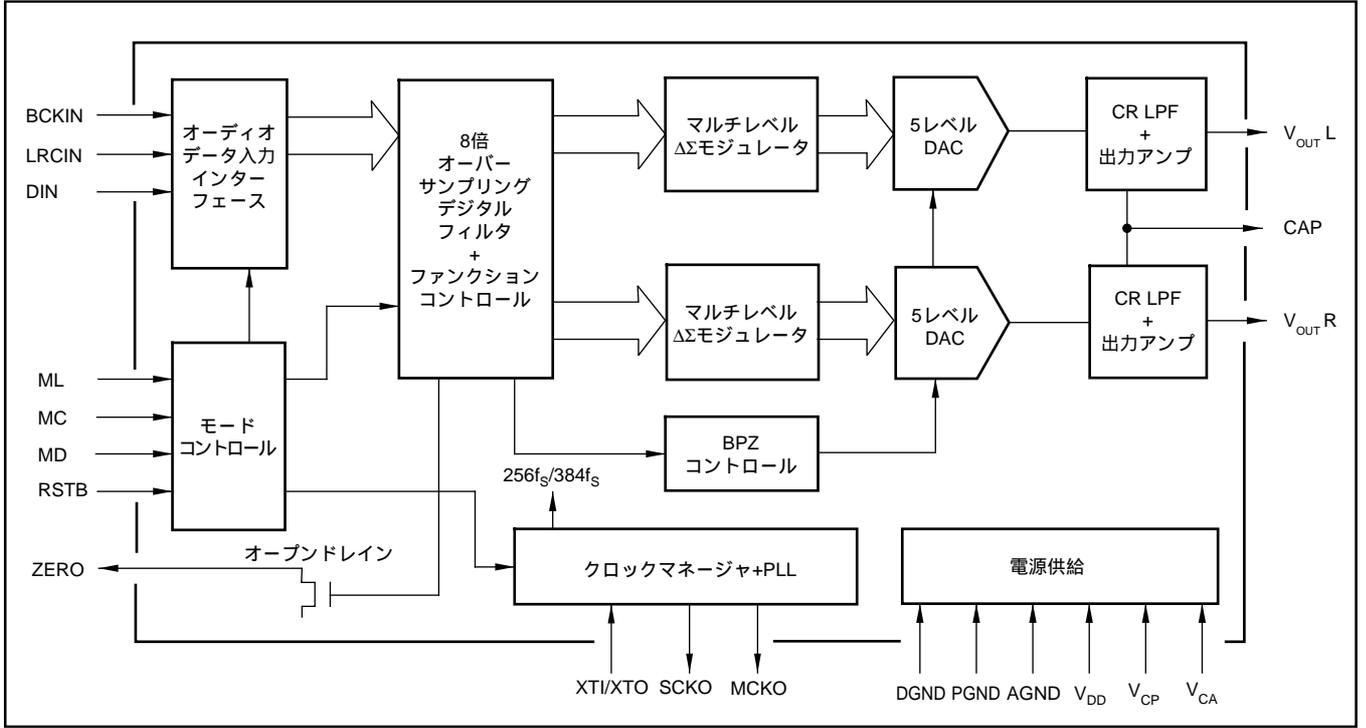
特に記述のない限り、 $T_A = +25^\circ\text{C}$ 、 $V_{CA} = V_{CP} = V_{DD} = +5.0\text{V}$ 、 $f_s = 44.1\text{kHz}$ 、 $384f_s$ 、16ビットデータ入力、測定帯域20kHzにおけるものです。

パラメータ	条件	PCM1723E			単位
		最小	標準	最大	
分解能		16			Bits
オーディオ・インターフェース・フォーマット		スタンダード/IISフォーマット選択可 16/20/24 bits、MSBファースト、2'sコンプリ TTLコンパチブル			
オーディオデータ・フォーマット					
ロジック入出力レベル					
入力ロジックレベル $V_{IH}^{(1)}$		2.0			VDC
$V_{IL}^{(1)}$				0.8	VDC
入力ロジック電流 $I_{IH}^{(1)}$				-1	μA
$I_{IL}^{(1)}$				-120	μA
出力ロジック・レベル V_{OL} (ZERO/10pin)	$I_{OL} = +5\text{mA}$			1.0	VDC
$V_{OH}^{(2)}$	$I_{OL} = 4\text{mA}$	VCD-0.4			V
$V_{OL}^{(2)}$	$I_{OH} = 2\text{mA}$			0.5	V
サンプリング周波数 f_s	標準	32	44.1	48	kHz
	ハーフ	16	22.05	24	kHz
	ダブル	64	88.2	96	kHz
マスター・クロック周波数 f_M		26.73	27	27.27	MHz
生成システム・クロック周波数	$f_M = 27\text{MHz}$		$256f_s/384f_s$		
生成システム・クロック・ジッタ ⁽³⁾	$f_M = 27\text{MHz}$		± 150		ps
生成システム・クロック・トランジェントタイム	$f_M = 27\text{MHz}$		15	20	ms
生成システム・クロック出力デューティ	$f_M = 27\text{MHz}$ 、 $C_L = 15\text{pF}$	40	50	60	%
DC特性					
ゲイン・エラー			± 1.0	± 3.0	% of FSR
ゲイン・エラー、チャンネル間ミスマッチ			± 1.0	± 2.0	% of FSR
バイポーラ・ゼロ誤差	$V_O = 1/2V_{CA}$ at BPZ		± 30		mV
ダイナミック特性 ⁽⁴⁾					
THD+N、 $V_O = 0\text{dB}$ (F/S)	$f = 991\text{Hz}$ 、 $f_s = 44.1\text{kHz}$		0.0035	0.01	%
	$f = 991\text{Hz}$ 、 $f_s = 96\text{kHz}$		0.007		%
$V_O = -60\text{dB}$	$f = 991\text{Hz}$ 、 $f_s = 44.1\text{kHz}$		2.5		%
	$f = 991\text{Hz}$ 、 $f_s = 96\text{kHz}$		2.5		%
ダイナミック・レンジ $f_s = 44.1\text{kHz}$	EIAJ、Aウエイト	90	94		dB
$f_s = 96\text{kHz}$	EIAJ、Aウエイト		94		dB
S/N比 $f_s = 44.1\text{kHz}$	EIAJ、Aウエイト	90	96		dB
$f_s = 96\text{kHz}$	EIAJ、Aウエイト		95		dB
チャンネルセパレーション	$f = 991\text{Hz}$ 、 $f_s = 44.1\text{kHz}$	90	94		dB
アナログ出力					
出力電圧			$0.62 V_{CA}$		V_{PP}
センター電圧			$1/2V_{CA}$		VDC
負荷インピーダンス (AC負荷)		5			$k\Omega$
デジタル・フィルタ特性					
通過帯域				$0.445f_s$	Hz
阻止帯域		$0.555f_s$			Hz
通過帯域内リップル				± 0.17	dB
阻止帯域減衰量		-35			dB
ディエンファシス・エラー	$f_s = 32/44.1/48\text{kHz}$	-0.2		+0.55	dB
群遅延			$11.125f_s$		sec
内蔵アナログ・フィルタ特性					
-3dB 帯域幅			100		kHz
通過帯域特性	$f = 20\text{kHz}$		-0.16		dB
電源供給					
電源電圧 V_{CA} 、 V_{CP} 、 V_{CD}	$V_{CA} = V_{CP} = V_{CD}$	4.5	5.0	5.5	VDC
電源電流 $I_{CA} + I_{CP} + I_{CD}$	$V_{CA} = V_{CP} = V_{CD} = +5\text{V}$ 、 $f_s = 44.1\text{kHz}$		20	24	mA
消費電力	$f_s = 44.1\text{kHz}$		100		mW
温度範囲					
動作		-25		+85	$^\circ\text{C}$
保存		-55		+100	$^\circ\text{C}$

注：(1) ML、MD、MC、RSTB、BCKIN、DIN、LRCINの各端子に適用。(2) SCKO/2ピン、MCKO/5ピンに適用。(3) 27MHz マスター・クロック・ジッタ1nsec以下、Standard Deviation。(4) 20kHz帯域制限条件で測定。シバソク社 # 725、400Hz HPF ON、300kHz LPF ON、AVEモード。

このデータシートに記載されている情報は、信頼し得るものと考えておりますが、不正確な情報や記載漏れ等に関して弊社は責任を負うものではありません。情報の使用について弊社は責任を負いませんので、各ユーザーの責任において御使用下さい。価格や仕様は予告なしに変更される場合がありますのでご了承下さい。ここに記載されているいかなる回路についても工業所有権その他の権利またはその実施権を付与したり承諾したりするものではありません。弊社は弊社製品を生命維持に関する機器またはシステムに使用することを承認しまたは保証するものではありません。

ブロック図

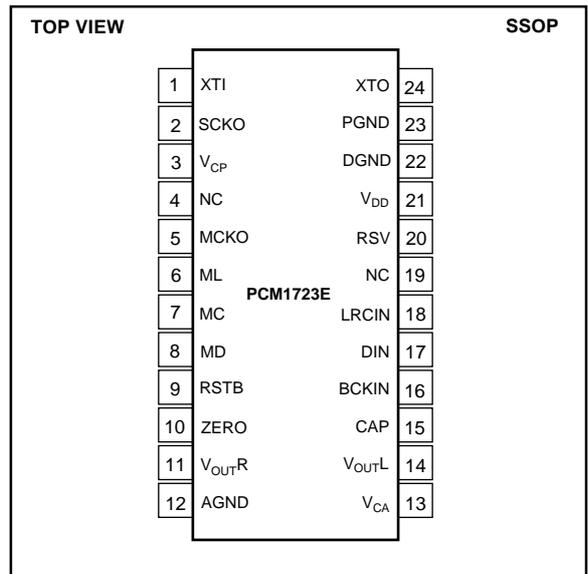


ピン構成

ピン	名称	I/O	機能
1	XTI	I	PLL部マスター・クロック入力、または27MHzクリスタル接続端子
2	SCKO	O	PLL部生成システム・クロック出力(256f _s /384f _s)
3	V _{CP}	-	PLL部電源
4	NC	I	未接続
5	MCKO	-	27MHzマスター・クロックバッファ出力
6	ML	I ⁽²⁾	シリアル制御データ、イネーブル入力
7	MC	I ⁽²⁾	シリアル制御データ、クロック入力
8	MD	I ⁽²⁾	シリアル制御データ、データ入力
9	RSTB	I ⁽²⁾	外部リセット入力、Lでリセット
10	ZERO	O	インフィニティゼロ検出出力(オープンドレイン)
11	V _{OUT R}	O	Rchアナログ・オーディオ出力
12	AGND	-	アナロググランド
13	V _{CA}	-	アナログ電源
14	V _{OUT L}	O	Lchアナログ・オーディオ出力
15	CAP	-	内部アナログコモン(バイパスコンデンサを接続)
16	BCKIN	I ⁽¹⁾	デジタル・オーディオデータ、ビットクロック入力
17	DIN	I ⁽¹⁾	デジタル・オーディオデータ、データ入力
18	LRCIN	I ⁽¹⁾	デジタル・オーディオデータ、LRCK入力(f _s)
19	NC	-	未接続。
20	RSV	-	未接続。オープンで使用して下さい。
21	V _{DD}	-	デジタル電源
22	DGND	-	デジタルグランド
23	PGND	-	PLL部グランド
24	XTO	-	27MHzクリスタル接続端子。外部クロック入力時はグランドに接続

注：(1)シュミット・トリガ入力。(2)内部プルアップ有。シュミット・トリガ入力。

ピン配置



パッケージ情報

モデル	パッケージ ⁽¹⁾
PCM1723E	24ピンSSOP

注：(1)詳細図および寸法表は、データシートの巻末を参照して下さい。

⚡ 静電気放電対策

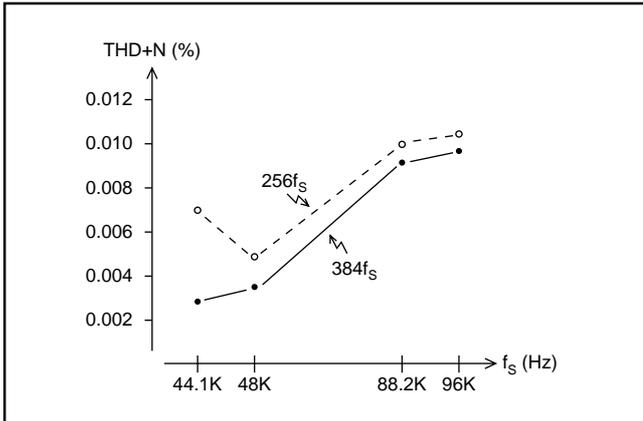
静電気放電はわずかな性能の低下から完全なデバイスの故障に至るまで、様々な損傷を与えます。すべての集積回路は、適切なESD保護方法を用いて、取扱いと保存を行うようにして下さい。高精度の集積回路は、損傷に対して敏感であり、極めてわずかなパラメータの変化により、デバイスに規定された仕様に適合しなくなる場合があります。

絶対最大定格

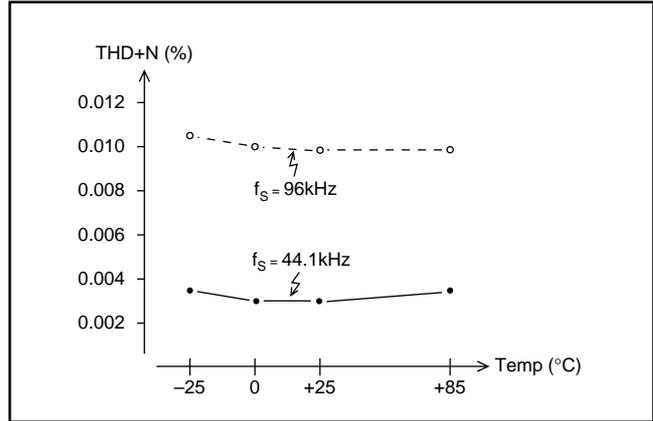
保存温度	-55 ~ +125
動作温度	-25 ~ +85
電源電圧	+6.5V
電源電圧差	±0.1V
入力電圧	-0.3V ~ V _{DD} +0.3V
入力電流(電源、グランドを除く)	±10mA
消費電力	530mW
半田耐熱性	260 5秒
熱抵抗 JA	70 /W

代表的性能曲線

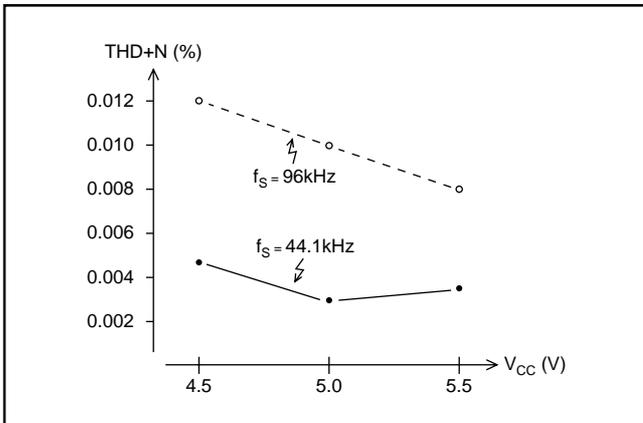
THD+N (0dB) 対サンプリング周波数 (f_s)
 $V_{CC} = 5V$, $T_A = 25^\circ C$



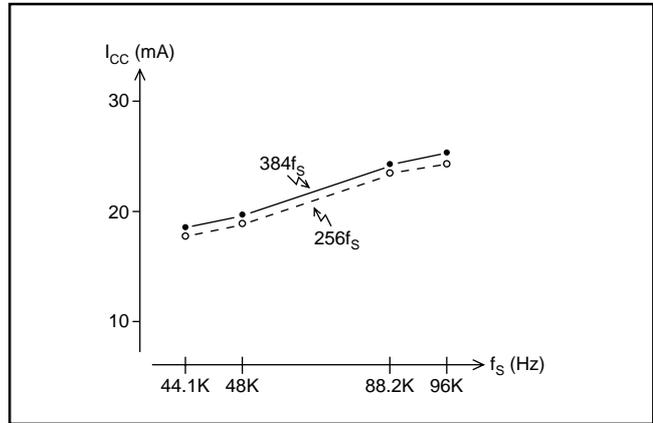
THD+N (0dB) 対周囲温度
 $V_{CC} = 5V$, $384f_s$



THD+N (0dB) 対電源電圧
 $T_A = 25^\circ C$, $384f_s$



電源電流 I_{CC} 対サンプリング周波数 (f_s)
 $V_{CC} = 5V$, $T_A = 25^\circ C$



マスター・クロックおよびPLL生成システム・クロック

PCM1723における27MHzマスター・クロックおよびPLL部による生成システム・クロックの内部構成を図1に示します。27MHzマスター・クロックはXTI端子に入力します。この時、XTO端子はグランドに接続します。また、XTI/XTO端子間に水晶を接続して27MHzマスター・クロックを発振させることもできます。PLL部では $256f_s$ または $384f_s$ のシステム・クロックを生成し、SCKO端子より出力します。DAC部のシステム・クロック入力はSCKOと内部で接続してあります。

PLL部のレスポンスタイム、すなわち、電源ON時またはXTIクロック入力からSCKOに安定したPLL生成クロックを出力するまでに要する時間は15msec(標準)です。

また、SCKO、MCKO出力は負荷を重くすると性能面に影響することがあるので、できればバッファ回路を介してインターフェースしてください。XTI端子への27MHzマスター・クロック入力条件を図3に示します。

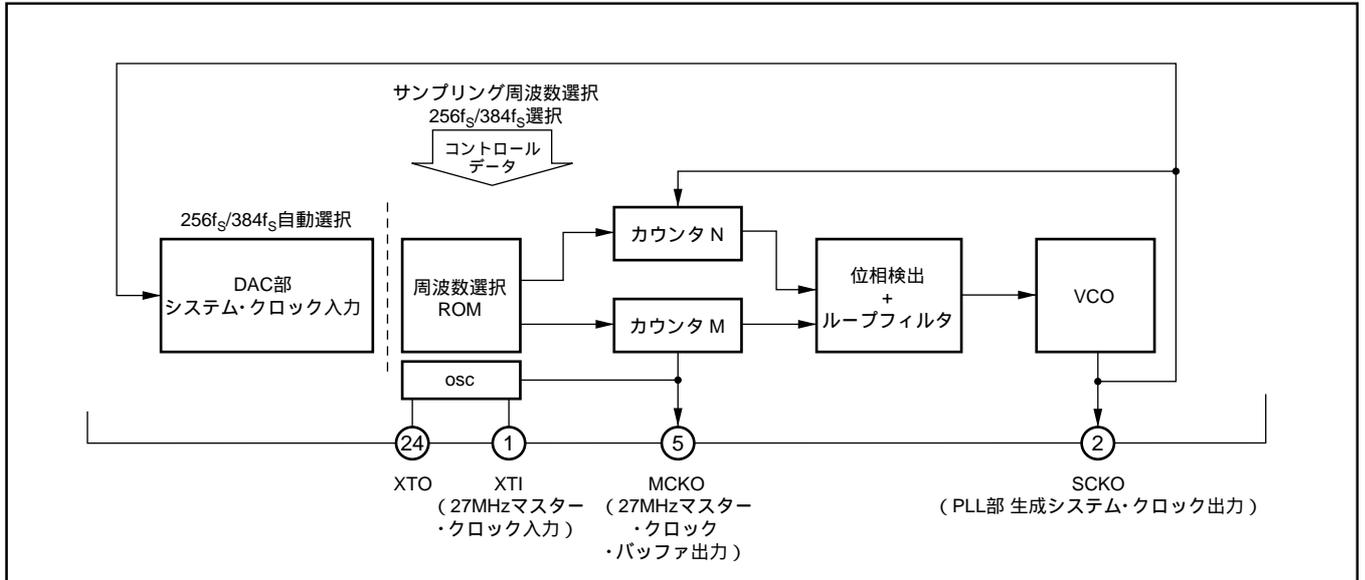


図1. マスター・クロックおよびPLLシステム・クロックの内部構成

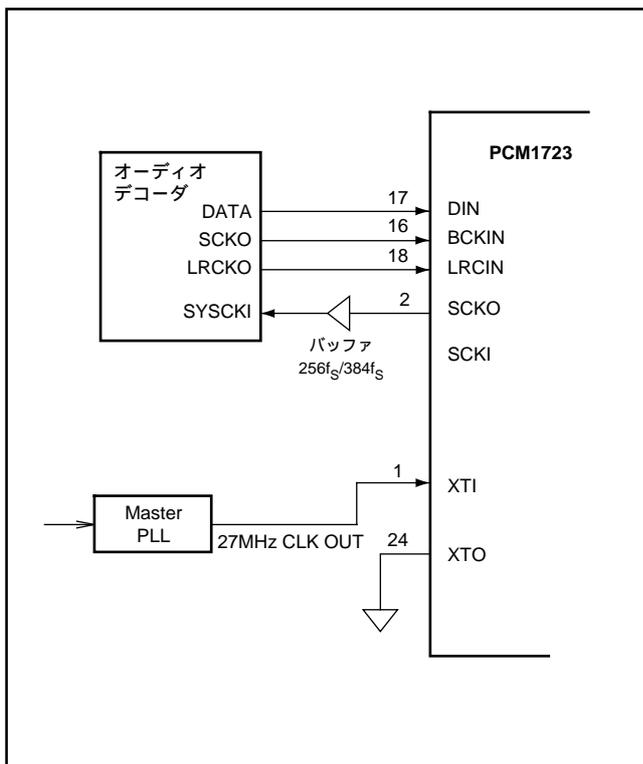


図2(a) マスター・クロックおよびデジタル部標準接続図 (外部クロック)

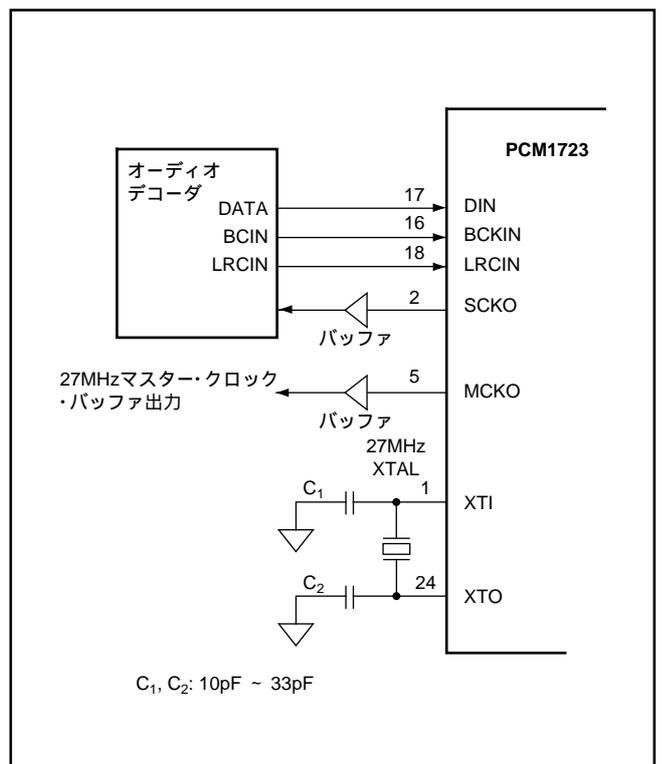


図2(b) マスター・クロックおよびデジタル部標準接続図 (水晶発振)

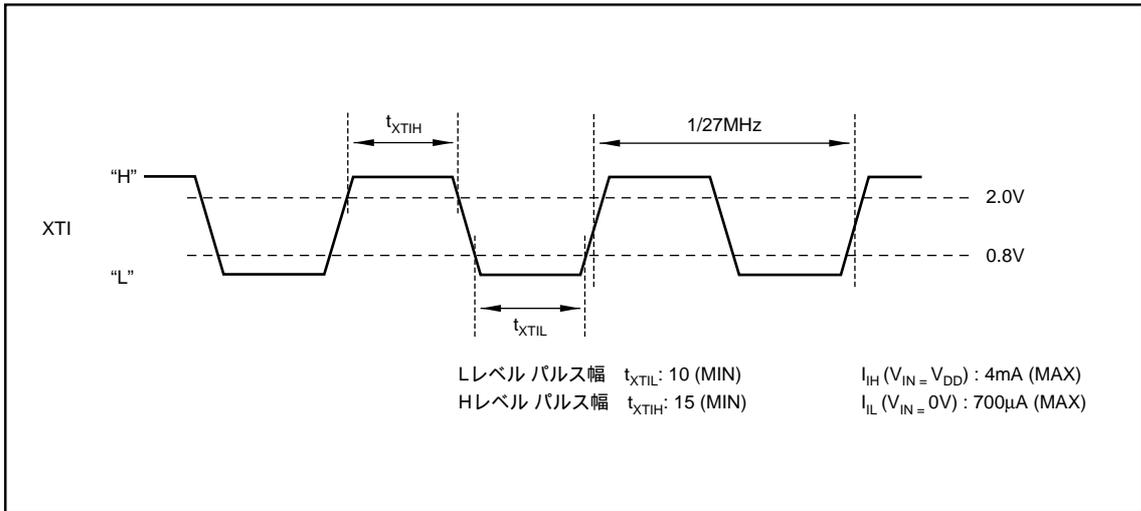


図3. PCM1723 27MHzマスター・クロックおよびシステム・クロック

生成システム・クロックとサンプリング周波数 f_s

PCM1723内蔵のPLLは極めて広範囲なシステム・クロックを27MHzマスター・クロックから生成でき、 $256f_s$ 、 $384f_s$ の選択および標準 f_s 、ハーフ f_s 、ダブル f_s の選択を外部より制御します。

表 に対応可能なサンプリング・レート f_s を示します。PLL部における生成システム・クロックは $256f_s/384f_s$ の選択、 f_s モード、 f_s の選択により表 に示す周波数となります。このPLL生成システム・クロック周波数精度は、内部PLLのカウンタ精度により決定されますが、PCM1723での生成システム・クロック周波数誤差は表 の理想値に対して $\pm 0.1\text{ppm}$ 以下であり、ほとんど計測誤差以下の値となっています。

f_s モード	サンプリング・レート f_s (kHz)		
	標準 f_s	32	44.1
ハーフ f_s	16	22.05	24
ダブル f_s	64	88.2	96

表 . サンプリング周波数対応

ハーフ f_s			標準 f_s			ダブル f_s											
256 f_s -[kHz]			384 f_s -[kHz]			256 f_s -[kHz]			384 f_s -[kHz]								
16	22.05	24	16	22.05	24	32	44.1	48	32	44.1	48	64	88.2	96	64	88.2	96
4.096	5.6448	6.144															
			6.144	8.4672	9.216												
						8.192	11.2896	12.288									
									12.288	16.934	18.432						
										16.384	22.5792	24.576					
													24.576	33.8688	36.864		

表 サンプリングレート f_s と生成システム・クロック周波数(MHz)

ΔΣセクションの動作原理

PCM1723のΔΣセクションでは、振幅方向に5レベルの分解能をもつ5レベル量子化器を用いて、5レベルのΔΣ変調を行います。デジタル・フィルタでオーバー・サンプリングされた16ビットのデータはΔΣ変調された5レベル(0、1、2、3、4)信号に変換されます。

図4に、この5レベルΔΣ変調器のブロック図を示します。ΔΣ次数は3次としていますが、一般的な1ビット(2レベル)ΔΣ変調に比べて、系の安定性および耐ジッタ性に優れています。デジタル・フィルタ部とΔΣ変調部との総合オーバー・サンプリング・レートは

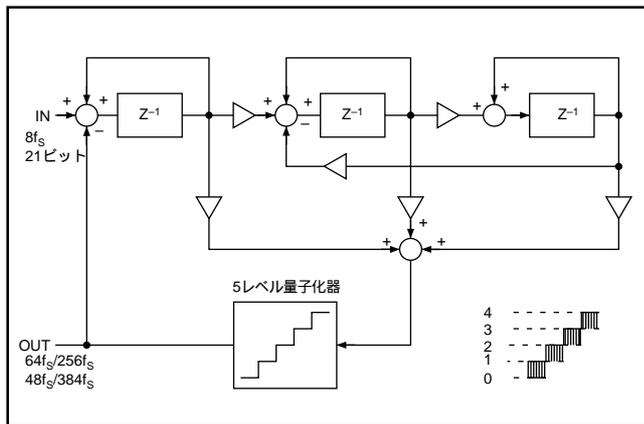


図4. 5レベルΔΣ変調器のブロック図

256fs時では64fs、384fs時では48fsとなっています。

一般的なΔΣ変調では次数を高くすると系が不安定になる問題がありますが、PCM1723では5レベルΔΣ変調および系全体の位相補償により優れた安定性を得ています。

図5に、ΔΣ変調後の量子化雑音レベルの理論スペクトラム特性 ($f_s = 44.1\text{kHz}$ 、システム・クロック = $384f_s$ 、信号周波数 $f_{\text{SIG}} = 1\text{kHz}$)を示します。PCM1723では、5レベルΔΣ変調により、オーディオ帯域において-120dB以上量子雑音を抑圧しています。

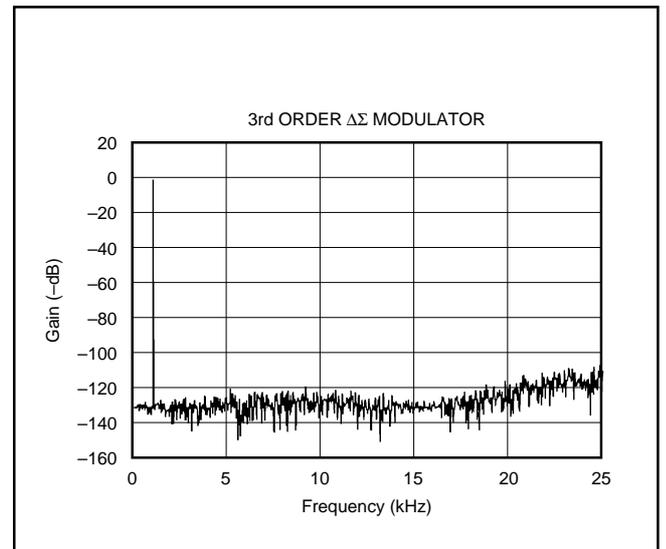


図5. 量子化雑音特性

マルチレベルΔΣの耐ジッタ特性

PCM1723は、5レベル量子化器の使用により、他の一般的な1ビットDACに比べてシステム・クロックのジッタ耐量に優位性を持っています。図6にシミュレーションによる、ジッタ量対ダイナミック・レンジの比較データを示しますが、特に内蔵PLLの低ジッタ特性とのコンビネーションにより、優れたオーディオ特性を得ることができます。

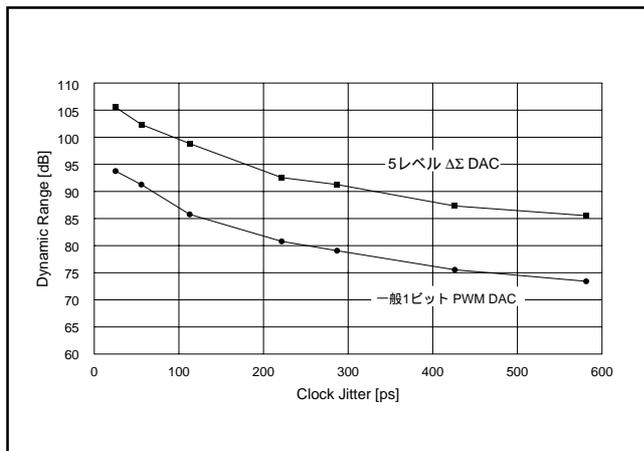


図6. ジッタ対ダイナミック・レンジ シミュレーション・データ

オーディオデータ・インターフェース

PCM1723は、LRCIN、DIN、BCKINにより、外部システムとインターフェースします。入力データ・フォーマットは16/20/24ビット、MSBファースト、2'sコンプリで、後詰めめのスタンダー

ド・フォーマットまたはIISフォーマットのいずれの組み合わせも選択が可能です。データ・フォーマット例とタイミング規定を図7および図8に示します。

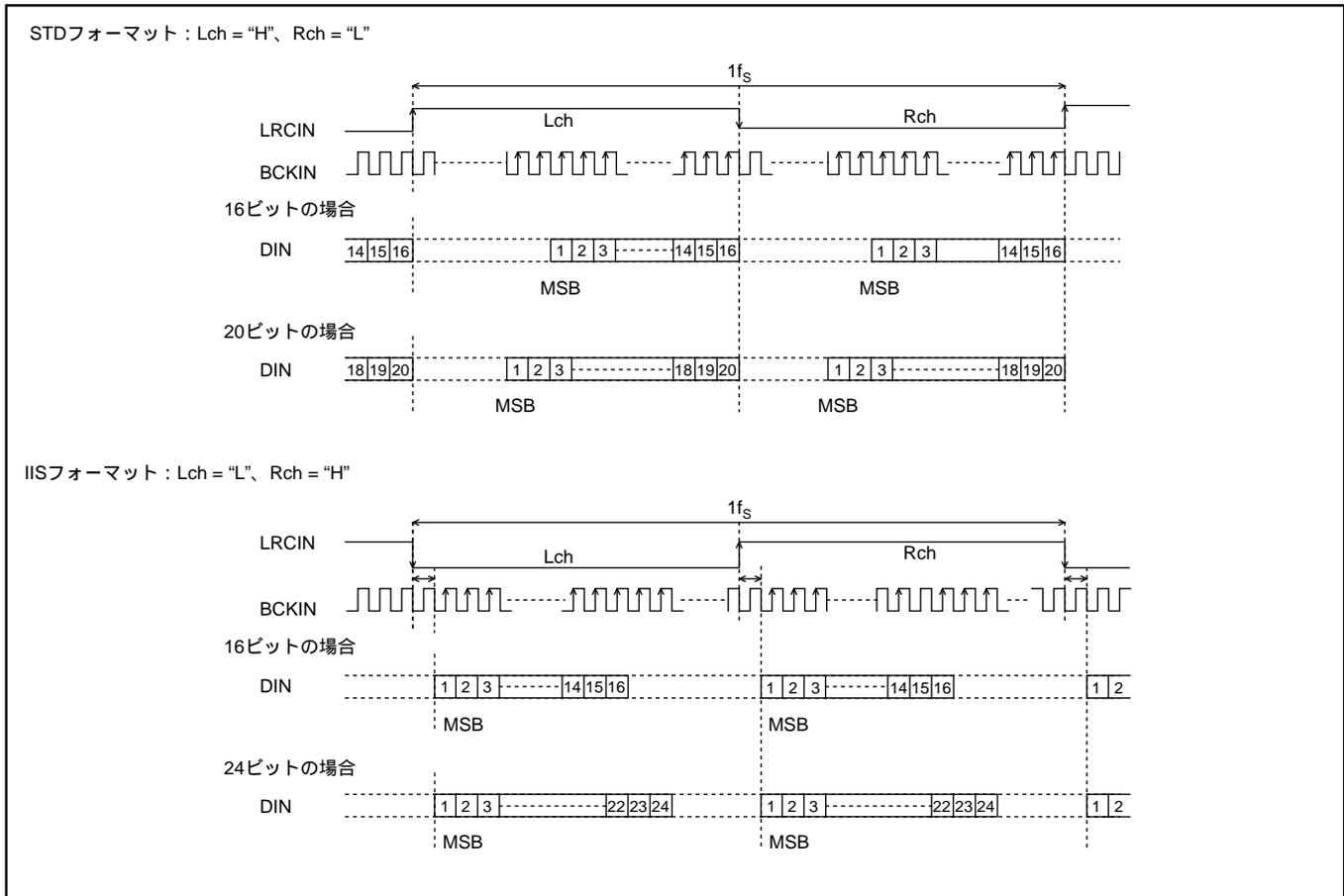


図7. オーディオデータ入力フォーマット

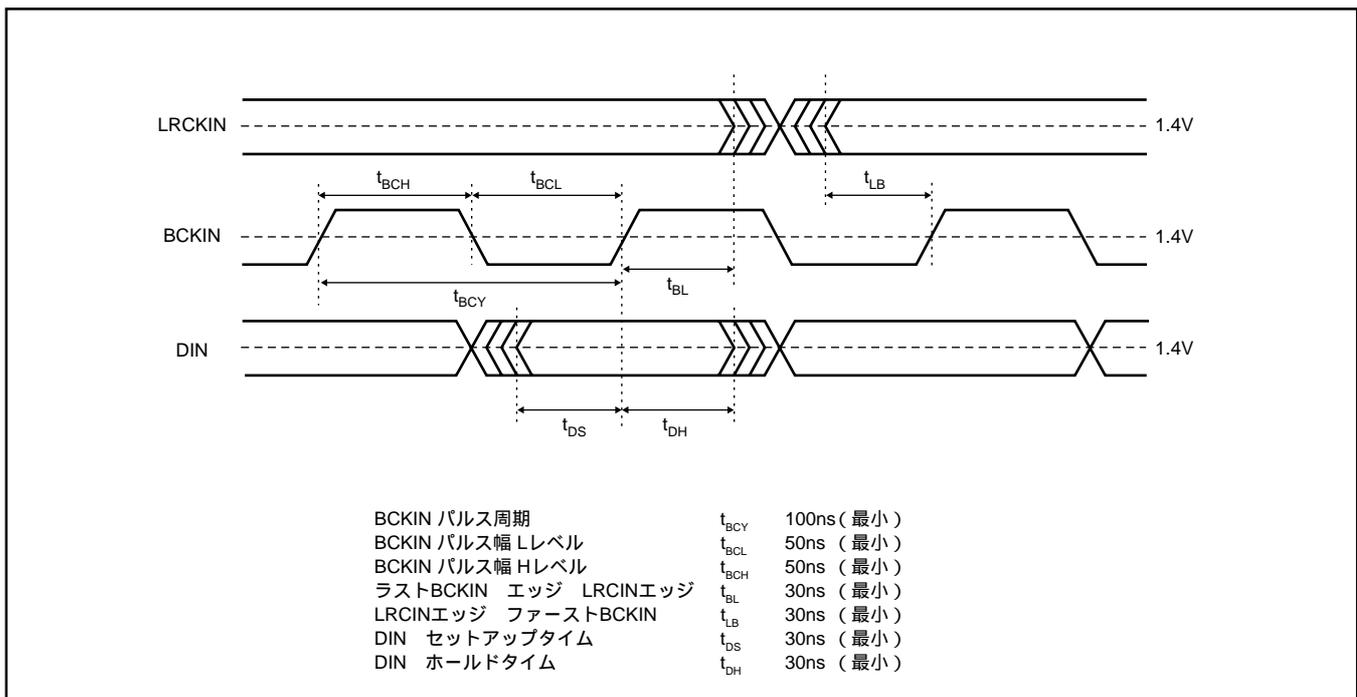


図8. 入力タイミング規定

リセット・オペレーション

PCM1723には、次に示す内蔵のパワーオン・リセットと外部からのRSTB端子制御による2種のリセットがあります。これらのリセット機能は内部動作に対しては共通になっており、同じ働きをします。

リセット時にはソフトウェア・モードにおける各コントロールのレジスタ(MODE0-MODE3)には初期値が設定され(モードコントロールの説明参照)リセット期間中のアナログ出力は $1/2V_{CA}$ (BPZ)に固定されます。

パワーオン・リセット

内蔵のパワーオン・リセットは電源電圧を検知して自動的に行なわれます。電源投入後、電源電圧が標準2.2V(1.8Vから2.6V)を超えると、リセット動作となり、システム・クロック(SCKO出力、 $256f_s$ または $384f_s$)を1024クロックカウントした後にリセットを解除します。パワーオン・リセット使用時はRSTB(ピン9)はオープンまたはHレベルとします。

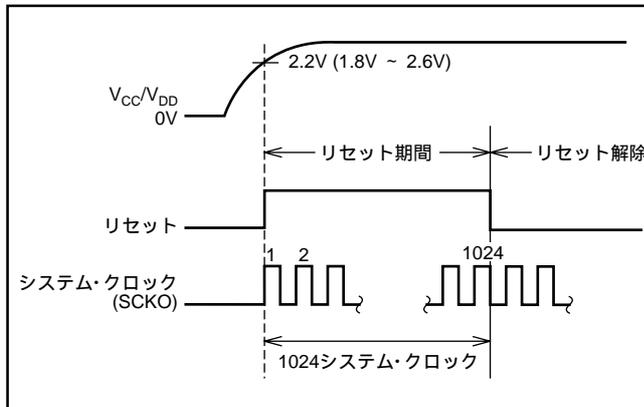


図9. パワーオン・リセット・タイミング

外部リセット

RSTB(ピン9)を一定期間“L”レベルにすることにより、外部からリセットをかけることができます。RSTB端子がLからHに変化した後、パワーオン・リセットと同様に1024システム・クロックのカウント後、リセット解除となるまでの間はリセット期間となります。

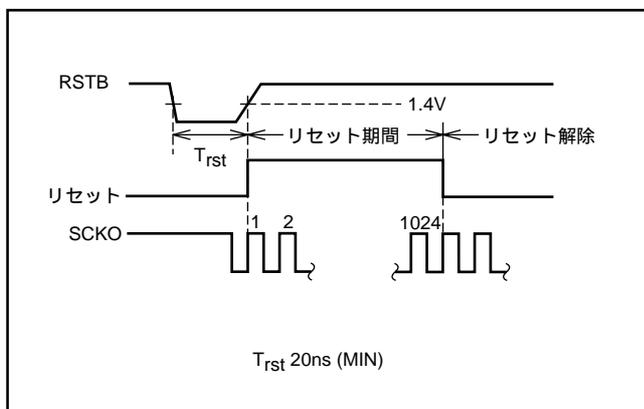


図10. 外部リセット・タイミング

ゼロフラグ出力機能

データ入力(DIN)が 65536 ビットクロック・サイクルの間連続してゼロ“0”の場合、ゼロ検出機能によりZERO端子(ピン10)が“L”レベルとなります。その後、1ビットクロック間でもデータ入力がゼロ以外となると、ZERO端子はハイ・インピーダンス状態となります。この端子はオープンドレイン出力なので、他の機能とワイヤードORをとることができます。また、このゼロフラグ出力機能はPCM1723の設定状態に関係なく、常にゼロ検出を実行します。(リセット時を除く)

システム・クロックとデータとの同期

PCM1723のDAC部は、LRCINクロック(基準サンプリングレート f_s)とシステム・クロック($256f_s/384f_s$)との同期関係を常時内部でモニタしています(リセット時を除く)。

LRCINクロックの1サイクル($1/f_s$)の間に256または384のシステム・クロックがあれば同期関係は成立し、正常動作します。この両クロックの同期関係がズレた場合の動作は次のようになります。

$1/f_s$ 期間内の同期ズレ

たとえば、1LRCINクロック・サイクル($1/f_s$)の間だけ瞬時にシステム・クロックが255クロック($256f_s$ に対し)や386クロック($384f_s$ に対し)となった場合、このシステム・クロックのズレ時間が ± 5 ビットクロック(BCIN)期間内であれば、正常動作を保ちます。ズレ時間が ± 6 ビットクロック期間を超えると同期外れ状態となります。

f_s が変化する場合の同期ズレ

たとえば、 f_s が32kHzから48kHzに変化する場合等でLRCINクロックとシステム・クロックの同期が $1/f_s$ 期間以上ズレた場合は同期外れ状態となります。

同期外れ時のDAC出力

同期状態から同期外れ状態となると、 $1/f_s$ 期間はDAC出力は不定となり、その後 $1/2V_{CA}$ (BPZ)を出力します。また、同期外れ状態から同期状態になった場合、 $11.125/f_s$ 期間DAC出力は不定となり、その後正常出力となります。

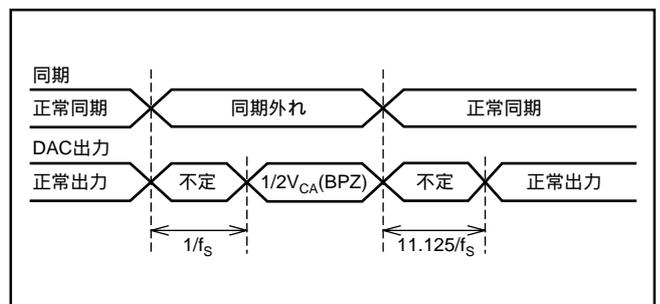


図11. 同期外れ時のDAC出力

モードコントロール

PCM1723では、ML、MC、MDの各端子に制御データを伝送することにより、動作モードをコントロールすることが可能です。表に制御可能な動作モードとイニシャル状態(デフォルト)を示します。

機能	イニシャル
オーディオデータ・インターフェース・フォーマット STD/I ² S	STD
オーディオデータ・ビット長 16/20/24ビット	16ビット
入力LRCIN極性 Lch : H/Lch : L	Lch : H
ディエンファシス	OFF
ソフトミュート	OFF
デジタルアッテネータ	0dB
アナログ出力モード	STEREO
強制ゼロ検出ミュート	OFF
DACオペレーション	ON
生成サンプリングレート 256f _s /384f _s	384f _s
サンプリングレート f _s 32K系/44.1K系/48K系	44.1K
サンプリングレート・モード 標準/ハーフ/ダブル	標準

表 制御可能なモードコントロール

制御データ・フォーマット

PCM1723の動作モードをコントロールする制御データのフォーマットを図12に示します。

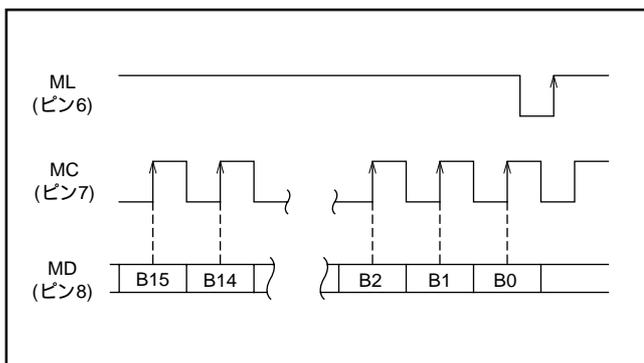


図12. シリアル制御データ・フォーマット

制御シリアル・データは16ビットのMCクロック、MDデータとイネーブル信号となるMLクロックで構成します。これらのクロックのタイミング規定を図13に示します。

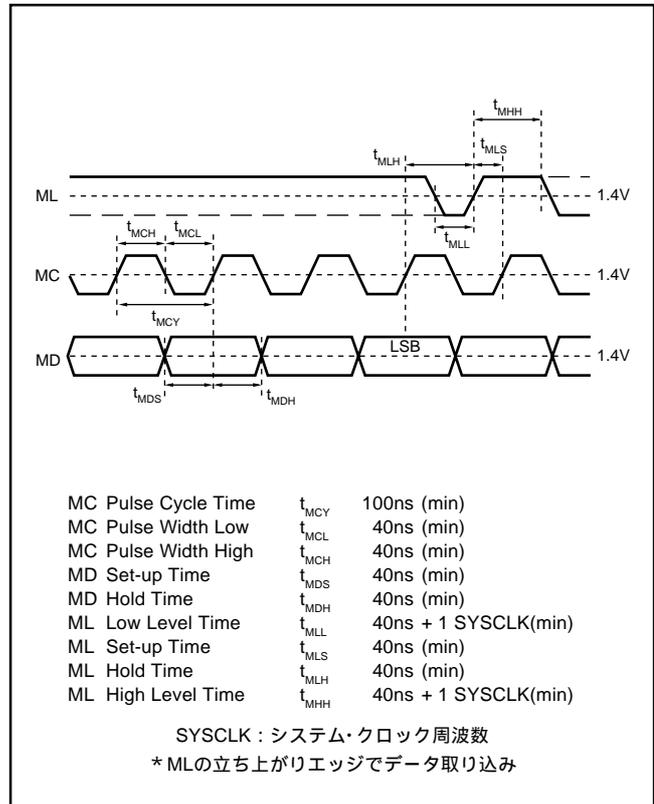


図13. シリアル制御データ・タイミング規定

シリアル制御データのレジスタ構成

モードコントロールにおける制御レジスタは図14に示すとおり、基本的に4つのモード・レジスタ(MODE0-MODE3)を持っており、レジスタの選択および選択内容は16ビットのシリアルデータで行います。

各レジスタ(MODE0-MODE3)のビット構成と機能を表4に示します。制御手順としては、まずA₀、A₁ビットにてレジスタを選択し、他のビットでそれぞれの機能を制御します。また、シリアル制御データはリセット解除後に入力します。

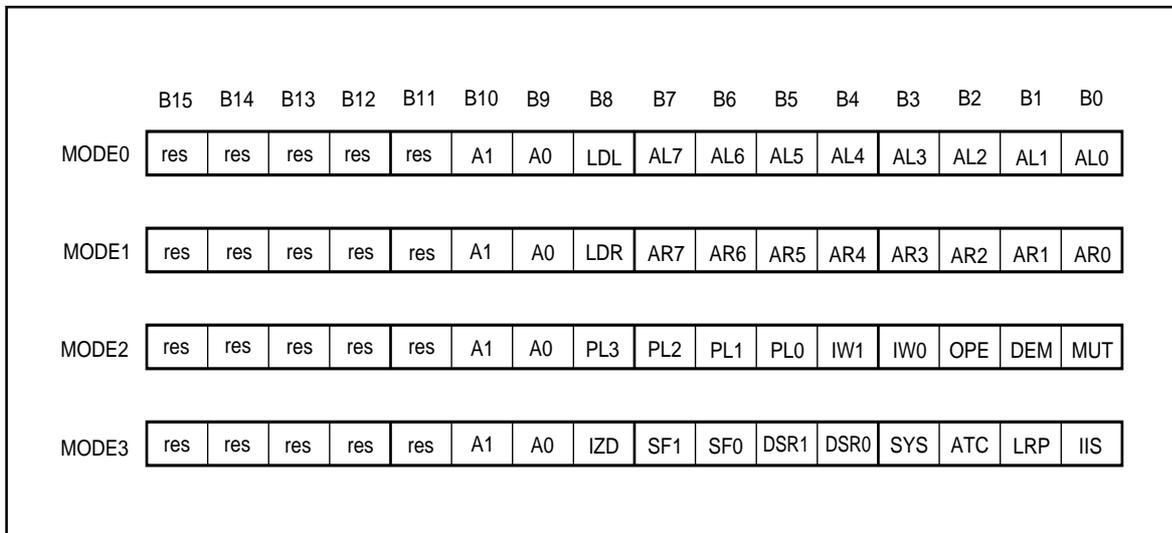


図14. 各レジスタのフォーマット

レジスタ名	ビット名	機能
MODE0	A1、A0 LDL AL7 ~ AL0 res	レジスタのアドレス アッテネーション・データのロード Lchのアッテネーション・データの設定 未使用、“0”に固定
MODE1	A1、A0 LDR AR7 ~ AR0 res	レジスタのアドレス アッテネーション・データのロード Rchのアッテネーション・データの設定 未使用、“0”に固定
MODE2	A1、A0 PL3 ~ PL0 IW1、IW0 OPE DEM MUT res	レジスタのアドレス アナログ出力モードの制御 入力オーディオデータビット長の選択 DAC部 内部動作のON/OFF ディエンファシス ON/OFF ソフト・ミュート 未使用、“0”に固定
MODE 3	A1、A0 IZD SF1、SF0 DSR1、DSR0 SYS ATC LRP IIS res	レジスタのアドレス ゼロ検出強制ミュートON/OFF サンプリング・レート f_s 選択 標準/ハーフ/ダブル f_s 選択 PLL生成システム・クロック選択 アッテネーション制御 LRCIN極性選択 オーディオデータ・フォーマット選択 未使用“0”に固定

表 . 各レジスタの名称と機能

A1、A0(MODE0-MODE3)

制御レジスタのMODE0-MODE3の選択は、A1、A0両ビットのコントロールで行います。

レジスタ	A1	A0
MODE0	0	0
MODE1	0	1
MODE2	1	0
MODE3	1	1

AL7-AL0、AR7-AR0、

LDL、LDR(MODE0、MODE1)

MODE0およびMODE1はデジタル・アッテネータの制御レジスタで、AL7-AL0、AR7-AR0(AL7、AR7がMSB、AL0、AR0がLSB)の各ビットによって256ステップのアッテネータをLch/Rch独立で設定することができます。

アッテネータはLDL、LDRを“1”にセットすることで有効となり、LDL、LDRが“0”の場合、アッテネータの設定値は有効となりますが、DAC出力はLDL、LDRが“1”になるまで変化しません。

アッテネータの減衰量ATTは次に示す計算式で与えられます。(ただし、FFhの時は0dB)

$$ATT = 20 \log_{10}(\text{アッテネータ値} / 256) \text{ [dB]}$$

$$FFh = 0dB$$

$$|$$

$$FEh = -0.07dB$$

$$01h = -48.16dB$$

$$00h = -\infty$$

0dBから $-\infty$ までの遷移時間は $256/f_s$ で、リセット時にはFFhに設定されます。また、後述するMODE3レジスタATC機能により、Lch/RchをLchアッテネータ・データのみで同時に制御することも可能です。

PL3-PL0(MODE2)

MODE2レジスタにおけるPL3-PL0フラグは、両チャンネル出力を16通りに設定できる機能で、通常のスtereo動作以外にモノラル、ミュート、逆Stereo等の選択が可能です。

なお、このアナログ出力モードの選択機能は入力データに対して初段ステージにて実施され、アッテネータ、ミュート等の機能はアナログ出力モード選択後に出力側チャンネルに対して機能します。例えば、逆Stereoモードにした場合、Lch入力信号はRchから出力され、デジタル・アッテネータ値はRch側で制御しなければなりません。

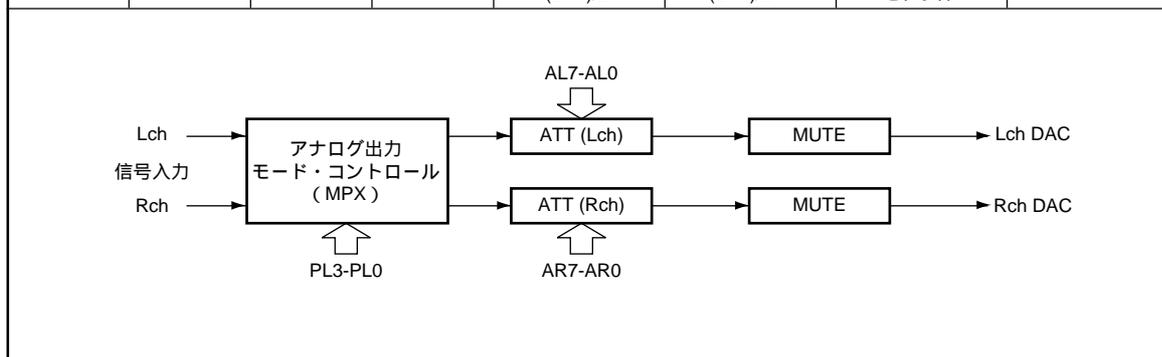
IW1、IW0(MODE2)

MODE2レジスタにおけるIW1、IW0フラグはオーディオ入力データのビット長選択機能です。

IW1	IW0	オーディオ入力データ・ビット	初期設定
0	0	16ビット	0
0	1	20ビット	
1	0	24ビット	
1	1	Reserved	

アナログ出力モード選択機能および信号の流れ

PL3	PL2	PL1	PL0	Lch出力	Rch出力	注	初期設定
0	0	0	0	ミュート	ミュート	ミュート	
1	0	0	0	ミュート	R		
0	1	0	0	ミュート	L		
1	1	0	0	ミュート	(L+R)/2		
0	0	1	0	R	ミュート		
1	0	1	0	R	R		
0	1	1	0	R	L	リバース	
1	1	1	0	R	(L+R)/2		
0	0	0	1	L	ミュート		
1	0	0	1	L	R	ステレオ	
0	1	0	1	L	L		
1	1	0	1	L	(L+R)/2		
0	0	1	1	(L+R)/2	ミュート		
1	0	1	1	(L+R)/2	R		
0	1	1	1	(L+R)/2	L		
1	1	1	1	(L+R)/2	(L+R)/2	モノラル	



OPE(MODE2)

MODE2レジスタにおけるOPEフラグは、入力条件に関係なく、DAC動作を強制ミュート状態とします。OPE = “1” を選択すると $1/f_s$ 以内にアナログ出力を $1/2V_{CA}(BPZ)$ とする強制ミュート状態になります。この場合でも、各MODEレジスタには直前の内容が保持されており、各レジスタの値を更新することができます。

OPE	機能	初期設定
0	DAC正常動作	0
1	DAC動作強制ミュート	

DEM(MODE 2)

MODE2レジスタにおけるDEMフラグはディエンファシスのON/OFF制御です。なお、ディエンファシスの対応サンプリング・レート f_s はMODE 3におけるSF1、SF0フラグで設定させます。

DEM	機能	初期設定
0	ディエンファシス OFF	0
1	ディエンファシス ON	

MUT(MODE2)

MODE2レジスタにおけるMUTフラグでソフトミュート動作のON/OFFを制御します。ソフトミュートON時は、両チャンネルのアナログ出力を $-$ にまでアッテネートします。

ハードウェア・モード時は、アッテネータ機能が選択できないので、0dBから $-$ まで $256/f_s$ 時間で変化し、また、ソフトミュートOFFで $-$ から0dBまで同じように変化します。ソフトウェア・モード時では、アッテネータ機能が選択され、ある値にアッテネータ値が設定されている場合、ソフトミュートONでそのアッテネータ値から $-$ まで $(256 - \text{そのアッテネータ値})/f_s$ 時間で変化します。ソフトミュートOFFでは、その逆に $-$ からミュート前のアッテネータ値に変化します。

MUT	ソフトミュート	初期設定
0	OFF	0
1	ON	

IZD(MODE3)

MODE3レジスタにおけるIZDフラグは、ゼロ検出によるDAC出力の強制ミュートON/OFFを制御します。Lch/Rch供にオーディオデータが 65536 回連続して“0”の場合、ゼロ検出回路が動作します。この時、ゼロ検出強制ミュートON(IZD=1)を選択していれば、DAC出力は強制的に $1/2V_{CA}(BPZ)$ にミュートされます。入力データが“0”以外となれば、その時点で強制ミュートは解除されます。また、このIZDの設定はZERO端子(ピン10)の動作には影響しません。

IZD	機能	初期設定
0	ゼロ検出強制ミュートOFF	0
1	ゼロ検出強制ミュートON	

SF1、SF0(MODE 3)

MODE 3レジスタにおけるSF1、SF0フラグにより基準サンプリング・レート f_s の選択をします。

SF1	SF0	サンプリング・レート f_s	初期設定
0	0	44.1K系	0
0	1	48K系	
1	0	32K系	
1	1	Reserved	

44.1K系 (44.1kHz, 88.2kHz, 22.05kHz)
 48K系 (48kHz, 96kHz, 24kHz)
 32K系 (32kHz, 64kHz, 16kHz)

DSR1、DSR0(MODE 3)

MODE 3レジスタにおけるDSR1、DSR0フラグにより、SF1、SF0で選択したサンプリング・レートに対する標準 f_s 、ハーフ f_s 、ダブル f_s の選択をします。

DSR1	DSR0	サンプリング・レート	初期設定
0	0	標準 f_s	0
0	1	ダブル f_s	
1	0	ハーフ f_s	
1	1	Reserved	

標準 f_s (32kHz, 44.1kHz, 48kHz)
 ダブル f_s (64kHz, 88.2kHz, 96kHz)
 ハーフ f_s (16kHz, 22.05kHz, 24kHz)

SYS(MODE 3)

MODE3レジスタにおけるSYSフラグによりPLL部におけるマスター・クロック(27MHz)から生成するシステム・クロック($256f_s/384f_s$)の選択をします。

SYS	生成システム・クロック	初期設定
0	$384f_s$	0
1	$256f_s$	

ATC(MODE3)

MODE3レジスタにおけるATCフラグは、デジタル・アッテネータの設定を両チャンネル共通で行える機能を選択します。ATC = “1”を選択すると、アッテネータMODE1における“AL7-AL0”によってLch/Rch同時に共通で制御可能です。この時、AR7-AR0のアッテネータ値は無視されます。

ATC	機能	初期設定
0	L/R独立アッテネーション	0
1	L/R共通アッテネーション	

LRP(MODE3)

MODE3におけるLRPフラグは、LRCKINクロックの極性選択機能で、LRP = “0”でLch/H、Rch/Lとなります。

LRP	LRCKINクロックの極性	初期設定
0	H: Lch R	0
1	L: Lch R	

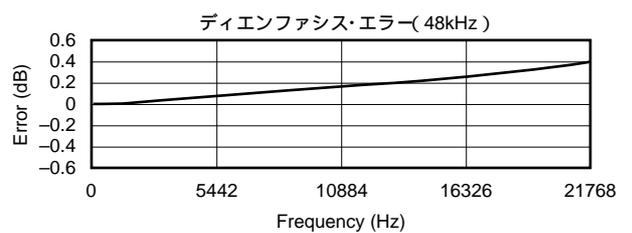
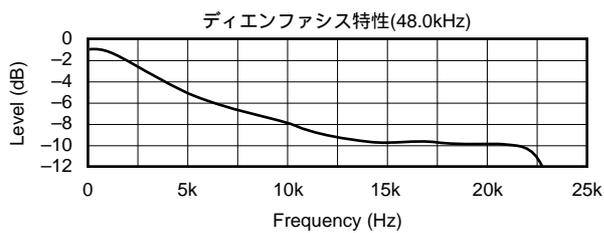
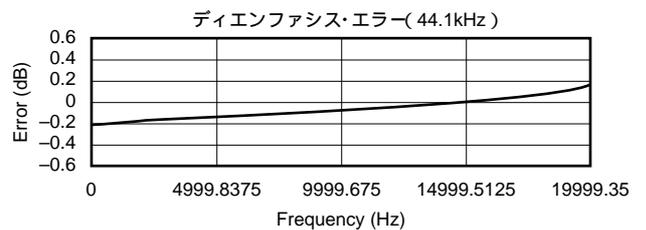
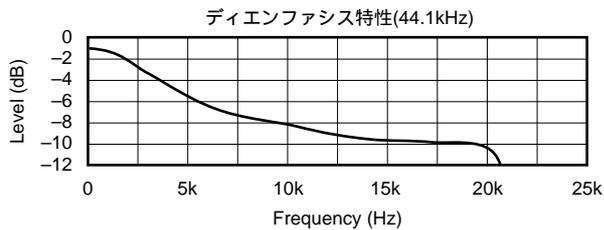
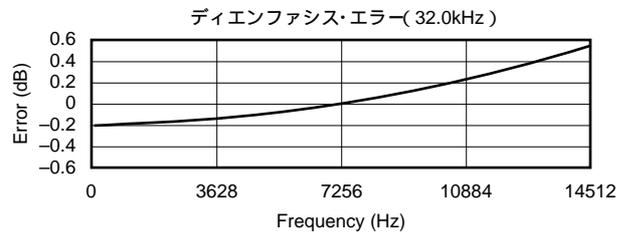
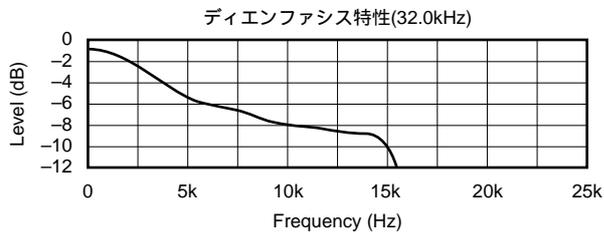
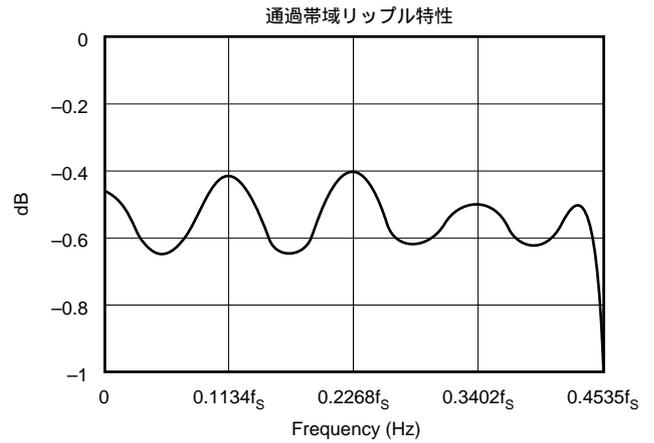
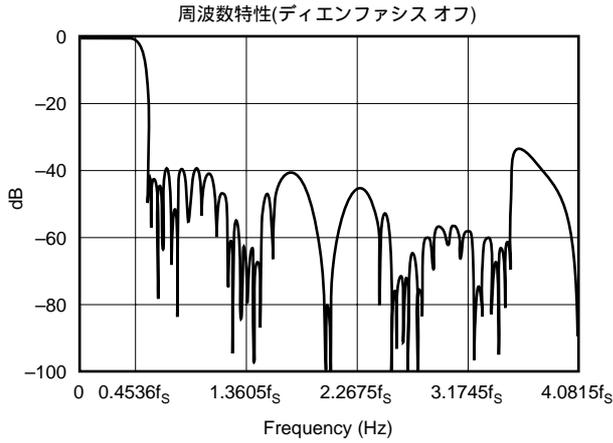
IIS(MODE3)

MODE3レジスタにおけるIISフラグは、入力データ・フォーマットのスタンダード/IIS選択機能です。

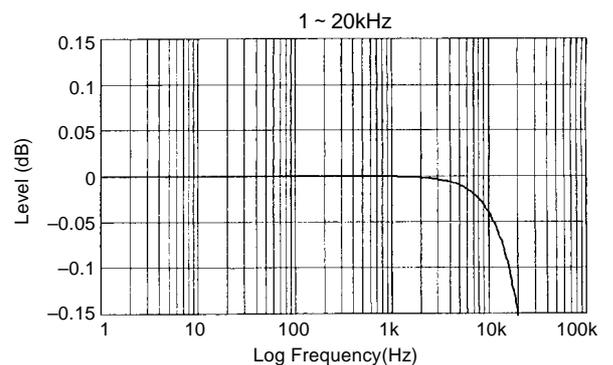
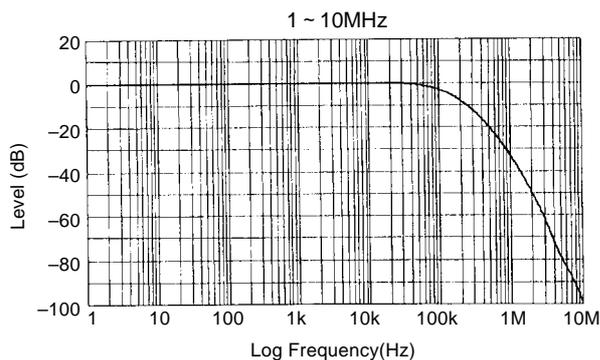
IIS	入力データ・フォーマット	初期設定
0	スタンダード(後づめ)	0
1	IIS	

デジタルフィルタ特性

PCM1723のデジタルフィルタ部は、入力サンプリング・レート f_s を確実に8倍オーバー・サンプリングします。例えば、 $f_s=96\text{kHz}$ においては、 $8 \times 96\text{k} = 768\text{kHz}$ の出力レートとなります。



内蔵アナログ・フィルタ特性



ダイナミック特性とテスト条件

PCM1723では32kHz、44.1kHz、48kHzといった標準的なサンプリング・レート(f_s)の他、ハーフ f_s 、ダブル f_s の広範囲なサンプリング・レートに対応可能ですが、実アプリケーションにおいては、ナイキストの定理に基づいた出力ポスト・ローパスフィルタの設定について十分考察しなければなりません。また、PCM1723の全てのダイナミック特性は、現行のEIAJにおけるCDプレーヤの測定法で用いられる20kHzの帯域制限条件でテストされています。

PCM1723の内蔵デジタル・フィルタは8倍オーバー・サンプリングで阻止帯域減衰量は35dBです。したがって、出力スペクトラムは図15で示されます。

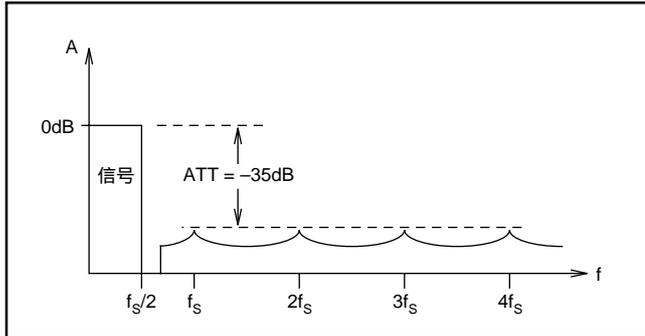


図15. デジタル・フィルタによる出力スペクトラム

$f_s = 48kHz$ 、 f_{max} (最大信号周波数) $= 20kHz$ を例にポストLPF特性による出力測定スペクトラムの差を図16に示します。図16においてLPF特性がAの場合は、測定されるスペクトラムは信号 $S+THD$ であり、THDテストにおいて、正しくTHDを測定できます。LPF特性がBまたはCの場合は、測定されるスペクトラムは $S+THD$ にデジタルフィルタで除去しきれない残留スペクトラム P_1 、 P_2 も測定してしまいます。

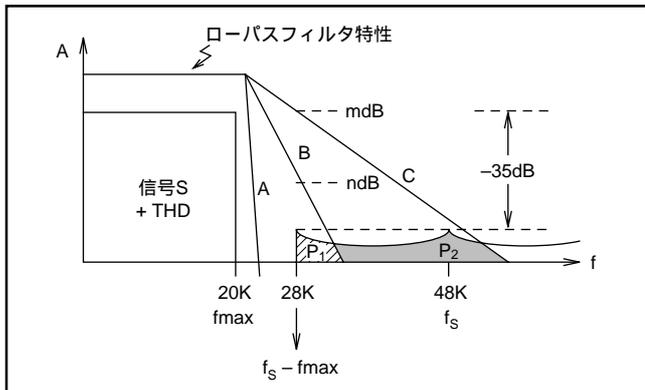


図16. THDテストとLPFの関係

($f_s - f_{max}$)における測定スペクトラムは

Bの場合、

$$S + THD + (-35dB - ndB) P_1$$

Cの場合

$$S + THD + (-35dB - mdB) P_1$$

これらの場合、THDテストはTHDではなく、帯域外スペクトラムを測定していることとなります。0.01%のTHDはdB換算では $-80dB$ ですから、($f_s - f_{max}$)における減衰量はDACのTHD実力値よりも大きくなければなりません。

今まで解説した通り、ダイナミック特性の正しいテストでは20kHzの帯域制限が必要です。このことは図17に示すように“測定条件”として必要なもので、実アプリケーションのセットに要求するものではありません。

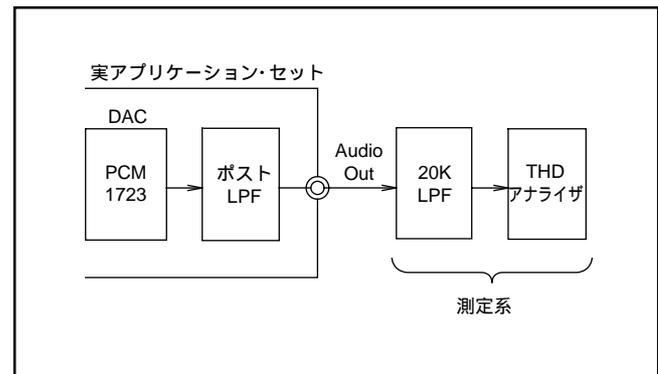


図17. THDテスト条件

実際のセットにおいては人間の聴覚上、20kHz以上のスペクトラムは聞こえないので、20kHz以上のスペクトラムに対する処理、すなわち、ポストLPFの次数、カットオフ周波数等の特性は設計者の意図により決定されるべきものです。

次にサンプリング・レート f_s が96kHz、88.2kHz、64kHzの場合ですが、ナイキスト定理による信号最大周波数 f_{max} はそれぞれ48kHz、44.1kHz、32kHzとなり、ダイナミック特性のテストにおける帯域制限も20kHzから変更すべきですが、現行ではこれらのサンプリング・レートに対する標準が無いので、PCM1723においては20kHz帯域制限条件下でテストしています。

PCM1723 応用接続図

図18にPCM1723の基本的な応用接続図(外部27MHzマスター・クロック入力)を示します。C1からC3のバイパス・コンデンサはできる限りピンに最短距離で接続し、各電源グランドは共通接続とし、グランドパターンはなるべく広いベタグランドとします。

ポストLPFは実際のアプリケーションでは、CR1次パッシブ、アクティブ2次から3次が一般的に用いられます。アナログ段のミュート回路制御タイミングはシステム全体との動作状況により決定されます。

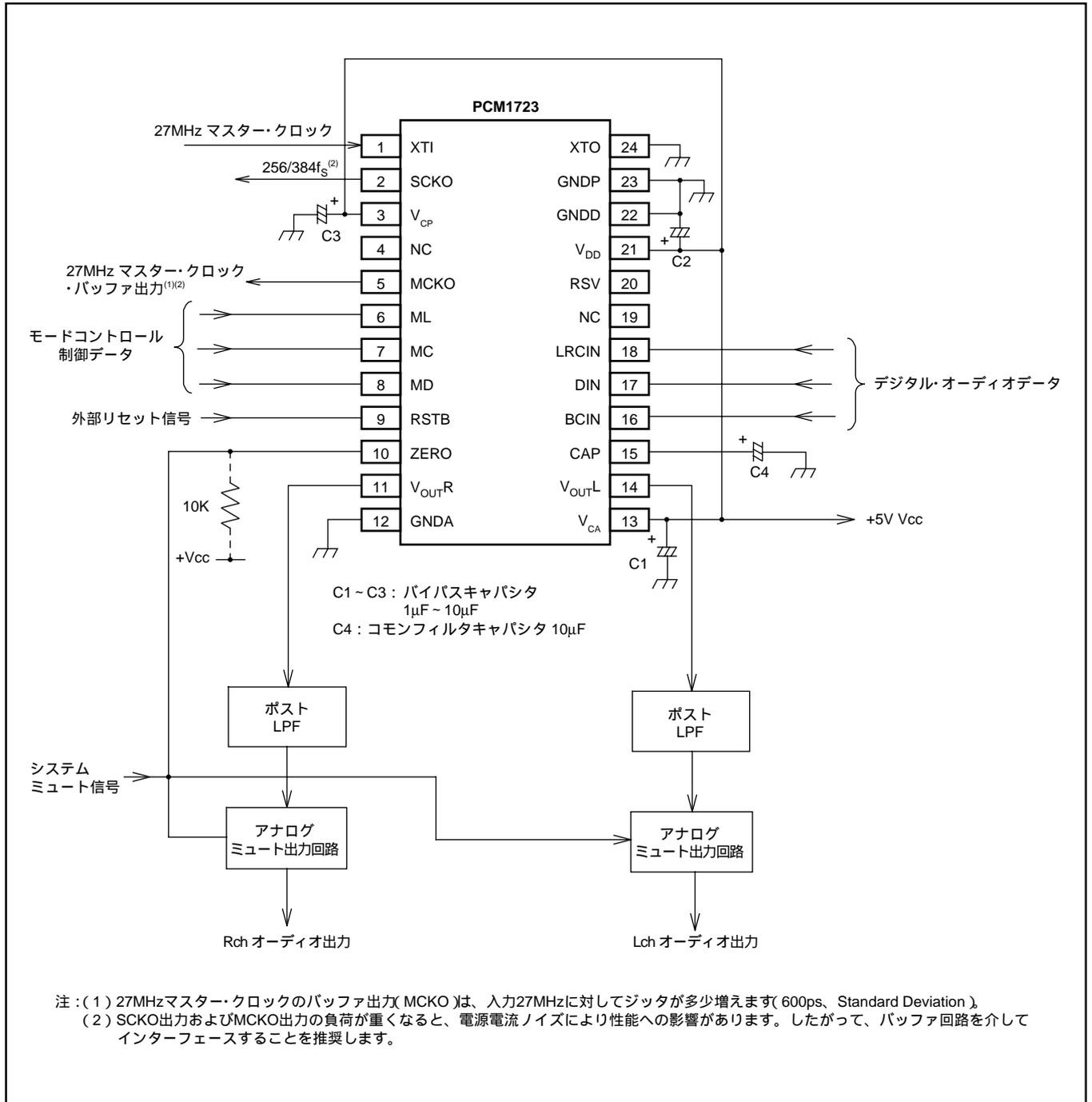
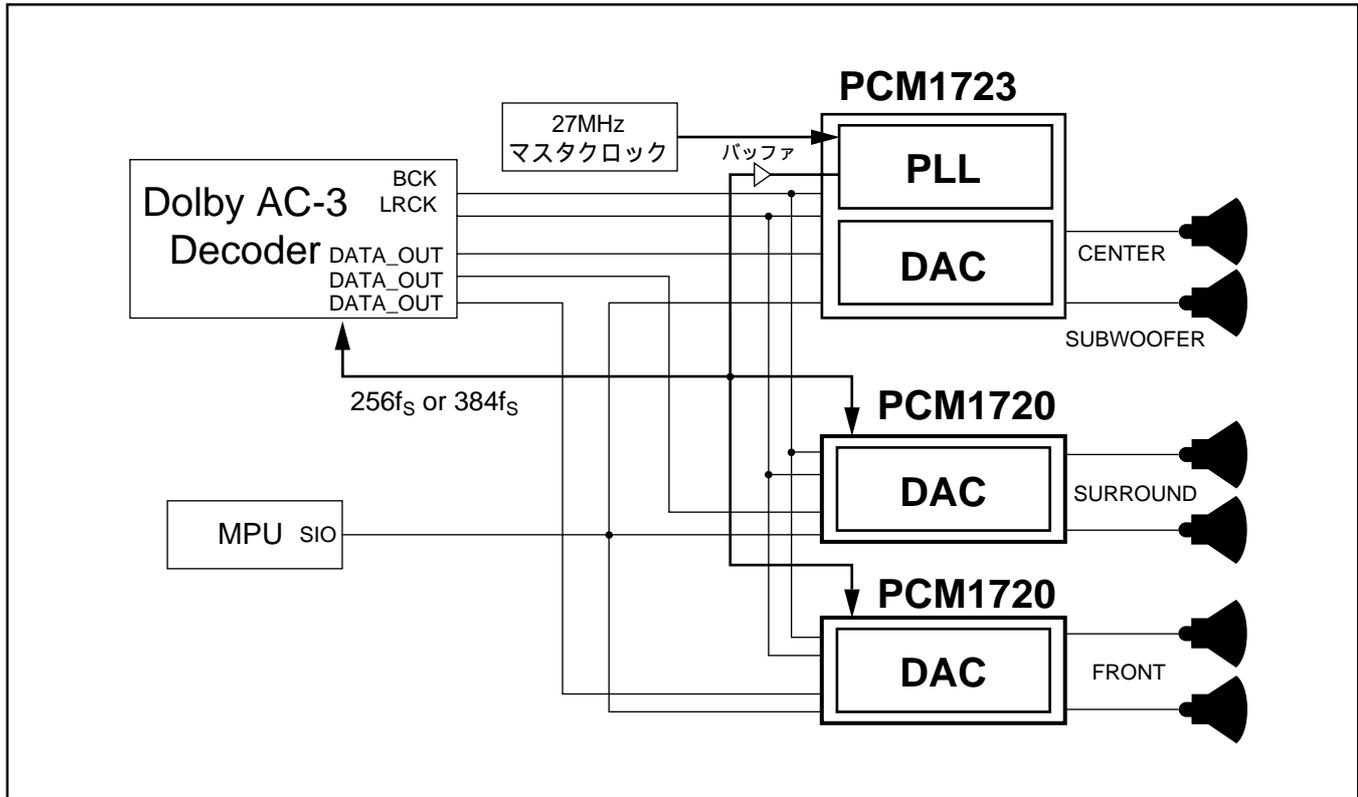


図18. PCM1723 応用接続図

Dolby AC-3、5.1チャンネルへの応用例

DVDアプリケーションにおいて、Dolby AC-3、5.1チャンネルへの対応はPCM1720を2個とPCM1723を1個組み合わせることにより簡単に実現することが可能です。下図に応用例を示します。



(注) DolbyおよびAC-3は、ドルビー・ラボラトリーズ・ライセンシング・コーポレーションの商標です。

外観

パッケージ:24ピンSSOP

