



SoundPlus™ デュアル電圧出力 デジタルフィルタ内蔵 CMOSデルタ-シグマ型 D/Aコンバータ

特 長

- マルチレベル・デルタ-シグマ方式
- 16/20/24ビット・インターフェース可能
- 高性能
 THD+N:0.003% (標準)
 ダイナミックレンジ:96dB (標準)
 S/N比:100dB (標準)
- デュアル同位相電圧出力
 $V_o = 0.62 \times V_{CC} (V_{PP})$
- 広サンプリング・レート f_s 対応(16kHz~96kHz)
- システムクロック:256 f_s /384 f_s 対応
- 8倍オーバー・サンプリング・デジタル
 フィルタ内蔵
- 2次アナログ・ローパスフィルタ内蔵
- マルチファンクション
 デジタル・ディエンファシス
 ソフトミュート
 アッテネータ (256ステップ、L/R独立制御可)
 アナログ出力モード選択機能 (16通り)
- 5V単一電源動作
- パッケージ:小型20ピンSSOP

概 要

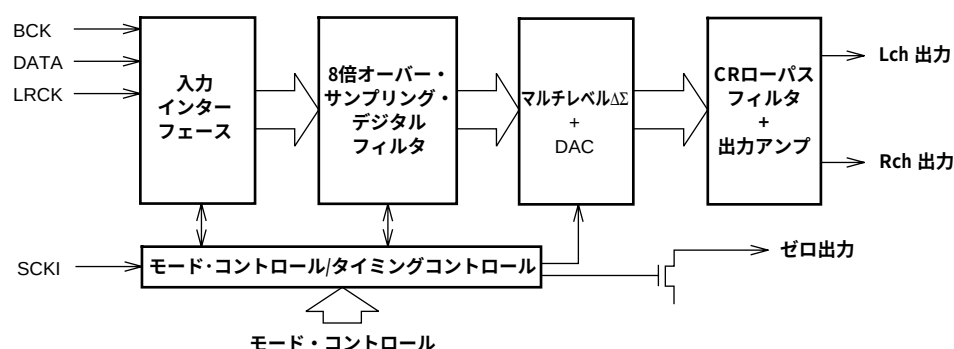
PCM1720はバー・ブラウンが誇るマルチレベル・デルタ-シグマ方式DACにデジタルフィルタと出力オペアンプを1チップにコンビネーションさせた、デュアルCMOSデルタ-シグマ型ハイ・コストパフォーマンスD/Aコンバータです。

PCM1720は16kHzから96kHzのサンプリング・レートに対応でき、システムクロックは256 f_s /384 f_s のいずれも動作可能で、256 f_s /384 f_s の自動選択機能を内蔵しています。入力デジタル・データは、16ビット/20ビット/24ビット、スタンダード/HISフォーマットのいずれにも対応できます。

デジタル・オーディオのあらゆるアプリケーションに対応するためPCM1720は豊富なコントロール・ファンクションを持っています。L/R独立256ステップ・アッテネータ、ソフトミュート、ディエンファシス、インフィニティ・ゼロ検出、DACオペレーション制御、アナログ出力モード選択機能等、実アプリケーションに応じての制御が可能です。

PCM1720の電源電圧は、単一5Vで動作可能であり、小型20ピンSSOP;高性能特性とあわせて、CD-DA、CD-ROM、CD-I、MPEG応用製品、セット・トップ・ボックス、カー・オーディオ、ポータブル・オーディオ、サウンドカード等広範囲なアプリケーションに用いることができます。

特に、DVD(デジタル・ビデオ・ディスク)のDolby AC-3フルチャンネル・サポートのアプリケーションにはPCM1723と組み合わせることにより最適のソリューションを提供します。



仕様

特に記述のない限り、T_A=+25°C、V_{CC}=V_{DD}=+5.0V、f_s=44.1kHz、SCKI=384f_s、16ビット・データ入力、測定帯域20kHzにおけるものです。

パラメータ	条件	PCM1720E			単位
		最小	標準	最大	
分解能		16			Bits
ロジック入出力レベル					
入力ロジックレベル		2.0			VDC
入力ロジック電流				0.8	VDC
出力ロジックレベル				−1	μA
インターフェース・フォーマット				120	μA
データ・フォーマット				1.0	VDC
基準サンプリング周波数					
システムクロック周波数					
DC特性					
ゲイン・エラー			±1.0	±5.0	% of FSR
ゲイン・エラー、チャンネル間ミスマッチ			±1.0	±5.0	% of FSR
バイポーラ・ゼロ誤差			±30		mV
ダイナミック特性 ⁽²⁾					
THD+N V ₀ =0dB(F/S)			0.003	0.01	%
V ₀ =−60dB			0.004		%
ダイナミック・レンジ			2.0		%
S/N比			2.9		%
チャンネルセパレーション			96		dB
			93		dB
			100		dB
			97		dB
			97		dB
アナログ出力					
出力電圧			0.62 V _{CC}		V _{pp}
センター電圧			1/2 V _{CC}		VDC
負荷抵抗(AC負荷)					kΩ
デジタルフィルタ特性					
通過帯域				0.445f _s	Hz
阻止帯域					Hz
通過帯域リップル				±0.17	dB
阻止帯域減衰量					dB
ディエンファシス・エラー				+0.55	dB
群遅延					sec
内蔵アナログフィルタ特性					
−3dB帯域幅			100		kHz
通過帯域特性			−0.16		dB
電源供給					
電源電圧 +V _{CC} , +V _{DD}			5.0	5.5	VDC
電源電流 +I _{CC} , +I _{DD}			18	25	mA
消費電力 P _D			25	35	mA
			90	125	mW
温度範囲					
動作				+85	°C
保存				+125	°C

注：(1)RSTB、BCKIN、DIN、LRCIN、ML、MC、MDの各端子に適用。(2)20kHz帯域制限で測定。シバソク社725C(平均値モード、400Hz HPF ON, 30kHz LPF ON)。

このデータシートに記載されている情報は、信頼し得るものと考えておりますが、不正確な情報や記載漏れ等に関して弊社は責任を負うものではありません。情報の使用について弊社は責任を負いませんので、各ユーザーの責任において御使用下さい。価格や仕様は予告なしに変更される場合がありますのでご了承下さい。ここに記載されているいかなる回路についても工業所有権その他の権利またはその実施権を付与したり承諾したりするものではありません。弊社は弊社製品を生命維持に関する機器またはシステムに使用することを承認しまたは保証するものではありません。

ピン構成

ピン	名称	I/O	機能
1	NC	—	未接続
2	SCKI	IN*	システムクロック入力(256f _s /384f _s)
3	TEST	—	未接続。必ずオープンにしてください。
4	ML	IN▲	制御データ入力用 イネーブル端子
5	MC	IN▲	制御データ入力用 ビットクロック端子
6	MD	IN▲	制御データ入力用 データ端子
7	RSTB	IN▲	リセット入力端子。アクティブ“L”
8	ZERO	OUT	インフィニティ・ゼロ・フラグ出力端子。オープンドレイン。
9	V _{OUT} R	OUT	Rch,アナログ電圧出力端子
10	AGND	—	アナログ・グランド端子
11	V _{CC}	—	アナログ電源端子
12	V _{OUT} L	OUT	Lch,アナログ電圧出力端子
13	CAP	—	内部バイアス・デカップ端子
14	BCKIN	IN*	オーディオデータ用ビットクロック入力端子
15	DIN	IN*	オーディオデータ用データ入力端子
16	LRCIN	IN*	オーディオデータ用基準サンプリング・クロック入力端子
17	TEST	—	グランドに接続して下さい。
18	NC	—	未接続。必ずオープンで使用して下さい。
19	V _{DD}	—	デジタル電源端子
20	DGND	—	デジタル・グランド端子

*：内部プルアップ有

▲：内部プルアップ有。シュミット・トリガ入力

パッケージ情報/ご発注の手引き

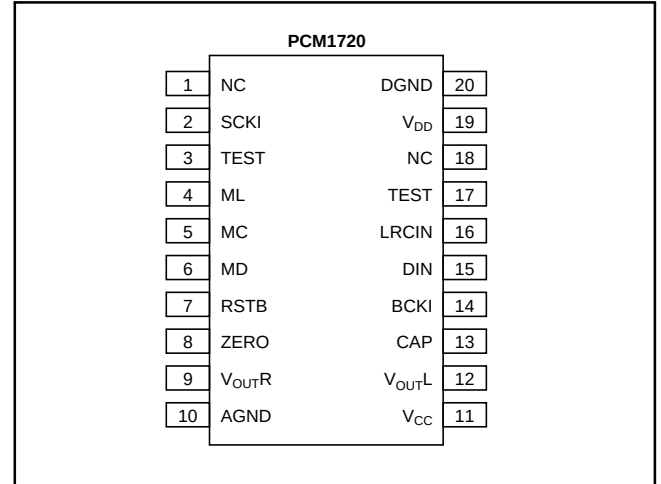
モデル	パッケージ ⁽¹⁾	温度範囲
PCM1720E	20ピンSSOP	−25℃〜+85℃

注：(1)詳細図および寸法表は、データシートの巻末を参照して下さい。

絶対最大定格

保存温度	−55℃〜+125℃
動作温度	−25℃〜+85℃
電源電圧	+6.5V
電源電圧差	±0.1V
入力電圧	−0.3V〜V _{DD} +0.3V
消費電力	300mW
半田耐熱性	260℃ 5秒
熱抵抗 θ _{JA}	70℃/W

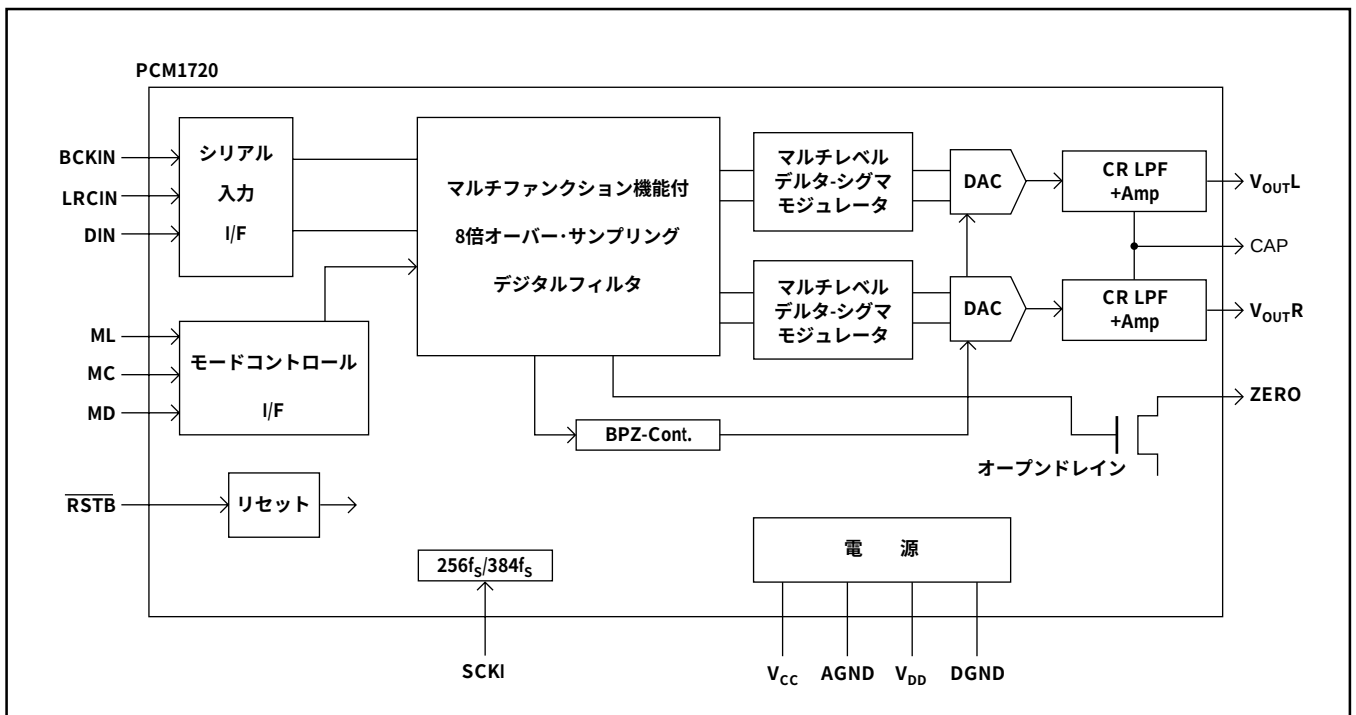
ピン配置



静電気放電対策

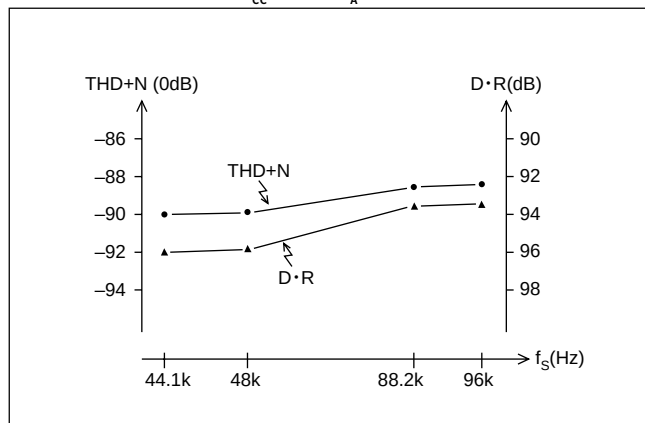
静電気放電はわずかな性能の低下から完全なデバイスの故障に至るまで、様々な損傷を与えます。すべての集積回路は、適切なESD保護方法を用いて、取扱いと保存を行うようにして下さい。高精度の集積回路は、損傷に対して敏感であり、極めてわずかなパラメータの変化により、デバイスに規定された仕様に適合しなくなる場合があります。

ブロック図

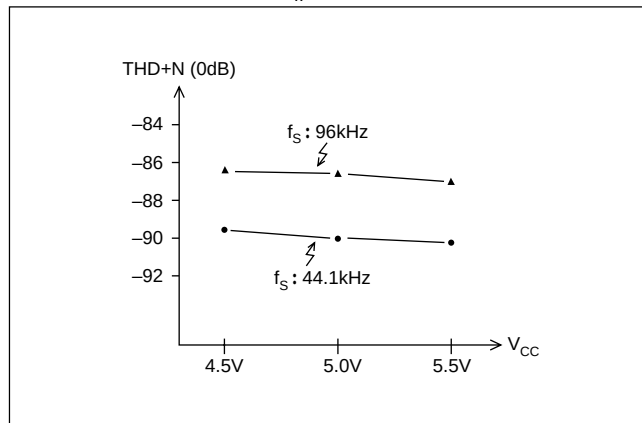


代表的性能曲線

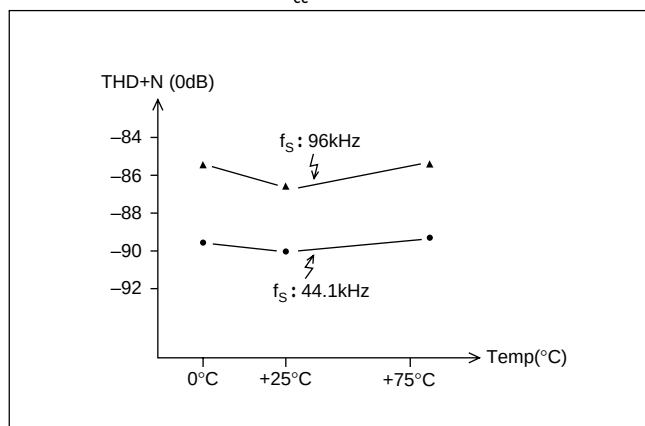
THD+N (0dB)ダイナミックレンジ対サンプリング・レート f_s
 $V_{CC} = +5V$ 、 $T_A = 25^\circ C$



THD+N 対 電源電圧
 $T_A = +25^\circ C$



THD+N 対温度
 $V_{CC} = +5.0V$



ΔΣセクションの動作原理

PCM1720のΔΣセクションでは、振幅方向に5レベルの分解能をもつ5レベル量子化器を用いて、5レベルのΔΣ変調を行ないます。デジタルフィルタでオーバー・サンプリングされた16ビットのデータはΔΣ変調された5レベル(0、1、2、3、4)信号に変換されます。

図1に、この5レベルΔΣ変調器のブロック図を示します。ΔΣ次数は3次としていますが、一般的な1ビット(2レベル)ΔΣ変調に比べて、系の安定性および耐ジッタ性に優れています。デジタルフィルタ部とΔΣ変調部との総合オーバー・サンプリング・レートは256f_s時では64f_s、384f_s時では48f_sとなっています。

一般的なΔΣ変調では次数を高くすると系が不安定になる問題がありますが、PCM1720では5レベルΔΣ変調および系全体の位相補償により優れた安定性を得ています。

図3に、ΔΣ変調後の量子化雑音レベルの理論スペクトラム特性(f_s=44.1kHz、システムクロック=384f_s、信号周波数f_{Sig}=1kHz)を示します。PCM1720では、5レベルΔΣ変調により、オーディオ帯域において-120dB以上量子雑音を抑圧しています。

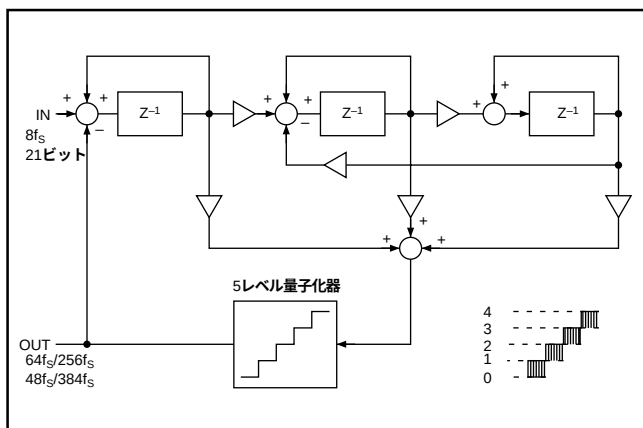


図1. 5レベルΔΣ変調器のブロック図

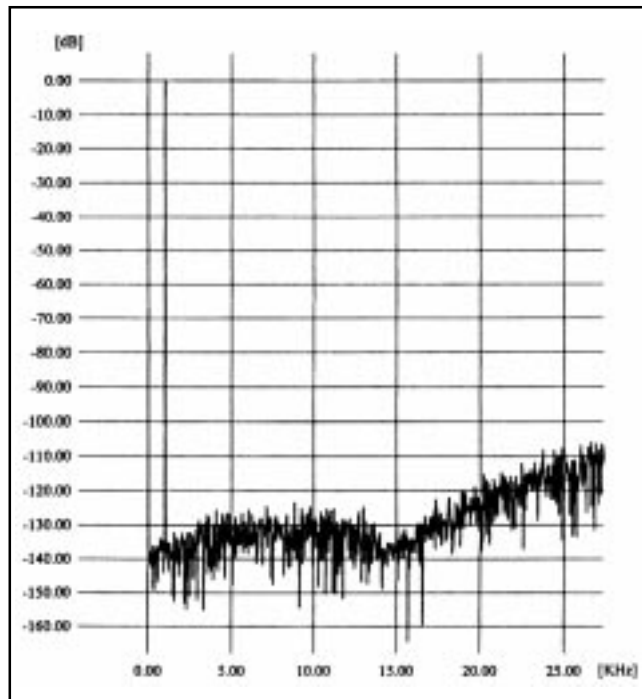


図3. 量子化雑音特性

マルチレベルΔΣの耐ジッタ特性

PCM1720は、5レベル量子化器の使用により、他の一般的な1ビットDACに比べてシステムクロックのジッタ耐量に優位性を持っています。図2にシミュレーションによる、ジッタ量対ダイナミック・レンジの比較データを示します。

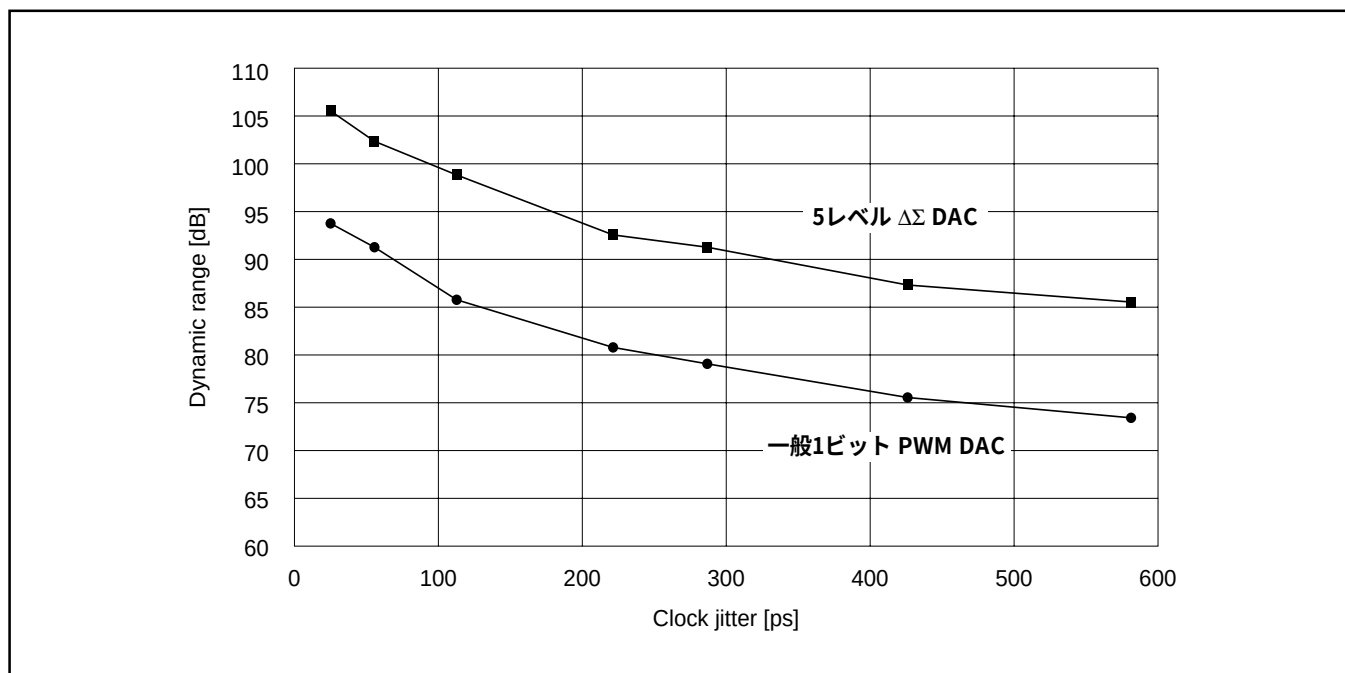


図2. ジッタ対ダイナミック・レンジ シミュレーション・データ

オーディオデータ・インターフェース

PCM1720は、LRCIN, DIN, BCKINにより、外部システムとインターフェースします。入力データ・フォーマットは16ビット/20ビット/24ビット、MSBファースト、2'sコンプリで後詰めのスタンダードフォーマットまたはIISフォーマットの選択が可能です。データ・フォーマットとタイミング規定を図4および図5に示します。

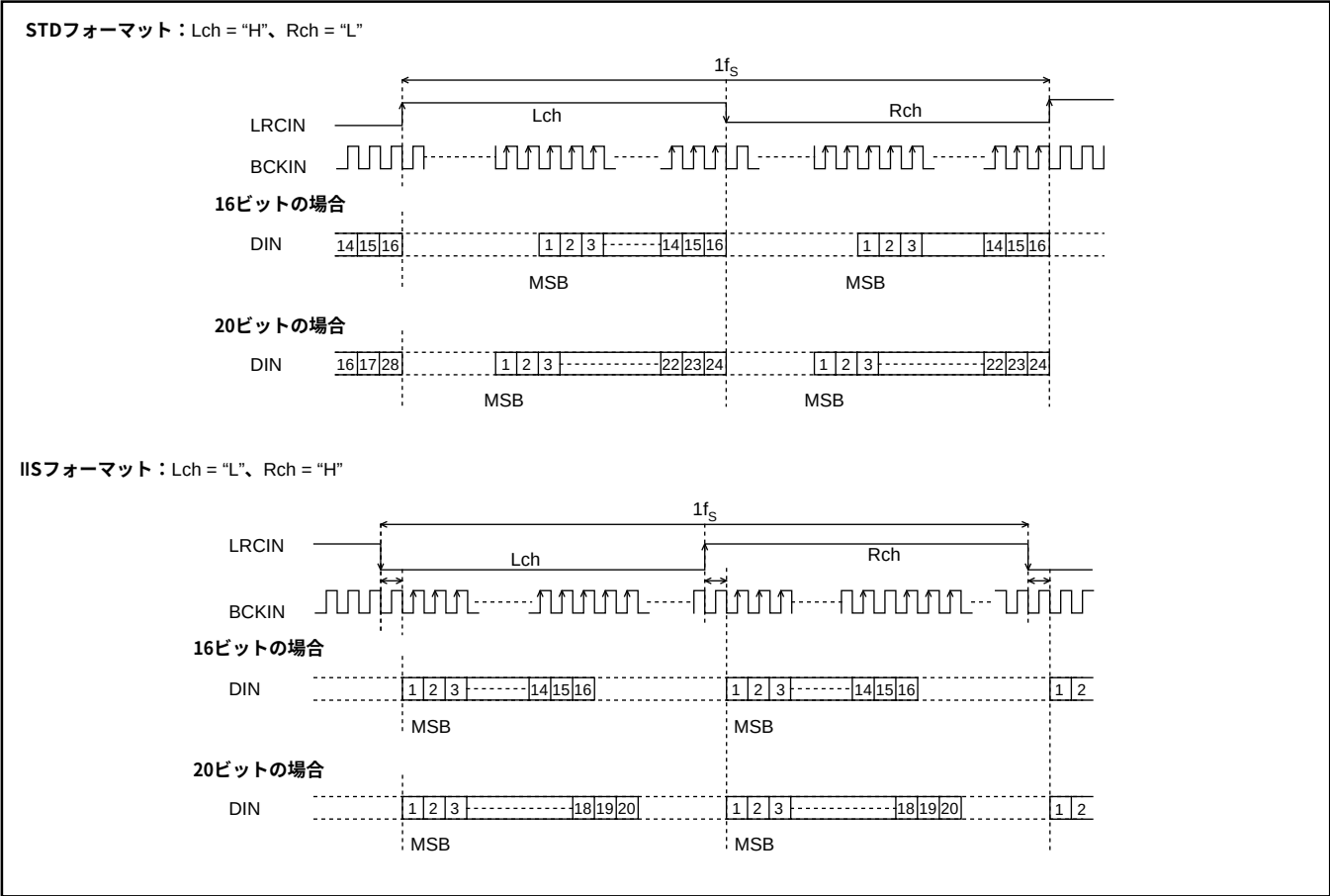


図4. オーディオデータ入力フォーマット

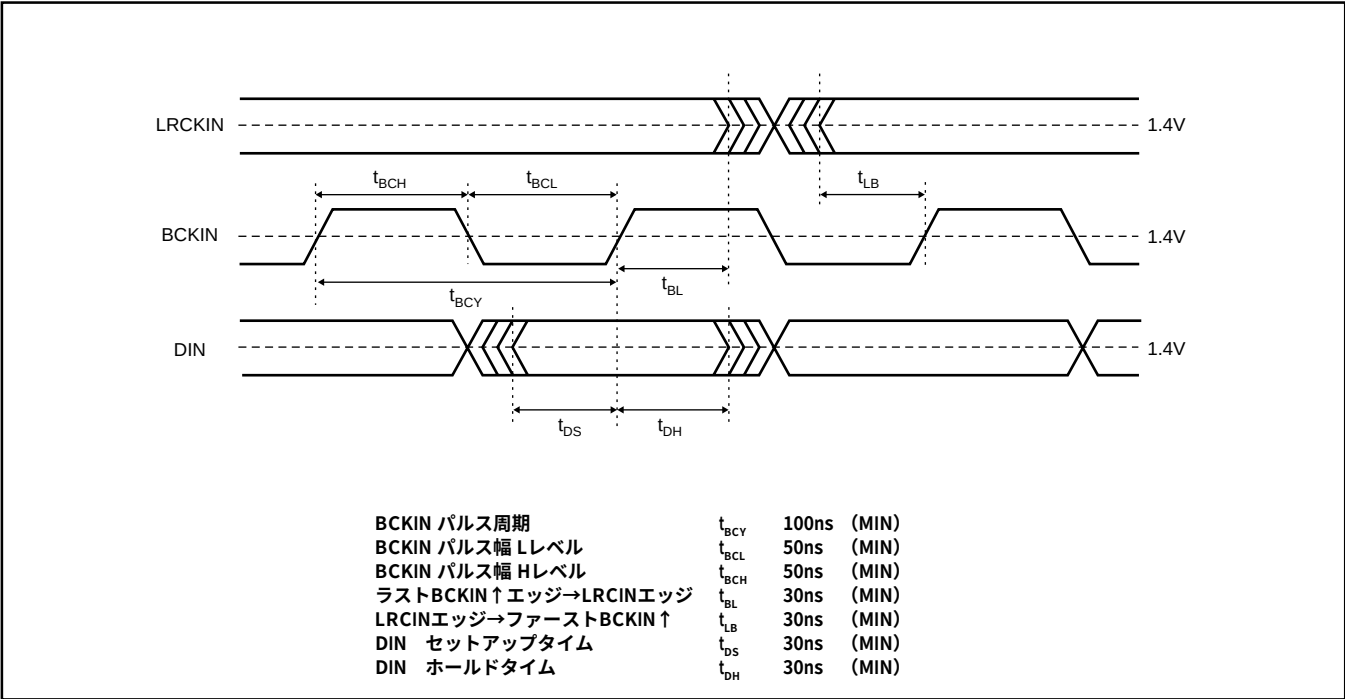


図5. 入力タイミング規定

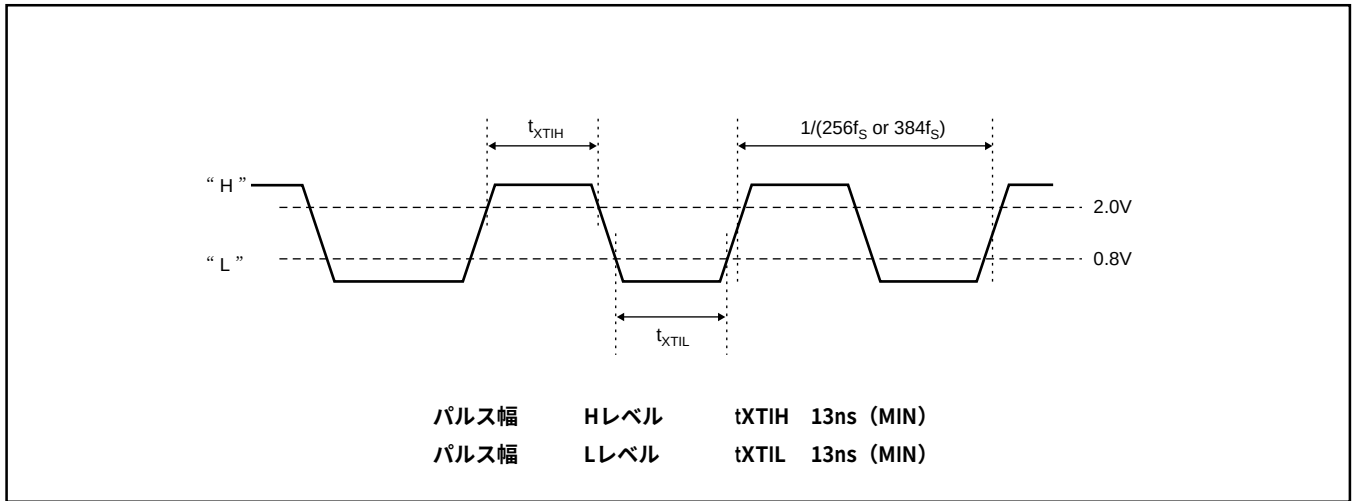


図6. PCM1720システムクロック(外部より供給)タイミング規定

システムクロック

PCM1720のシステムクロックは、256f_sおよび384f_sのいずれも対応可能で、内部に256f_s/384f_sの自動判別機能を有しているため、外部より256f_s/384f_sの選択制御は必要ありません。システムクロックはSCKI(2ピン)に外部からクロックを直接入力することができます。また、システムクロックとLRCINクロック(基準サンプリング・レート)は同期をとる必要がありますが、位相を正確に合わせる必要はありません。

PCM1720に外部よりクロックを供給する場合のタイミング規定を図6に示します。

リセット・オペレーション

PCM1720には、次に示す内蔵のパワーオン・リセットと外部からのRSTB端子制御による2種のリセットがあります。これらのリセット機能は内部動作に対しては共通になっており、同じ働きをします。

リセット時にはソフトウェア・モードにおける各コントロールのレジスタ(MODE0-MODE3)に初期値が設定され(ソフトウェア・モードの説明参照)、リセット期間中のアナログ出力は1/2V_{CC}(BPZ)に固定されます。

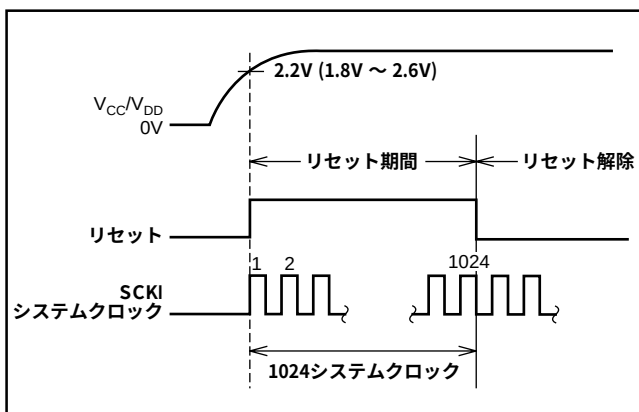


図7. パワーオン・リセット・タイミング

パワーオン・リセット

内蔵のパワーオン・リセットは電源電圧を検知して自動的に行なわれます。電源投入後、電源電圧が標準2.2V(1.8V~2.6V)を超えると、リセット動作となり、システムクロックを1024クロックカウントした後にリセットを解除します。パワーオン・リセット使用時はRSTB(7ピン)はオープンまたはHレベルとします。

外部リセット

RSTB(7ピン)を一定期間“L”レベルにすることにより、外部からリセットをかけることができます。

RSTB端子がLからHに変化した後、パワーオン・リセットと同様に1024システムクロックのカウント後、リセット解除となるまでの間はリセット期間となります。

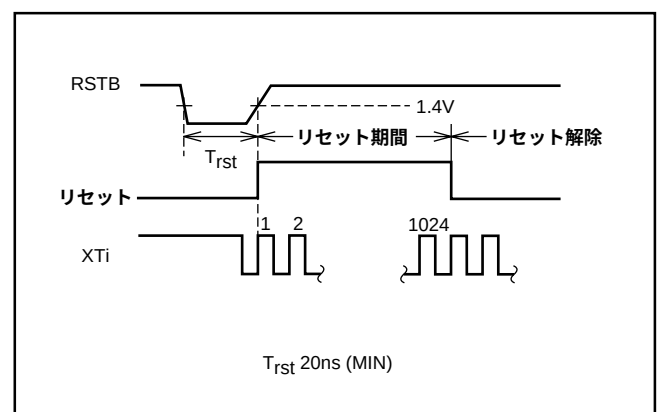


図8. 外部リセット・タイミング

ゼロフラグ出力機能

データ入力(DIN)が65536ビットクロック・サイクルの間連続してゼロ“0”の場合、ゼロ検出機能によりZERO端子(8ピン)が“L”レベルとなります。その後、1ビットクロック間でもデータ入力がゼロ以外となると、ZERO端子はハイ・インピーダンス状態となります。この端子はオープン・ドレイン出力なので、他の機能とワイヤードORをとることができます。また、このゼロフラグ出力機能はPCM1720の設定状態に関係なく、常にゼロ検出を実行します。(リセット時を除く)。

外部システムとの同期

PCM1720は、LRCINクロック(基準サンプリング・レート f_s)とシステムクロック($256f_s/384f_s$)との同期関係を常時内部でモニタしています(リセット時を除く)。
LRCINクロックの1サイクル($1/f_s$)の間に256または384のシステムクロックがあれば同期関係は成立し、正常動作します。この両クロックの同期関係がズレた場合の動作は次のようになります。

1/ f_s 期間内の同期ズレ

たとえば、1LRCINクロック・サイクル($1/f_s$)の間だけ瞬時にシステムクロックが255クロック($256f_s$ に対し)や386クロック($384f_s$ に対し)となった場合、このシステムクロックのズレ時間が±5ビットクロック(BCKIN)期間内であれば、正常動作を保ちます。ズレ時間が±6ビットクロック期間を超えると同期外れ状態となります。

f_s が変化する場合の同期ズレ

たとえば、 f_s が32kHzから48kHzに変化する場合等でLRCINクロックとシステムクロックの同期が1/ f_s 期間以上ズレた場合は同期外れ状態となります。

同期外れ時のDAC出力

同期状態から同期外れ状態となると、1/ f_s 期間はDAC出力は不定となり、その後1/2 V_{CC} (BPZ)を出力します。また、同期外れ状態から同期状態になった場合、11.125/ f_s 期間DAC出力は不定となり、その後正常出力となります。

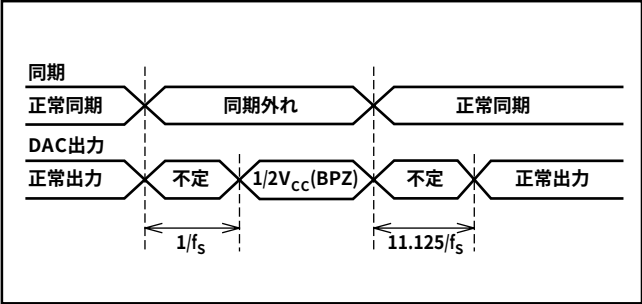


図9. 同期外れ時のDAC出力

モードコントロール

PCM1720では、ML、MC、MDの各端子に制御データを伝送することにより、動作モードをコントロールすることが可能です。表1に制御可能な動作モードとイニシャル状態(デフォルト)を示します。

機能	イニシャル
オーディオデータ・インターフェース・フォーマット STD/I ² S	STD
オーディオデータ・ビット長 16/20/24ビット	16ビット
入力LRCIN極性 Lch : H/Lch : L	Lch : H
ディエンファシス	OFF
ソフトミュート	OFF
デジタルアッテネータ	0dB
アナログ出力モード	STEREO
強制ゼロ検出ミュート	OFF
DACオペレーション	ON
サンプリングレート f_s 32K系/44.1K系/48K系	44.1K

表1. 制御可能なモードコントロール

制御データ・フォーマット

PCM1720の動作モードをコントロールする制御データのフォーマットを図10に示します。

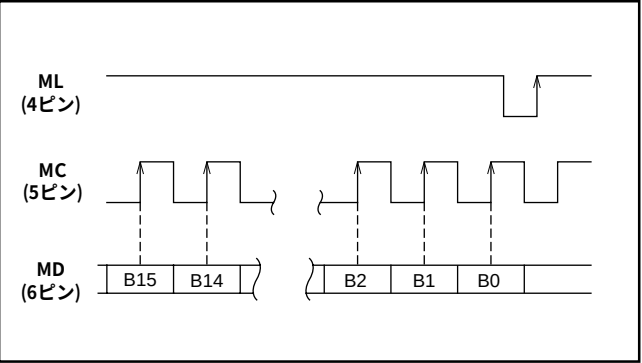


図10. シリアル制御データ・フォーマット

制御シリアル・データは16ビットのMCクロック、MDデータとイネーブル信号となるMLクロックで構成します。これらのクロックのタイミング規定を図11に示します。

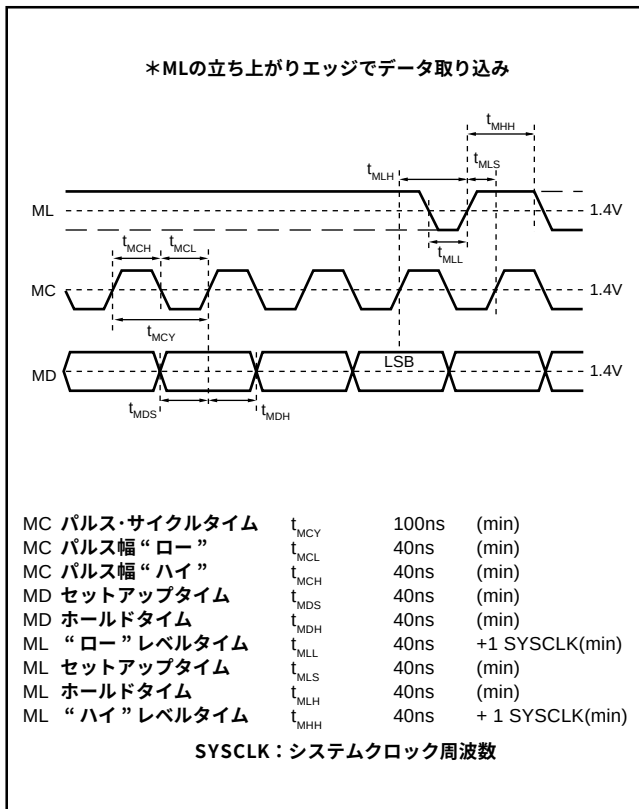


図11. シリアル制御データ・タイミング規定

シリアル制御データのレジスタ構成

モードコントロールにおける制御レジスタは図12に示すとおり、基本的に4つのモード・レジスタ (MODE0-MODE3) を持っており、レジスタの選択および選択内容は16ビットのシリアルデータで行ないます。

各レジスタ (MODE0-MODE3) のビット構成と機能を表2に示します。制御手順としては、まず A_0 、 A_1 ビットにてレジスタを選択し、他のビットでそれぞれの機能を制御します。また、シリアル制御データはリセット解除後に入力します。

	B15	B14	B13	B12	B11	B10	B9	B8	B7	B6	B5	B4	B3	B2	B1	B0
MODE0	res	res	res	res	res	A1	A0	LDL	AL7	AL6	AL5	AL4	AL3	AL2	AL1	AL0
MODE1	res	res	res	res	res	A1	A0	LDR	AR7	AR6	AR5	AR4	AR3	AR2	AR1	AR0
MODE2	res	res	res	res	res	A1	A0	PL3	PL2	PL1	PL0	IW1	IW0	OPE	DEM	MUT
MODE3	res	res	res	res	res	A1	A0	IZD	SF1	SF0	res	res	res	ATC	LRP	IIS

図12. 各レジスタのフォーマット

レジスタ名	ビット名	機能
MODE0	A1、A0 LDL AL7~AL0 res	レジスタのアドレス アッテネーション・データのロード Lchのアッテネーション・データの設定 未使用、“0”に固定
MODE1	A1、A0 LDR AR7~AR0 res	レジスタのアドレス アッテネーション・データのロード Rchのアッテネーション・データの設定 未使用、“0”に固定
MODE2	A1、A0 PL3~PL0 IW1、IW0 OPE DEM MUT res	レジスタのアドレス アナログ出力モードの制御 入力オーディオデータビット長の選択 DAC部 内部動作のON/OFF ディエンファシス ON/OFF ソフト・ミュート 未使用、“0”に固定
MODE3	A1、A0 IZD SF1、SF0 ATC LRP IIS res	レジスタのアドレス ゼロ検出強制ミュートON/OFF サンプリング・レート f_s 選択 アッテネーション制御 LRCIN極性選択 オーディオデータ・フォーマット選択 未使用“0”に固定

表II. 各レジスタの名称と機能

A1、A0 (MODE0~MODE3)

制御レジスタのMODE0-MODE3の選択は、A1、A0両ビットのコントロールで行ないます。

レジスタ	A1	A0
MODE0	0	0
MODE1	0	1
MODE2	1	0
MODE3	1	1

AL7-AL0、AR7-AR0、 LDL、LDR (MODE0, MODE1)

MODE0およびMODE1はデジタル・アッテネータの制御レジスタで、AL7-AL0、AR7-AR0 (AL7、AR7がMSB、AL0、AR0がLSB) の各ビットによって256ステップのアッテネータをLch/Rch独立で設定することができます。

アッテネータはLDL、LDRを“1”にセットすることで有効となり、LDL、LDRが“0”の場合、アッテネートの設定値は有効となりますが、DAC出力はLDL、LDRが“1”になるまで変化しません。

アッテネータの減衰量ATTは次に示す計算式で与えられます。(但し、FFhの時は0dB)

$$ATT = 20\log_{10} (\text{アッテネート値}/256) \text{ [dB]}$$

$$FFh = 0\text{dB}$$

|

|

|

$$FEh = -0.07\text{dB}$$

$$01h = -48.16\text{dB}$$

$$00h = -\infty$$

0dBから $-\infty$ までの遷移時間は $256/f_s$ で、リセット時にはFFhに設定されます。また、後述するMODE3レジスタATC機能により、Lch/RchをLchアッテネート・データのみで同時に制御することも可能です。

PL3-PL0 (MODE2)

MODE2レジスタにおけるPL3-PL0フラグは、両チャンネル出力を16通りに設定できる機能で、通常のスtereo動作以外にモノラル、ミュート、逆ステレオ等の選択が可能です。

なお、このアナログ出力モードの選択機能は入力データに対して初段ステージにて実施され、アッテネータ、ミュート等の機能はアナログ出力モード選択後に出力側チャンネルに対して機能します。例えば、逆ステレオモードにした場合、Lch入力信号はRchから出力され、デジタル・アッテネータ値はRch側で制御しなければなりません。

IW1、IW0 (MODE2)

MODE2レジスタにおけるIW1、IW0フラグはオーディオ入力データのビット長選択機能です。

IW1	IW0	オーディオ入力データ・ビット	初期設定
0	0	16ビット	○
0	1	20ビット	
1	0	24ビット	
1	1	Reserved	

アナログ出力モード選択機能および信号の流れ

PL3	PL2	PL1	PL0	Lch出力	Rch出力	注	初期設定
0	0	0	0	ミュート	ミュート	ミュート	
1	0	0	0	ミュート	R		
0	1	0	0	ミュート	L		
1	1	0	0	ミュート	(L+R)/2		
0	0	1	0	R	ミュート		
1	0	1	0	R	R		
0	1	1	0	R	L	リバース	
1	1	1	0	R	(L+R)/2		
0	0	0	1	L	ミュート		
1	0	0	1	L	R	ステレオ	○
0	1	0	1	L	L		
1	1	0	1	L	(L+R)/2		
0	0	1	1	(L+R)/2	ミュート		
1	0	1	1	(L+R)/2	R		
0	1	1	1	(L+R)/2	L		
1	1	1	1	(L+R)/2	(L+R)/2	モノラル	

OPE(MODE2)

MODE2レジスタにおけるOPEフラグは、入力条件に関係なく、DAC動作を強制ミュート状態とします。OPE=“1”を選択すると $1/f_s$ 以内にアナログ出力を $1/2V_{CA}$ (BPZ) とする強制ミュート状態になります。この場合でも、各MODEレジスタには直前の内容が保持されており、各レジスタの値を更新することができます。

OPE	機能	初期設定
0	DAC正常動作	○
1	DAC動作強制ミュート	

MUT(MODE2)

MODE2レジスタにおけるMUTフラグでソフトミュート動作のON/OFFを制御します。ソフトミュートON時は、両チャンネルのアナログ出力を $-\infty$ にまでアッテネートします。ハードウェア・モード時は、アッテネータ機能が選択できないので、0dBから $-\infty$ まで $256/f_s$ 時間で変化し、また、ソフトミュートOFFで $-\infty$ から0dBまで同じように変化します。ソフトウェア・モード時では、アッテネータ機能が選択され、ある値にアッテネータ値が設定されている場合、ソフトミュートONでそのアッテネータ値から $-\infty$ まで $(256 - \text{そのアッテネータ値})/f_s$ 時間で変化します。ソフトミュートOFFでは、その逆に $-\infty$ からミュート前のアッテネータ値に変化します。

DEM(MODE 2)

MODE2レジスタにおけるDEMフラグはディエンファシスのON/OFF制御です。なお、ディエンファシスの対応サンプリング・レート f_s はMODE 3におけるSF1、SF0フラグで設定させます。

DEM	機能	初期設定
0	ディエンファシス OFF	○
1	ディエンファシス ON	

MUT	ソフトミュート	初期設定
0	OFF	○
1	ON	

IZD(MODE3)

MODE3レジスタにおけるIZDフラグは、ゼロ検出によるDAC出力の強制ミュートON/OFFを制御します。Lch/Rch共にオーディオデータが65536回連続して“0”の場合、ゼロ検出回路が動作します。

この時、ゼロ検出強制ミュートON (IZD = 1)を選択していれば、DAC出力は強制的に $1/2V_{CA}$ (BPZ)にミュートされます。入力データが“0”以外となれば、その時点で強制ミュートは解除されます。

また、このIZDの設定はZERO端子(8ピン)の動作には影響しません。

IZD	機能	初期設定
0	ゼロ検出強制ミュートOFF	○
1	ゼロ検出強制ミュートON	

SF1、SF0(MODE 3)

MODE 3レジスタにおけるSF1、SF0フラグにより基準サンプリング・レート f_s の選択をします。

SF1	SF0	サンプリング・レート f_s	初期設定
0	0	44.1k系	○
0	1	48k系	
1	0	32k系	
1	1	Reserved	
44.1K系 (44.1kHz、88.2kHz、22.05kHz) 48K系 (48kHz、96kHz、24kHz) 32K系 (32kHz、64kHz、16kHz)			

ATC(MODE3)

MODE3レジスタにおけるATCフラグは、デジタル・アッテネータの設定を両チャンネル共通で行える機能を選択します。ATC = “1”を選択すると、アッテネータMODE1における“AL7-AL0”によってLch/Rch同時に共通で制御可能です。この時、AR7-AR0のアッテネータ値は無視されます。

ATC	機能	初期設定
0	L/R独立アッテネーション	○
1	L/R共通アッテネーション	

LRP(MODE3)

MODE3におけるLRPフラグは、LRCKINクロックの極性選択機能で、LRP = “0”でLch/H、Rch/Lとなります。

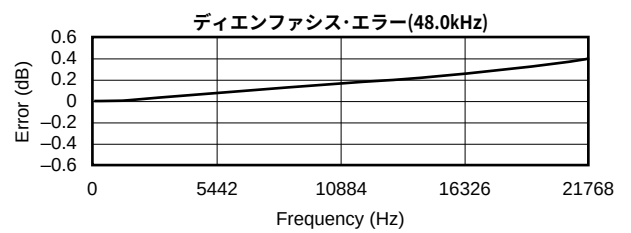
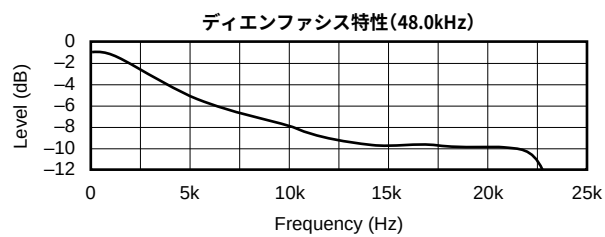
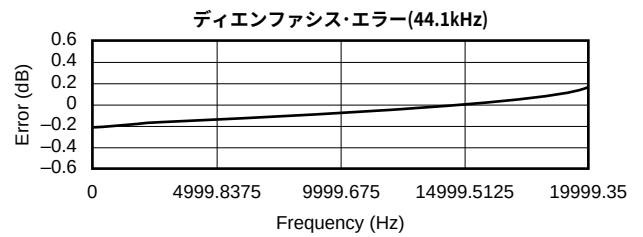
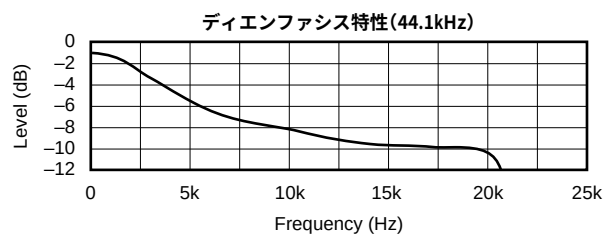
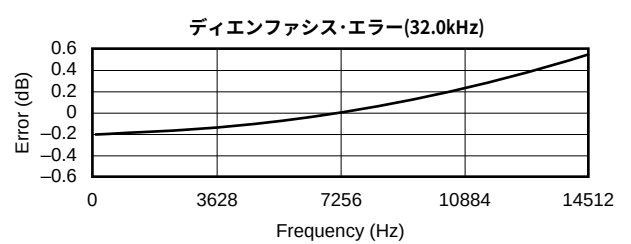
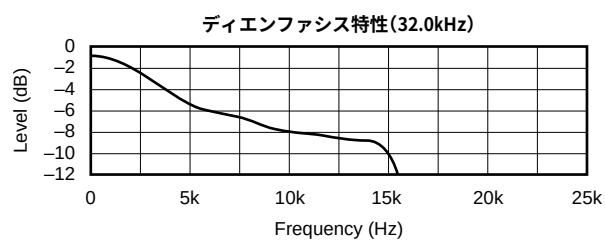
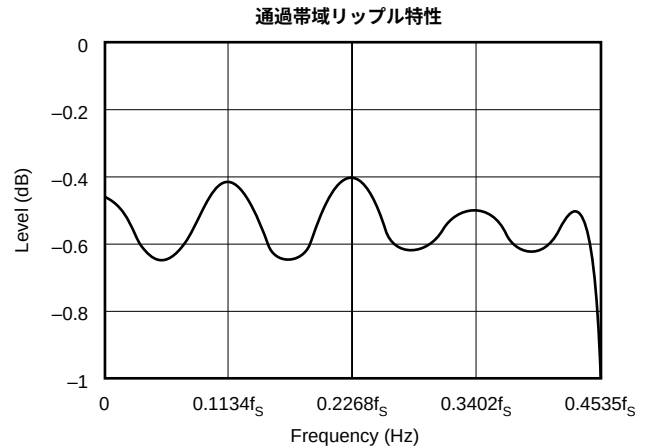
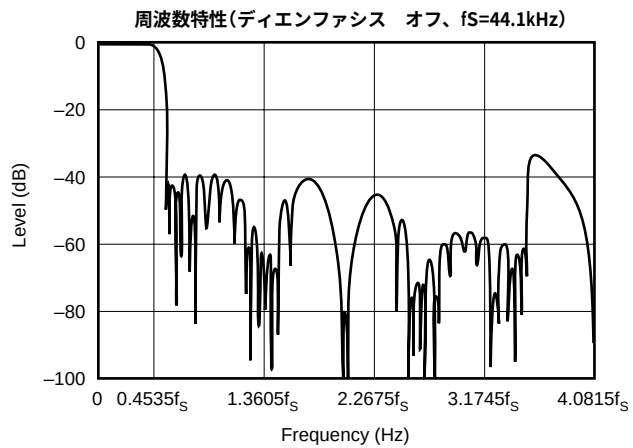
LRP	LRCKINクロックの極性	初期設定
0		○
1		

IIS(MODE3)

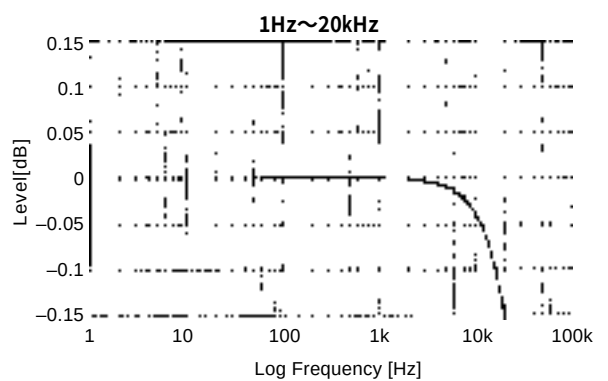
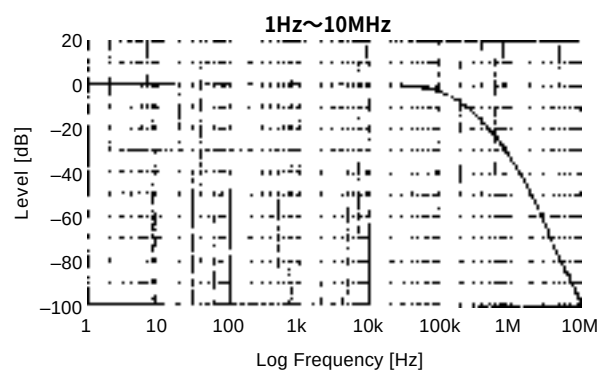
MODE3レジスタにおけるIISフラグは、入力データ・フォーマットのスタンダード/IIS選択機能です。

IIS	入力データ・フォーマット	初期設定
0	スタンダード (後づめ)	○
1	IIS	

デジタルフィルタ特性



内蔵アナログフィルタ特性



ダイナミック特性とテスト条件

PCM1720では32kHz、44.1kHz、48kHzといった標準的なサンプリング・レート(f_s)の他、ハーフ f_s 、ダブル f_s の広範囲なサンプリング・レートに対応可能ですが、実アプリケーションにおいては、ナイキストの定理に基づいた出力ポスト・ローパスフィルタの設定について十分考察しなければなりません。また、PCM1720の全てのダイナミック特性は、現行のEIAJにおけるCDプレーヤの測定法で用いられる20kHzの帯域制限条件でテストされています。

PCM1720の内蔵デジタルフィルタは8倍オーバー・サンプリングで阻止帯域減衰量は35dBです。したがって、出力スペクトラムは図13で示されます。

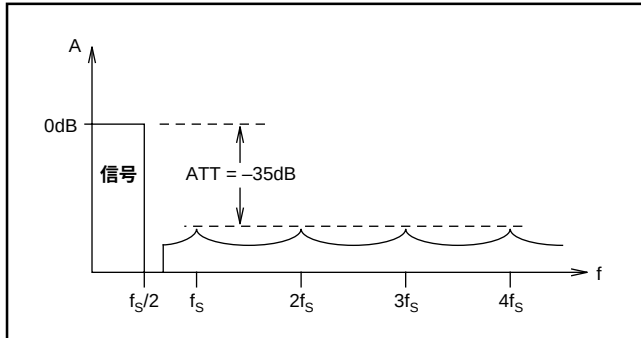


図13. デジタルフィルタによる出力スペクトラム

$f_s = 48\text{kHz}$ 、 f_{max} (最大信号周波数) = 20kHzを例にポストLPF特性による出力測定スペクトラムの差を図14に示します。図14においてLPF特性がAの場合は、測定されるスペクトラムは信号S+THDであり、THDテストにおいて、正しくTHDを測定できます。LPF特性がBまたはCの場合は、測定されるスペクトラムはS+THDにデジタルフィルタで除去しきれない残留スペクトラムP1, P2も測定してしまいます。

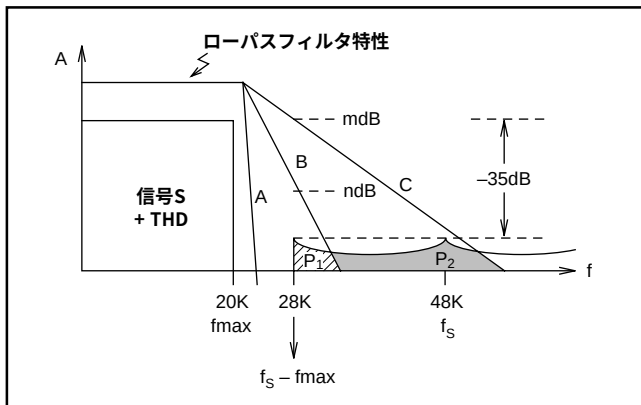


図14. THDテストとLPFの関係

($f_s - f_{\text{max}}$)における測定スペクトラムはBの場合、

$$S + \text{THD} + (-35\text{dB} - \text{ndB}) P1$$

Cの場合

$$S + \text{THD} + (-35\text{dB} - \text{mdB}) P1$$

これらの場合、THDテストはTHDではなく、帯域外スペクトラムを測定していることになります。

0.01%のTHDはdB換算では-80dBですから、($f_s - f_{\text{max}}$)における減衰量はDACのTHD実力値よりも大きくなければなりません。

今まで解説した通り、ダイナミック特性の正しいテストでは20kHzの帯域制限が必要です。このことは図15に示すように“測定条件”として必要なもので、

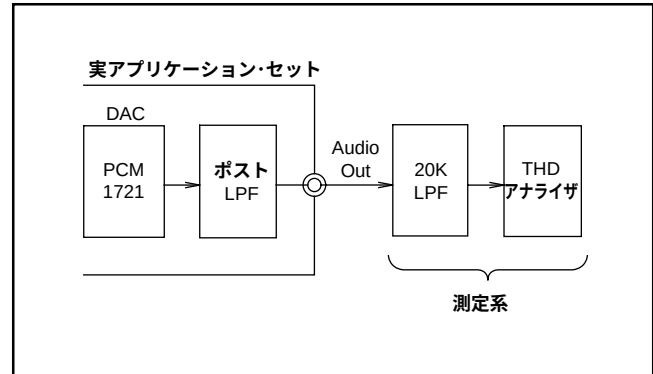


図15. THDテスト条件

実アプリケーションのセットに要求するものではありません。実際のセットにおいては人間の聴覚上、20kHz以上のスペクトラムは聞こえないので、20kHz以上のスペクトラムに対する処理、すなわち、ポストLPFの次数、カットオフ周波数等の特性は設計者の意図により決定されるべきものです。

次にサンプリング・レート f_s が96kHz、88.2kHz、64kHzの場合ですが、ナイキスト定理による信号最大周波数 f_{max} はそれぞれ48kHz、44.1kHz、32kHzとなり、ダイナミック特性のテストにおける帯域制限も20kHzから変更すべきですが、現行ではこれらのサンプリング・レートに対する標準が無いので、PCM1720においては20kHz帯域制限条件下でテストしています。

PCM1720応用接続図

図16にPCM1720の応用接続図(外部27MHzマスタークロック入力)を示します。C1～C3のバイパス・コンデンサはできる限りピンに最短距離で接続し、各電源グラウンドは共通接続とし、グラウンドパターンはなるべく広いベタグラウンドとします。

ポストLPFは実際のアプリケーションでは、CR1次パッシブ、アクティブ2次～3次が一般的に用いられます。
アナログ段のミュート回路制御タイミングはシステム全体との動作状況により決定されます。

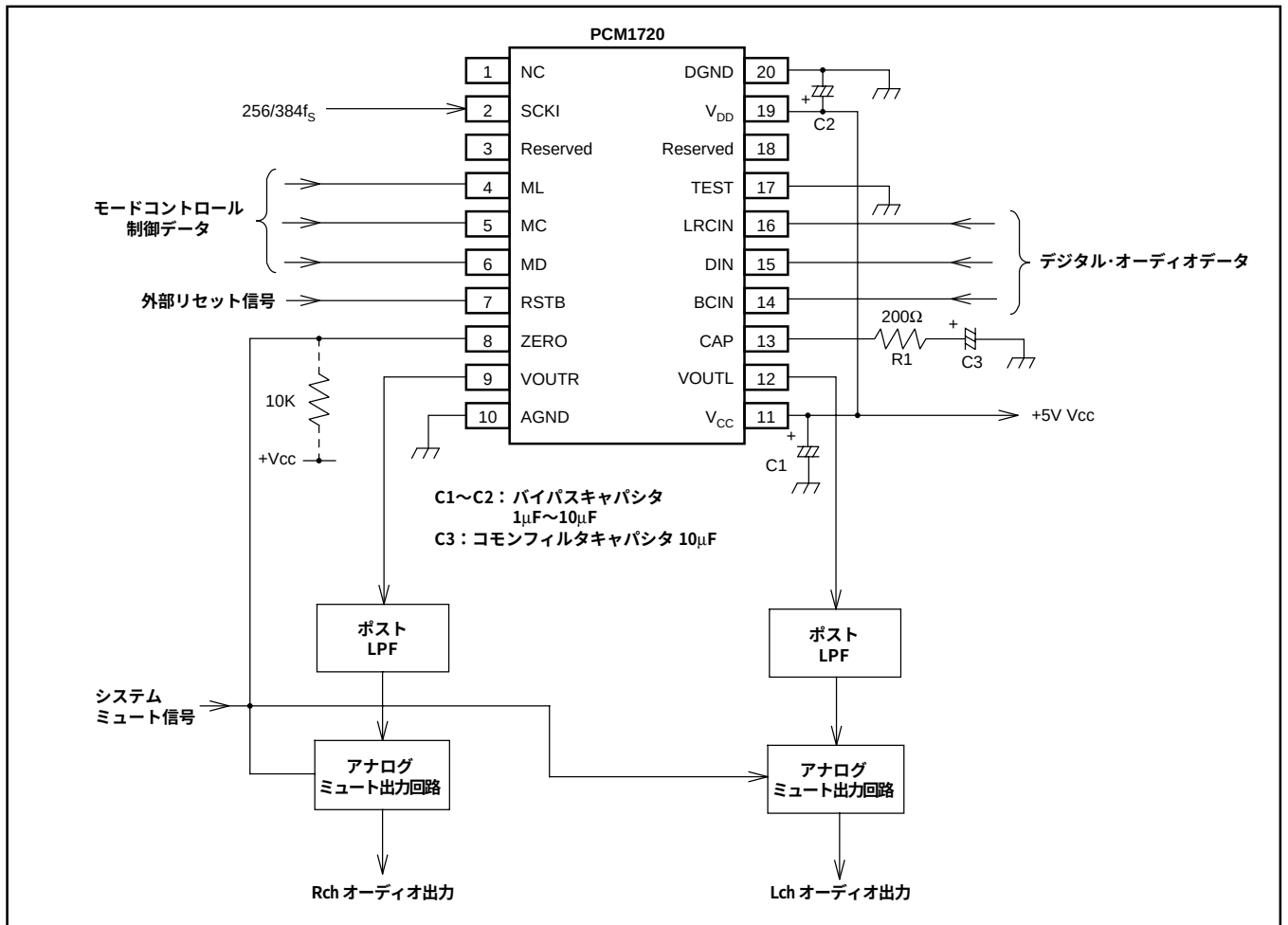


図16. PCM1720応用接続図

Dolby AC-3、5.1チャンネルへの応用例

DVDアプリケーションにおいて、Dolby AC-3、5.1チャンネルへの対応はPCM1720を2個とPCM1723を1個組み合わせることによ

り簡単に実現することが可能です。図17に応用例を示します。

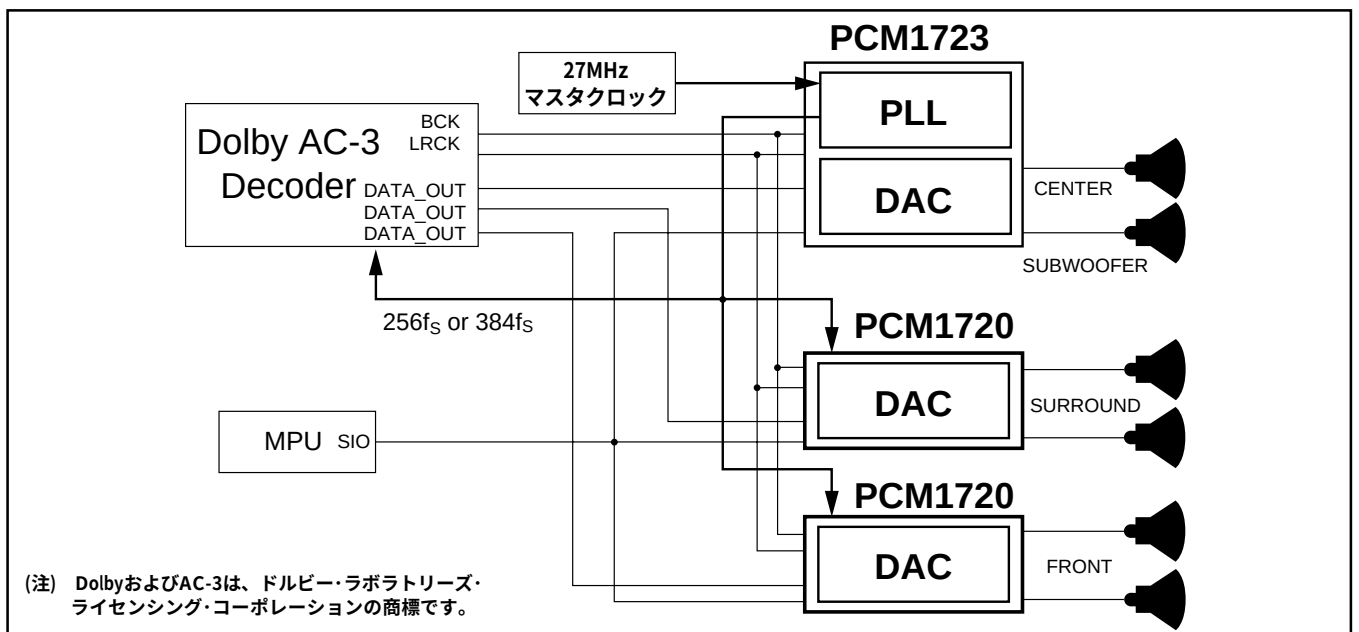
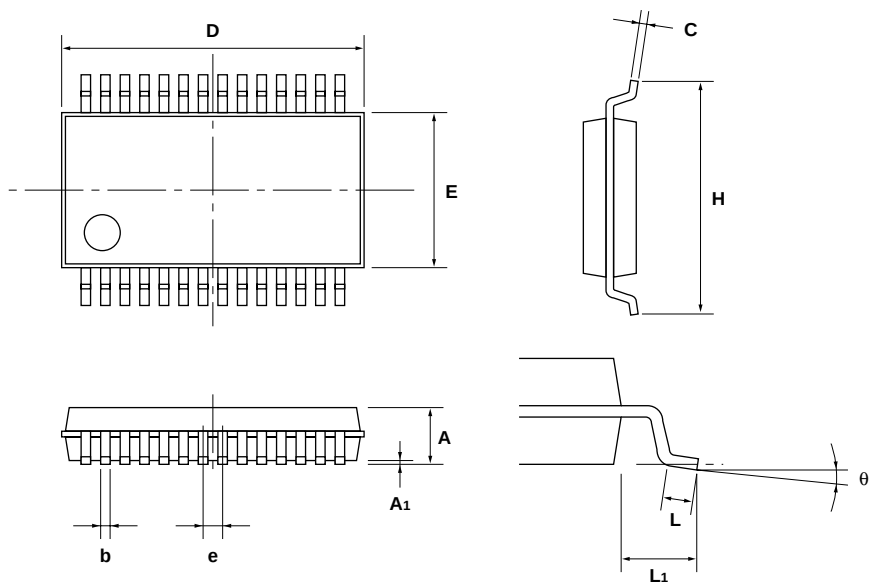


図17. Dolby AC-3、5.1チャンネルへの応用例

外觀図

パッケージ：20ピンSSOP



DIM	MILLIMETERS		
	MIN	TYP	MAX
A	1.73	1.88	2.10
A1	0.00	0.11	0.21
b	0.22	0.31	0.42
C	0.13	0.20	0.27
D	7.07	7.20	7.40
E	5.20	5.30	5.38
e	0.55	0.65	0.75
H	7.65	7.85	8.10
L	0.45	0.60	0.95
L1	1.20	1.30	1.40
θ	0.00°	4.00°	8.00°