



デュアル電圧出力ヘッドフォン・アンプ およびデジタルフィルタ内蔵 CMOSデルタ-シグマ型 D/Aコンバータ

特 長

- マルチレベル・デルタ-シグマ方式
- 16ビット分解能
- 16/18ビット・インターフェース可能
- 高性能(DAC部)
 THD+N: 0.004% (標準)
 ダイナミックレンジ: 95dB (標準)
 S/N比: 100dB (標準)
- ヘッドフォン・アンプ内蔵
 アナログミュート機能
- 2ch同位相電圧出力
 $V_o = 0.62 \times V_{cc} (V_{pp})$
- サンプルング・レート f_s (32/44.1/48kHz)
- システム・クロック: $256f_s/384f_s$ 対応
- 8倍オーバー・サンプルング・デジタル
 フィルタ内蔵
- 2次アナログ・ローパスフィルタ内蔵
- マルチファンクション
 デジタル・ディエンファシス
 ソフトミュート
 アッテネータ (256ステップ、L/R独立制御可)
 アナログ出力モード選択機能 (16通り)
- 5V単一電源動作
- パッケージ: 小型28ピンSSOP

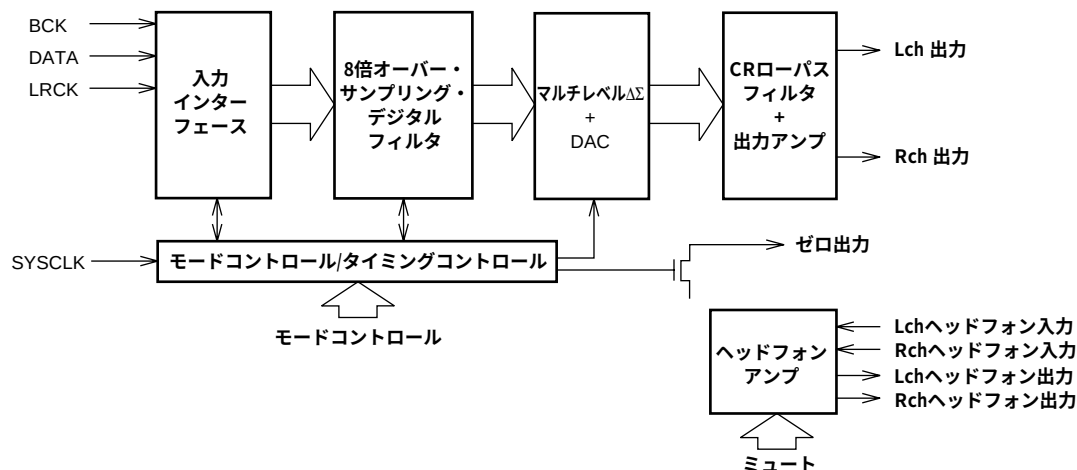
概 要

PCM1719は、バー・ブラウンが誇るマルチレベル・デルタ-シグマ方式DACにデジタルフィルタ、出力オペアンプおよびヘッドフォン・アンプを1チップ化した、デュアルCMOSデルタ-シグマ型ハイ・コストパフォーマンスD/Aコンバータです。

PCM1719は32kHzから48kHzのサンプルング・レートに対応でき、システム・クロックは $256f_s/384f_s$ のいずれも動作可能で、 $256f_s/384f_s$ の自動選択機能を内蔵しています。入力デジタル・データは、16ビット/18ビット、スタンダード/HISフォーマットのいずれにも対応できます。

さまざまなアプリケーションに対応するため、PCM1719は豊富なコントロール・ファンクションを持っています。L/R独立256ステップ・アッテネータ、ソフトミュート、ディエンファシス、アナログ出力モード選択機能等、実アプリケーションに応じての制御が可能です。また、 32Ω ヘッドフォンをドライブ可能なアナログミュート付きヘッドフォン・アンプを内蔵しており、最小限の外付け部品で回路を構成できます。

PCM1719の電源電圧は、単一5Vで動作でき、小型28ピンSSOP、高性能特性とあわせて、CD-DA、CD-ROM、CD-I、MPEG応用製品、DVD-ROM等広範囲なアプリケーションに用いることができます。



仕様

特に記述のない限り、T_A=+25°C、V_{CC}=V_{DD}=PV_{CC}=+5.0V、f_s=44.1kHz、SYSCLK=384f_s、16ビット・データ入力、測定帯域20kHzにおけるものです。

パラメータ	条件	PCM1719E			単位
		最小	標準	最大	
分解能		16			Bits
デジタル入出力			TTLコンパチブル		
入力ロジックレベル	V _{IH} ⁽¹⁾ V _{IL} ⁽¹⁾	2.0		0.8	VDC
入力ロジック電流	I _{IH} ⁽²⁾ I _{IL} ⁽²⁾ I _{IH} ⁽³⁾ I _{IL} ⁽³⁾ I _{IH} ⁽⁴⁾ I _{IL} ⁽⁴⁾ I _{IH} ⁽⁵⁾ I _{IL} ⁽⁵⁾ I _{IH} ⁽⁶⁾ V _{OH} ⁽⁶⁾ V _{OL} ⁽⁷⁾	V _{IH} =2.0V V _{IL} =0.0V V _{IH} =2.0V V _{IL} =0.0V V _{IH} =2.0V V _{IL} =0.0V V _{IH} =2.0V V _{IL} =0.0V I _{IH} =-5mA I _{OH} =+5mA I _{OL} =+5mA		0.8 0.8 -0.8 -100 -120 15 -15 -60 -100 1.0 1.0	μA μA μA μA μA μA μA μA VDC VDC VDC
出力ロジックレベル		3.8			
インターフェース・フォーマット			スタンダード/HS フォーマット選択可 16/18bits MSBファースト 2'sコンプリ		
データ・フォーマット					
基準サンプリング周波数		32	44.1	48	MHz
システム・クロック周波数	256f _s /384f _s	8.192/12.288	11.2896/16.9344	12.288/18.432	MHz
ダイナミック特性(DAC出力) ⁽⁸⁾⁽⁹⁾	THD+N V _o =0dB(F/S) V _o =-60dB				
ダイナミック・レンジ	EIAJ、Aウエイト	90	96	0.01	%
S/N比	EIAJ、Aウエイト	92	100		%
チャンネルセパレーション	f=991Hz	90	97		dB
レベルリニアリティ・エラー	f=991Hz、-90dB		±0.5		dB
ダイナミック特性(アンプ出力) ⁽⁸⁾⁽¹⁰⁾	RL=64Ω				dB
THD+N V _o =0dB(F/S)			0.04	0.1	%
周波数特性	f=20Hz~20kHz		±0.1	±0.2	dB
出力雑音電圧	EIAJ、Aウエイト、Rg=0Ω		25	30	μVrms
チャンネルセパレーション		87	90		dB
アッテネーション・レベル		80	85		
(アナログミュート時)					
DC特性(DAC出力) ⁽⁹⁾					
ゲイン・エラー			±1	±5	% of FSR
ゲイン・エラー、チャンネル間ミスマッチ			±1	±5	% of FSR
ハイボラ・ゼロ誤差	V _o =1/2 V _{CC} at BPZ		±30		mV
DC特性(アンプ出力) ⁽¹¹⁾	RL=64Ω				
入力インピーダンス			55		kΩ
電圧ゲイン			-2.8		dB
電圧ゲイン・エラー	G=-2.8dB		±0.1	±0.2	dB
入力オフセット電圧			±30		mV
ゲイン・エラー、チャンネル間ミスマッチ			±0.1	±0.2	dB
アナログ出力(DAC出力) ⁽⁹⁾					
出力電圧	0dB(F/S)		3.1		V _{pp}
センター電圧			1/2 V _{CC}		V
AC負荷抵抗		5			kΩ
アナログ出力(アンプ出力) ⁽¹⁰⁾⁽¹¹⁾	RL=64Ω				
最大出力電流			12.5		mArms
最大出力電圧	V _I =3.1V _{pp} (0dB)		0.8		Vrms
最大出力電力			10		mW
AC負荷抵抗			64		Ω
デジタルフィルタ特性					
通過帯域		0.555f _s		0.445f _s	Hz
阻止帯域				±0.17	Hz
通過帯域リップル					dB
阻止帯域減衰量		-35			dB
ディエンファシス・エラー	f _s =32kHz~48kHz	-0.2		+0.55	dB
群遅延			11.125/f _s		sec
内蔵アナログフィルタ特性					
周波数特性	f=20Hz~20kHz		-0.16		dB
電源供給					
電源電圧 +V _{CC} 、+V _{DD} 、+PV _{CC}	V _{CC} =V _{DD} =PV _{CC}	4.5	5.0	5.5	VDC
電源電流 ⁽¹²⁾					
+I _{CC} 、+I _{DD}	V _{CC} =V _{DD} =5V		18	25	mA
+I _{PCC} (BPZ入力時) ⁽¹³⁾	PV _{CC} =5V		18	25	mA
+I _{PCC} (フルスケール入力時) ⁽¹³⁾	PV _{CC} =5V		20	25	mA
消費電力					
P _D	V _{CC} =V _{DD} =5V		90	125	mW
P _{PD} (BPZ入力時) ⁽¹³⁾	PV _{CC} =5V		90	125	mW
P _{PD} (フルスケール入力時) ⁽¹³⁾	PV _{CC} =5V		100	125	mW
温度範囲					
動作		-25		+85	°C
保存		-55		+125	°C

注(1)1ピン、4ピン~6ピン、17ピン、23ピン~26ピン(XTi、LRCIN、DIN、BCKIN、PMUTE、RSTB、MD、MC、ML)の各端子に適用。(2)4ピン~6ピン(LRCIN、DIN、BCKIN)の各端子に適用(シュミット・トリガ入力)。(3)23ピン~26ピン(RSTB、MD、MC、ML)の各端子に適用(シュミット・トリガ入力、プルアップ抵抗内蔵)。(4)1ピン(Xti)に適用。(5)17ピン(PMUTE)に適用(シュミット・トリガ入力、プルアップ抵抗内蔵)。(6)27ピン(CLKO)に適用。(7)7ピン(ZERO)に適用(オープンドレイン出力)。(8)20kHz帯域制限、シバソク社725C(平均値モード、400Hz HPF ON、30kHz LPF ON)。(9)DAC出力はAC結合、DAC部のみの動作とする。(10)11ピンおよび18ピン(PINR、PINL)の各端子に1kHz、3.1V_{pp}の正弦波を入力。(11)アンプ出力はAC結合、アンプ部のみの動作とする。(12)27ピンおよび28ピン(CLKO、XTO)共に無負荷。(13)RL=64Ω接続時。

ピン構成

ピン	名称	I/O	機能
1	XTI	IN	クリスタル発振器入力端子および外部クロック入力端子
2	DGND	—	デジタル・グランド端子
3	V _{DD}	—	デジタル電源端子
4 ⁽¹⁾	LRCIN	IN	基準サンプリングクロック入力端子
5 ⁽¹⁾	DIN	IN	PCM-オーディオデータ入力端子、標準/IISフォーマットが選択可能
6 ⁽¹⁾	BCKIN	IN	PCM-オーディオデータ用ビット・クロック入力端子
7	ZERO	OUT	インフィニティ・ゼロ・フラグ出力端子、この端子はオープンドレインです。
8	NC	—	
9	V _{OUTR}	OUT	Rch、アナログ電圧出力端子
10	AGND	—	アナログ・グランド端子
11	PINR	IN	Rch、ヘッドフォン・アンプ入力端子
12	PCOM	—	ヘッドフォン・アンプ・コモン端子
13	POUTR	OUT	Rch、ヘッドフォン・アンプ出力端子
14	PAGND	—	ヘッドフォン・アンプ・グランド端子
15	PVcc	—	ヘッドフォン・アンプ電源端子
16	POUTL	OUT	Lch、ヘッドフォン・アンプ出力端子
17 ⁽¹⁾⁽²⁾	PMUTE	IN	アナログミュート端子、この端子はアクティブ"L"です。
18	PINL	IN	Lch、ヘッドフォン・アンプ入力端子
19	Vcc	—	アナログ電源端子
20	V _{OUTL}	OUT	Lch、アナログ電圧出力端子
21	COM	—	アナログ出力アンプ・コモン端子
22	NC	—	
23 ⁽¹⁾⁽²⁾	RSTB	IN	リセット端子、この端子はアクティブ"L"です。
24 ⁽¹⁾⁽²⁾	MD	IN	各種制御データ入力端子
25 ⁽¹⁾⁽²⁾	MC	IN	各種制御データ入力用ビット・クロック端子
26 ⁽¹⁾⁽²⁾	ML	IN	各種制御データ入力用ロードストロープ端子
27	CLKO	OUT	XTI(1ピン)の反転出力
28	XTO	OUT	クリスタル発振器部出力端子

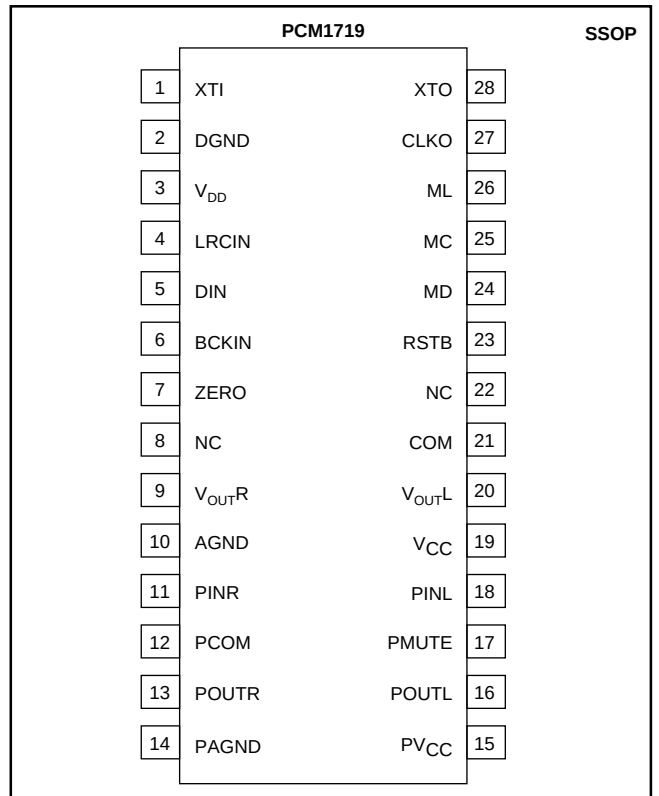
注:(1)シュミットトリガ入力(2)内部でプルアップされています。



静電気放電対策

静電気放電はわずかな性能の低下から完全なデバイスの故障に至るまで、様々な損傷を与えます。すべての集積回路は、適切なESD保護方法を用いて、取扱いと保存を行うようにして下さい。高精度の集積回路は、損傷に対して敏感であり、極めてわずかなパラメータの変化により、デバイスに規定された仕様に適合しなくなる場合があります。

ピン配置



絶対最大定格

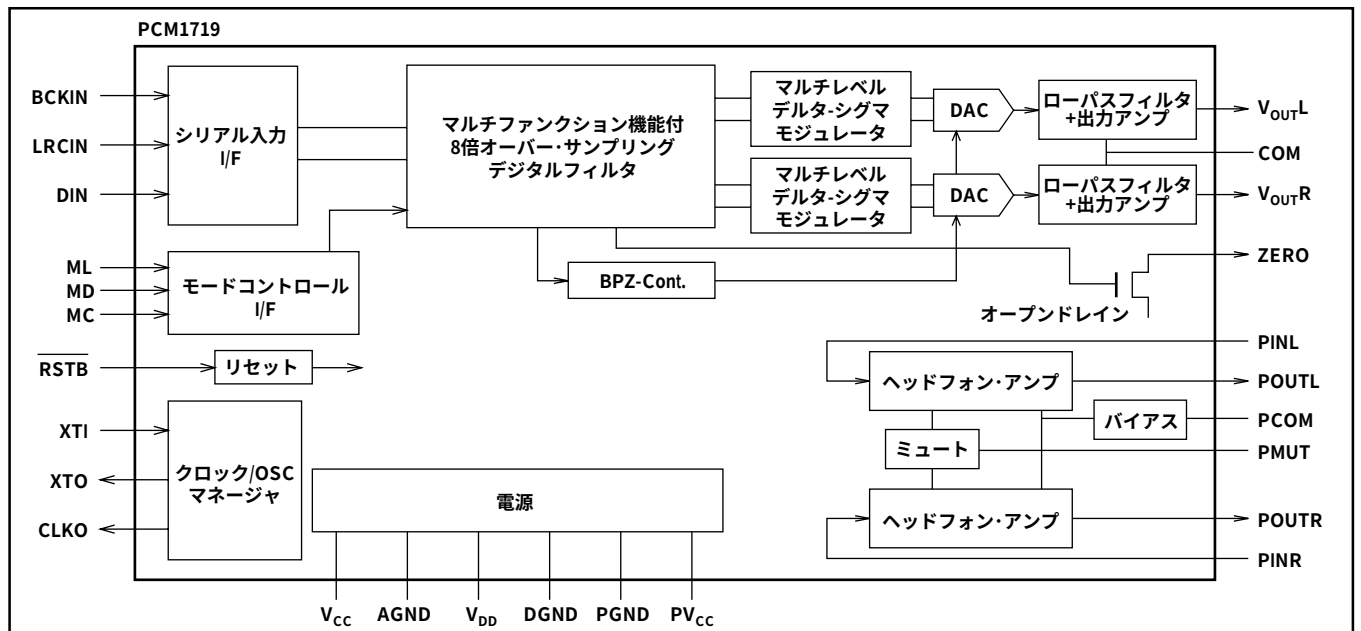
保存温度	-55°C~+125°C
動作温度	-25°C~+85°C
電源電圧	+6.5V
電源電圧差	±0.1V
入力電圧	-0.3V~V _{DD} +0.3V
消費電力	500mW
半田耐熱性	260°C 5秒
熱抵抗 θ _{JA}	130°C/W

パッケージ情報/ご発注の手引き⁽¹⁾

モデル	パッケージ	温度範囲
PCM1719E	28ピンSSOP	-25°C~+85°C

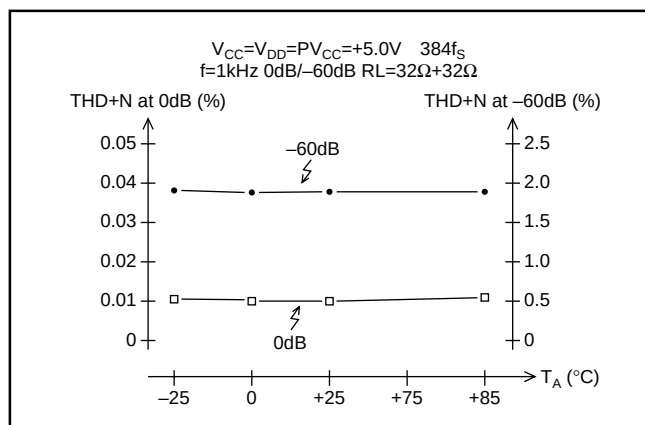
注：(1)詳細図および寸法表は、データシートの巻末を参照して下さい。

ブロック図

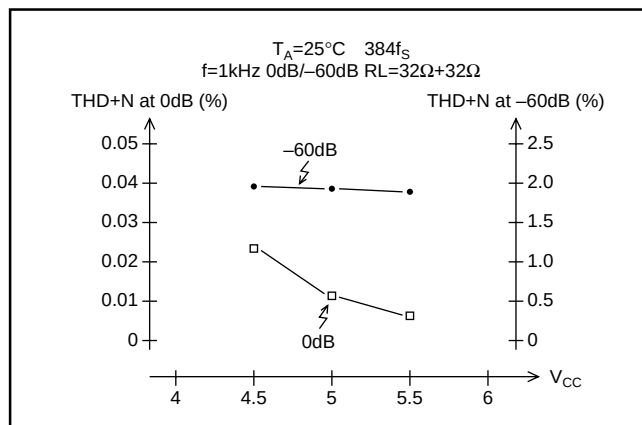


代表的性能曲線

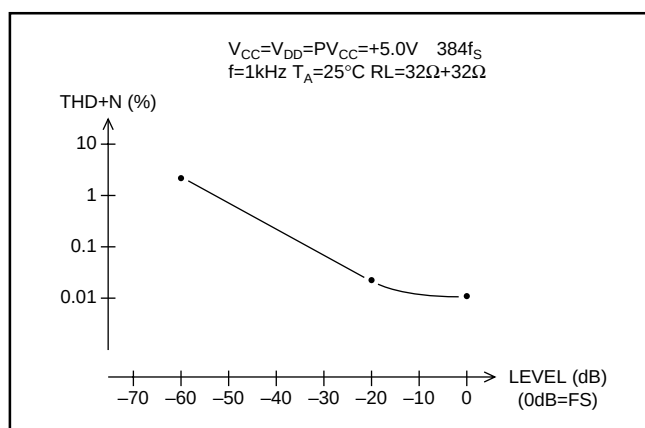
総合THD+N 対 周囲温度



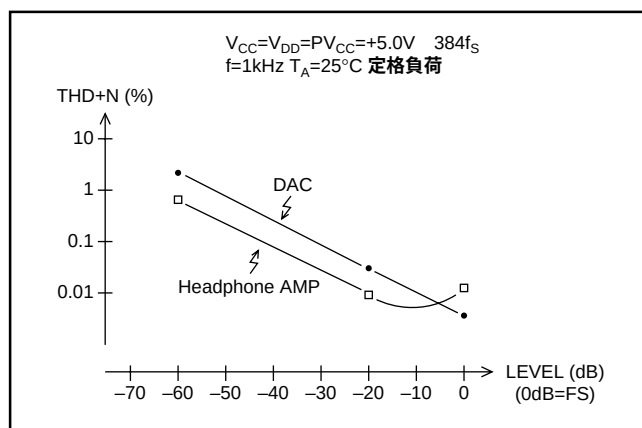
総合THD+N 対 電源電圧



総合THD+N 対 入力レベル



独立動作THD+N 対 入力レベル



ΔΣセクションの動作原理

PCM1719のΔΣセクションでは、振幅方向に5レベルの分解能をもつ5レベル量子化器を用いて、5レベルのΔΣ変調を行います。デジタルフィルタでオーバー・サンプリングされた16ビットのデータはΔΣ変調された5レベル(0、1、2、3、4)信号に変換されます。

図1に、この5レベルΔΣ変調器のブロック図を示します。ΔΣ次数は3次としていますが、一般的な1ビット(2レベル)ΔΣ変調に比べて、系の安定性および耐ジッタ性に優れています。デジタルフィルタ部とΔΣ変調部との総合オーバー・サンプリング・レートは $256f_s$

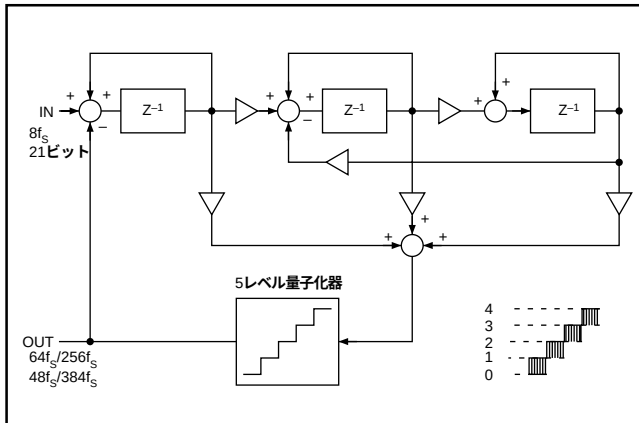


図1. 5レベルΔΣ変調器のブロック図

マルチレベルΔΣの耐ジッタ特性

PCM1719は、5レベル量子化器の使用により、他の一般的な1ビットDACに比べてシステム・クロックのジッタ耐量に優位性を持っています。図3にシミュレーションによる、ジッタ量対ダイナミック・レンジの比較データを示します。

時では $64f_s$ 、 $384f_s$ 時では $48f_s$ となっています。

一般的なΔΣ変調では次数を高くすると系が不安定になる問題がありますが、PCM1719では5レベルΔΣ変調および系全体の位相補償により優れた安定性を得ています。

図2に、ΔΣ変調後の量子化雑音レベルの理論スペクトラム特性($f_s=44.1\text{kHz}$ 、システム・クロック= $384f_s$ 、信号周波数 $f_{\text{sig}}=1\text{kHz}$)を示します。PCM1719では、5レベルΔΣ変調により、オーディオ帯域において -120dB 以上量子雑音を抑圧しています。

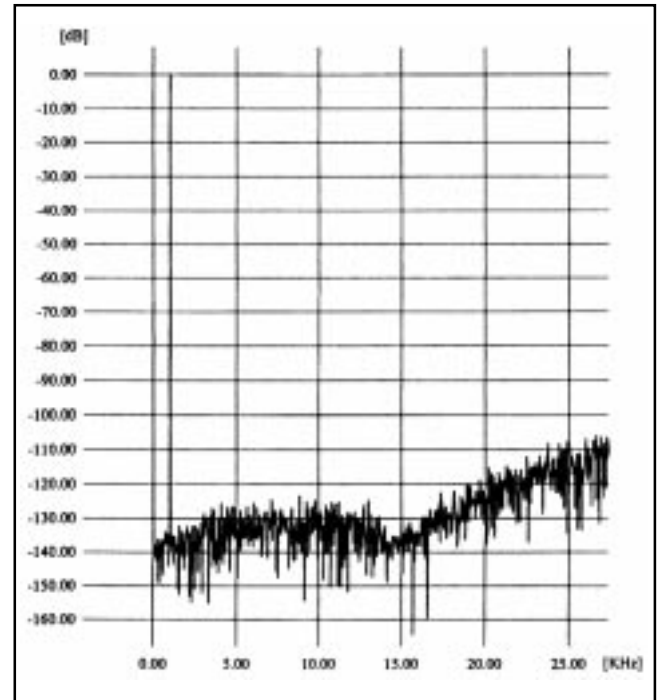


図2. 量子化雑音特性

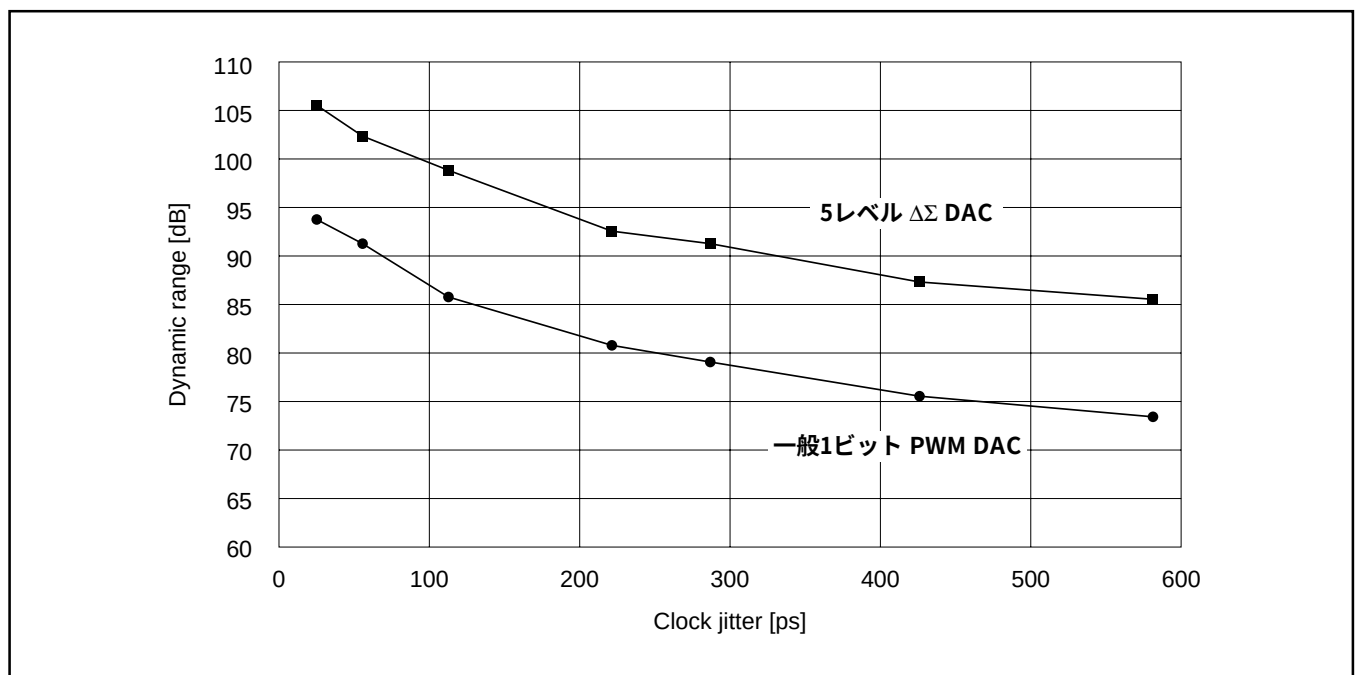


図3. ジッタ対ダイナミック・レンジ シミュレーション・データ

オーディオ・データ・インターフェース

PCM1719は、LRCIN、DIN、BCKINにより、外部システムとインターフェースします。入力データ・フォーマットは16ビットまたは18ビット、MSBファースト、2'sコンプリで後詰め

ドフォーマットまたはIISフォーマットの選択が可能です。データ・フォーマットとタイミング規定を図4および図5に示します。

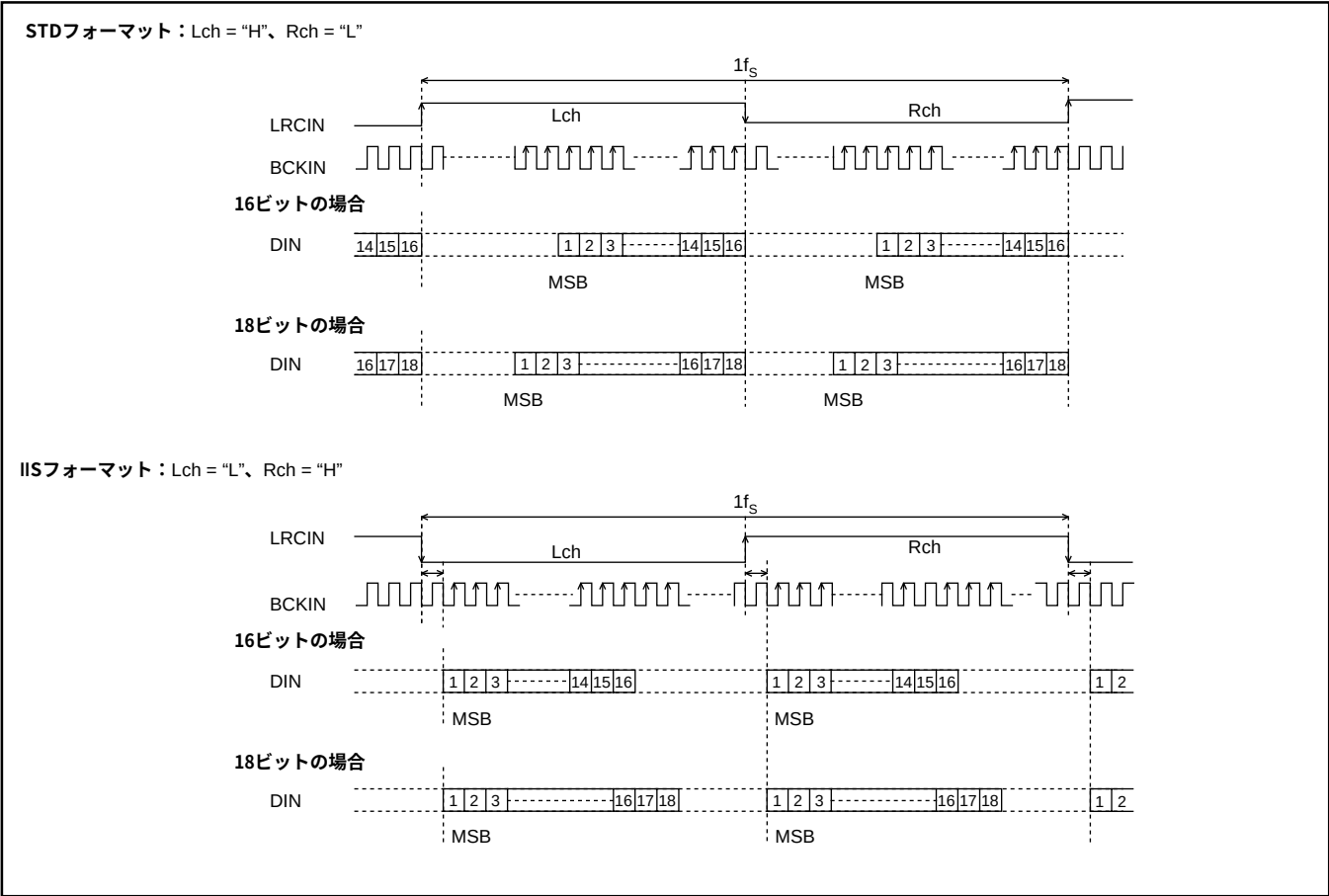


図4. オーディオ・データ入力フォーマット

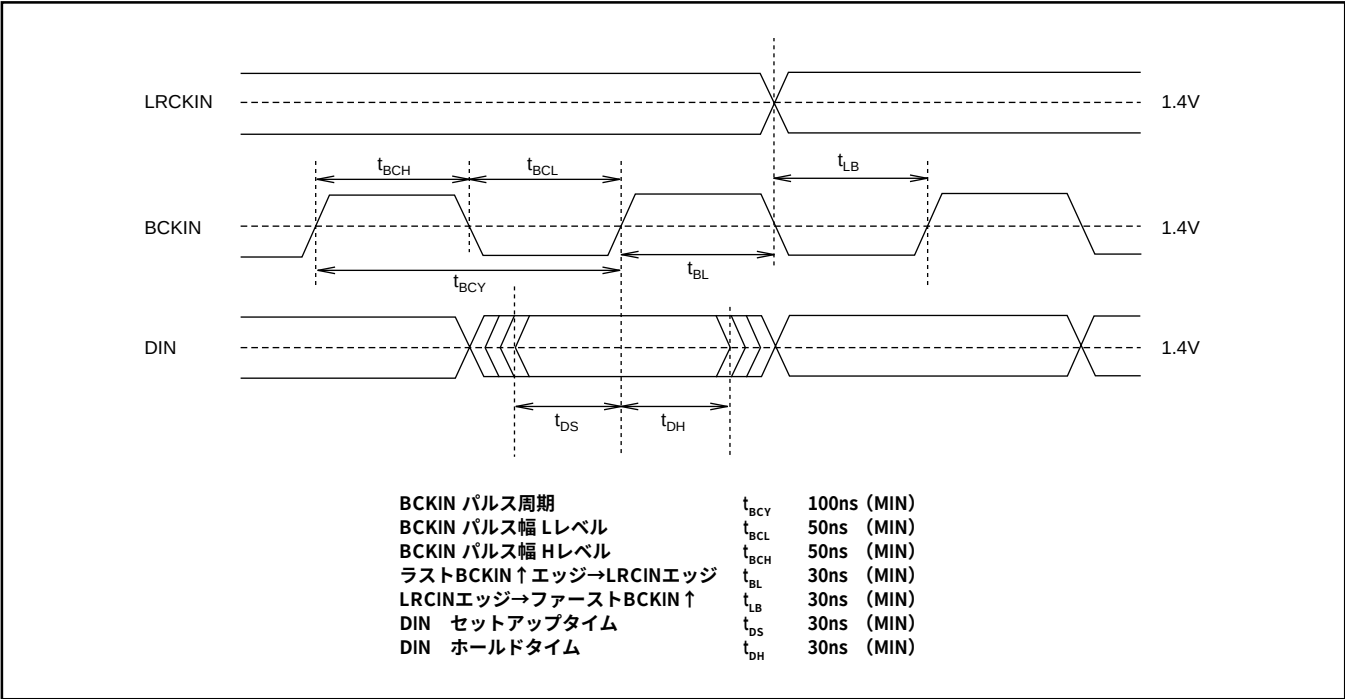


図5. 入力タイミング規定

システム・クロック

PCM1719のシステム・クロックは、 $256f_s$ および $384f_s$ のいずれも対応可能で、内部に $256f_s/384f_s$ の自動判別機能を有しているため、外部より $256f_s/384f_s$ の選択制御は必要ありません。システム・クロックはXTi(ピン1)–XTO(ピン28)間にクリスタル発振子を接続するか、XTi(ピン1)に外部からクロックを直接入力することができます。外部よりクロックを供給する場合、XTO(28ピン)は必ずオープン(未使用)として下さい。

また、システム・クロックとLRCINクロック(基準サンプリング・レート)は同期をとる必要がありますが、位相を正確に合わせる必要はありません。

PCM1719の内部システム・クロック回路とシステム・クロック周波数例、外部よりクロックを供給する場合のタイミング規定を図6および図7に示します。

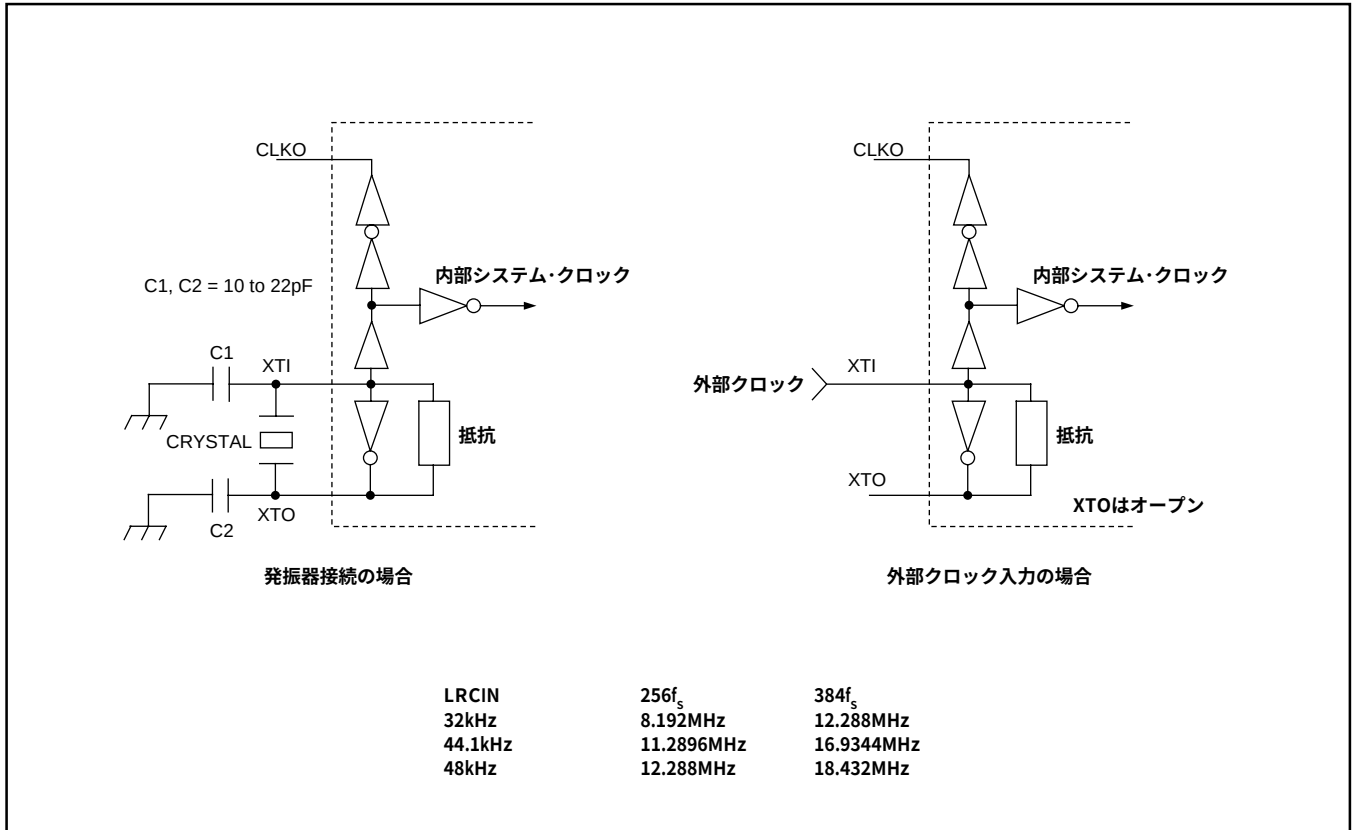


図6. PCM1719システム・クロック部内部回路およびタイミング規定

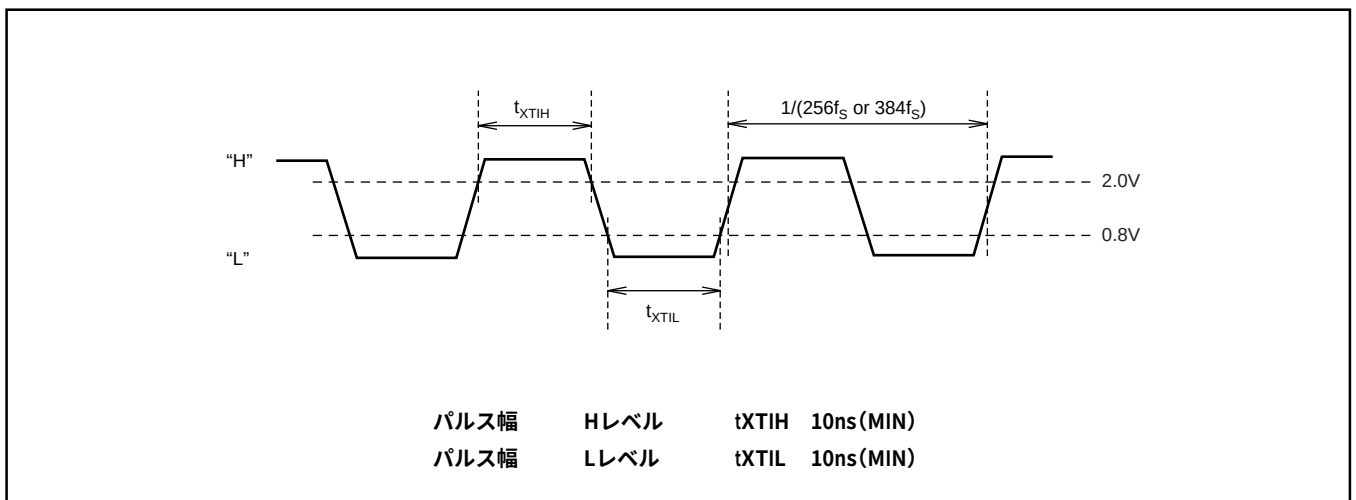


図7. PCM1719システム・クロック(外部より供給)タイミング規定

リセット・オペレーション

PCM1719には、次に示す内蔵のパワーオン・リセットと外部からのRSTB端子制御による2種のリセットがあります。これらのリセット機能は内部動作に対しては共通になっており、同じ働きをします。

リセット時にはソフトウェア・モードにおける各コントロールのレジスタ(MODE0からMODE3)には初期値が設定され(ソフトウェアモードの説明参照)、リセット期間中のアナログ出力は $1/2V_{CC}$ (BPZ)に固定されます。

パワーオン・リセット

内蔵のパワーオン・リセットは電源電圧を検知して自動的に行われます。電源投入後、電源電圧が標準2.2V(1.8Vから2.6V)を超えると、リセット動作となり、システム・クロックを1024クロックカウントした後にリセットを解除します。パワーオン・リセット使用時はRSTB(ピン23)はオープンまたはHレベルとします。

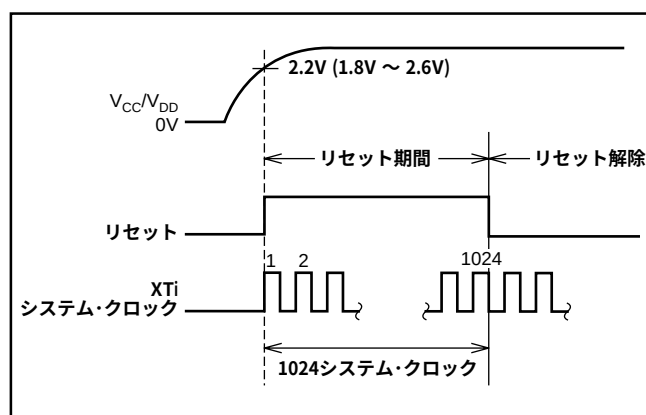


図8. パワーオン・リセット・タイミング

外部リセット

RSTB(ピン23)を一定期間‘L’レベルにすることにより、外部からリセットをかけることができます。

RSTB端子がLからHに変化した後、パワーオン・リセットと同様に1024システム・クロックのカウント後、リセット解除となるまでの間はリセット期間となります。

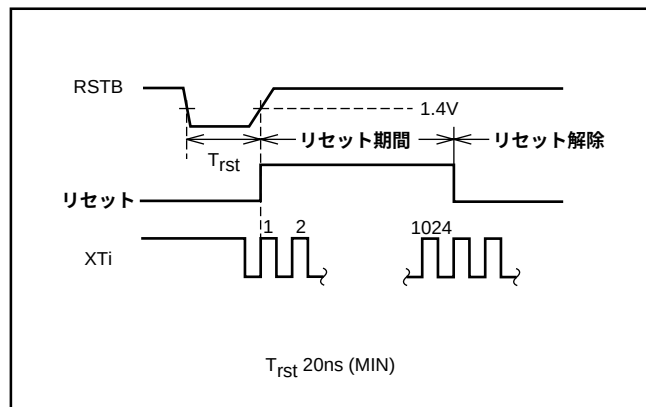


図9. 外部リセット・タイミング

ゼロフラグ出力機能

データ入力(DIN)が65536ビット・クロック・サイクルの間連続してゼロ‘0’の場合、ゼロ検出機能によりZERO端子(ピン7)が‘L’レベルとなります。その後、1ビット・クロック間でもデータ入力がゼロ以外となると、ZERO端子はハイ・インピーダンス状態となります。この端子はオープン・ドレイン出力なので、他の機能とOR接続をとることができます。また、このゼロフラグ出力機能はPCM1719の設定状態に関係なく、常にゼロ検出を実行します。(リセット時を除く)。

外部システムとの同期

PCM1719は、LRCINクロック(基準サンプリング・レート f_s)とシステム・クロック($256f_s/384f_s$)との同期関係を常時内部でモニタしています(リセット時を除く)。

LRCINクロックの1サイクル($1/f_s$)の間に256または384のシステム・クロックがあれば同期関係は成立し、正常動作します。

この両クロックの同期関係がズレた場合の動作は次のようになります。

$1/f_s$ 期間内の同期ズレ

たとえば、1LRCINクロック・サイクル($1/f_s$)の間だけ瞬時にシステム・クロックが255クロック($256f_s$ に対し)や386クロック($384f_s$ に対し)となった場合、このシステム・クロックのズレ時間が ± 5 ビット・クロック(BCKIN)期間内であれば、正常動作を保ちます。ズレ時間が ± 6 ビット・クロック期間を超えると同期外れ状態となります。

f_s が変化する場合の同期ズレ

たとえば、 f_s が352kHzから48kHzに変化する場合等でLRCINクロックとシステム・クロックの同期が $1/f_s$ 期間以上ずれた場合は同期外れ状態となります。

同期外れ時のDAC出力

同期状態から同期外れ状態となると、 $1/f_s$ 期間はDAC出力は不定となり、その後 $1/2V_{CC}$ (BPZ)を出力します。また、同期外れ状態から同期状態になった場合、 $11.125/f_s$ 期間DAC出力は不定となり、その後正常出力となります。

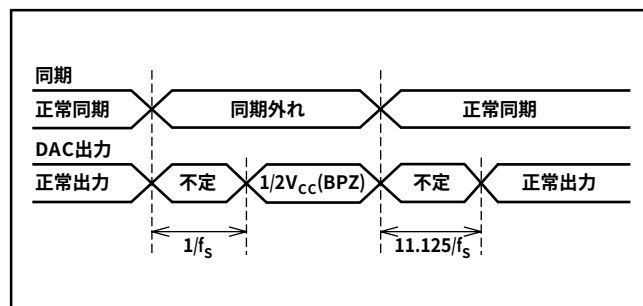


図10. 同期外れ時のDAC出力

動作モードの説明

PCM1719では、ML、MC、MDの各端子に制御データを伝送することにより動作モードをコントロールすることができます。

表Iに制御可能な動作モードとイニシャル状態(デフォルト)を示します。

機 能	イニシャル
インターフェース・フォーマットの選択 STD/I ² S	STD
入力データ・ビットの選択 16/18ビット	16ビット
LRCINの極性選択 Lch: H/Lch: L	Lch: H
ディエンファシス・コントロール	OFF
ソフトミュート・コントロール	OFF
アッテネーション・コントロール	0dB
出力モード・コントロール	ステレオ
インフェニティ・ゼロ検出回路コントロール	OFF
DAC動作のON/OFFコントロール	ON

表I. 制御可能なモード・コントロール

制御データ・フォーマット

PCM1719の動作モードをコントロールする制御データのフォーマットを図11に示します。

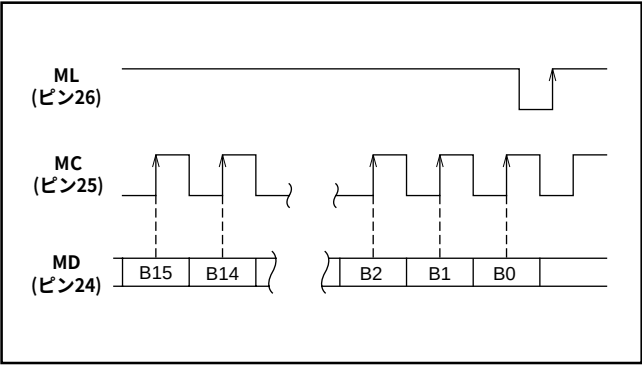


図11. シリアル制御データ・フォーマット

制御シリアルデータは16ビットのMCクロック、MDデータとイネーブル信号となるMLクロックで構成します。これらのクロックのタイミング規定を図12に示します。

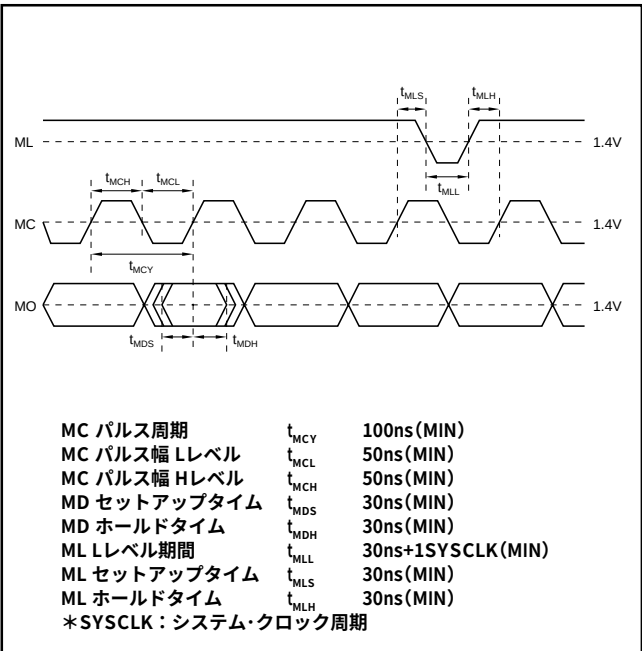


図12. シリアル制御データ・タイミング規定

シリアル制御データのレジスタ構成

モード・コントロールにおける制御レジスタは図13に示す通り、基本的に4つのモード・レジスタ(MODE0からMODE3)を持っており、レジスタの選択および制御内容は16ビットの制御シリアルデータで行います。

各レジスタ(MODE0からMODE3)のビット構成と機能を表IIに示します。制御手順としては、まずA1、A0ビットにてレジスタを選択し、他のビットでそれぞれの機能を制御することになります。また、制御シリアルデータはリセット解除後に入力します。

	B15	B14	B13	B12	B11	B10	B9	B8	B7	B6	B5	B4	B3	B2	B1	B0
MODE0	res	res	res	res	res	A1	A0	LDL	AL7	AL6	AL5	AL4	AL3	AL2	AL1	AL0
MODE1	res	res	res	res	res	A1	A0	LDR	AR7	AR6	AR5	AR4	AR3	AR2	AR1	AR0
MODE2	res	res	res	res	res	A1	A0	res	res	res	res	IZD	OPE	DM1	DM0	MUT
MODE3	res	res	res	res	res	A1	A0	res	PL3	PL2	PL1	PL0	ATC	IW	LRP	IIS

図13. 各レジスタのフォーマット

レジスタ名	ビット名	機 能
MODE0	A1, A0	レジスタのアドレス
	LDL	アッテネーション・データのロード
	AL7-AL0	Lchのアッテネーション・データの設定
	res	未使用、“0”に固定
MODE1	A1, A0	レジスタのアドレス
	LDR	アッテネーション・データのロード
	AR7-AR0	Rchのアッテネーション・データの設定
	res	未使用、“0”に固定
MODE2	A1, A0	レジスタのアドレス
	IZD	インフィニティ・ゼロ検出回路のON/OFF制御
	OPE	内部動作のON/OFF制御
	DM1	ディエンファシス
	DM0	ディエンファシス
	MUT	ソフトミュート
	res	未使用、“0”に固定
MODE3	A1, A0	レジスタのアドレス
	PL3-PL0	アナログ出力モードの制御
	ATC	アッテネーションの制御
	IW	オーディオ・データのビット長選択
	LRP	LRCINの極性選択
	IIS	オーディオ・データのフォーマット選択
	res	未使用、“0”に固定

表II. 各レジスタの名称と機能

A1, A0 (MODE0-MODE3)

制御レジスタのMODE0-MODE3の選択は、A1, A0両ビットのコントロールで行います。

レジスタ	A1	A0
MODE0	0	0
MODE1	0	1
MODE2	1	0
MODE3	1	1

AL7-AL0, AR7-AR0, LDL, LDR (MODE0, MODE1)

MODE0およびMODE1はデジタル・アッテネータの制御レジスタで、AL7-AL0, AR7-AR0(AL7, AR7がMSB, AL0, AR0がLSB)の各ビットによって256ステップのアッテネータをLch/Rch独立で設定することができます。

アッテネータはLDL, LDRが“1”にセットすることで有効となり、LDL, LDRが“0”の場合、アッテネートの設定値は有効となりますが、DAC出力はLDL, LDRが“1”になるまで変化しません。

アッテネータの減衰量ATTは次に示す計算式で与えられます。(ただし、FFhの時は0dB)

$$ATT = 20 \log_{10} (\text{アッテネート値}/256) \text{ [dB]}$$

$$\text{FFh} = 0\text{dB}$$

|

|

|

$$\text{FEh} = -0.07\text{dB}$$

$$01\text{h} = -48.16\text{dB}$$

$$00\text{h} = -\infty$$

0dBから $-\infty$ までの遷移時間は $256/f_s$ で、リセット時にはFFhに設定されます。また、後述するMODE3レジスタATC機能により、Lch/RchをLchアッテネート・データのみで同時に制御することも可能です。

IZD (MODE2)

MODE2レジスタにおけるIZDフラグは、ゼロ検出によるDAC出力の強制ミュートON/OFFを制御します。Lch/Rch共にオーディオ・データが65,536回連続して“0”の場合、ゼロ検出回路が動作します。

この時、ゼロ検出強制ミュートON(IZD=1)を選択していれば、DAC出力は強制的に $1/2V_{CC}$ (BPZ)にミュートされます。入力データが“0”以外となれば、その時点で強制ミュートは解除されます。

また、このIZDの設定はZERO端子(ピン7)の動作には影響しません。

IZD	機能	初期設定
0	ゼロ検出強制ミュートOFF	○
1	ゼロ検出強制ミュートON	

OPE (MODE2)

MODE2レジスタにおけるOPEフラグは、入力条件に関係なく、DAC動作を強制ミュート状態とします。OPEが“1”を選択すると $1/f_s$ 以内にDAC出力を $1/2V_{CC}$ (BPZ)とする強制ミュート状態になります。この場合でも、各MODEレジスタには直前の内容が保持されており、各レジスタの値を更新することができます。

OPE	機能	初期設定
0	DAC正常動作	○
1	DAC動作強制ミュート	

DM1, DM0 (MODE2)

MODE2レジスタにおけるDM1,DM0フラグで、デジタル・ディエンファシスの制御を行います。

DM1	DM0	ディエンファシス	ディエンファシス周波数	初期設定
0	0	OFF	—	○
0	1	ON	48kHz	
1	0	ON	44.1kHz	
1	1	ON	32kHz	

MUT (MODE2)

MODE2レジスタにおけるMUTフラグでソフトミュート動作のON/OFFを制御します。ソフトミュートON時は、両チャンネルのアナログ出力を $-\infty$ にまでアッテネートします。ハードウェア・モード時は、アッテネータ機能が選択できないので、0dBから $-\infty$ まで $256/f_s$ 時間で変化し、また、ソフトミュートOFFで $-\infty$ から0dBまで同じように変化します。ソフトウェア・モード時では、アッテネータ機能が選択され、ある値にアッテネータ値が設定されている場合、ソフトミュートONでそのアッテネータ値から $-\infty$ まで $(256 - \text{そのアッテネータ値})/f_s$ 時間で変化します。ソフトミュートOFFでは、その逆に $-\infty$ からミュート前のアッテネータ値に変化します。

MUT	ソフトミュート	初期設定
0	OFF	○
1	ON	

ATC (MODE3)

MODE3レジスタにおけるATCフラグは、デジタル・アッテネータの設定を両チャンネル共通で行える機能を選択します。ATC=“1”を選択すると、アッテネータMODE1における“AL7からAL0”によってLch/Rch同時に共通で制御可能です。この時、AR7-AR0のアッテネータ値は無視されます。

ATC	機能	初期設定
0	L/R独立アッテネーション	○
1	L/R共通アッテネーション	

IW (MODE3)

MODE3におけるIWフラグは、オーディオ入力データのビット長選択機能で、IW=“1”で18ビット入力を選択します。

IW	オーディオ入力データ・ビット	初期設定
0	16ビット	○
1	18ビット	

LRP (MODE3)

MODE3におけるLRPフラグは、LRCKINクロックの極性選択機能で、LRP=0でLch/H、Rch/Lとなります。

LRP	LRCKINクロックの極性	初期設定
0	H: Lch R	○
1	L: Lch R	

IIS (MODE3)

MODE3レジスタにおけるIISフラグは、入力データ・フォーマットのスタンダード/IIS選択機能です。

IIS	入力データ・フォーマット	初期設定
0	スタンダード(後づめ)	○
1	IIS	

PL3-PL0 (MODE3)

MODE3レジスタにおけるPL3からPL0フラグは、両チャンネル出力を16通りに設定できる機能で、通常のステレオ動作以外にモノラル、ミュート、逆ステレオ等の選択が可能です。

なお、このアナログ出力モードの選択機能は入力データに対して初段ステージにて実施され、アッテネータ、ミュート等の機能はアナログ出力モード選択後に出力側チャンネルに対して機能します。例えば、逆ステレオモードにした場合、Lch入力信号はRchから出力され、デジタル・アッテネータ値はRch側で制御しなければなりません。

アナログ出力モード選択機能および信号の流れ

PL3	PL2	PL1	PL0	Lch出力	Rch出力	注	初期設定
0	0	0	0	ミュート	ミュート	ミュート	
1	0	0	0	ミュート	R		
0	1	0	0	ミュート	L		
1	1	0	0	ミュート	(L+R)/2		
0	0	1	0	R	ミュート		
1	0	1	0	R	R		
0	1	1	0	R	L	リバース	
1	1	1	0	R	(L+R)/2		
0	0	0	1	L	ミュート		
1	0	0	1	L	R	ステレオ	○
0	1	0	1	L	L		
1	1	0	1	L	(L+R)/2		
0	0	1	1	(L+R)/2	ミュート		
1	0	1	1	(L+R)/2	R		
0	1	1	1	(L+R)/2	L		
1	1	1	1	(L+R)/2	(L+R)/2	モノラル	

ヘッドフォン・アンプ部

PCM1719は32Ωのヘッドフォンを直接ドライブできるヘッドフォン・アンプを内蔵しています。このアンプはゲイン-2.8dB、最大出力電流12.5mA_{rms}(標準)の反転アンプとして構成されています。DACのフルスケール出力電圧は3.1V_{pp}(標準)なので定格負荷64Ω(32+32Ω)接続時の出力電圧は0.8V_{rms}になります。ヘッドフォン・アンプの入力インピーダンスは55kΩ(標準)であり、非反転入力1/2PV_{CC}にバイアスされているため、ヘッドフォンアンプ入力はコンデンサでカップリングしてください。ヘッドフォン・アンプ内部に過電流制限回路が内蔵されていないため、出力端子を短絡しないようにし、電流制限抵抗を接続して下さい。この場合の負荷抵抗は電流制限抵抗を含めて64Ωとなるので、入力インピーダンス32Ωのヘッドフォンを使用する場合は32Ωの電流制限抵抗を接続します。THD+N対入力信号、負荷抵抗特性を図14に示しますが、THD+N特性の仕様を満足する条件は64Ω負荷、定格出力電流12.5mAにおけるものです。電流制限抵抗は最小15Ωまで可能ですが、この条件においては出力波形がクリップする等の症状が発生します。したがって、負荷条件としてはなるべく電流制限抵抗を32Ωとし、トータル64Ωとなるよう設計されることをおすすめします。

ボリューム・コントロール

0.8V_{rms}の出力電圧を可変したい場合は、ピン11、18(PINR、PINL)に可変抵抗を接続することでボリューム・コントロールを行います。ボリューム・コントロールを行う場合は10kΩ(標準)のボリュームを使用し、コンデンサでカップリングして接続します。

アナログミュート

アナログミュート機能により-80dB(最小)のアッテネーションが得られます。アナログミュートはピン17(PMUTE)をLレベルにすることにより動作し、使用しない場合Hはレベルまたはオープンとします。ピン17をLレベルにするとすぐに動作します。

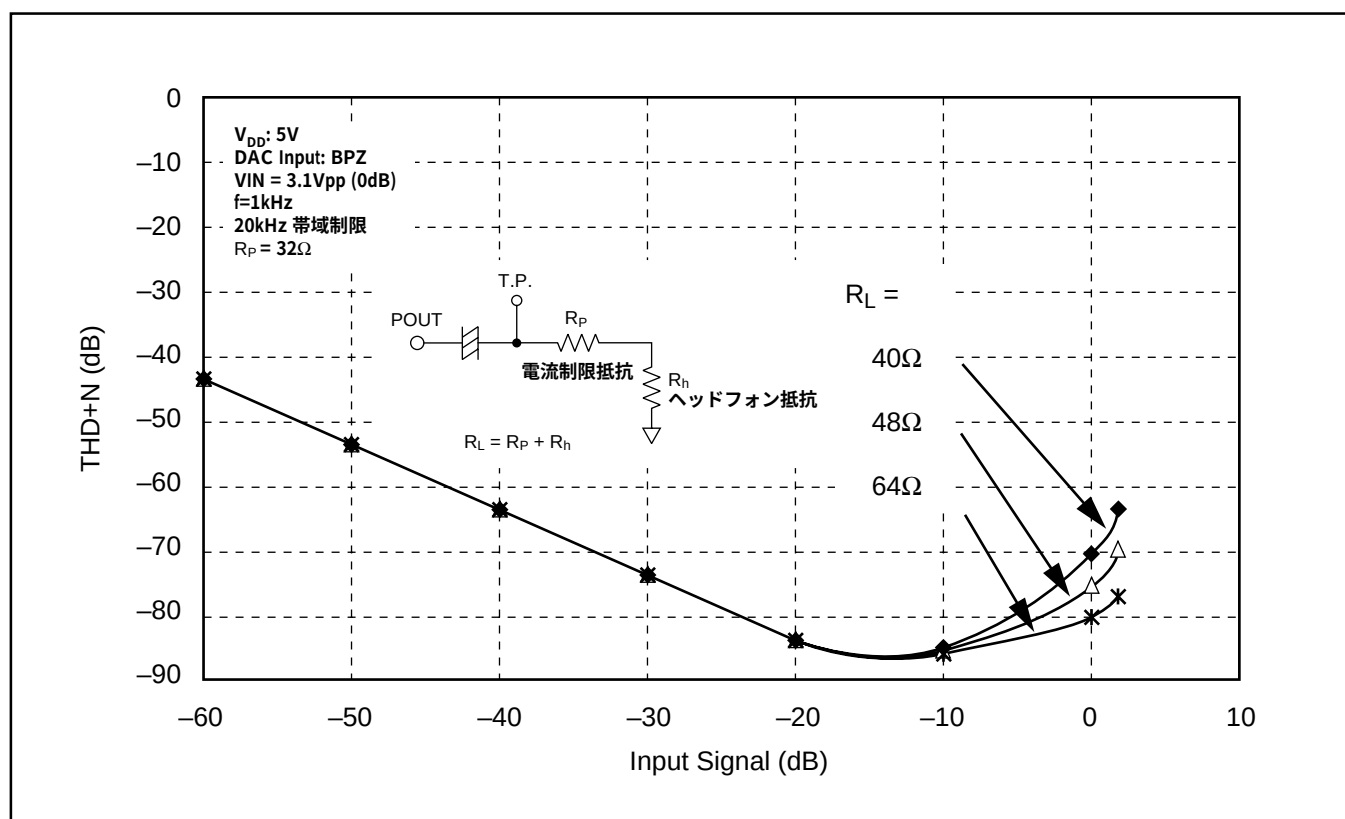
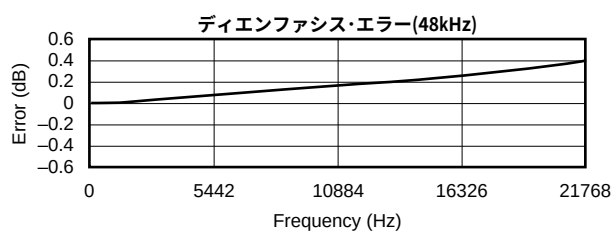
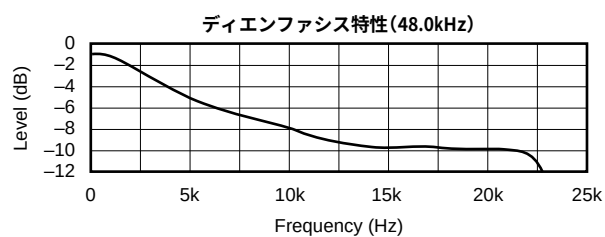
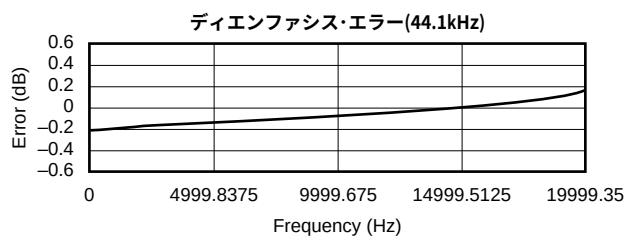
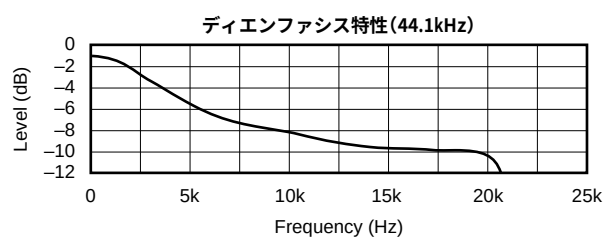
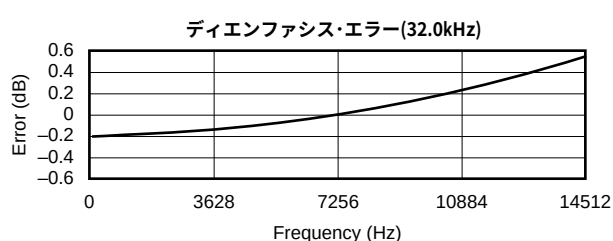
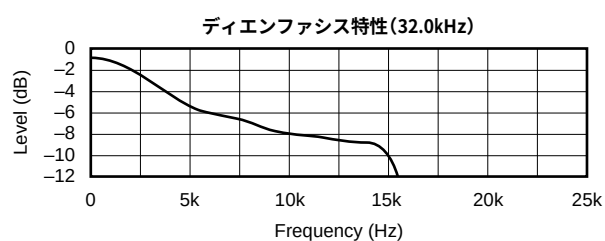
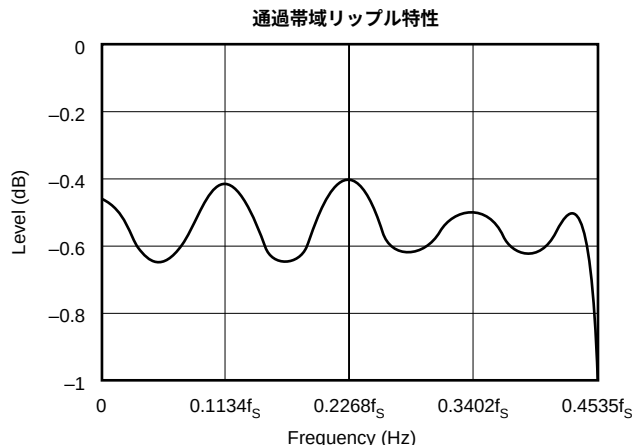
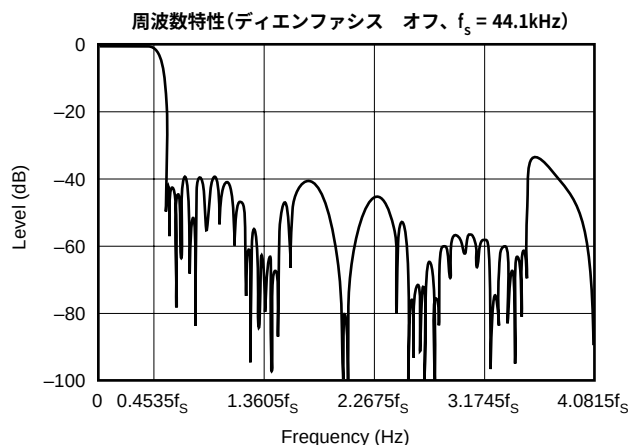
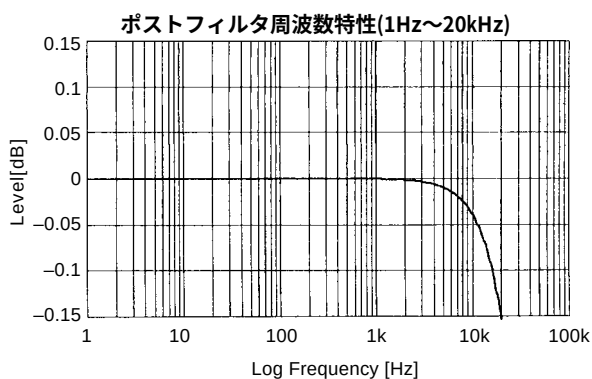
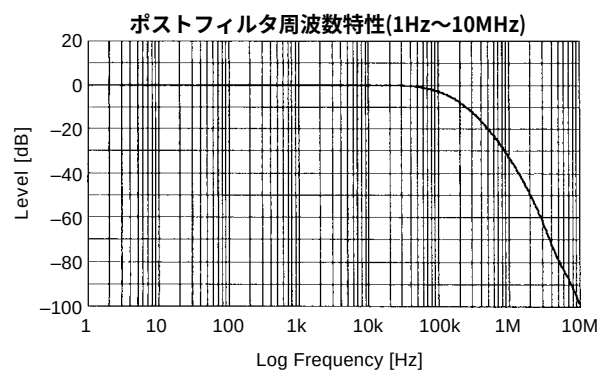


図14. THD+N対入力信号、負荷抵抗特性

デジタルフィルタ特性



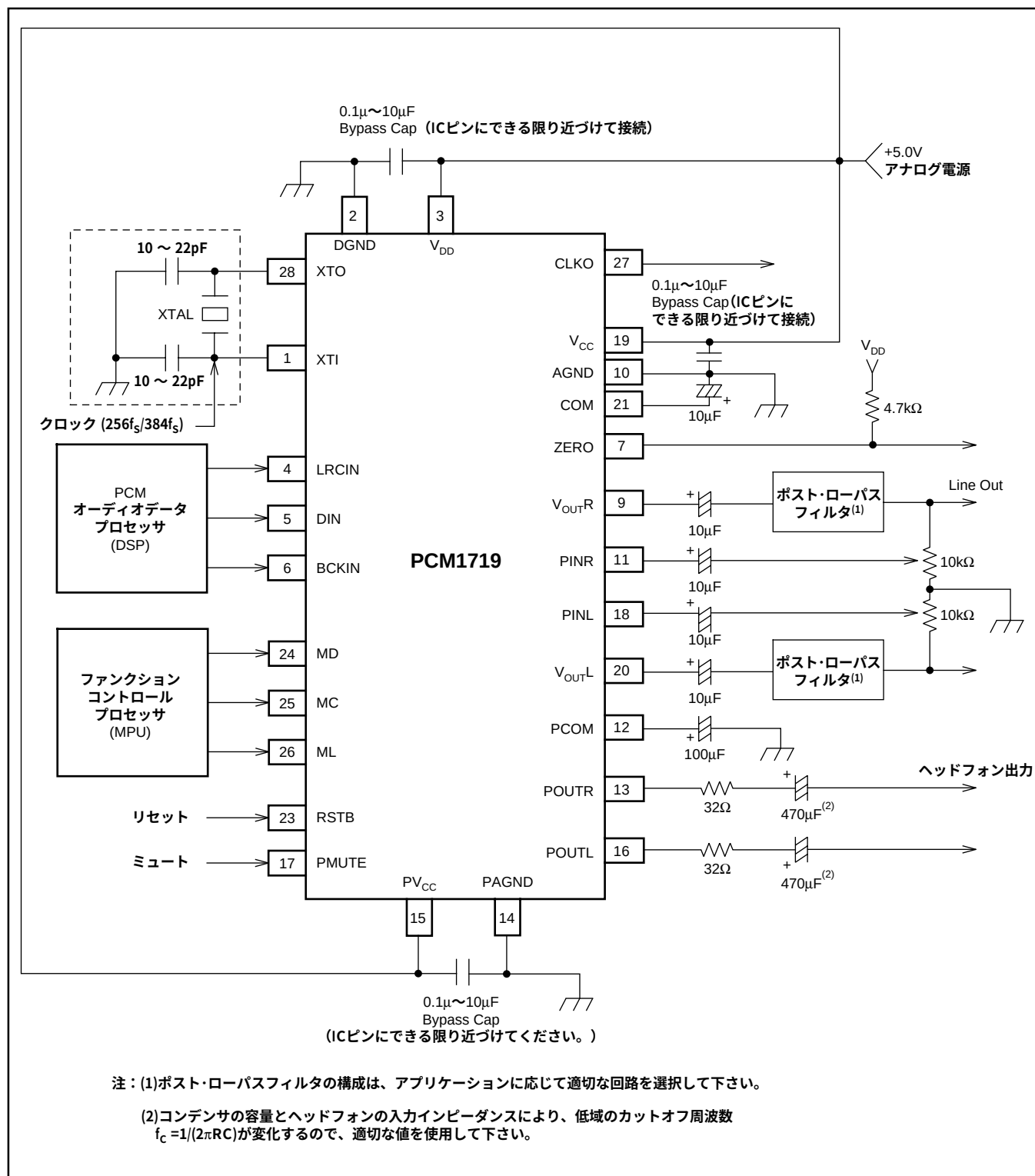
内蔵アナログフィルタ特性



基本接続回路例

図15にPCM1719の接続例を示します。この例では V_{DD} 、 V_{CC} 、 PV_{CC} を共通接続していますが、各電源を別電源でも使用できます。別電源で使用する場合には、各電源端子の電位差を $\pm 0.1V$ 以下にしてください。PCM1719では特にヘッドホン・アンプ部に大電流が流れるため、ヘッドホン・アンプの負荷電流がDAC部に流れ込まないようにヘッドホン・ジャックのグランド端子をベタ・グランドに接続するなど、AGNDとの共通インピーダンスを極力抑えるようにします。ヘッドホン・アンプ部からDAC部への影響をできるだけ避ける場合は、デジ

タル部、アナログ部の電源を共通にし、 PV_{CC} のみ別電源にします。この場合にも各電源端子の電位差は $\pm 0.1V$ 以下にしてください。バイパスコンデンサ等の外付け素子は、可能な限り最短距離で接続します。また、ピン12(PCOM)とピン21(COM)に付けるコンデンサの容量を小さく($1\mu F$ 以下)にしても、動作上問題はありません。ただし、このコンデンサと内部の抵抗で構成するバイパス・フィルタのカットオフ周波数が変化し、電源ノイズの除去効果が小さくなりますので十分に注意して下さい。本データシートに記載されているダイナミック特性を得るには20kHzで帯域制限しなければなりません。



ポスト・ローパスフィルタの考察

PCM1719のダイナミック特性(THD+N, S/N比等)は全て20kHzの帯域制限条件で規定しています。DAC出力に何らのローパスフィルタを用いなくても、上記条件では測定時に20kHzローパスフィルタで帯域制限をするので所定の特性が得られます。

実際のアプリケーションにおいて、DACの帯域外ノイズを除去

するには何らかのローパスフィルタが必要ですが、一般的にはCRによる1次パッシブ・ローパスフィルタまたはオペアンプによる2次から3次アクティブLPFが用いられています。この場合でも、ダイナミック特性の測定では20kHz帯域制限が必要です。

図16にCRパッシブ・ローパスフィルタによる出力波形実測例を示します(信号周波数=1kHz, 0dB出力)。

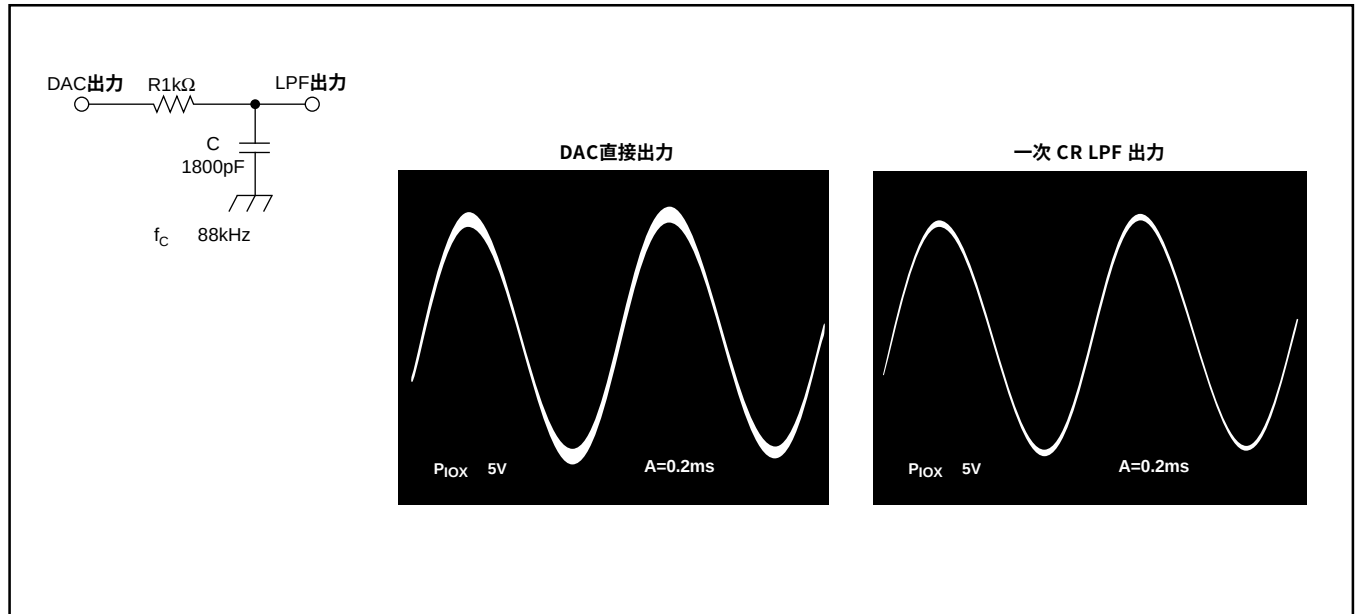


図16. CRパッシブ・ローパスフィルタによる出力波形実測例

外観

パッケージ：28ピンSSOP

