



## *SoundPlus™* 24ビット、96kHz ステレオ・オーディオD/Aコンバータ

### 特長

- エンハンスド・マルチレベル・デルタ-シグマ方式
- 16/20/24ビットPCMオーディオ・インターフェース
- サンプリング・レート( $f_s$ ) : 16kHz ~ 96kHz
- システム・クロック : 256/384/512/768 $f_s$
- 高性能  
 THD + N : 0.0015%(標準)  
 ダイナミック・レンジ : 106dB(標準)  
 S/N比 : 106dB(標準)
- 8倍オーバー・サンプリング・デジタルフィルタ内蔵  
 阻止帯域減衰量 : 82dB  
 パスバンド・リップル :  $\pm 0.002$ dB  
 スロー・ロールオフ/シャープ・ロールオフ
- 2ch同位相電圧出力
- 2次アナログ・ローパスフィルタ内蔵
- マルチファンクション  
 (デジタル・ディエンファシス、アッテネータ、ソフトミュート、位相反転他)
- 単一+5V電源動作
- パッケージ : 28ピンSSOP

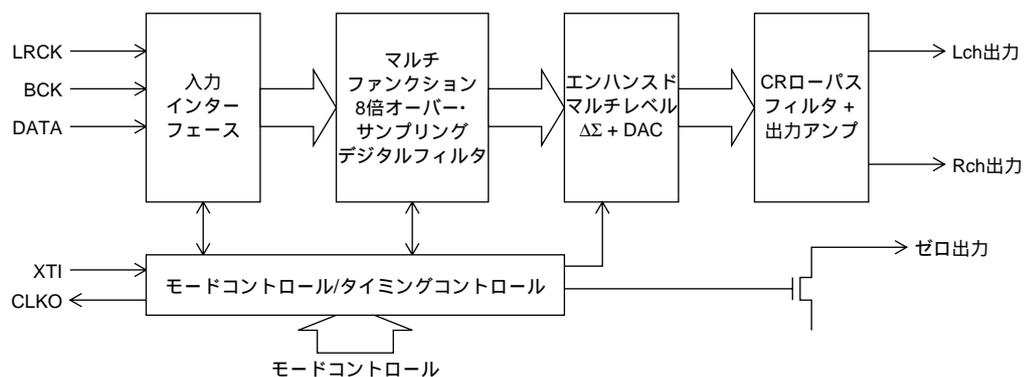
### 概要

PCM1716は、バー・ブラウン社が特に高性能化のために開発した、エンハンスド・マルチレベル・デルタ-シグマ方式を用いた高性能ステレオ・オーディオD/Aコンバータで、DVDを始めとする96kHzサンプリング、24ビット・データに完全に対応できる機能と性能を持っています。PCM1716は、従来のマルチレベル・デルタ-シグマ方式に比べ、THD + N特性を始めとする各ダイナミック特性が大幅に高性能化されています。

内蔵の8倍オーバー・サンプリング・デジタルフィルタも阻止帯域減衰量が82dB、パスバンド・リップルが $\pm 0.002$ dBと高性能化されており、アプリケーションに応じてロールオフ特性をスロー・ロールオフ、シャープ・ロールオフのいずれかに選択することができます。

また、マルチファンクション対応により、0.5dBステップのL/R独立制御アッテネータ、ディエンファシス、ソフトミュート、ゼロ検出、システム・クロック1/2分周、データ位相反転等の機能を持っているため、目的に応じた使用が可能です。

PCM1716は、高性能、高機能によりDVDを中心とした中、高級デジタル・オーディオ・アプリケーションに最適です。



# 仕様

特に記述のない限り、 $T_A = +25$ 、 $V_{CC} = V_{DD} = +5V$ 、外部システム・クロック、 $f_s = 44.1kHz$ 、システム・クロック =  $384f_s$ 、24ビット・データです。

パラメータ	条件	PCM1716E			単位
		最小	標準	最大	
<b>分解能</b>		24			
データ・フォーマット オーディオ・インターフェース・フォーマット オーディオ・データ・ビット長 オーディオ・データ・フォーマット サンプリング周波数( $f_s$ ) システム・クロック周波数 <sup>(1)</sup>		スタンダード/左詰め/11S 16/20/24選択可 MSBファースト、2'sコンプリ			
		16		96	kHz
		256/384/512/768 $f_s$			
<b>デジタル入出力</b>					
入力ロジックレベル	$V_{IH}$	2.0			V
	$V_{IL}$			0.8	V
出力ロジックレベル	$V_{OH}$	4.5			V
	$V_{OL}$			0.5	V
	$I_{OH} = 2mA$ $I_{OL} = 4mA$				
<b>CLKO AC特性<sup>(2)</sup></b>					
出力立ち上がり時間 $t_r$	20 ~ 80% $V_{DD}$ , 10pF		5.5		ns
出力立ち下がり時間 $t_f$	80 ~ 20% $V_{DD}$ , 10pF		4		ns
出力デューティ・サイクル	10pF負荷		37		%
<b>ダイナミック特性<sup>(3)</sup> (24ビット)</b>					
THD + N	$V_o = 0dB$	$f_s = 44.1kHz$ $f_s = 96kHz$	0.0015 0.002	0.003	% %
	$V_o = -60dB$	$f_s = 44.1kHz$ $f_s = 96kHz$	0.8 106		% dB
ダイナミック・レンジ(Aウェイト)		$f_s = 44.1kHz$ , EIAJ法 $f_s = 96kHz$	106 103		dB dB
S/N比 <sup>(4)</sup> (Aウェイト)		$f_s = 44.1kHz$ , EIAJ法 $f_s = 96kHz$	106 103		dB dB
チャンネル・セパレーション		$f_s = 44.1kHz$ $f_s = 96kHz$	102 101		dB dB
<b>ダイナミック特性<sup>(3)</sup> (16ビット)</b>					
THD + N	$V_o = 0dB$	$f_s = 44.1kHz$ $f_s = 96kHz$	0.0020 0.0025		% %
ダイナミック・レンジ(Aウェイト)		$f_s = 44.1kHz$ , EIAJ法 $f_s = 96kHz$	98 97		dB dB
<b>DC特性</b>					
ゲイン誤差			$\pm 1.0$	$\pm 3.0$	% of FSR
ゲイン誤差、チャンネル間ミスマッチ			$\pm 1.0$	$\pm 3.0$	% of FSR
バイポーラ・ゼロ誤差			$\pm 30$	$\pm 60$	mV
<b>アナログ出力</b>					
出力電圧			0.62 $V_{CC}$		Vp-p
センター電圧			0.5 $V_{CC}$		V
負荷抵抗	ACカップル	5			k $\Omega$
<b>デジタルフィルタ特性</b>					
フィルタ特性1(シャープ・ロールオフ)					
通過帯域	$\pm 0.002dB$ -3dB			0.454 $f_s$ 0.490 $f_s$	
阻止帯域		0.546 $f_s$			
通過帯域リップル				$\pm 0.002$	dB
阻止帯域減衰量	ストップバンド = 0.546 $f_s$ ストップバンド = 0.567 $f_s$	-75 -82			dB dB
フィルタ特性2(スロー・ロールオフ)					
通過帯域	$\pm 0.002dB$ -3dB			0.274 $f_s$ 0.454 $f_s$	
阻止帯域		0.732 $f_s$			
通過帯域リップル				$\pm 0.002$	dB
阻止帯域減衰量	ストップバンド = 0.732 $f_s$	-82			dB
群遅延			30/ $f_s$		sec
ディエンファシス誤差				$\pm 0.1$	dB
<b>アナログフィルタ特性</b>					
-3dB帯域幅			100		kHz
周波数特性	at 20kHz		-0.17		dB
<b>電源</b>					
電源電圧	$V_{DD}$ , $V_{CC}$	4.5	5	5.5	VDC
電源電流	$I_{CC} + I_{DD}$		32 45	45	mA mA
	$f_s = 44.1kHz$ $f_s = 96kHz$		160 225	225	mW mW
消費電力	$f_s = 44.1kHz$ $f_s = 96kHz$				
<b>温度範囲</b>					
動作		-25		+85	
保存		-55		+125	

注：(1)6ページ、システム・クロックの項を参照。(2)クロック出力にはクロック・バッファ(74HC04等)の挿入を推奨します。出力デューティ・サイクル値は、水晶振動子使用時です。(3)シバソク社725Cを使用、400kHz HPF、30kHz LPF ON。Average mode、20kHz帯域制限。(4)インフィニティ・ゼロ回路オフ。

## ピン構成

ピン番号	ピン名	IN/OUT	説明
1	LRCK	IN	LRCKクロック入力( $f_s$ ) <sup>(3)</sup>
2	DATA	IN	データ入力 <sup>(3)</sup>
3	BCK	IN	データ用ビット・クロック入力 <sup>(3)</sup>
4	CLKO	OUT	システム・クロック、バッファード出力
5	XTI	IN	クリスタル発振器接続または外部クロック入力
6	XTO	OUT	クリスタル発振器接続
7	DGND	-	デジタルGND
8	V <sub>DD</sub>	-	デジタル電源、+5V
9	V <sub>CC2R</sub>	-	アナログ電源、+5V
10	AGND2R	-	アナログGND
11	EXTR	OUT	Rch、アナログ出力アンプ・コモン
12	NC	-	未接続
13	V <sub>OUTR</sub>	OUT	Rch、アナログ電圧出力
14	AGND1	-	アナログGND
15	V <sub>CC1</sub>	-	アナログ電源、+5V
16	V <sub>OUTL</sub>	OUT	Lch、アナログ電圧出力
17	NC	-	未接続
18	EXTL	OUT	Lch、アナログ出力アンプ・コモン
19	AGND2L	-	アナログGND
20	V <sub>CC2L</sub>	-	アナログ電源、+5V
21	ZERO	OUT	ゼロデータ・フラグ
22	RST	IN	リセット。このピンが“L”の間、DFとデルタ・シグマ・モジュレータはリセット状態になります。 <sup>(1)</sup>
23	CS/IWO	IN	チップ・セレクト/入力フォーマット・セレクト <sup>(2)</sup>
24	MODE	IN	モード制御セレクト(H: ソフトウェア、L: ハードウェア) <sup>(1)</sup>
25	MUTE	IN	ミュート制御 <sup>(1)</sup>
26	MD/DM0	IN	モード制御データ/ディエンファシス選択1 <sup>(1)</sup>
27	MC/DM1	IN	モード制御BCK/ディエンファシス選択2 <sup>(1)</sup>
28	ML/IIS	IN	モード制御ラッチ/入力フォーマット選択 <sup>(1)</sup>

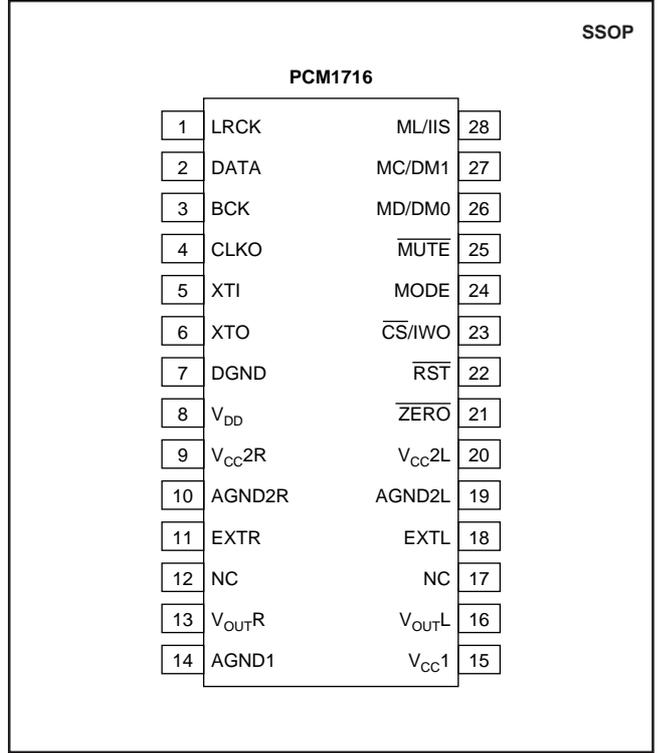
注：(1)ピン22、24、25、26、27、28：シュミット・トリガ入力、プルアップ抵抗付き。(2)ピン23：シュミット・トリガ入力、プルダウン抵抗付き。(3)ピン1、2、3：シュミット・トリガ入力

## パッケージ情報/ご発注の手引き

モデル	パッケージ	温度範囲
PCM1716E	28ピンSSOP	-25 ~ +85

注：(1)詳細および寸法表については、データシートの巻末を参照して下さい。

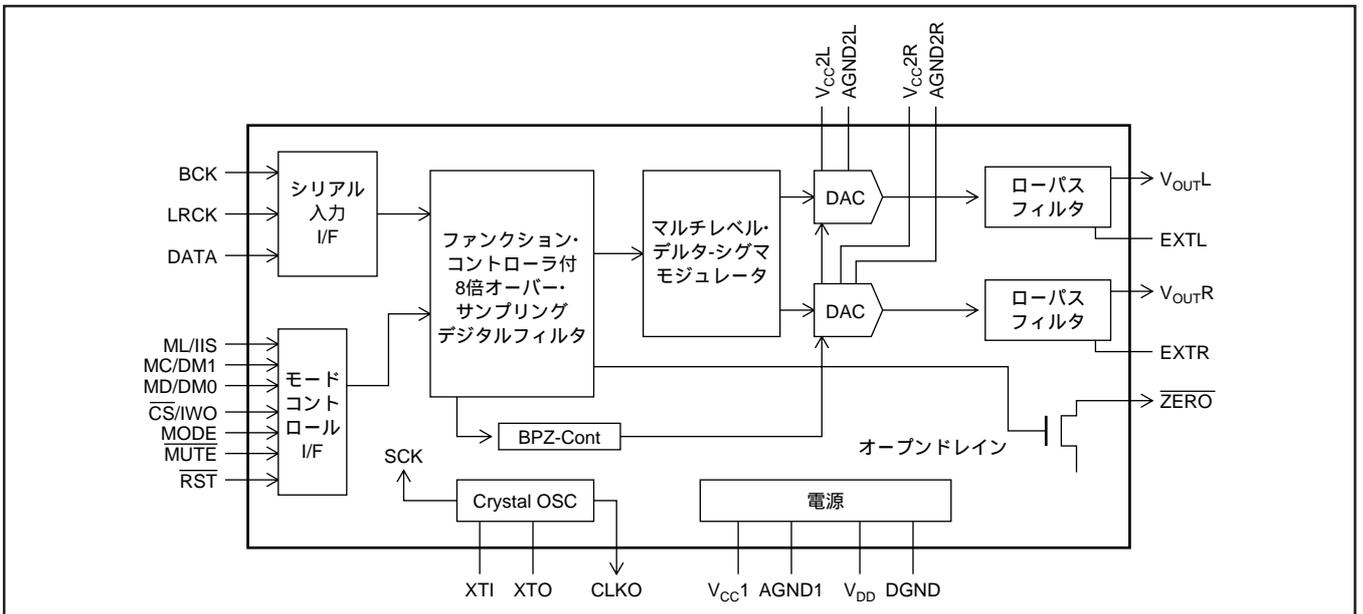
## ピン配置



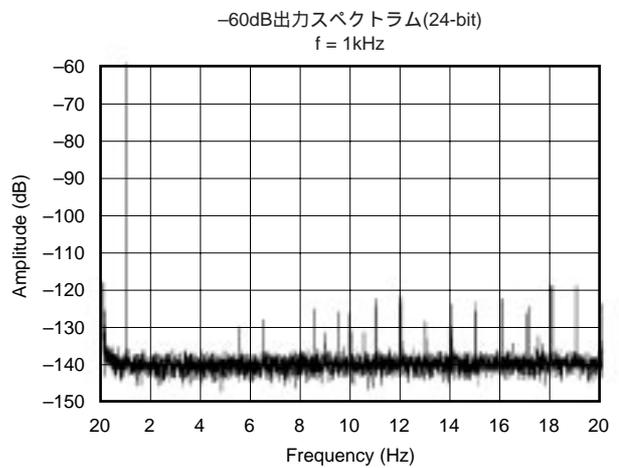
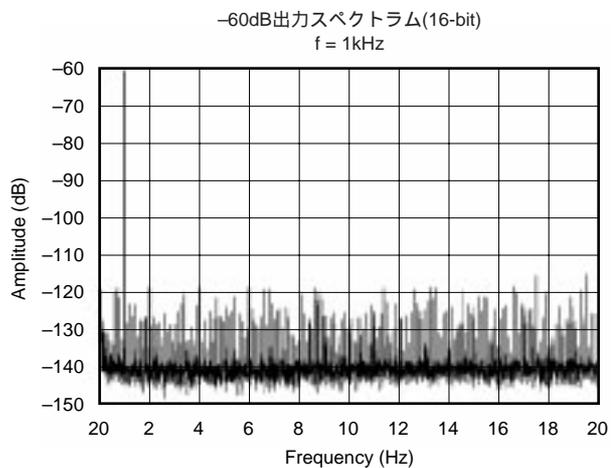
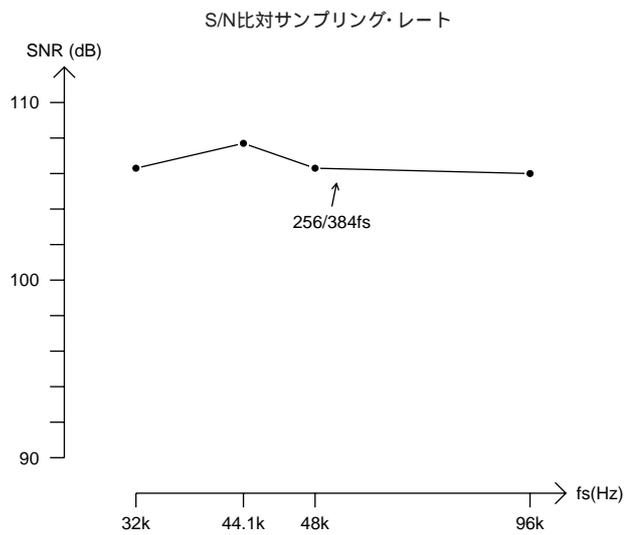
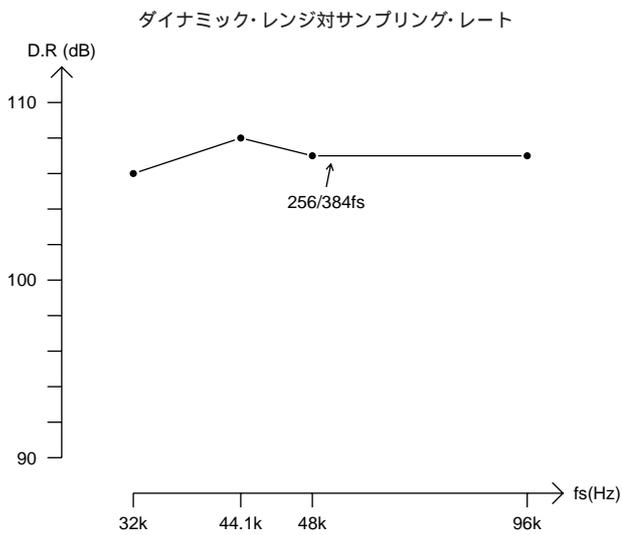
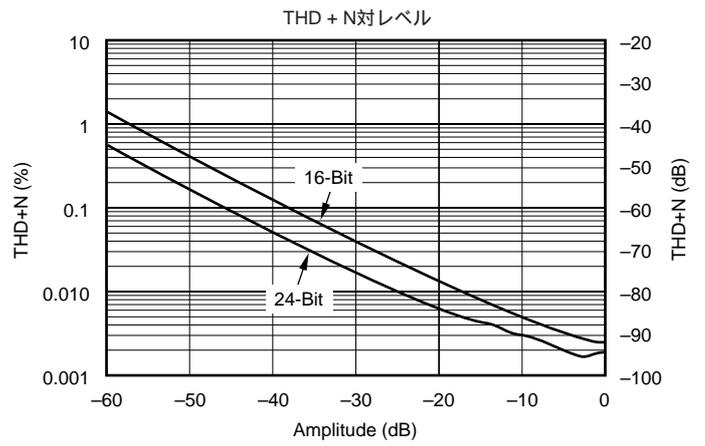
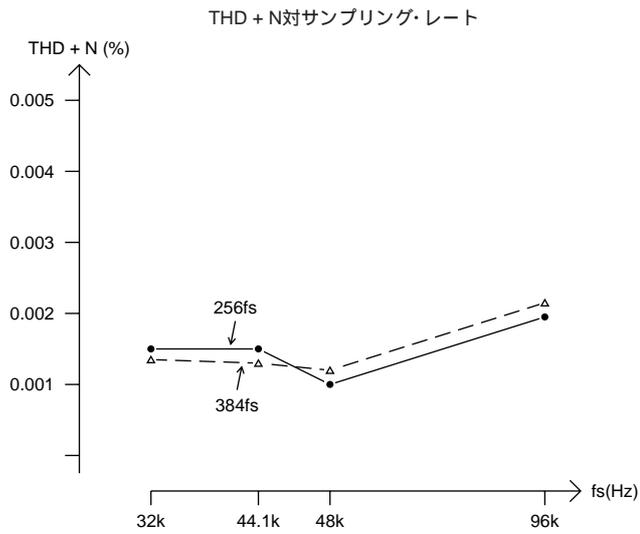
## 絶対最大定格

電源電圧 (V <sub>DD</sub> 、V <sub>CC1</sub> 、V <sub>CC2R</sub> 、V <sub>CC2L</sub> )	+6.5V
電源電圧差	±0.1V
GND電圧差	±0.1V
デジタル入力電圧	-0.3 ~ V <sub>DD</sub> + 0.3V
入力電流(電源、GNDを除く)	±10mA
許容電力	400mW
動作温度	-25 ~ +85
保存温度	-55 ~ +125
リード温度(5秒間の半田付け)	+260
パッケージ表面温度(リフロー、10秒間)	+235

## ブロック図



# 代表的性能曲線



# エンハンスド・マルチレベル・デルタ・シグマの動作原理

PCM1716のデルタ・シグマ・セクションでは、従来のマルチレベル・デルタ・シグマでの5レベルの振幅方向での分解能を8レベルに向上させ、8レベルのデルタ・シグマ変調を行います。このエンハンスド・マルチレベル・デルタ・シグマ方式は、特に高性能化を実現するために新たに開発された方式です。

デジタルフィルタでオーバー・サンプリングされた最大24ビットのデータはこのエンハンスド・マルチレベル・デルタ・シグマ変調により、8レベル(0、1、2、3、4、5、6、7)の変調信号に変換されます。

図1にこの8レベル・エンハンスド・マルチレベル・デルタ・シグマ変調器のブロック図を示します。デルタ・シグマ次数は4次で、一般的な1ビット(2レベル)デルタ・シグマ変調に比べて、系の安定性および耐ジッタ性に優れています。デジタルフィルタ部とデルタ・シグマ変調器との総合オーバー・サンプリング・レートは使用システム・クロックに関係なく、 $64f_s$ に設定されており、特に帯域内の量子化ノイズの抑圧と、帯域外ノイズの絶対レベル抑圧を両立させた伝送特性を持たせています。

図2は、PCM1716のエンハンスド・マルチレベル・デルタ・シグマ変調器の量子化雑音特性のシミュレーション・データです。帯域内( $f_s/2$ )での量子化雑音レベルは、 $-140\text{dB}$ から $-160\text{dB}$ まで抑圧されており、分解能に応じたダイナミック・レンジを得ることができます。また、帯域外ノイズもフルスケール比 $-60\text{dB}$ に抑圧されており、ポストLPFの負担を軽減します。

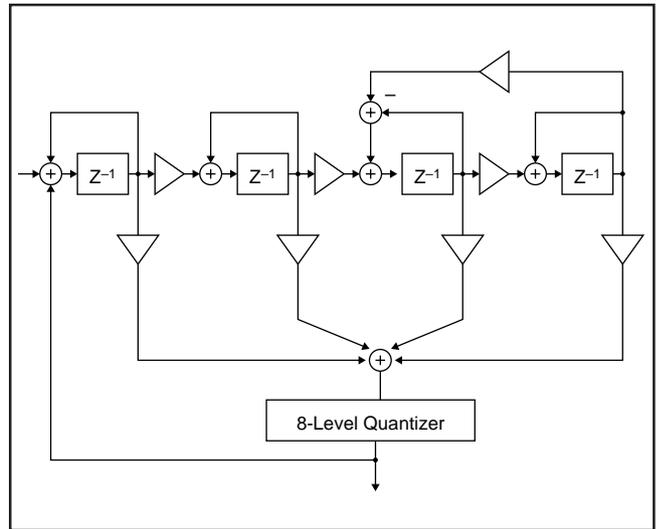


図1. 8レベル・エンハンスド・マルチレベル・デルタ・シグマ変調器のブロック図

## エンハンスド・マルチレベル・デルタ・シグマの耐ジッタ特性

PCM1716の8レベル量子化器は、他の一般的なデルタ・シグマ型DACに比べてシステム・クロックのジッタ耐量にも優位性をもっています。図3にシミュレーションによる、ジッタ量対ダイナミック・レンジの特性データを示します。

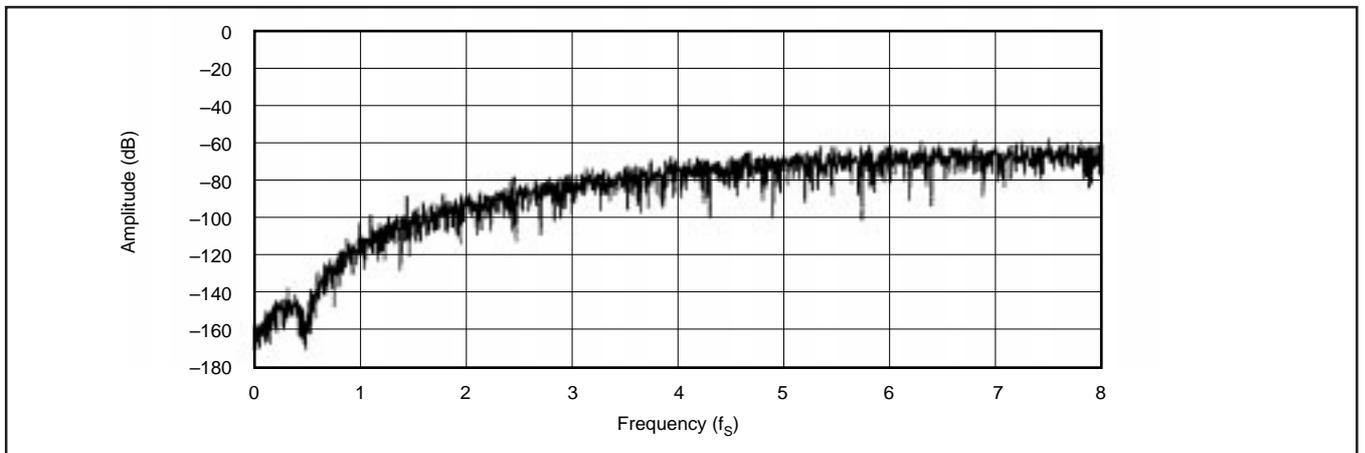


図2. 量子化雑音特性

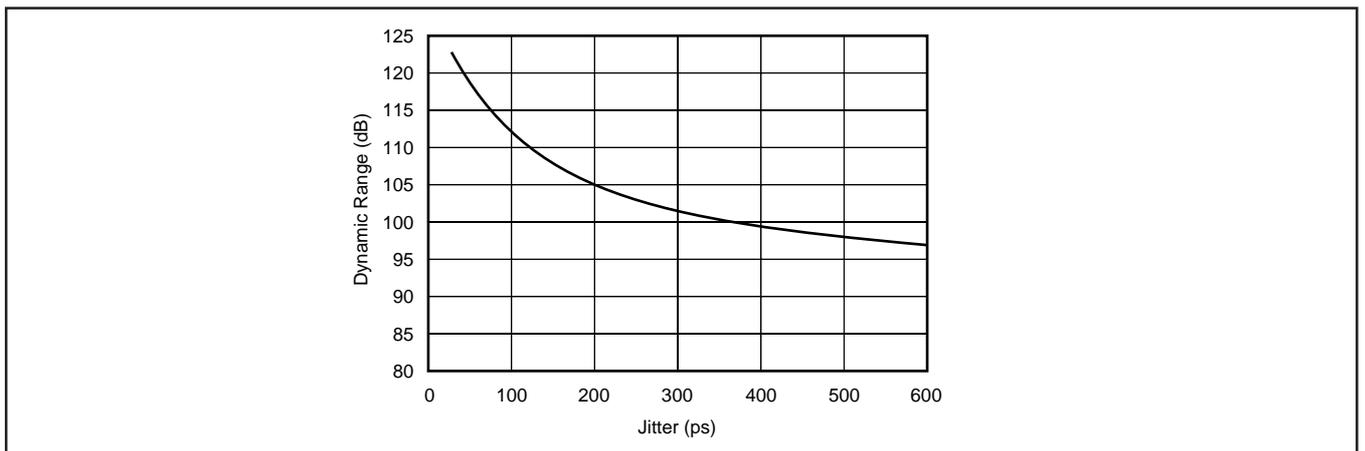


図3. ジッタ対ダイナミック・レンジ

## システム・クロック

PCM1716のシステム・クロックは、 $256f_s$ 、 $384f_s$ 、 $512f_s$ 、あるいは、 $768f_s$  ( $f_s$ : 基準サンプリング・レート)のいずれでも対応可能で、このシステム・クロックは、PCM1716自体でクリスタル発振させるか、XTI端子に外部から入力します。

基準サンプリング・レート ( $f_s$ ) は最大96kHzまで対応可能ですが、この  $f_s = 96\text{kHz}$  時のシステム・クロックは最大  $512f_s$  となり、 $768f_s$  には対応していません。また、クリスタル発振使用時は25MHz以上の周波数でのクリスタル発振に対応していないので、システム・クロックが25MHz以上となる場合はXTI端子に外部入力として用いて下さい。システム・クロックの接続例を図4、図5にそれぞれ示します。また、システム・クロックの対応関係を表に示します。

PCM1716では、システム・クロックの自動判別機能を有しているため、外部より例えば、 $256f_s/384f_s$  の選択制御をする必要はありません。また、システム・クロックとLRCKクロック(基準サンプリング・レート)は同期を取る必要がありますが、位相を正確に合わせる必要はありません。PCM1716に外部からシステム・クロックを供給する場合のタイミング規定を図6に示します。

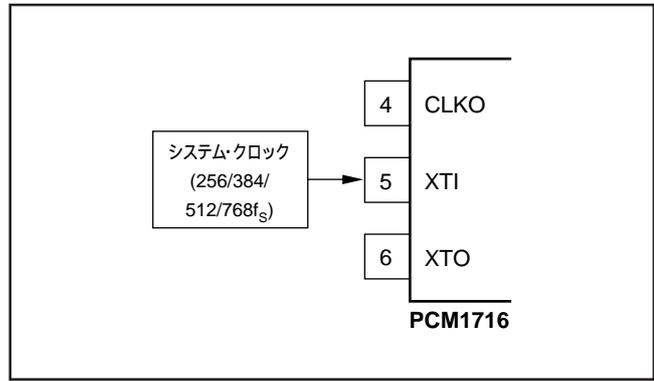


図4. 外部クロック入力接続例

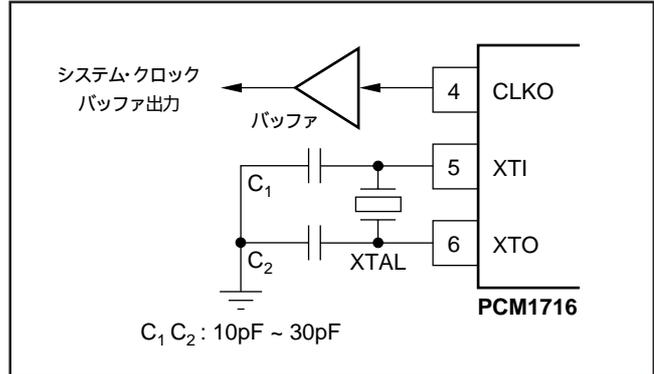


図5. クリスタル発振クロック接続例

基準サンプリング・レート ( $f_s$ )	システム・クロック周波数(MHz)			
	$256f_s$	$384f_s$	$512f_s$	$768f_s$
32kHz	8.192	12.2880	16.3840	24.5760
44.1kHz	11.2896	16.9340	22.5792	33.8688 <sup>(1)</sup>
48kHz	12.2880	18.4320	24.5760	36.8640 <sup>(1)</sup>
96kHz	24.5760	36.8640 <sup>(1)</sup>	49.1520 <sup>(1)</sup>	不可

注 : (1)PCM1716のクリスタル発振回路は、24.5760MHzまで対応可能です。これ以上のシステム・クロック周波数ではクリスタル発振回路は動作しないので、外部クロック入力を用いて下さい。

表 . システム・クロック周波数対応例

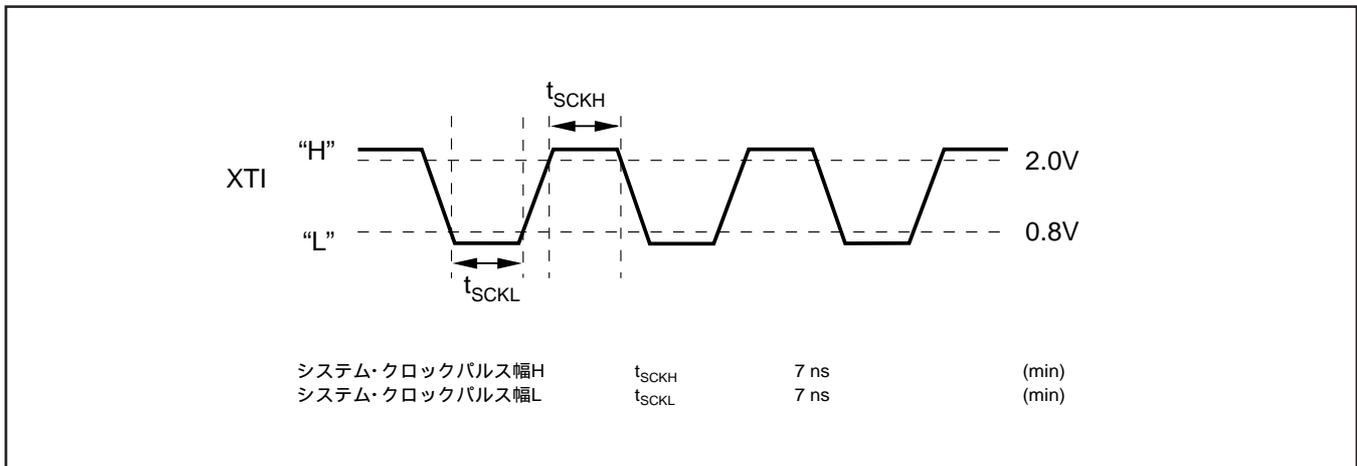


図6. システム・クロック入力タイミング規定

## PCMオーディオ・データ・インターフェース

PCM1716は、LRCK、BCK、DATAにより、外部システムとインターフェースします。入力データ・フォーマットは16/20/24ビット、MSBファースト、2'sコンプリで、後詰め/前詰め/標準フォーマット、前詰めフォーマット、IISフォーマットの選択が可能です。

これらのフォーマット選択は、後述の動作モードにより対応可能な選択が決まりますので、モード制御機能の項を参照して下さい。図7にデータ・フォーマットを、図8にタイミング規定をそれぞれ示します。

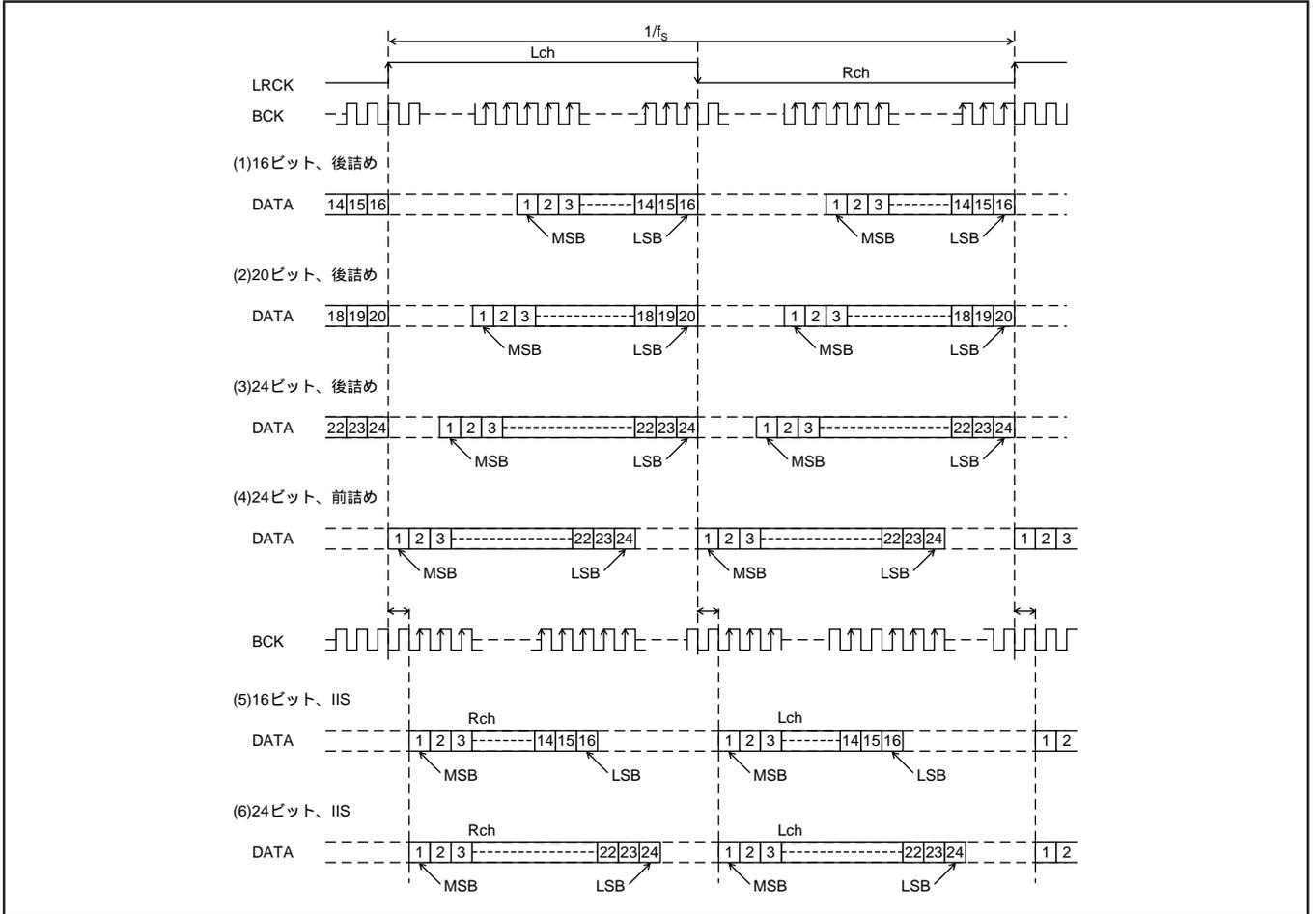


図7. PCMオーディオ・データ・インターフェース・フォーマット

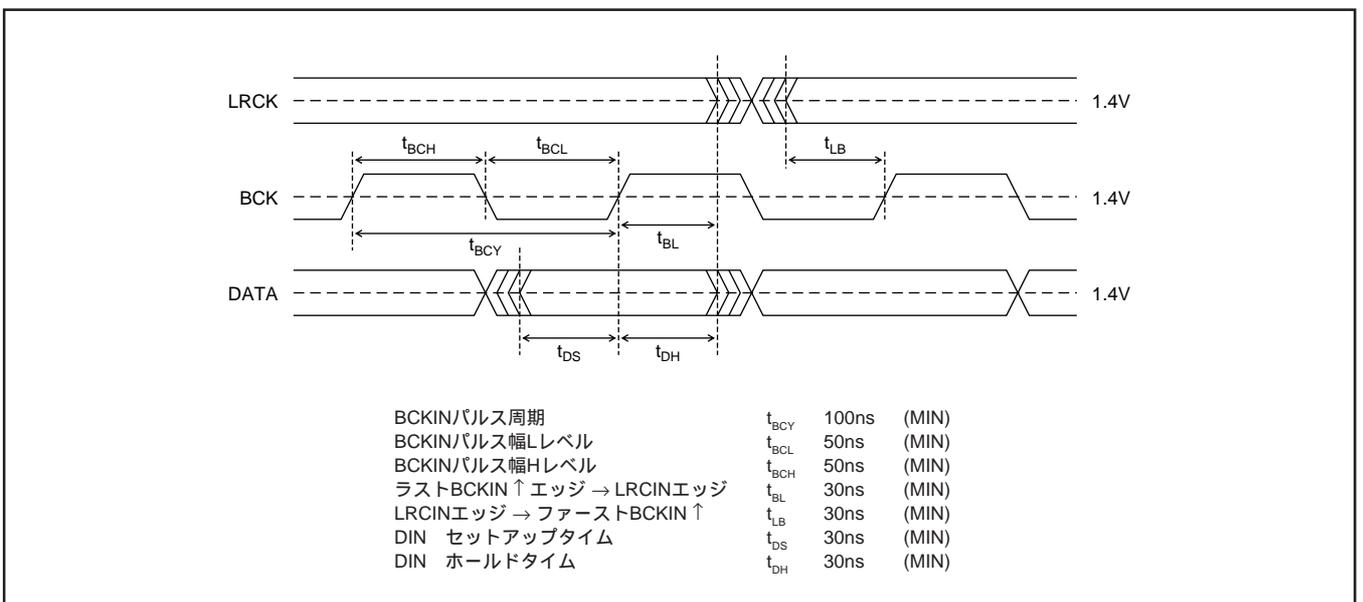


図8. オーディオ・データ入力タイミング

## リセット・オペレーション

PCM1716には、次に示す内蔵のパワーオン・リセットと外部からの $\overline{\text{RST}}$ 端子制御による2種のリセットがあります。これらのリセット機能は内部動作に対しては共通になっており、同じ働きをします。

リセット時にはソフトウェア・モードにおける各コントロールのレジスタ(MODE0からMODE3)に初期値が設定され(ソフトウェア・モードの説明を参照)、リセット期間中のアナログ出力は $0.5V_{CC}$ (BPZ)に固定されます。

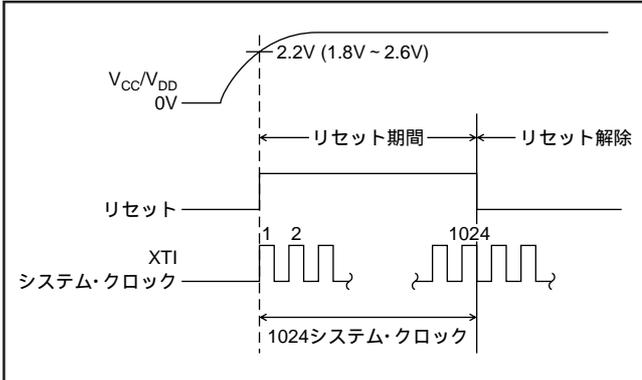


図9. パワーオン・リセット・タイミング

### パワーオン・リセット

内蔵のパワーオン・リセットは電源電圧を検知して自動的に行われます。電源投入後、電源電圧が標準2.2V(1.8Vから2.6V)を超えると、リセット動作となり、システム・クロックを1024クロックカウントした後リセットを解除します。パワーオン・リセット使用時は $\overline{\text{RST}}$ (ピン22)はオープンまたは“H”レベルとします。

### 外部リセット

$\overline{\text{RST}}$ (ピン22)を一定期間“L”レベルにすることにより、外部からリセットをかけることができます。

$\overline{\text{RST}}$ 端子がLからHに変化した後、パワーオン・リセットと同様に1024システム・クロックのカウント後、リセット解除となるまでの間はリセット期間となります。

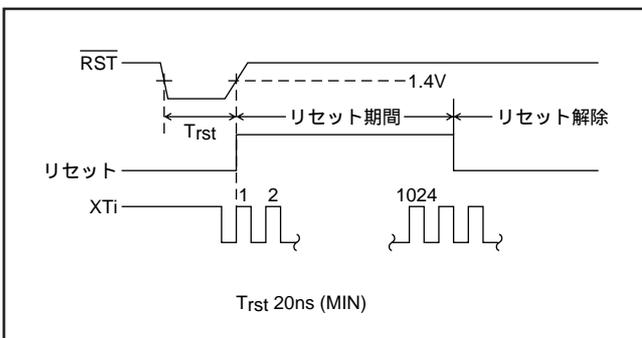


図10. 外部リセット・タイミング

## ゼロフラグ出力機能

データ入力(DATA)が65536ビット・クロック・サイクルの間連続してゼロ“0”の場合、ゼロ検出機能により $\overline{\text{ZERO}}$ 端子(ピン21)が“L”レベルになります。その後、1ビット・クロック間でもデータ入力がゼロ以外になると、 $\overline{\text{ZERO}}$ 端子はハイ・インピーダンス状態となります。この端子はオープン・ドレイン出力なので、他の機能とOR接続することができます。また、このゼロフラグ出力機能はPCM1716の設定状態に関係なく、常にゼロ検出を実行します(リセット時を除く)。

## 外部システムとの同期

PCM1716は、LRCKクロック(基準サンプリング・レート $f_s$ )とシステム・クロック(256/384/512/768 $f_s$ )との同期関係を常時内部でモニタしています(リセット時を除く)。LRCKクロックの1サイクル( $1/f_s$ )の間に(256、384、512、768いずれかの)システム・クロックがあれば同期関係は成立し、正常動作します。この両クロックの同期関係がずれた場合の動作は次のようになります。

### $1/f_s$ 期間内の同期ずれ

例えば、1LRCKクロック・サイクル( $1/f_s$ )の間だけ瞬時にシステム・クロックが255クロック( $256f_s$ に対し)や386クロック( $384f_s$ に対し)となった場合、このシステム・クロックのずれ時間が $\pm 5$ ビット・クロック(BCKIN)期間であれば、正常動作を保ちます。ずれ時間が $\pm 6$ ビット・クロック期間を超えると同期外れ状態となります。

### $f_s$ が変化する場合の同期ずれ

例えば、 $f_s$ が44.1kHzから48kHzに変化する場合等でLRCKクロックのシステム・クロックの同期が $1/f_s$ 期間以上ずれた場合は同期外れ状態となります。

## 同期外れ時のDAC出力

同期状態から同期外れ状態になると、 $1/f_s$ 期間DAC出力は不定となり、その後 $0.5V_{CC}$ (BPZ)を出力します。また、同期外れ状態から同期状態になった場合、 $30/f_s$ 期間DAC出力は不定となり、その後正常出力となります。

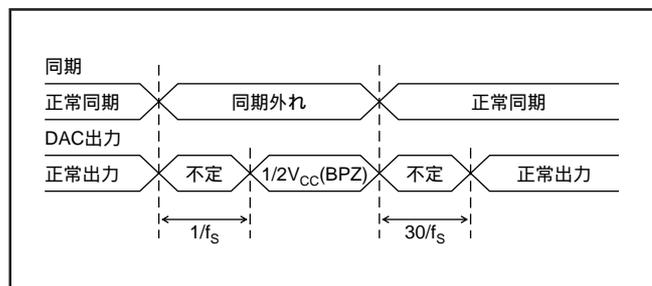


図11. 同期外れ時のDAC出力

## モード制御機能

PCM1716の基本動作モードには、ソフトウェア・モードとハードウェア・モードがあり、それぞれの動作モードにおいて制御可能な機能が異なります。この基本動作モードの選択はMODE(ピン24)で行います。

MODE(ピン24)	基本動作モード
H	ソフトウェア・モード
L	ハードウェア・モード

ソフトウェア・モード/ハードウェア・モードとそれぞれのモードに対する制御可能な機能を表 1 に示します。

機能	MODE = H	MODE = L
	ソフトウェア・モード	ハードウェア・モード
入力データ・フォーマット選択	可	可 <sup>(1)</sup>
入力データ・ビット長選択	可	可 <sup>(1)</sup>
入力LRCK極性選択	可	不可
ディエンファシス制御	可	可
ソフトミュート	可	可
アッテネータ	可	不可
ゼロ検出ミュート制御	可	不可
DACオーバーレション制御	可	不可
スロー・ロールオフ選択	可	不可
DAC出力位相選択	可	不可
CLKO出力クロック選択	可	不可

注：(1)24ビット前詰め、後詰めは不可。

表 1 . モード制御、選択機能

## ハードウェア・モード (MODE = L)

ハードウェア・モード選択時に制御可能な機能は表 1 に示すとおりです。以下、ハードウェア・モード時の各ピンの制御と機能を示します。

### ディエンファシス制御(DM1、DM0)

DM1(ピン27)、DM0(ピン26)の設定により、ディエンファシスの制御を行います。

DM1(ピン27)	DM0(ピン26)	ディエンファシス
L	L	OFF
L	H	48kHz
H	L	44.1kHz
H	H	32kHz

### 入力データ・フォーマット(ビット長)選択(IIS、IWO)

IIS(ピン28)、IWO(ピン23)の選択により、オーディオデータ入力フォーマット(ビット長)の選択を行います。

IIS(ピン28)	IWO(ピン23)	オーディオ・フォーマット
L	L	16ビット、後詰め(スタンダード)
L	H	20ビット、後詰め
H	L	16ビット、IIS
H	H	24ビット、IIS

## ソフトミュート制御(MUTE)

MUTE(ピン25)によりソフトミュートのON/OFFの制御を行います。

MUTE(ピン25)	ソフトミュート
L	ミュートON
H	ミュートOFF(通常動作)

## ソフトウェア・モード (MODE = H)

ソフトウェア・モードを選択時には、表 1 に示した全ての機能をシリアル制御データにより制御することができます。表 1 に制御可能な機能と、イニシャル状態(デフォルト)の設定を示します。

機能	デフォルト
PCMオーディオデータ・フォーマット選択 後詰め/前詰め/IIS	後詰め(スタンダード)
PCMオーディオデータ・ビット長選択 16/20/24ビット	16ビット
LRCK極性選択 Lch : H / Lch : L	Lch : H
ディエンファシス制御	OFF
ソフトミュート	OFF
アッテネータ制御 L/R独立/同時	0dB、L/R独立
ゼロ検出ミュート	OFF
DACオーバーレション制御	ON(通常動作)
ディエンファシス用サンプリング・レート選択 32k/44.1k/48kHz	44.1kHz
スロー・ロールオフ選択	OFF(シャープ・ロールオフ)
DAC出力位相制御	通常(正相)
CLKO出力クロック選択	入力クロック

表 2 . 制御可能な機能とデフォルト設定

## 制御データ・フォーマット

PCM1716のソフトウェア・モード時のシリアル制御は、ML、MC、MDの各端子にシリアル制御データを伝送することにより可能です。シリアル制御データは、16ビットのMCクロック、MDデータとイネーブル信号となるMLクロックで構成されます。このシリアル制御データのフォーマットを図12に、タイミング規定を図13にそれぞれ示します。また、CS(ピン23)をHにすると(Lにプルダウンされています)、データ制御は無効になります。

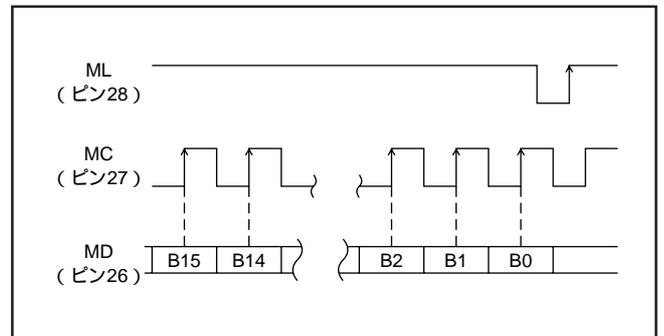


図12. シリアル制御データ・フォーマット

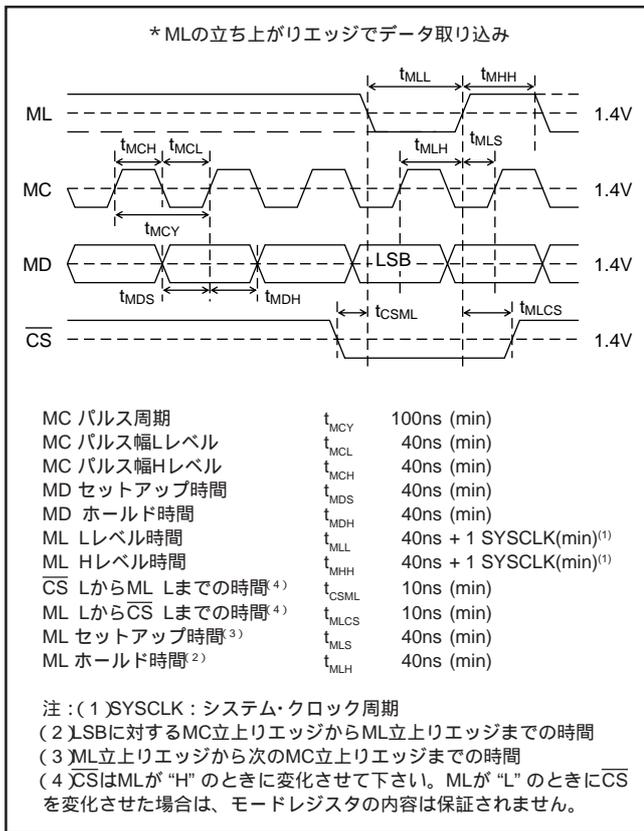


図13. シリアル制御データ・タイミング規定

シリアル制御データのレジスタ構成

モードコントロールにおける制御レジスタは図14に示すとおり、基本的に4つのモード・レジスタ(MODE0からMODE3)を持っており、レジスタの選択および選択内容は16ビットのシリアルデータで行います。

各レジスタ(MODE0からMODE3)のビット構成と機能を表に示します。制御手順としては、まずA0、A1ビットにてレジスタを選択し、他のビットでそれぞれの機能を制御します。また、シリアル制御データはリセット解除後に入力します。

制御レジスタのMODE選択

A1、A0(MODE0-MODE3)

制御レジスタのMODE0からMODE3の選択はA1、A0両ビットのコントロールで行います。

レジスタ	A1	A0
MODE0	0	0
MODE1	0	1
MODE2	1	0
MODE3	1	1

	B15	B14	B13	B12	B11	B10	B9	B8	B7	B6	B5	B4	B3	B2	B1	B0
MODE0	res	res	res	res	res	A1	A0	LDL	AL7	AL6	AL5	AL4	AL3	AL2	AL1	AL0
MODE1	res	res	res	res	res	A1	A0	LDR	AR7	AR6	AR5	AR4	AR3	AR2	AR1	AR0
MODE2	res	res	res	res	res	A1	A0	res	res	res	res	IW1	IW0	OPE	DEM	MUT
MODE3	res	res	res	res	res	A1	A0	IZD	SF1	SF0	CKO	REV	SRO	ATC	LRP	IIS

図14. モードレジスタ・マッピング

レジスタ名	ビット名	機能
MODE0	A1, A0 LDL AL7-AL0 res	レジスタのアドレス アッテネーション・データのロード Lchのアッテネーション・データの設定 未使用、“0”に固定
MODE1	A1, A0 LDR AR7-AR0 res	レジスタのアドレス アッテネーション・データのロード Rchのアッテネーション・データの設定 未使用、“0”に固定
MODE2	A1, A0 IW1, IW0 OPE DEM MUT	レジスタのアドレス 入力オーディオ・データ・ビット長選択 DACオペレーション選択(ON : 通常動作、OFF : 動作停止) ディエンファシス制御ON/OFF ソフトミュート制御ON/OFF
MODE3	A1, A0 IZD SF0, SF1 CKO REV SRO ATC LRP IIS	レジスタのアドレス ゼロ検出ミュート制御 ON/OFF ディエンファシス用サンプリング・レート選択 CLKOクロック周波数選択1または1/2 DAC出力位相制御(正相/逆相) スロー・ロールオフ選択 アッテネータL/R同時制御選択 LRCKクロック極性選択 入力オーディオ・データ・フォーマット選択

表 . 各レジスタの名称と機能

## 各レジスタの説明

AL7-AL0、AR7-AR0、LDL、LDR(MODE0、MODE1)

MODE0およびMODE1はデジタル・アッテネータの制御レジスタで、AL7-AL0、AR7-AR0の各ビット(AL7、AR7がMSB、AL0、AR0がLSB)によって256ステップのアッテネータをLch/Rch独立で制御することができます。

LDL、LDRはアッテネータ値のセットに用いられ、LDL、LDRを“1”にセットすることによりアッテネータの設定値は有効になります。LDL、LDRが“0”の場合、アッテネータの設定は有効になりますが、実際のアッテネータ値はその前のレベルを保ち、LDLまたはLDRが“1”になった時点で設定したアッテネータ値に変化します。また、後述のATCレジスタが“1”にセットされた場合、AL7-AL0(MODE0)のレジスタ設定のみでLch/Rch両方のアッテネータ値を同時に制御することが可能です。

アッテネータの減衰量ATTは次に示す計算式で与えられます。

$$ATT = 0.5 \times (DATA - 255) [dB] \quad (1)$$

DATA : アッテネータ設定値

FFh = -0dB

FEh = -0.5dB

⋮

⋮

01h = -127.5dB

00h = -∞ (= MUTE)

式(1)から、このアッテネータは0.5dBステップのアッテネータであることがわかります。

ATC(MODE3)

ATCレジスタを“1”にすると、Lch、Rch共通のアッテネータ設定をMODE0(AL7-AL0)で行うことができます。この場合、MODE1(AR7-AR0)は無視されます。

ATC	アッテネータ制御
0	Lch/Rch独立
1	Lch/Rch共通

IW1、IW0(MODE2)、IIS(MODE3)

これらの制御レジスタにより、オーディオ入力データフォーマットおよびデータビット長を選択します。

IIS	IW1	IW0	オーディオ・データ・フォーマット
0	0	0	16ビット、後詰め(スタンダード)
0	0	1	20ビット、後詰め
0	1	0	24ビット、後詰め
0	1	1	24ビット、前詰め
1	0	0	16ビット、IIS
1	0	1	24ビット、IIS
1	1	0	Reserved
1	1	1	Reserved

OPE(MODE2)

OPEレジスタはDACオペレーション選択機能で、DAC動作停止時は、デジタル入力に関係なく、アナログ出力を $0.5V_{CC}(=BPZ)$ に固定します。

OPE	DAC動作
0	ON(通常動作)
1	OFF(動作停止)

DEM(MODE2)、SF1、SF2(MODE3)

DEMレジスタは、ディエンファシスのON/OFF制御で、ディエンファシスON時のサンプリングレートをSF1、SF2の制御レジスタで制御します。

DEM	ディエンファシス
0	OFF
1	ON

SF1	SF0	ディエンファシス・サンプリング周波数
0	0	Reserved
0	1	48kHz
1	0	44.1kHz
1	1	32kHz

MUT(MODE2)

MUTレジスタは、ソフトミュート制御(ON/OFF)です。

MUT	ソフトミュート
0	OFF
1	ON

IZD(MODE3)

IZDレジスタは、ゼロ検出ミュートのON/OFF制御で、IZD = 1がセットされた場合、ゼロフラグと同条件でゼロを検出し、DACアナログ出力を強制的にミュート( $0.5V_{CC}$ 、BPZ)します。

IZD	ゼロ検出ミュート
0	OFF
1	ON

CKO(MODE3)

CKOレジスタは、CLKO端子の出力クロック周波数選択制御で、XTIクロックに対して1倍(バッファ)または1/2分周の選択が可能です。

CKO	CLKO出力クロック周波数
0	XTI
1	XTI/2 (1/2分周)

### REV(MODE3)

REVレジスタは、DACアナログ出力の位相選択制御で、通常(正相)と逆相を選択することができます。

REV	DACアナログ出力
0	正常(正相)
1	逆相

### LRP

LRPレジスタは、LRCKクロックの極性選択制御で、通常のデータフォーマットに対しLRCKクロックの極性を反転させることができます。

LRP	LRCK極性
0	<input type="checkbox"/> L <input type="checkbox"/> R Lch : H, Rch : L
1	<input type="checkbox"/> L <input type="checkbox"/> R Lch : L, Rch : H

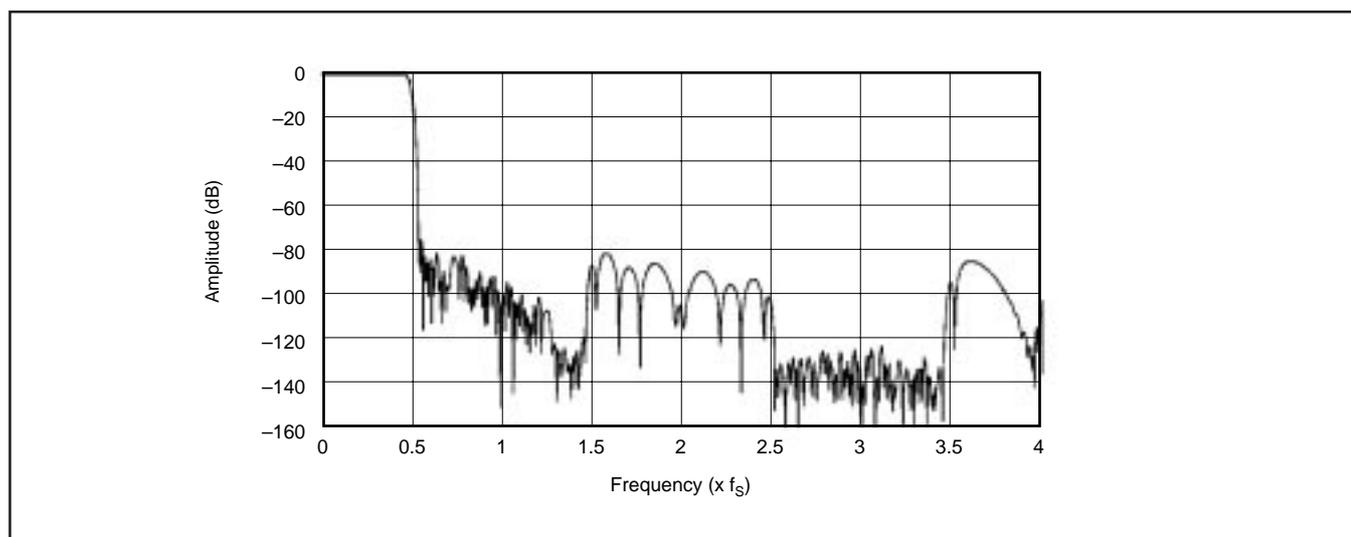
### SRO

SROレジスタは、内蔵デジタルフィルタのロールオフ特性選択制御です。各ロールオフ特性は、デジタルフィルタ特性の項を参照して下さい。

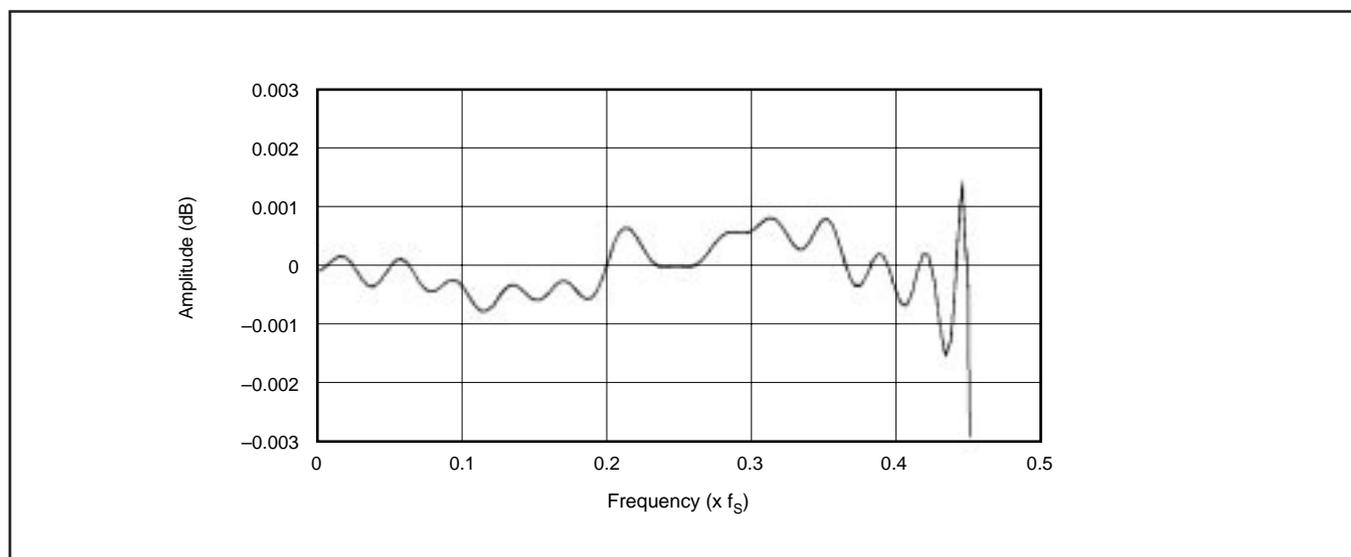
SRO	ロールオフ特性
0	シャープ・ロールオフ
1	スロー・ロールオフ

## デジタルフィルタ特性

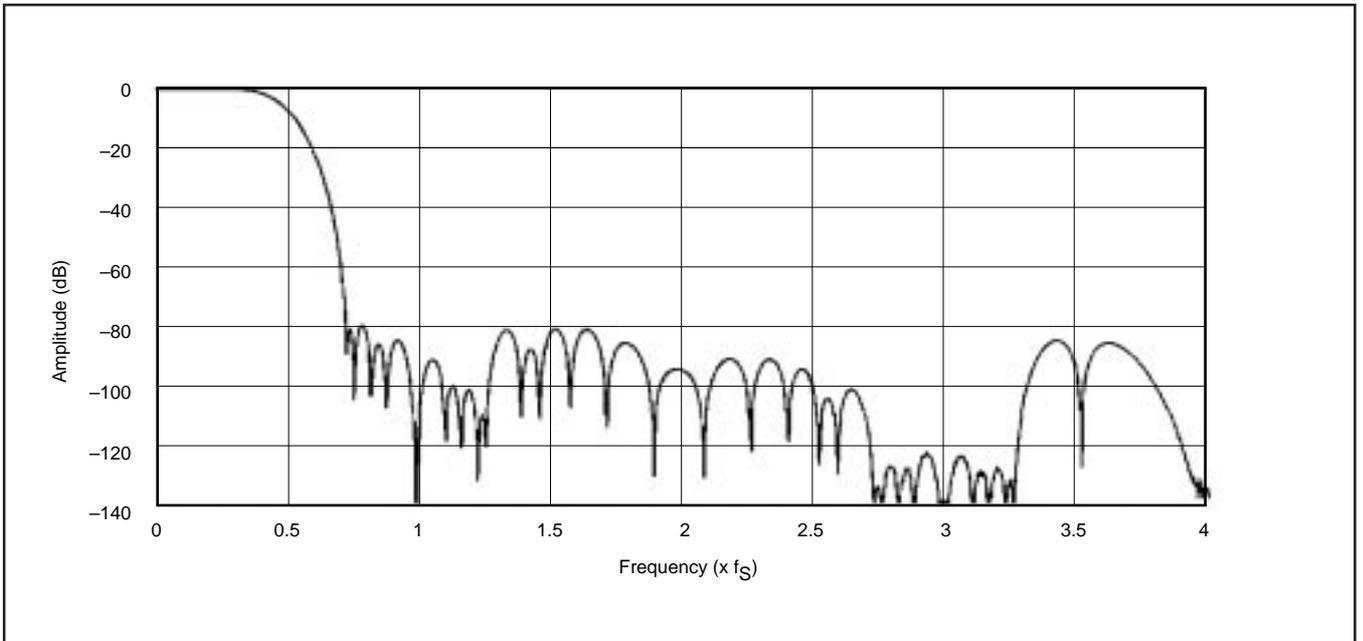
ディエンファシス = OFF



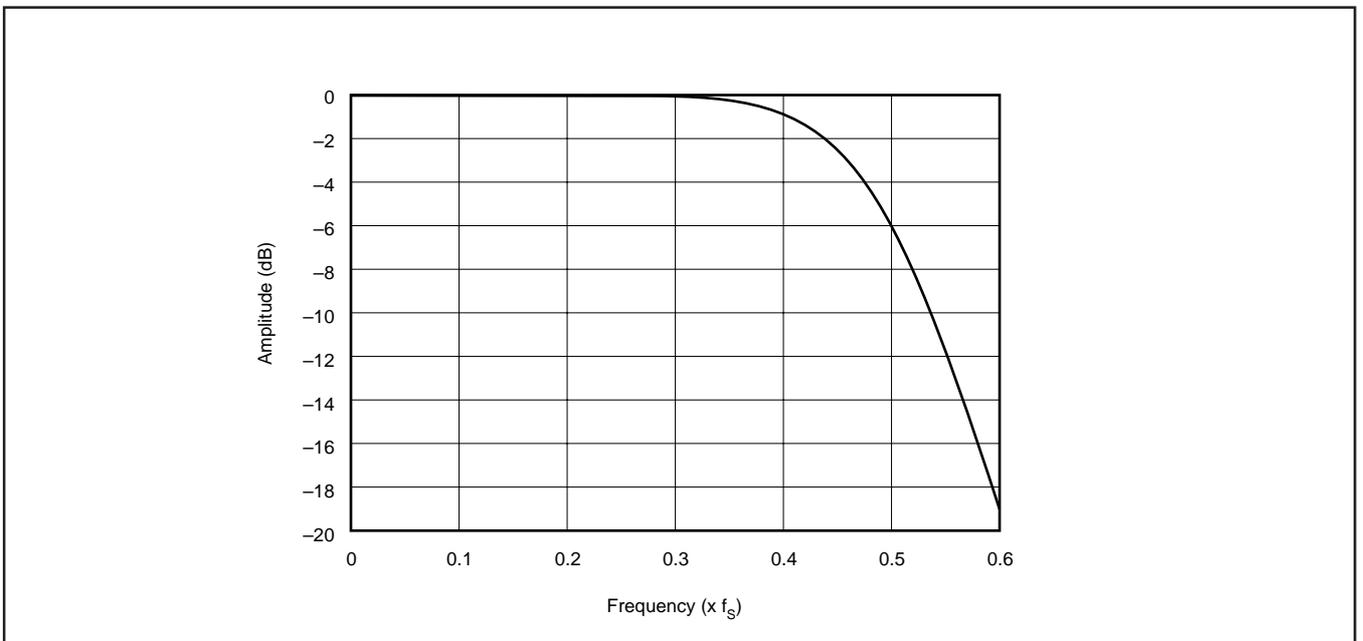
周波数特性(シャープ・ロールオフ)



通過帯域リップル(シャープ・ロールオフ)



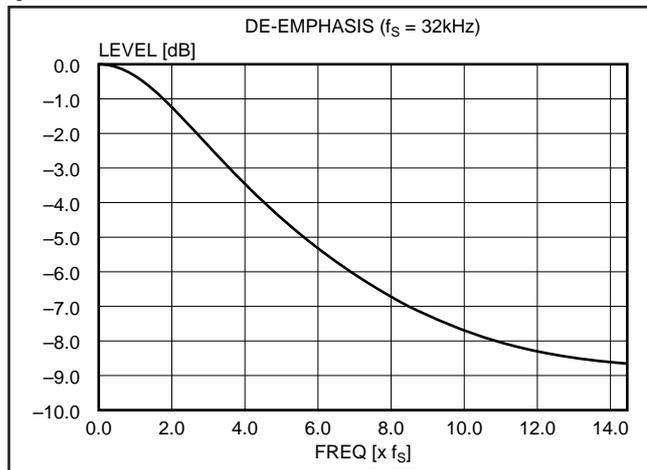
周波数特性(1)(スロー・ロールオフ)



周波数特性(2)(スロー・ロールオフ)

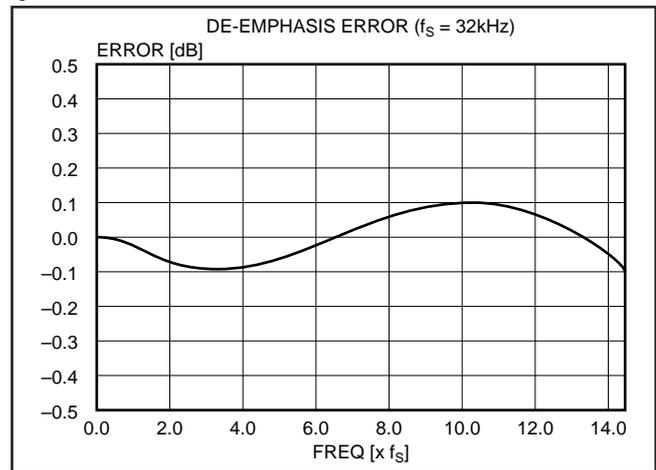
ディエンファシス特性

$f_s = 32\text{kHz}$

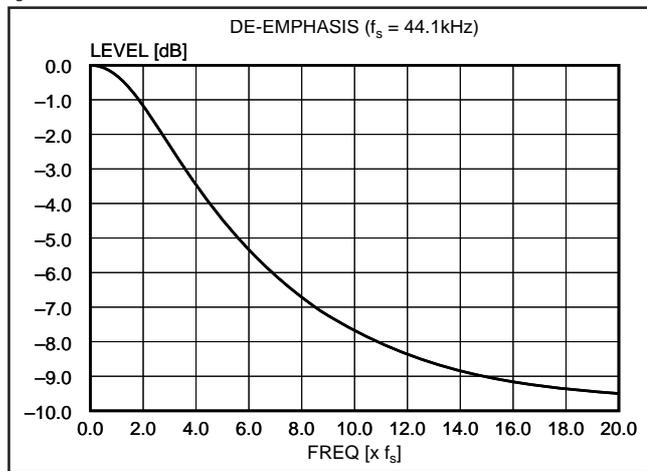


ディエンファシス・エラー

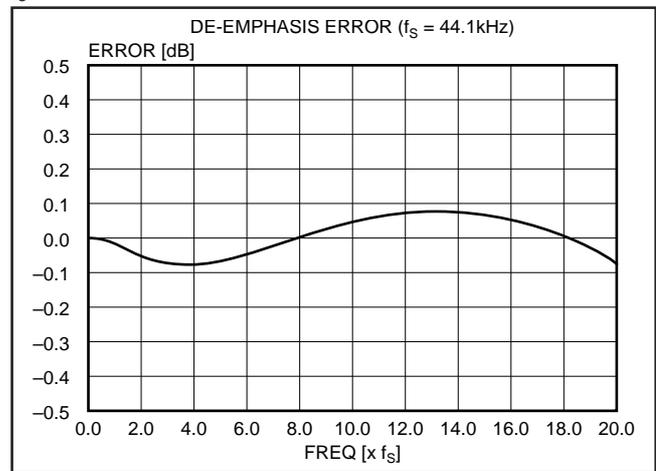
$f_s = 32\text{kHz}$



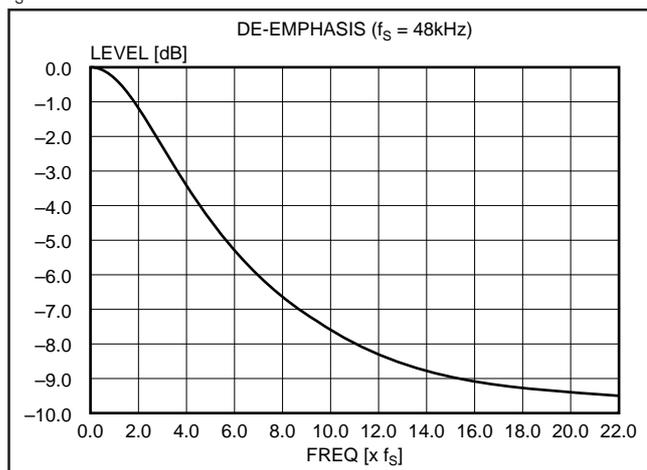
$f_s = 44.1\text{kHz}$



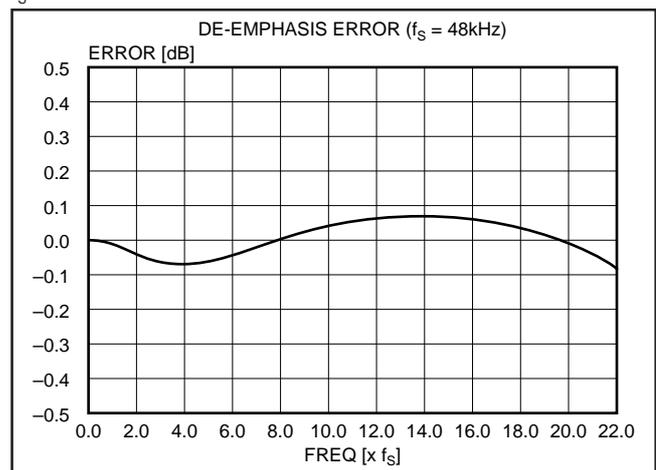
$f_s = 44.1\text{kHz}$



$f_s = 48\text{kHz}$

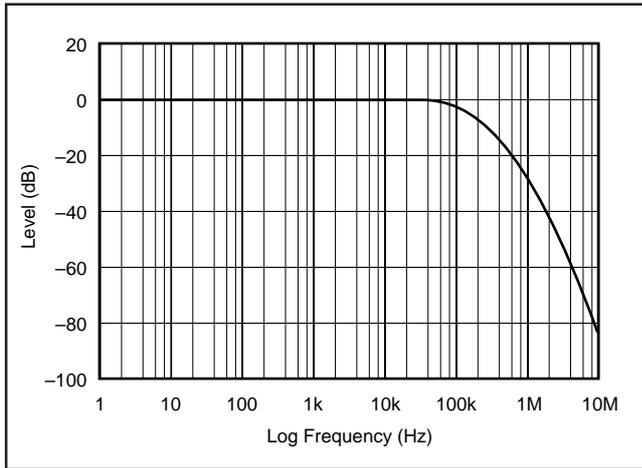


$f_s = 48\text{kHz}$

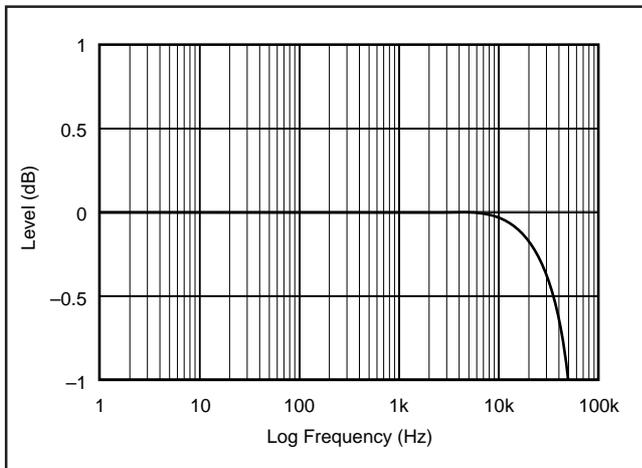


## 内蔵アナログフィルタ特性

1 ~ 10MHz



1 ~ 40kHz



## ソフトミュート・オペレーション

PCM1716の動作モード(ソフトウェア・モード/ハードウェア・モード)に関わらず、ソフトミュートON時は両チャンネルのアナログ出力を $-\infty$ にまでアッテネートします。ハードウェア・モード時は、アッテネータの設定は機能していないため、ソフトミュートONで0dBから $-\infty$ まで256/ $f_s$ 時間でミュートします。ソフトミュートOFFでは逆に、 $-\infty$ から0dBまで同様に変化します。ソフトウェア・モード時も基本動作は同じですが、アッテネータ機能を選択し、ある値にアッテネータ値を設定している場合は、そのアッテネータ値と $-\infty$ の間でミュート量が変化します。これらのソフトミュートでのミュート量変化の様子を図15に示します。

## CLKO負荷

システム・クロックをPCM1716でクリスタル発振させ、その発振クロックをCLKO端子から外部に供給する場合は、必ずバッファを介してクロックを外部に供給して下さい。CLKO出力の負荷電流が増えるとアナログ部のダイナミック特性に影響することがあります。PCM1716の優れた高性能を発揮させるため、CLKOの負荷には注意して下さい。

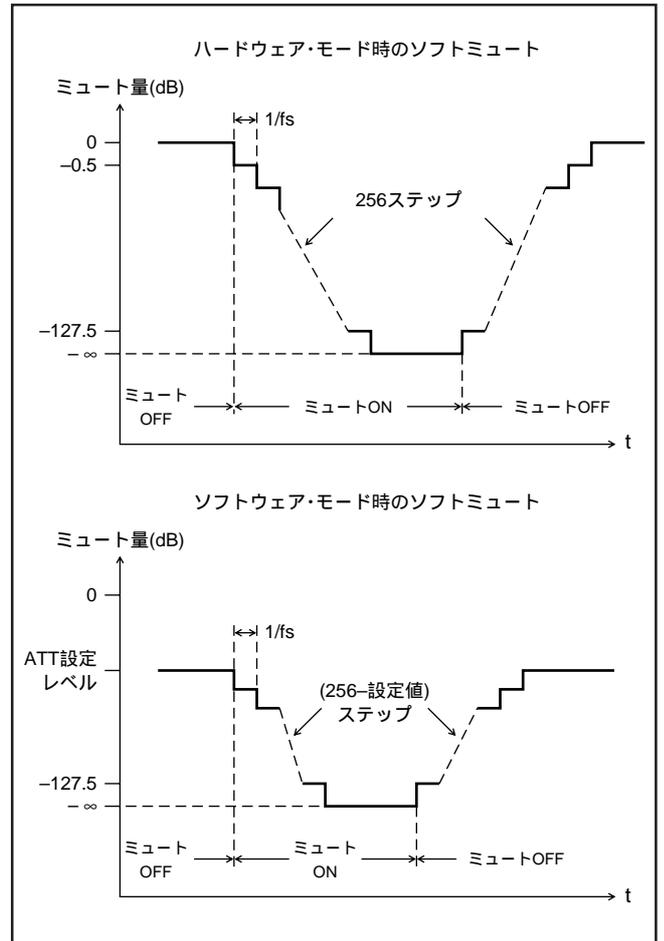


図15. ソフトミュートでのミュート量変化の様子

## ダイナミック特性とテスト条件

PCM1716は、32kHz、44.1kHz、48kHzといった標準的なサンプリング・レート( $f_s$ )と、DVD等での96kHzサンプリング・レートに対応可能ですが、実アプリケーションにおいては、ナイキスト定理に基づいた出力ポストLPFの設定とダイナミック特性テスト時の帯域制限について十分考察しなければなりません。

PCM1716のすべてのダイナミック特性は、現行のEIAJにおけるCDプレーヤの測定方法で用いられる20kHz帯域制限条件でテストされ、仕様を保証しています。これは、 $f_s = 44.1$ kHzを基準にしたもので、例えば $f_s = 96$ kHz条件におけるテスト条件の標準規格が未設定であることにもよります。

THD + N特性テストにおいては、その測定帯域条件によってTHD + Nの“+N”成分が変化します。すなわち、 $f_s = 96$ kHzでナイキスト周波数である48kHzの測定帯域でTHD + Nを測定した場合、当然+N成分は帯域が広がった分増加し、THD + N値は $f_s = 44.1$ kHzに比べて大きくなります。

PCM1716では、すべてのテストを20kHz帯域制限でテストしていますが、これはポストLPFに要求するものではなく、テストシステムに要求されるものです。実アプリケーションでの帯域外ノイズは、デジタルフィルタの阻止帯域減衰量でサンプリング・スペクトラムの抑圧レベルが決定され、デルタ・シグマ変調特性で量子化雑音レベルが決定されます。PCM1716の内蔵アナログフィルタは100kHz付近まで周波数特性を伸ばしているため、 $f_s = 96$ kHz条件にも対応できます。

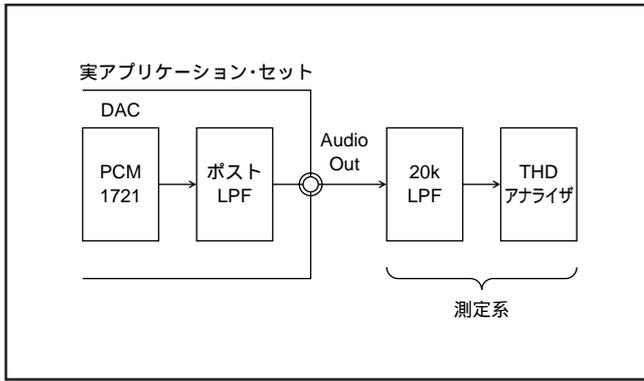


図16. THDテスト条件

図17にPCM1716の基本的な応用接続図(外部システム・クロック入力)を示します。C<sub>1</sub>からC<sub>4</sub>のバイパス・コンデンサはできる限りピンに最短距離で接続し、各電源グランドは共通接続とし、グランドパターンはなるべく広いベタグランドとします。ポストLPFは実際のアプリケーションではCR1次パッシブ、アクティブ2次から3次が一般的に用いられます。アナログ段のミュート回路制御タイミングはシステム全体との動作状況により決定されます。

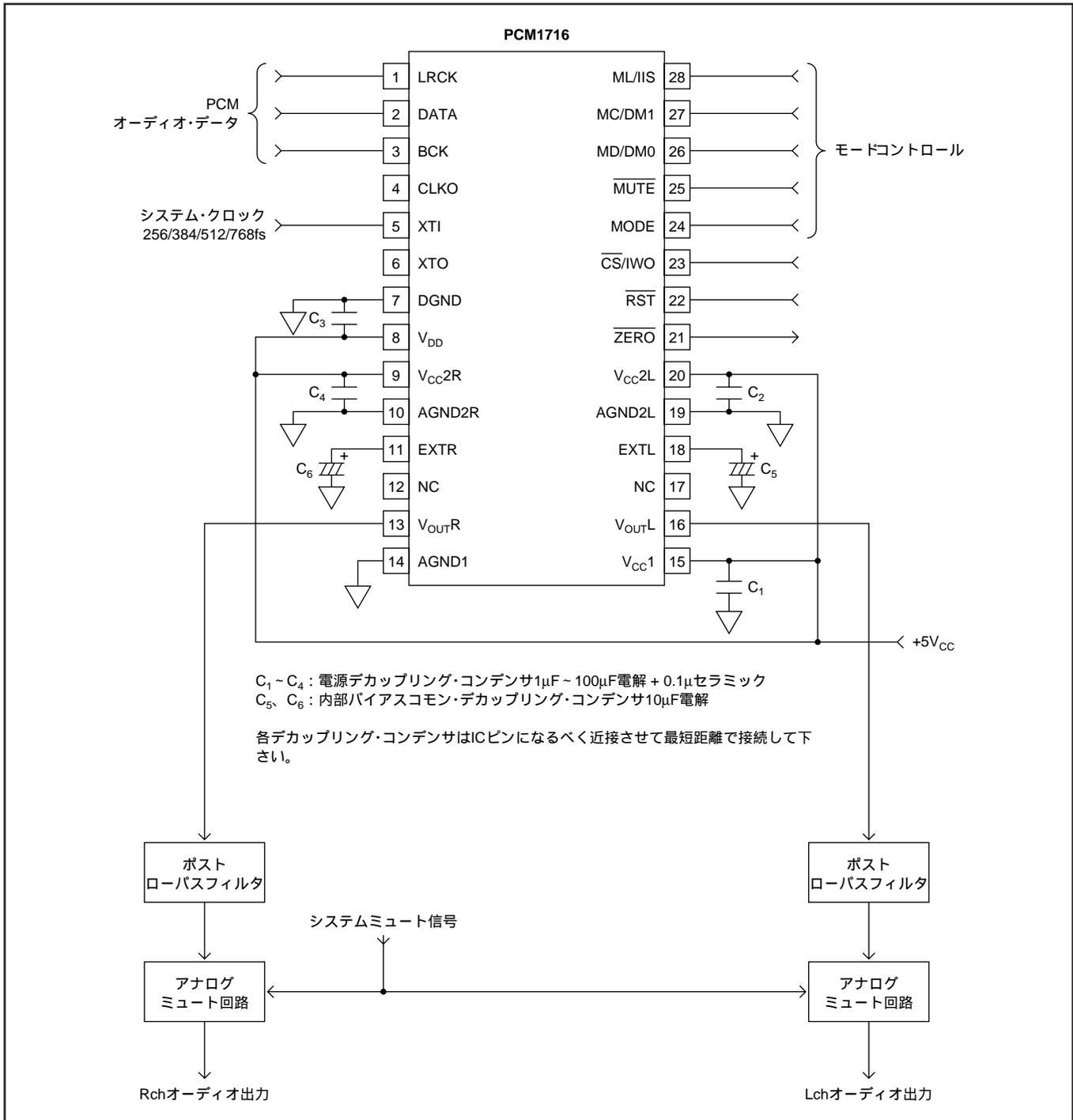
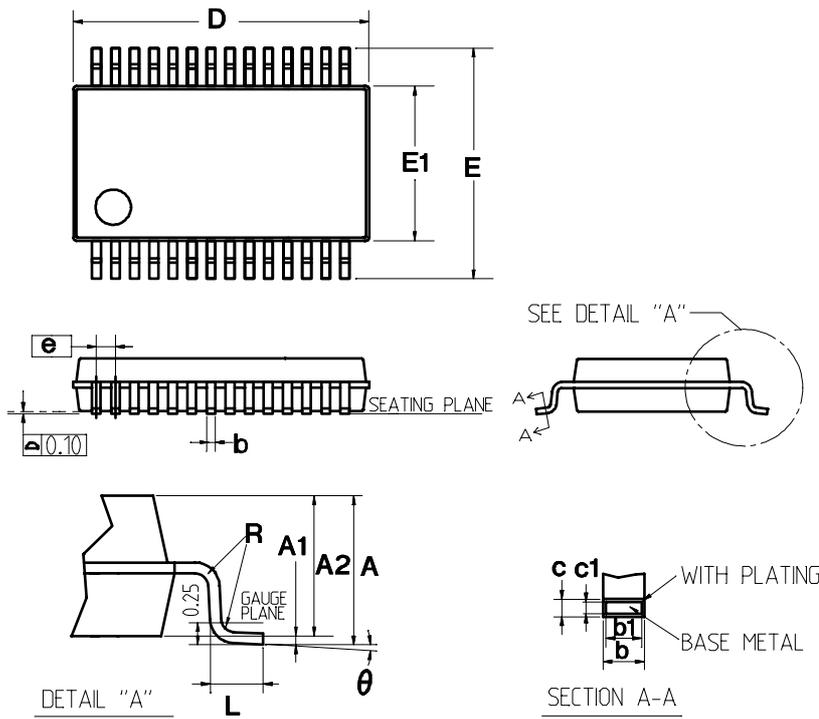


図17. PCM1716の応用接続図

# 外観

28ピンSSOP



1 MILLIMETERS			
DIM	MIN	TYP	MAX
A	—	—	2.13
A1	0.05	—	0.25
A2	1.62	1.75	1.88
b	0.22	—	0.38
b1	0.22	0.30	0.33
c	0.09	—	0.20
c1	0.09	0.15	0.16
D	9.90	10.20	10.50
E	7.40	7.80	8.20
E1	5.00	5.30	5.60
e	—	0.65 BSC	—
L	0.63	0.90	1.03
R	0.09	—	—
θ	0°	4°	8°