

SoundPLUS デジタルフィルタ内蔵
デルタ-シグマ型 16/20ビットD/Aコンバータ

特 長

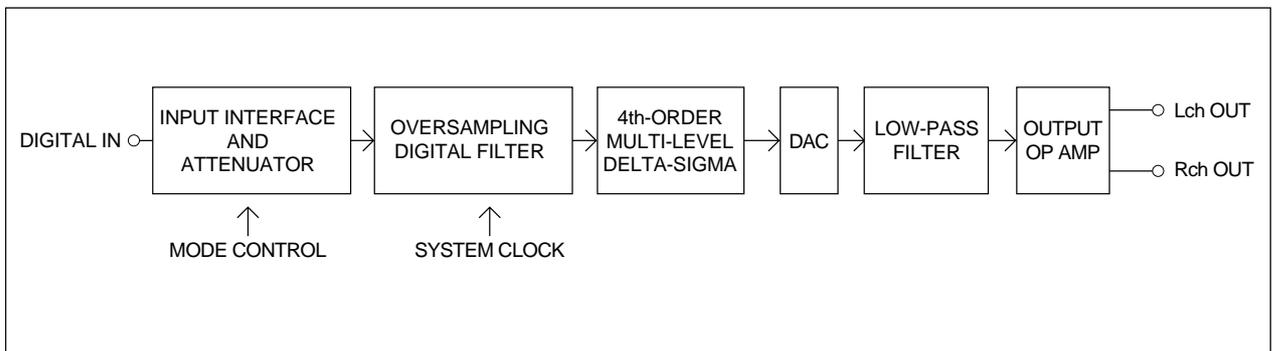
- マルチレベル・デルタ-シグマ方式
- 高性能
 THD+N : 0.0025% TYP
 ダイナミックレンジ : 98dB TYP
 S/N比 : 110dB TYP
- デュアル同位相アナログ電圧出力 :
 $V_o = 3.2V_{pp}$
- 2次アナログ・ローパスフィルタ内蔵
- 高耐ジッタ、低RFIアーキテクチャ
- システム・クロック 256f_s/384f_s 選択可
- 8倍オーバー・サンプリング・デジタル
 フィルタ内蔵
- マルチファンクション
 ソフトミュートおよびアッテネータ
 デジタル・ディエンファシス
 倍速ダビングモード
- 5V単一電源動作
- 小型28ピンSOPパッケージ

概 要

PCM1710は、バー・ブラウンが開発したマルチレベル・デルタ-シグマ方式DACに高性能デジタルフィルタと出力オペアンプを1チップにコンベクションさせた、デュアルCMOSデルタ-シグマ型高性能D/Aコンバータです。

PCM1710は、新アーキテクチャにより出力アンプを内蔵しているため、従来のパルス出力型1ビットDACに比べ耐ジッタ性、RFI等に優れたクリーンなアナログ電圧出力を直接得ることができます。また、16/20ビットデータ対応、ノーマル/IISフォーマット対応(1/f_s32クロック、連続データ)、システム・クロック256f_s/384f_s対応、ディエンファシス、ミュート、アッテネータ、倍速ダビング等と機能も豊富で、コストパフォーマンスにも優れています。

PCM1710は小型28ピンSOPに収納されており、5V単一電源動作も可能なので、HiFi CDプレーヤに限らず、カーオーディオ、ポータブルオーディオ、BSチューナTV、DAT、MPEGオーディオ、Midi、CD-I、CD-ROM、電子楽器等の幅広いデジタル・オーディオ・アプリケーションに用いることができます。



ブロック図

電気的特性

特に記述のない限り、 $T_a = 25$ 、 $+V_{CC} = +V_{DD} = +5V$ 、 $f_s = 44.1kHz$ 、 $SYSCLK = 384f_s/256f_s$ 、16ビットデータ入力におけるものです。

パラメータ	条件	PCM1710U			
		最小	標準	最大	単位
分解能		16			Bits
デジタル入出力					
入力ロジック・レベル(XTIを除く)	V_{IH} V_{IL}	2.0		0.8	VDC
入力ロジック電流(XTIを除く)	I_I			200	μA
入力ロジック・レベル、XTI端子	V_{IH} V_{IL}	3.2		1.4	VDC
入力ロジック電流、XTI端子	I_I			± 50	μA
出力ロジック・レベル、CLKO端子	V_{OH} V_{OL}	4.5		0.2	VDC
出力ロジック電流、CLKO端子	I_O	± 10			mA
データ・フォーマット		NORMAL/IISの一部選択可			
データ・ビット長		16-bit/20-bit選択可(シリアルモード時)			
基準サンプリング周波数		32	44.1	48	kHz
システム・クロック周波数 1	$384f_s$	12.288	16.9344	18.432	MHz
システム・クロック周波数 2	$256f_s$	8.192	11.2896	12.288	MHz
DC特性					
ゲイン・エラー	$V_O = 1/2 V_{CC}$ at BPZ		± 1.0	± 5.0	% of FSR
ゲイン・エラー、チャンネル間ミスマッチ			± 1.0	± 5.0	% of FSR
バイポーラ・ゼロ誤差			± 20		mV
ゲイン・ドリフト			± 50		ppm of FSR/
バイポーラ・ゼロ・ドリフト			± 20		ppm of FSR/
ダイナミック特性*					
全高調波歪率	$f = 991Hz$		0.0025	0.004	%
$V_O = 0dB (F/S)$			1.5	2.5	%
$V_O = -60dB$	$f = 991Hz$				
ダイナミック・レンジ	EIAJ、A-ウエイト	92	98		dB
S/N比	EIAJ、A-ウエイト	104	110		dB
チャンネル・セパレーション	$f = 991Hz$	90	94		dB
アナログ出力					
出力電圧	0dB出力		3.2		Vpp
センター電圧			$+1/2 V_{CC}$		V
負荷抵抗		5K			Ω
デジタルフィルタ特性					
通過帯域1	ノーマルモード		$0.4535f_s$		
通過帯域2	ダブルスピードモード		$0.4535f_s$		
阻止帯域1	ノーマルモード		$0.5465f_s$		
阻止帯域2	ダブルスピードモード		$0.5465f_s$		
通過帯域リップル1	ノーマルモード			± 0.008	dB
通過帯域リップル2	ダブルスピードモード			± 0.018	dB
阻止帯域減衰量1	ノーマルモード	-62			dB
阻止帯域減衰量2	ダブルスピードモード	-62			dB
ディエンファシス・エラー	(f_s 32kHz ~ 48kHz)			+0.03 -0.05	dB dB
電源供給					
電源電圧範囲	+VCC	+4.5	+5.0	+5.5	VDC
	+VDD	+4.5	+5.0	+5.5	VDC
電源電流	$I_{CC} + I_{DD}$	+VCC = +VDD = +5V	45	70	mA
消費電力		+VCC = +VDD = +5V	225	350	mW
温度範囲					
動作		-25		+85	
保存		-55		+100	

* THDメータ 400Hz HPF ON、30kHz LPF ON、AVERAGE MODE、測定帯域 20kHz

このデータシートに記載されている情報は、信頼しうるものと考えておりますが、不正確な情報や記載漏れに関して弊社は責任を負うものではありません。情報の使用について弊社は責任を負いませんので、各ユーザーの責任において御使用下さい。価格や仕様は予告なしに変更される場合がありますのでご了承下さい。ここに記載されているいかなる回路についても工業所有権その他の権利またはその実施権を付与したり承諾したりするものではありません。弊社は弊社製品を生命維持に関する機器またはシステムに使用することを承認または保証するものではありません。

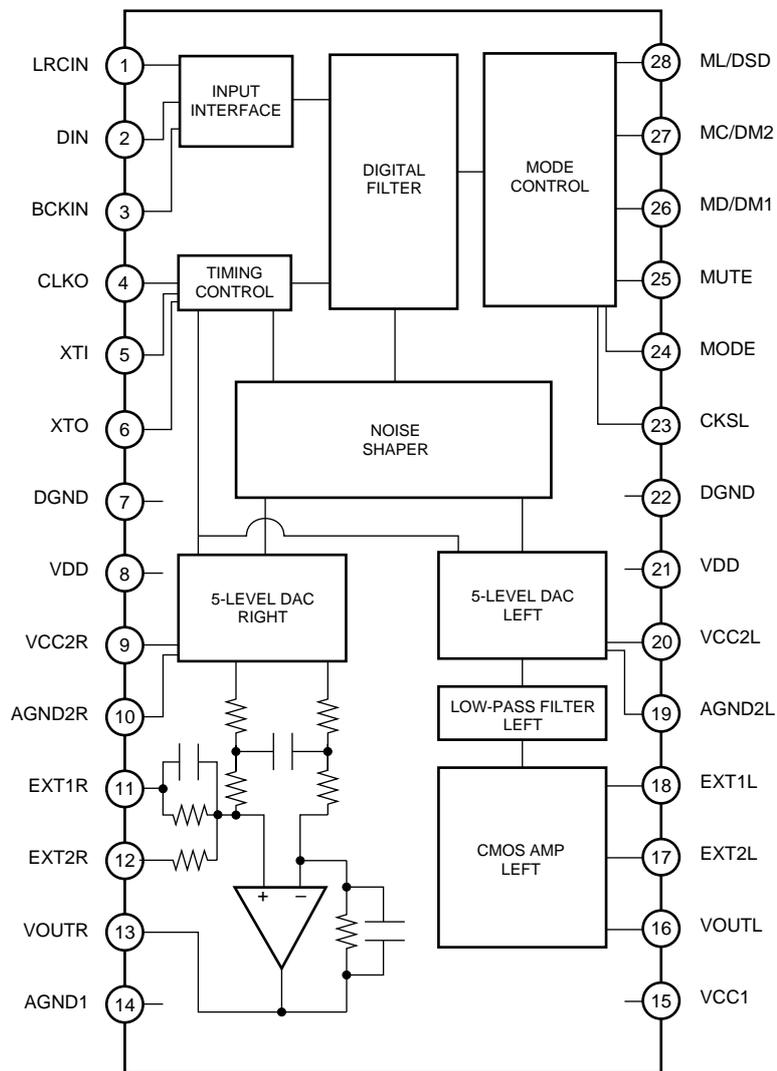
ピン構成

PIN	名称	機能
1	LRCIN	基準サンプリングレート・クロック入力(f_s)
2	DIN	データ入力
3	BCKIN	データビット・クロック入力
4	CLKO	発振部バッファ(XTi反転)出力
5	XTi	発振部入力 ⁽¹⁾ (外部クロック入力)
6	XTO	発振部出力 ⁽¹⁾
7	DGND	デジタル・グランド
8	VDD	デジタル電源(+5V)
9	VCC2R	アナログDAC電源、Rch(+5V)
10	AGND2R	アナログDACグランド、Rch
11	EXT1R	出力アンプコモン、Rch
12	EXT2R	出力アンプバイアス、Rch
13	VOUTr	電圧出力、Rch
14	AGND1	アナログ・グランド

PIN	名称	機能
15	VCC1	アナログ電源(+5V)
16	VOUTrL	電圧出力、Lch
17	EXT2L	出力アンプバイアス、Lch
18	EXT1L	出力アンプコモン、Lch
19	AGND2L	アナログDACグランド、Lch
20	VCC2L	アナログDAC電源、Lch(+5V)
21	VDD	デジタル電源(+5V)
22	DGND	デジタル・グランド
23	CKSL	システム・クロック選択(H: 384 f_s , L: 256 f_s)
24	MODE	動作モード選択(H/シリアル)
25	MUTE	ミュート制御(H: OFF, L: ON)
26	MD / DM1	制御データatシリアル/ディエンファシスatパラレル
27	MC / DM2	制御ビット・クロックatシリアル/ディエンファシスatパラレル
28	ML / DSD	制御データワードatシリアル/ダブルスピードatパラレル

注:(1)外部クロックをXTiに入力する場合、XTOは必ずオープンとして下さい。入力端子は全てプルアップ抵抗付

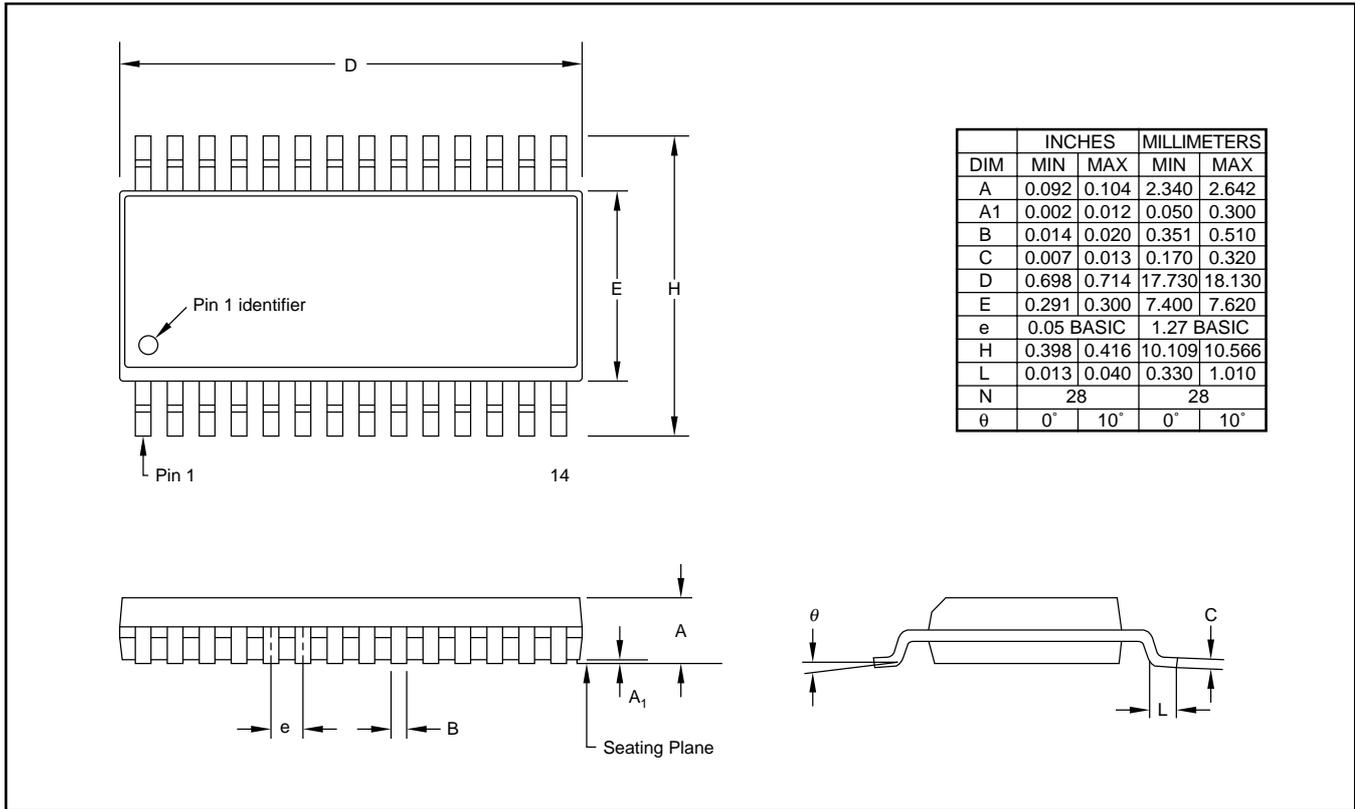
ブロック図



絶対最大定格

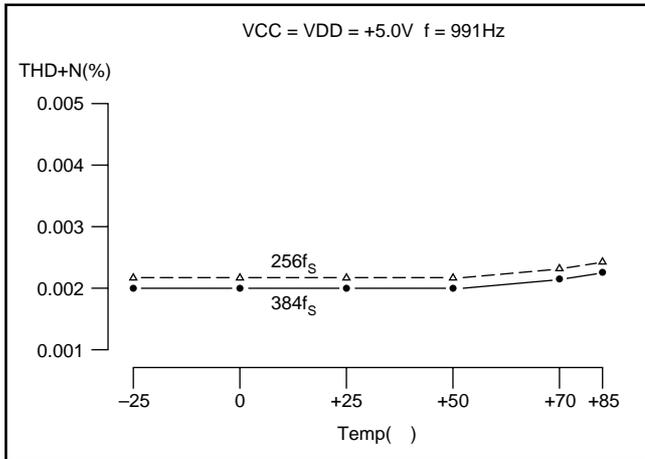
電源電圧	+6.5V
電源電圧差 (VCC ~ VDD間)	±0.1V
入力ロジック電圧	-0.3V ~ Vdd+0.3V
消費電力	400mW
動作温度	-25 ~ +85
保存温度	-55 ~ +125
半田耐熱性	260、5秒

外観

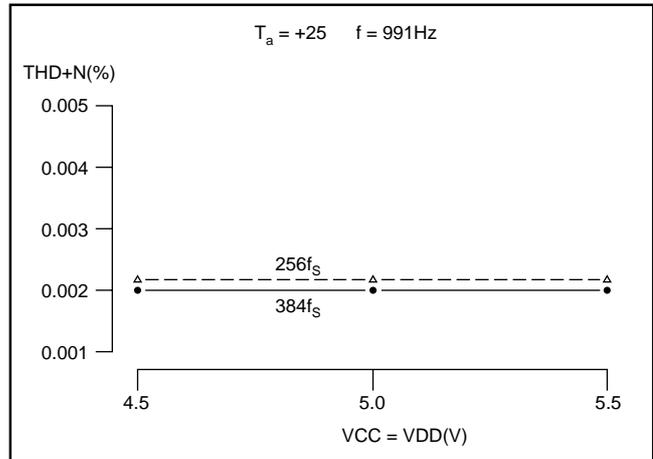


代表的性能曲線

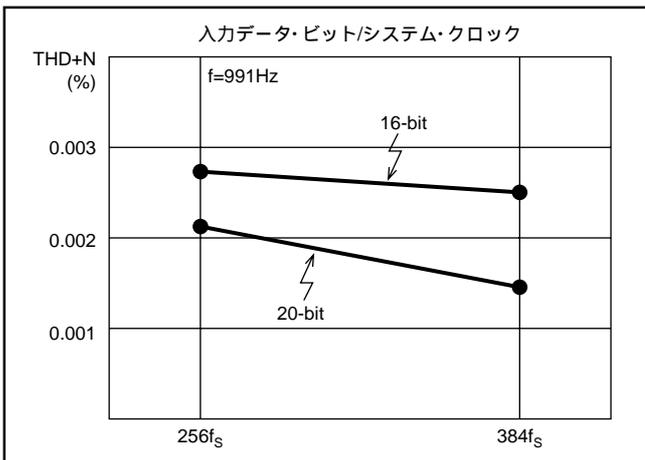
THD+N 対 周囲温度 (フルスケール出力)



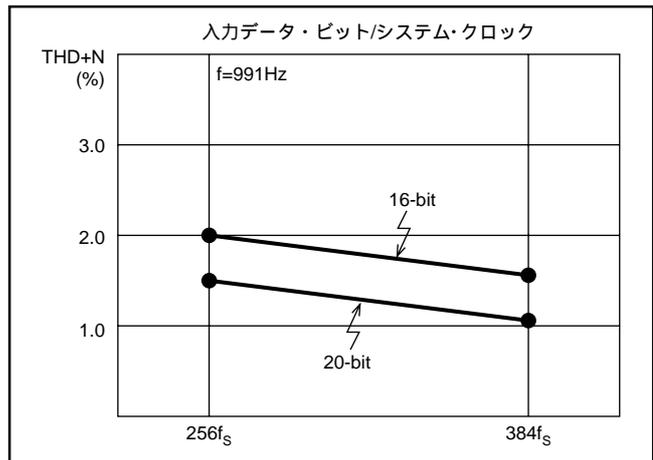
THD+N 対 電源電圧 (フルスケール出力)



動作条件 対 THD+N (F/S, 0dB出力)



動作条件 対 THD+N (-60dB出力)



ΔΣセクションの動作原理と特性

PCM1710のΔΣセクションでは、振幅方向に5レベルの分解能をもつ5レベル量子化器を用いて、5レベルのΔΣ変調を行います。デジタルフィルタでオーバー・サンプリングされた16ビットまたは20ビットのデータはΔΣ変調された5レベル(0、1、2、3、4)信号に変換されます。図1に、この5レベルΔΣ変調器のブロック・ダイアグラムを示します。

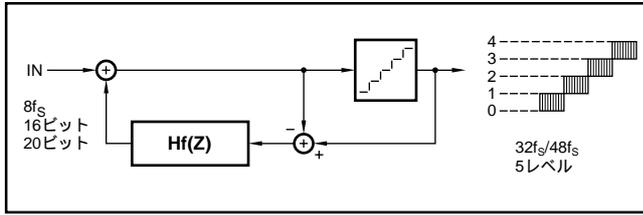


図1. 5レベルΔΣ変調器のブロック・ダイアグラム

この5レベルΔΣ変調器は、一般的な1ビット(2レベル)ΔΣ変調に比べて、系の安定性および対ジッタ性に優れています。図2にマルチレベルΔΣ変調器と一般的な1ビットΔΣ変調器のジッタ対ダイナミックレンジのシミュレーション・データを示します。デジタルフィルタとΔΣ変調の総合オーバー・サンプリング・レートは384fsシステム・クロック時で48fs、256fsシステム・クロック時で32fsとなっています。

図3にΔΣ変調を実行している4次のフィルタ部H(Z)のブロック・ダイアグラムを示します。

一般的に、ΔΣ変調では次数を高くすると系が不安定になる問題があります。PCM1710の5レベルΔΣ変調では、系全体の安定性を保つために位相補償を行っています。図3において、b1~b4の係数が4次の基本型で、-a1、-a2は位相補償フィードバック・ループの係数です。

図4にΔΣ変調後の量子化雑音レベルの理論周波数特性(384fsおよび256fsシステム・クロック、fs=44.1kHz)を示します。PCM1710では5レベルΔΣ変調により、384fs動作のオーディオ帯域内においては、-130dB以上量子化雑音を抑圧しています。

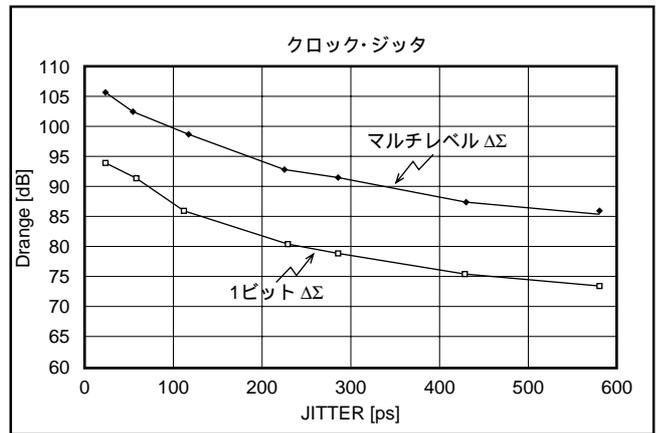


図2. ジッタ対ダイナミック・レンジシミュレーション・データ

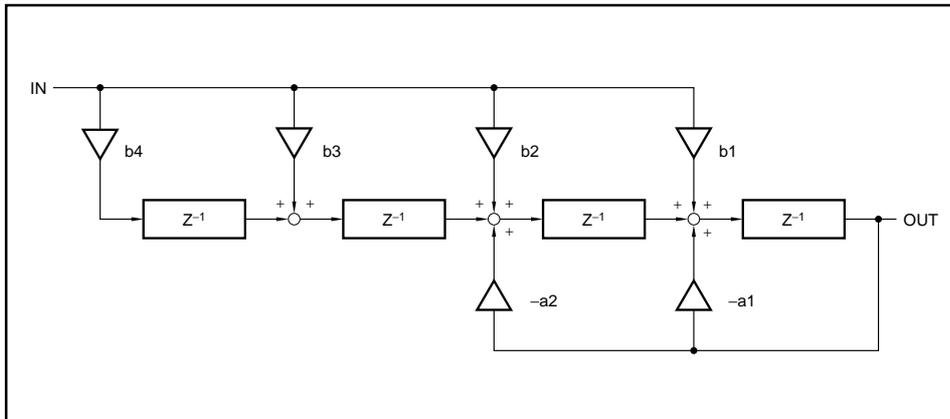


図3. H(Z)のブロックダイアグラム

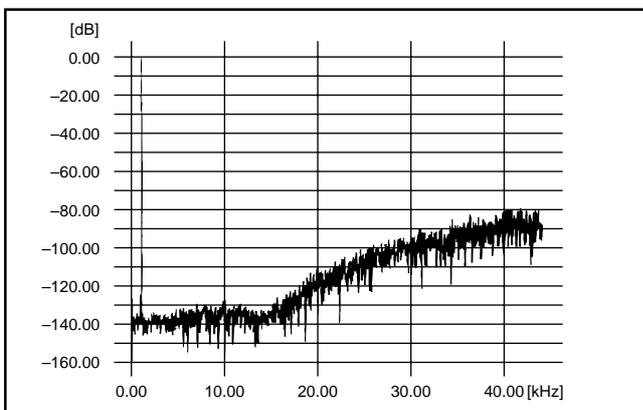


図4. 量子化雑音周波数特性(256fs)

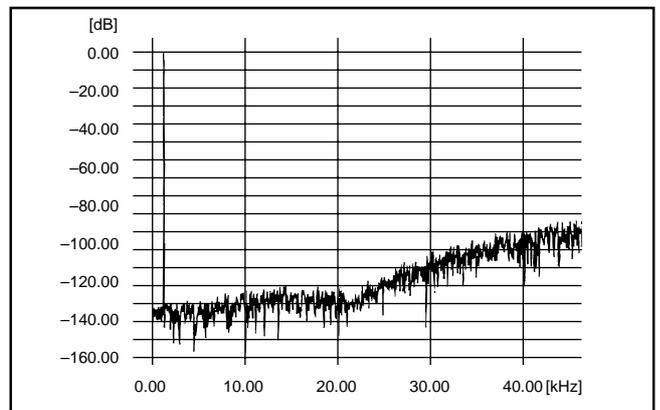


図5. 量子化雑音周波数特性(384fs)

動作モードの説明

PCM1710のデジタル部各機能の制御はパラレルモードとシリアルモードがあり、それぞれのモードにおける制御機能を次に示します。

(1)モード(シリアル/パラレル選択)

MODE端子(24ピン)で制御信号入力のシリアル/パラレルを制御します。

MODE=H	シリアルモード
MODE=L	パラレルモード

シリアル/パラレル各モードにおける制御可能な機能は次の通りです。

機能	シリアルモード(MODE=H)	パラレルモード(MODE=L)
入力データフォーマット選択	○	×(NORMAL固定)
入力データビット選択	○	×(16ビット固定)
入力LRCl極性選択	○	×
ディエンファシスコントロール	○	○
ミュート	○	○
アッテネータ	○	×
倍速ダビング	○	○

○：選択可能

×：選択不可

(2)パラレルモードコントロール

MODE=L時における各機能の制御モードを次に示します。

DM1(26ピン)	DM2(27ピン)	ディエンファシス
L	L	OFF
H	L	32kHz
L	H	48kHz
H	H	44.1kHz

DSD(28ピン)

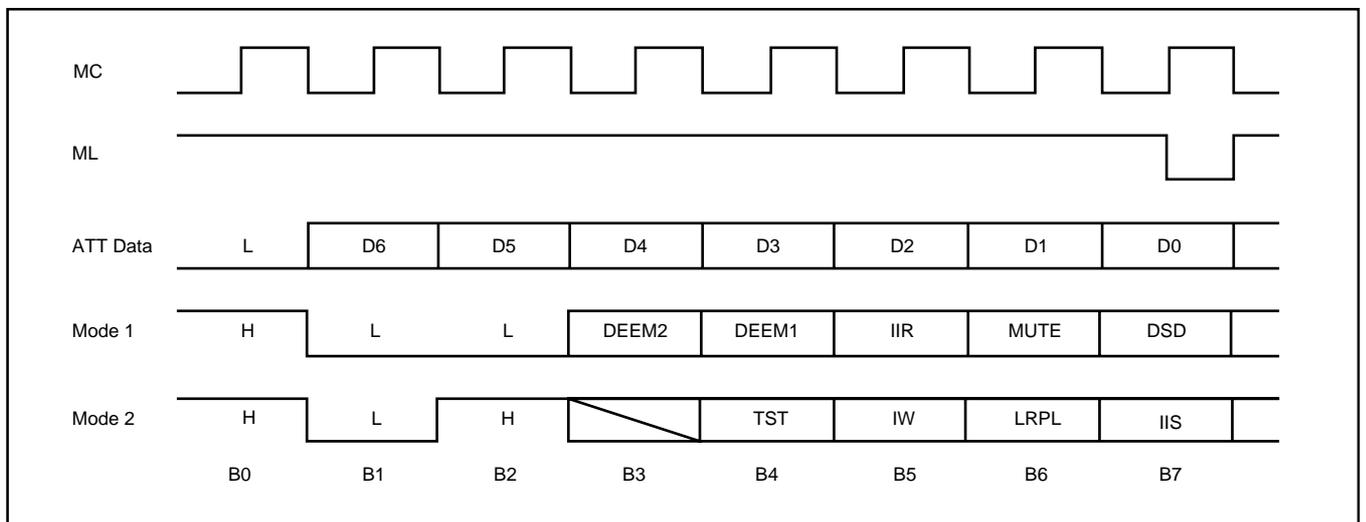
DSD=H	ノーマルモード
DSD=L	倍速ダビングモード

注：倍速ダビングモードを選択する時は、システム・クロック選択は384Fs(CKSL：23ピン=H)として下さい。

(3) シリアル・モードコントロール

MODE=H時における各機能の制御を次に示します。

B0	B1	B2	Bits	モード フラグ	モードの機能選択				リセット時 モード		
					選択項目	LH	選択				
H	L	L	3	DEEM2	ディエンファシスの サンプリング周波数		DEEM2		44.1kHz		
			4	DEEM1			0	1			
						0	48kHz				
						1	32kHz	44.1kHz			
			5	IIR	ディエンファシス	L	ディエンファシスOFF				○
						H	ディエンファシスON				
			6	MUTE	ミュート	L	ミュートOFF				○
			H	ミュートON							
7	DSD	倍速モード	L	倍速モードOFF			○				
			H	倍速モードON							
H	L	H	3		Not Assign						
			4	TST	TESTモード		常時 “ H ”		“ H ”		
			5	IW	入力ビット数	L	16bit入力		○		
						H	20bit入力				
			6	LRPL	LRCIの極性	L	Lch-high/Rch-low		○		
			H	Lch-low/Rch-high							
7	IIS	シリアル入力フォーマット	L	通常シリアル入力		○					
			H	IISシリアル入力							



- 注) 1. モードデータの設定周期は、最低SYSCKの128clk以上にしてください。
 2. ATTデータD6がMSBで、D0がLSBです。減衰量の計算式は、

$$\text{減衰量} = 20 \times \text{LOG}_{10}(1 - \text{ATT DATA}/127) \text{ (dB)}$$
 になります。ただし、ATT DATAが127のときは、上式に従わず減衰量は $-\infty$ (無限大)となります。
 3. ミューティングon時、現在のアッテネーション・レベルから $-\infty$ (無限大)へ向かって変化します。また、off時は $-\infty$ (無限大)から設定されたアッテネーション・レベルへ向かって変化します。ミュート速度は、0から127になる場合、 $127 \times (1/f_s)$ です。
 4. シリアル・インターフェース時、MUTEピンは“ H ”もしくはオープンにしてください。

(4) インフィニティ・ゼロ検出

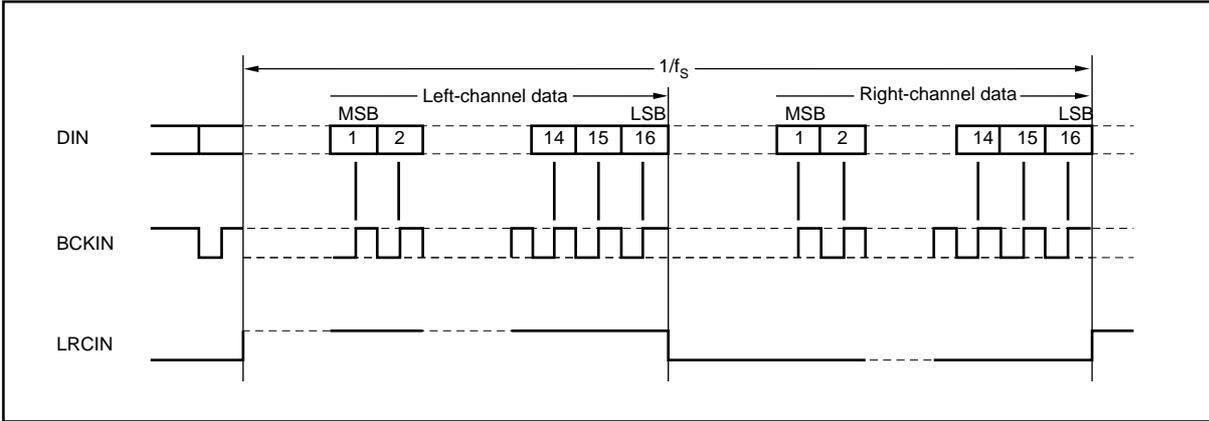
PCM1710では入力データとビットクロックをモニターしており、65536ビットクロック分の入力データが連続して“ゼロ”となった場合、インフィニティ・ゼロ検出を行い、DAC出力をBPZ(1/2 VCC)に設定します。入力データが“非ゼロ”となった時点でインフィニティ・ゼロは解除され、入力データに対応した信号を出力します。

(5) パワーONリセット(イニシャライズ)

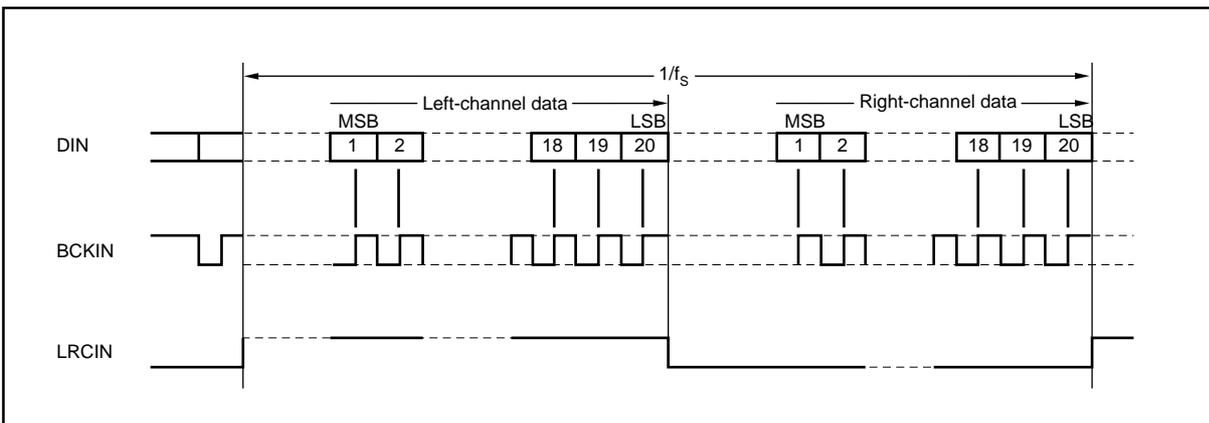
PCM1710のリセット(イニシャライズ)動作は、パワーON(+V_{dd} > 2.8V)後のLRCKクロック入力およびシステム・クロック入力(または発振)で自動的に行なわれるので外部からのリセット信号は必要ありません。

データ入力タイミング詳細

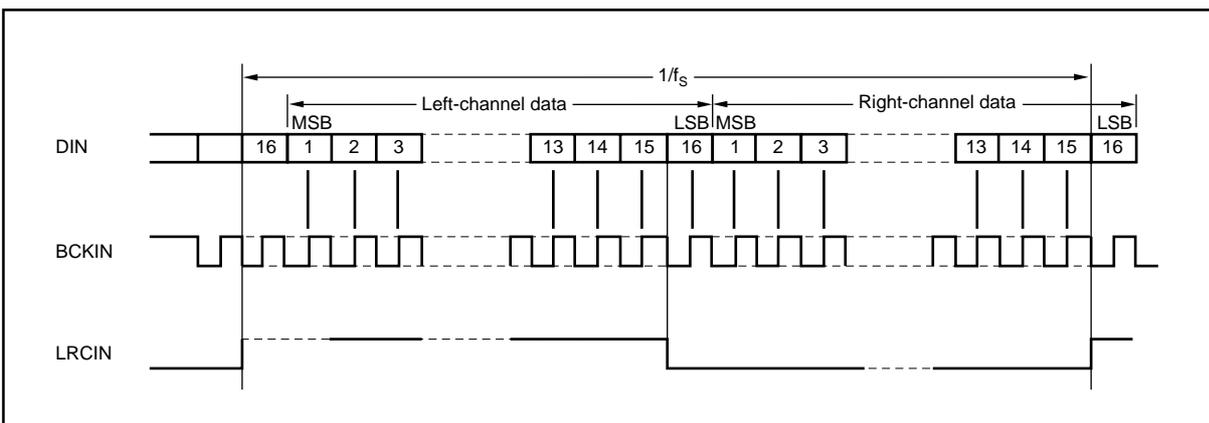
ノーマルフォーマット、16ビット(LRCK H : Lch選択)



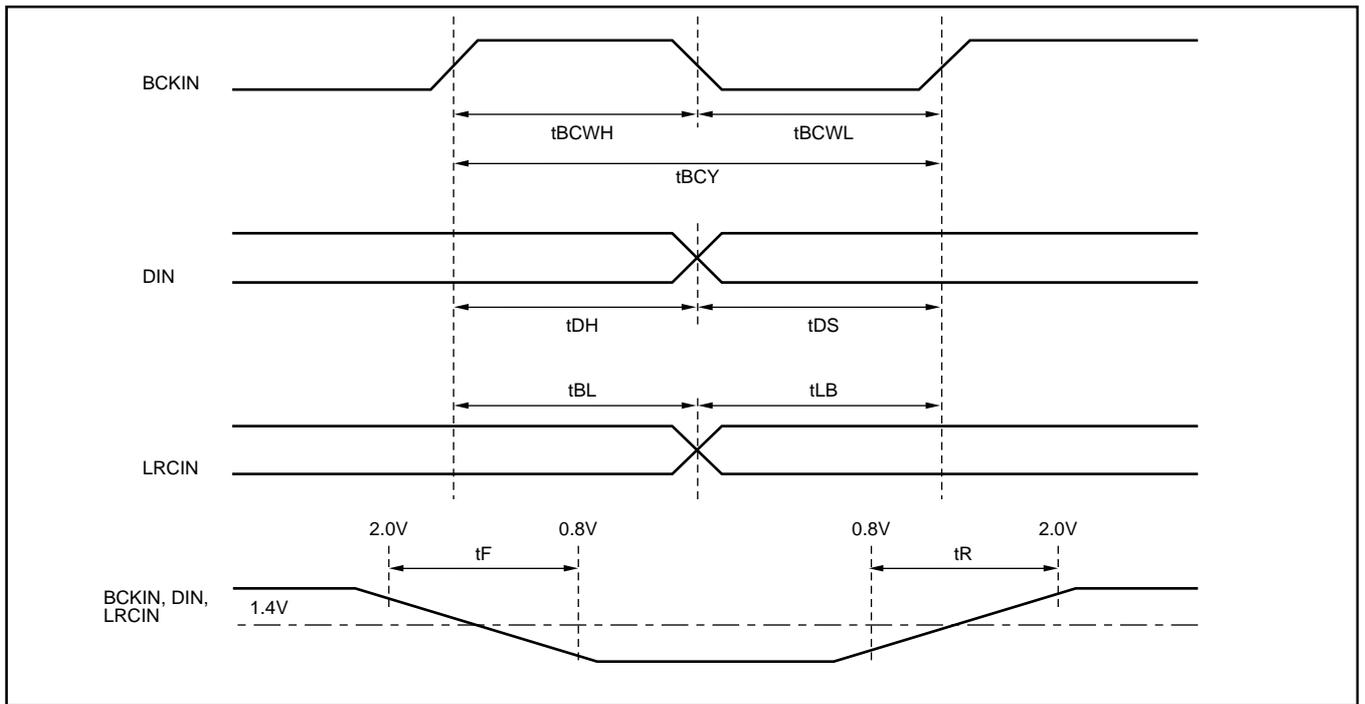
ノーマルフォーマット、20ビット(LRCK H : Lch選択)



IISフォーマット、16ビット($1/f_s$ の間に32BCKクロック、連続データ入力)

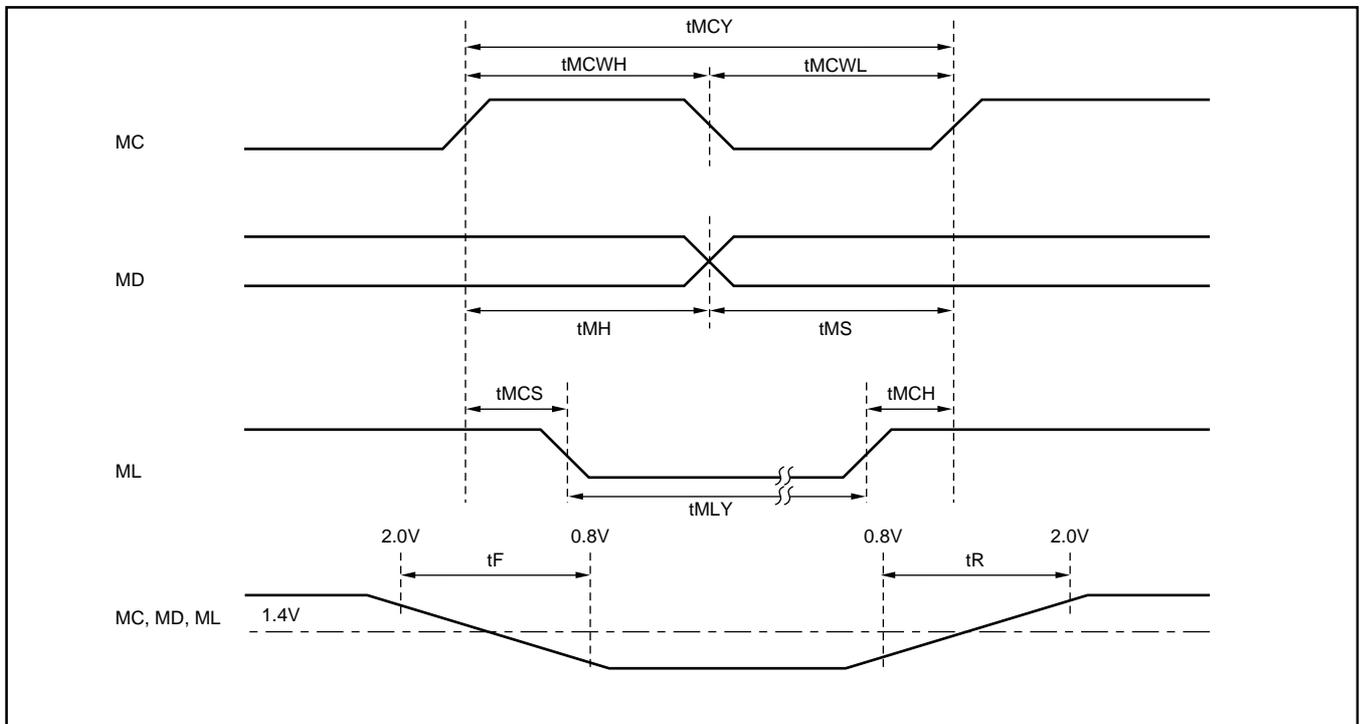


データ入カタイミング詳細



BCKパルス幅 (Hレベル)	t_{BCWH}	70ns (min)	BCKINライズタイム	t_R (BCK)	15ns (max)
BCKパルス幅 (Lレベル)	t_{BCWL}	70ns (min)	BCKINフォールタイム	t_F (BCK)	15ns (max)
BCKパルス周期	t_{BCY}	140ns (min)	LRCINライズタイム	t_R (LR)	15ns (max)
DINセットアップタイム	t_{DS}	30ns (min)	LRCINフォールタイム	t_F (LR)	15ns (max)
DINホールドタイム	t_{DH}	30ns (min)	DINライズタイム	t_R (D1)	15ns (max)
ラストBCK立ち上がり LRCIエッジ	t_{BL}	30ns (min)	DINフォールタイム	t_F (D1)	15ns (max)
LRCIエッジ ファーストBCK立ち上がり	t_{LB}	30ns (min)			

シリアルモードコントロール・タイミング詳細

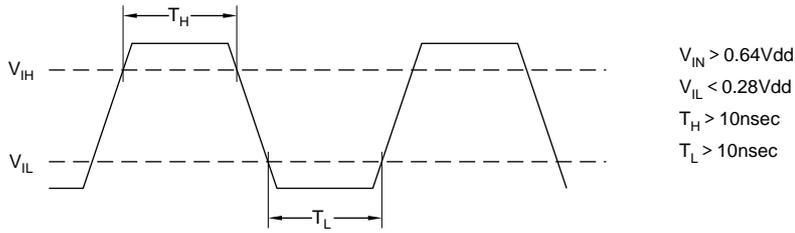


MCパルス幅 (Hレベル)	t_{MCWH}	50ns (min)	MC, MD, MLライズタイム	t_R (MC)	15ns (max)
MCパルス幅 (Lレベル)	t_{MCWL}	50ns (min)	MC, MD, MLフォールタイム	t_F (MC)	15ns (max)
MCパルス周期	t_{MCY}	100ns (min)			
MDセットアップタイム	t_{MS}	30ns (min)			
MDホールドタイム	t_{MH}	30ns (min)			
MLセットアップタイム	t_{MCS}	30ns (min)			
MLホールドタイム	t_{MCH}	30ns (min)			
MLローレベル期間	t_{MLY}	$1/\text{sysclk} + 20\text{ns}$ (min)			

Sysclk: System Clock Frequency

システム・クロックに関する注意点

外部からシステム・クロックをXTIに入力する場合、クロック波形は次の条件を満たしてください。



システム・クロックと f_s の関係において、 f_s (サンプリング・レート)の変換時(例えば、32kHz ~ 48kHz)にシステム・クロックとLRCKとの位相が一時的に一致しない場合、 $1/f_s$ 期間内であれば正常に動作します。

ノーマル/倍速 切り換え時のシステム・クロック

ノーマル、倍速、いずれの動作モードにおいても、システム・クロック周波数を16.9344MHzに固定して下さい。LRCINに入力する周波数を f_s とした場合のシステム・クロックの選択方法を表に示します。

項目	DSD	
	H (ノーマル)	L (倍速)
XTI入力クロック周波数	$384f_s$	$192f_s$
CD再生時XTI周波数	16.9344MHz ($f_s=44.1\text{kHz}$)	16.9344MHz ($f_s=88.2\text{kHz}$)
CLKO出力クロック周波数	$384f_s$	$192f_s$

発振回路接続方法

図6にクリスタル発振の場合の接続回路例を示します。

図7に外部クロック入力の場合の接続回路例を示します。

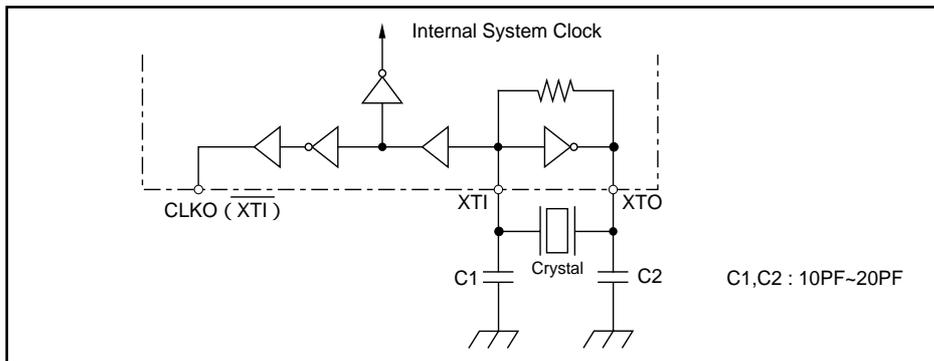


図6. クリスタル発振の場合の接続回路

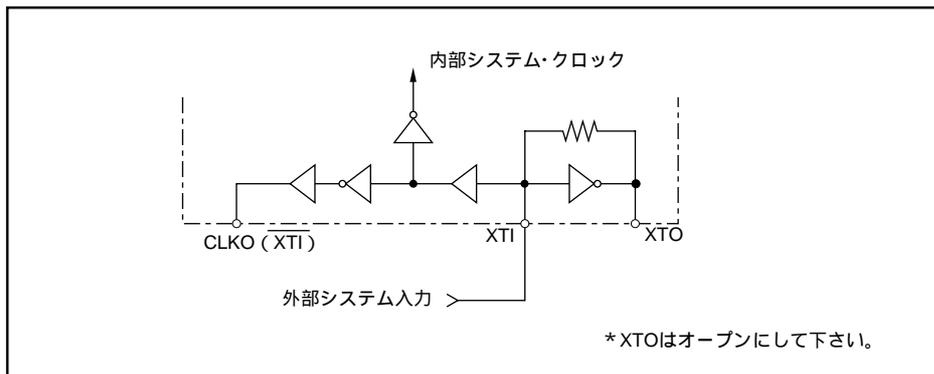
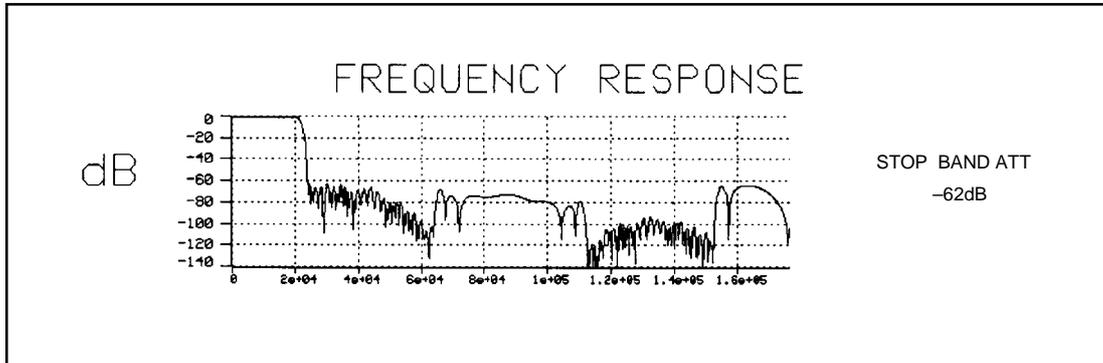


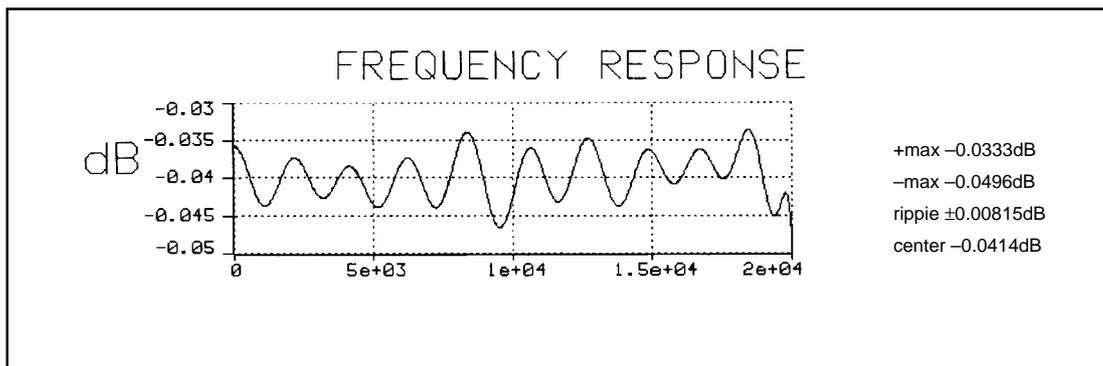
図7. 外部クロック入力の場合の接続回路

デジタルフィルタ特性

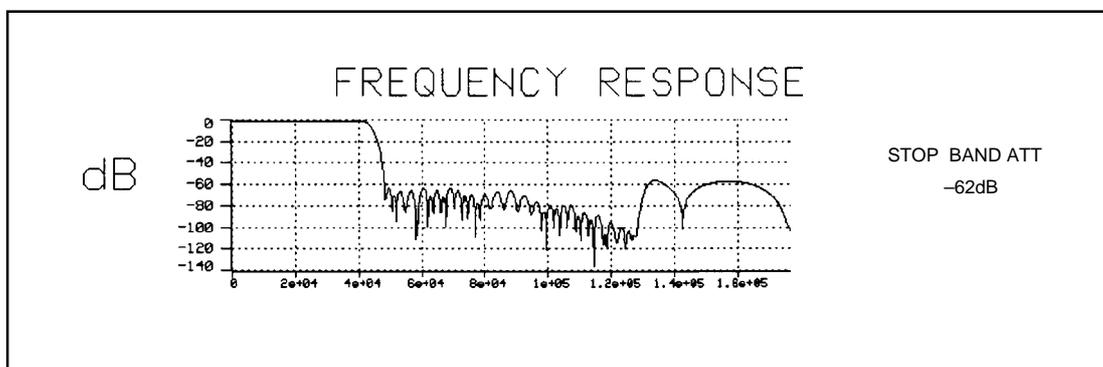
(1) 周波数特性 (ノーマルモード・ディエンファシスOFF)



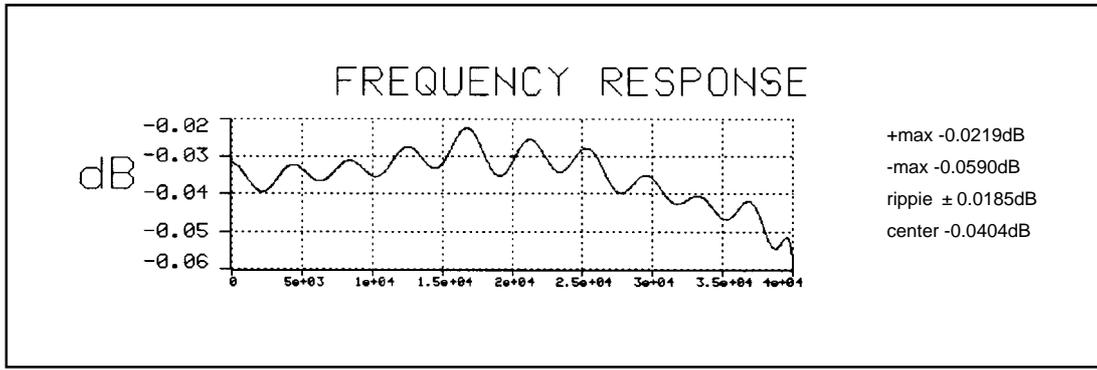
(2) 通過帯域リップル特性 (ノーマルモード、ディエンファシスOFF)



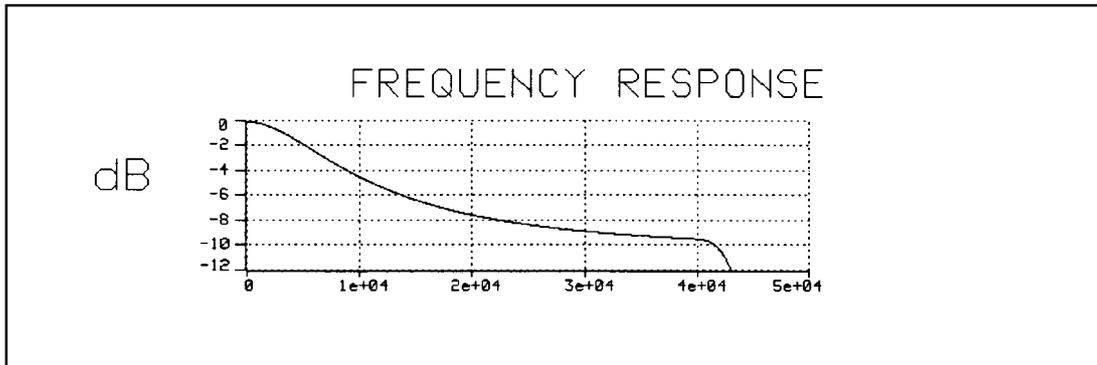
(3) 周波数特性 (倍速モード、ディエンファシスOFF)



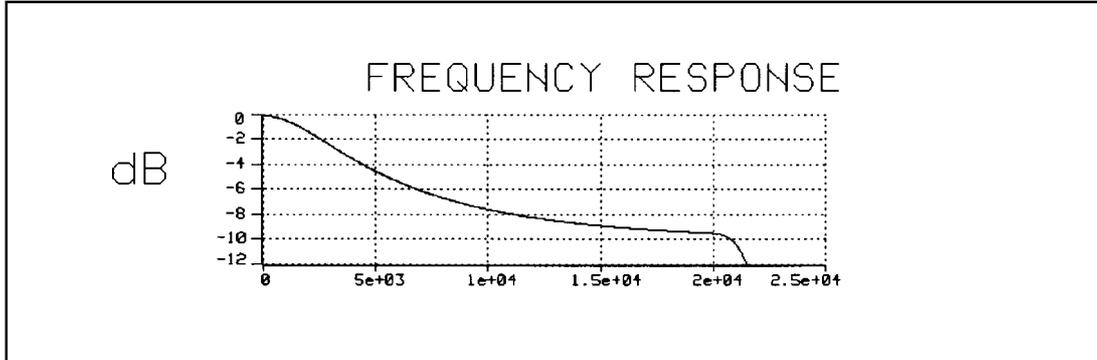
(4)通過帯域リップル特性(倍速モード、ディエンファシスOFF)



(5)ディエンファシス特性(倍速モード、 $f_s=88.2\text{KHz}$)

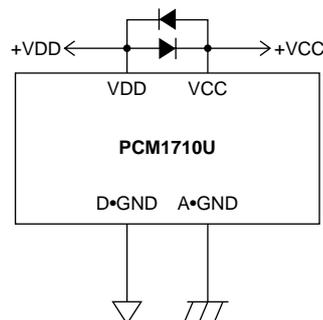


(6)ディエンファシス特性(ノーマルモード、 $f_s=44.1\text{KHz}$)



電源接続

PCM1710はCMOS構造プロセスのため、デジタル系電源とアナログ系電源を分離して用いる場合、その電位差が0.6Vを超えるとラッチ・アップが発生する可能性があります。したがって、デジタル/アナログ両電源は共通接続として下さい。もし両電源を別接続とする場合は、下図に示すようにダイオードによる保護回路を接続して下さい。



アナログ・ローパスフィルタ特性

PCM1710に搭載されている、アナログ・ローパスフィルタの特性を以下に示します。

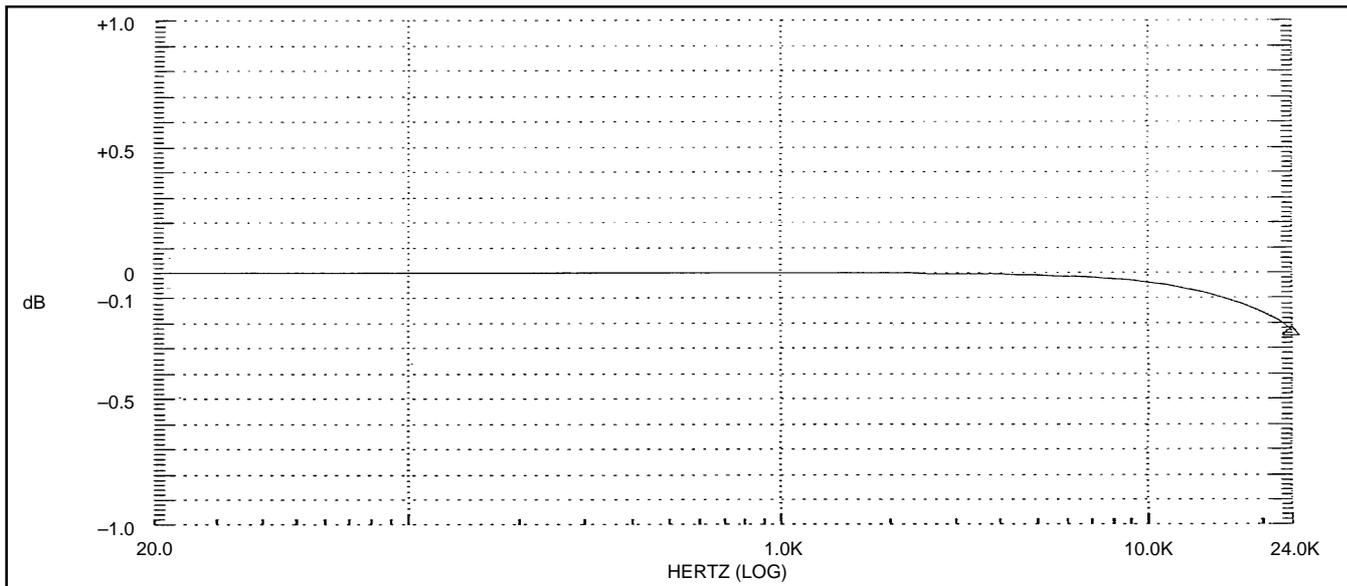


図8. アナログ・フィルタ周波数特性(20Hz~24kHz、拡大図、シミュレーション結果)

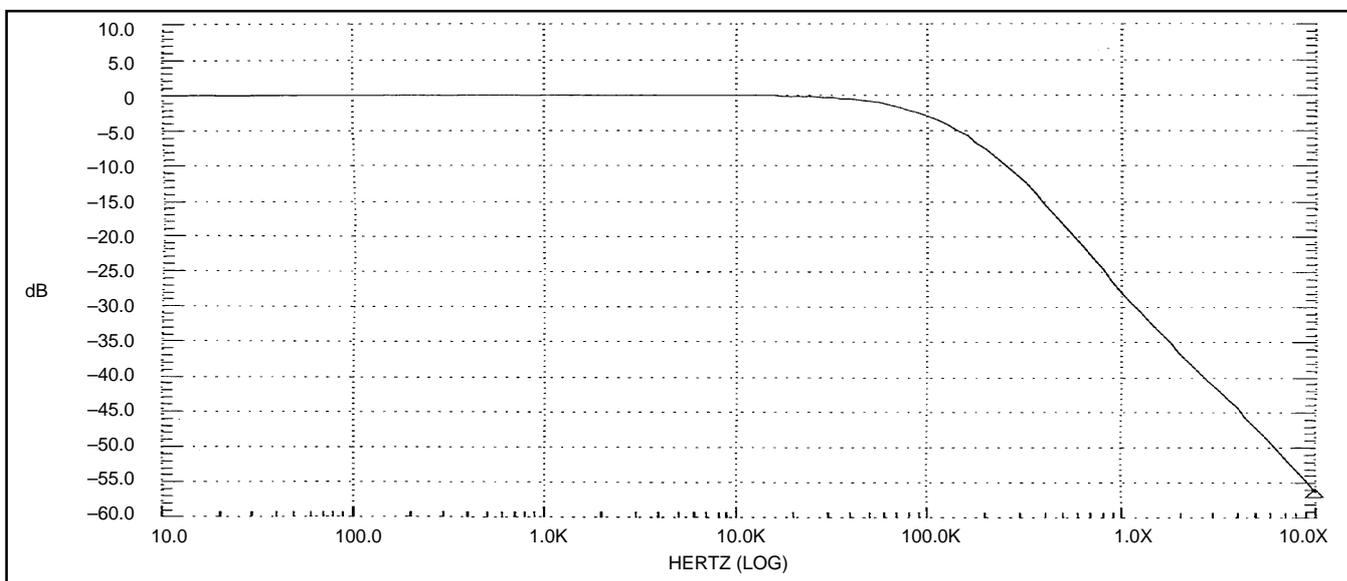


図9. アナログ・フィルタ周波数特性(10Hz~10MHz、拡大図、シミュレーション結果)

出力波形

PCM1710の出力波形は、従来のパルス出力型1ビットDACに比べ、マルチレベルDACと内部2次アナログ・ローパスフィルタおよび出力アンプをコンベクションさせた最新アーキテクチャにより、クリーンなアナログ電圧出力を直接得ることができます。PCM1710のVOUTピン(13ピンまたは16ピン)で直接測定した出力波形を図10に示します。なお THD TEST 等においては、PCM1710の後段に高次のアナログ・フィルタが必要となりますが、次ページの基本応用例に示すような2次~3次程度のローパスフィルタでも実用可能です。

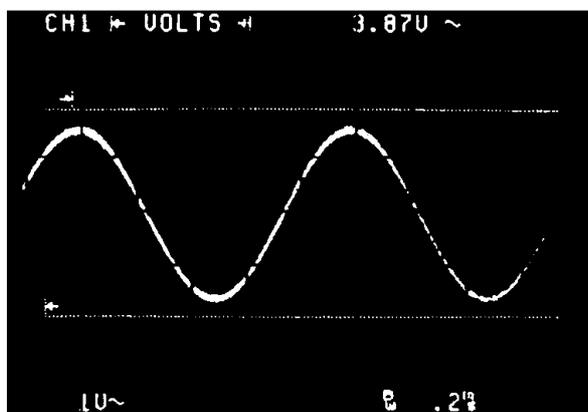
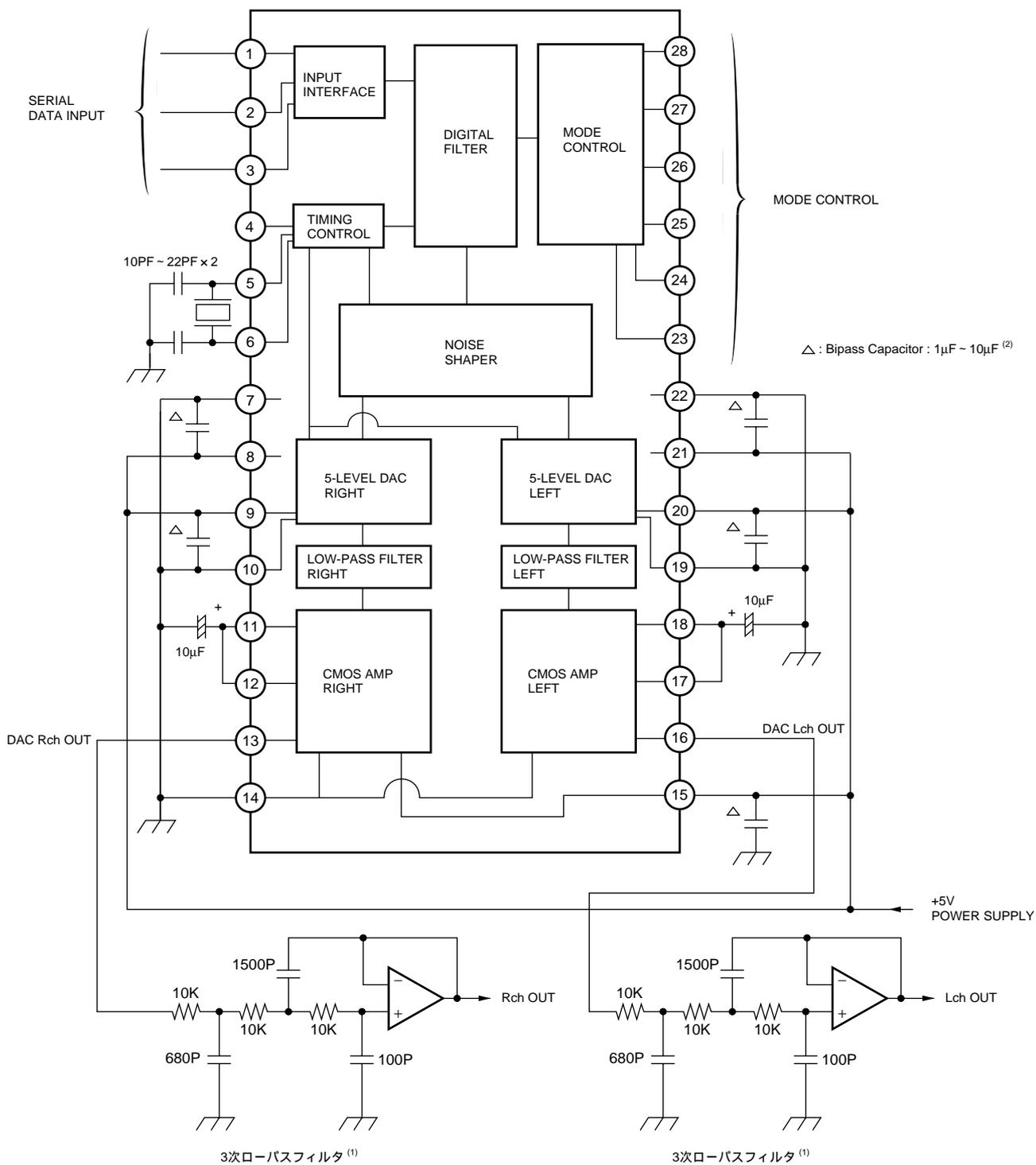


図10. フルスケール信号出力波形(外付けフィルタ無し)

基本応用回路図



注：(1) 実用アプリケーション例です。データシートに記載された仕様を得るためには、測定帯域幅を20kHzに帯域制限しなければなりません。(詳しくはアプリケーション・ノートANJ-1038を参照下さい。)

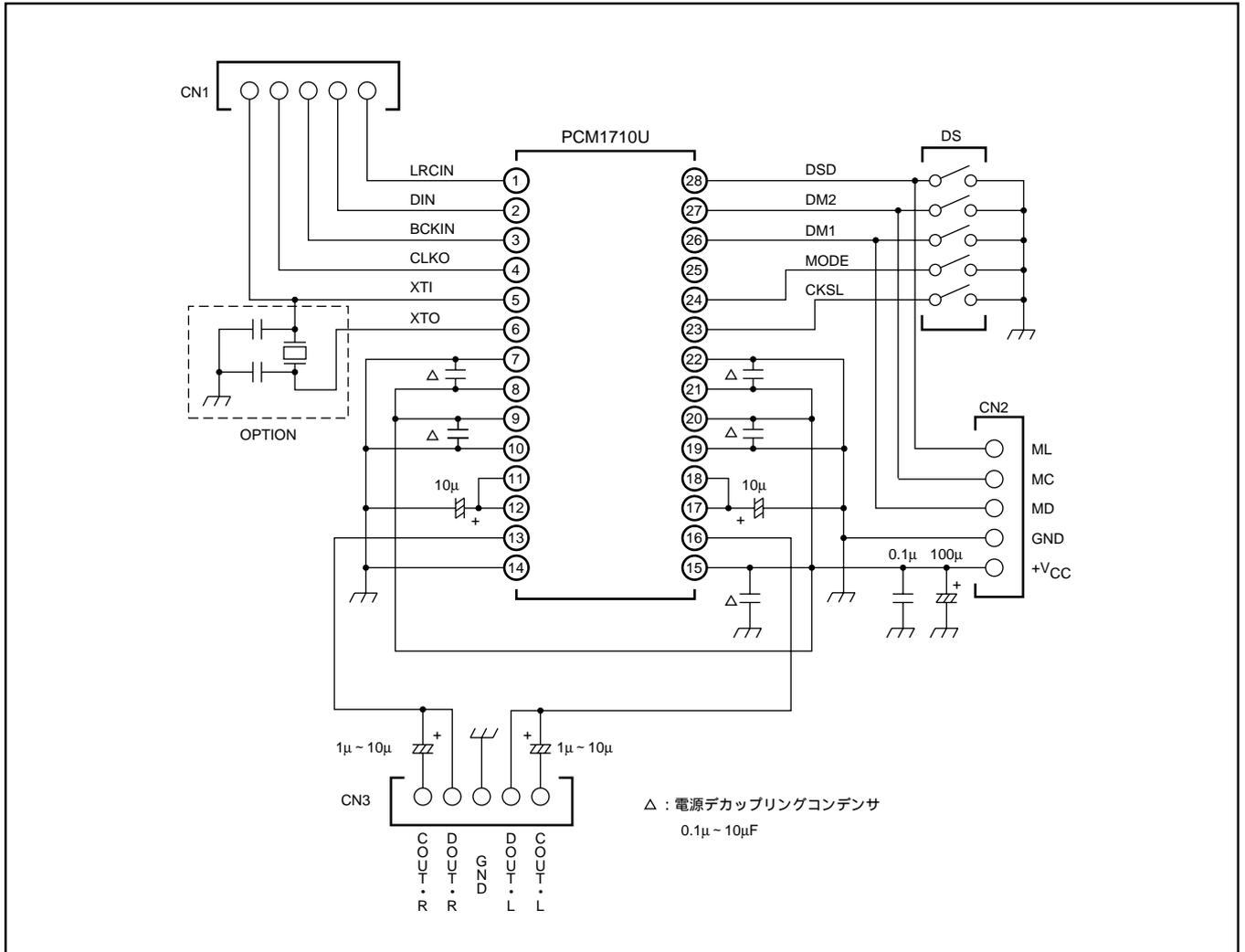
(2) 各バイパスコンデンサはICピンにできる限り近接させて最短距離で接続して下さい。

評価ボード DEM-1710

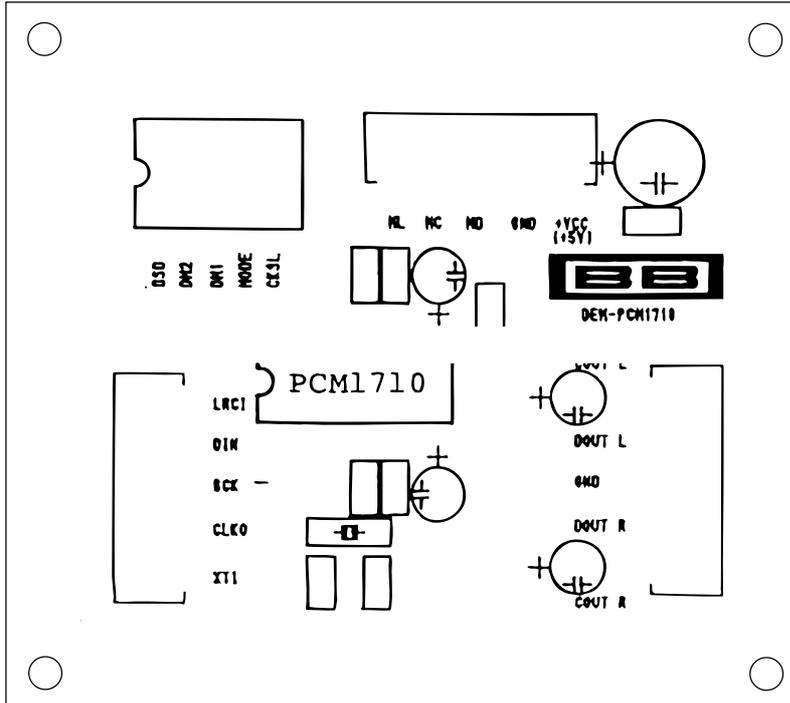
DEM-1710はPCM1710の評価用ボードで、基板上のスイッチの選択によりシリアルモード/パラレルモードのどちらも対応可能となっています。デジタル入力はLRCK、BCK、DATAおよびシステム・クロック（256f_sまたは384f_s）です。電源は+5Vで動作し、アナログ出力は直接出力（Dout）とコンデンサカップル出力（Cout）を備えています。

また、PCM1710でシステム・クロックを発生させたい場合に備え、クリスタルおよびコンデンサの取付けパターンが用意されていますので、ユーザーの希望するクリスタルを取付けることもできます。外部からシステム・クロックを供給する場合は、シールドケーブルまたは同軸ケーブルを使用してください。

回路図



部品配置

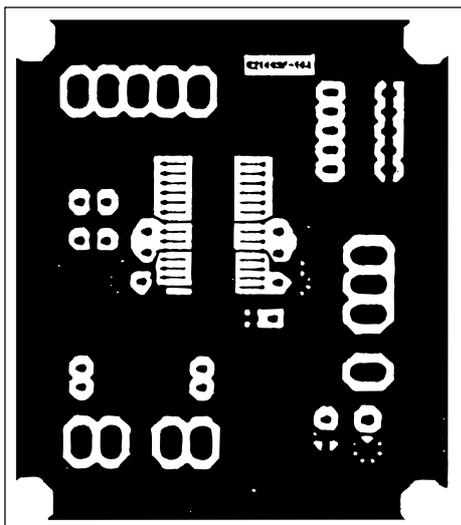


パターンレイアウトの注意点

下図に示す通り、PCM1710の各グランドおよび各電源は共通接続とし、バイパスコンデンサはPCM1710の各ピンから最短距離でグランドへ接続して下さい。

パターンレイアウト

部品面



(ほぼ原寸大)

半田面

