

SoundPlus™ BiCMOSアドバンスド・サイン・
 マグニチュード方式 20ビットD/Aコンバータ

特 長

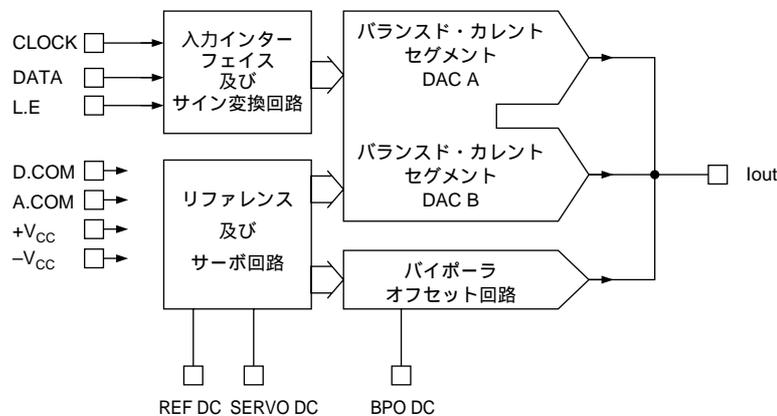
- 20ビット分解能
- 高精度、低歪率
 - 0.0015%(F/S)(標準)
 - 0.4%(-60dB)(標準)
- 高S/N比: 120dB(IHF - A)(標準)
- ノンゼロクロス歪
- グリッチレス・デザイン
- 8倍オーバー・サンプリング対応
- 電流出力: ±1.2mA
- 電源電圧: ±5V
- パッケージ: 小型16ピンDIPまたは20ピンSOP
- 低消費電力: 150mW(標準)

概 要

PCM1702は、新開発のデュアル・バランスド・カレント・セグメント方式とサイン・マグニチュード方式を組み合わせ、さらにパー・ブラウンの誇るレーザ・トリミング技術とBiCMOSプロセスの採用により高精度を実現した20ビットD/Aコンバータです。

PCM1702はこのアドバンスド・サイン・マグニチュード方式の採用により、従来からのマルチビット方式DACに見られた、ゼロクロス歪みの発生を根本的に解決すると共に、変換リニアリティをさらに向上させることにより超低歪率を実現しています。

PCM1702は±5Vの電源電圧で動作し、消費電力はわずか150mWです。また、パッケージは小型16ピンDIPと20ピンSOPが用意されており、プロ用デジタル・オーディオ機器、最高級CDプレーヤ、電子楽器等幅広いデジタル・オーディオ・アプリケーションに最適なデバイスです。



仕様

特に記述のない限り、 $T_A = +25$ 、 $\pm V_{CC} = \pm V_{DD} = \pm 5V$ におけるものです。

パラメータ	PCM1702 P/U、-J、-K			単位
	最小	標準	最大	
デジタル入力				
分解能		20		Bit
ロジック・レベル				
V_{IH}	2.4		$+V_{DD}$	VDC
V_{IL}	0		0.8	VDC
$I_{IH}, V_I = +V_{DD}$			± 10	μA
$I_{IL}, V_I = 0V$			± 10	μA
入力クロック周波数、FCLK		12.5	20.0	MHz
伝達特性				
ゲイン誤差(電流出力)		± 1.0	± 3.0	%
ダイナミック・レンジ(THD+N at $V_o = -60dB$ 、with IHF-A フィルタ)		110		dB
バイポーラ・ゼロ誤差		± 6.0		μA
ローレベル・リニアリティ($f = 1002Hz$ 、 $at -90dB$)		± 0.5		dB
S/N(バイポーラ・ゼロ点、IHF-A フィルタ)	110	120		dB
全高調波歪率⁽¹⁾				
$V_o = F/S$	PCM1702P/U	0.0025	0.0040	%
	PCM1702P/U-J	0.0015	0.0025	%
	PCM1702P/U-K	0.0010	0.0015	%
$V_o = -20dB$	PCM1702P/U	0.008	0.020	%
	PCM1702P/U-J	0.007	0.015	%
	PCM1702P/U-K	0.006	0.010	%
$V_o = -60dB$	PCM1702P/U	0.5	1.0	%
	PCM1702P/U-J	0.4	0.8	%
	PCM1702P/U-K	0.3	0.6	%
ドリフト(0 ~ +70)				
ゲイン・ドリフト(0 ~ +70)		± 25		ppm of FSR/
バイポーラ・ゼロ・ドリフト(0 ~ +70)		± 5		ppm of FSR/
セトリングタイム($\pm 0.003\%$ of FSR)				
電流出力1.2mAステップ($10\Omega \sim 100\Omega$ 負荷)		200		ns
ウォームアップタイム				
		1		分
出力				
バイポーラ出力電流		± 1.2		mA
出力インピーダンス		1.0		k Ω
出力短絡保護		コモンに対して無限大		
電源条件				
電源電圧: $+V_{CC} = +V_{DD}$	+4.75	+5.00	+5.25	VDC
$-V_{CC} = -V_{DD}$	-4.75	-5.00	-5.25	VDC
電源電流: $+I_{CC} (+V_{CC}, +V_{DD}$ 共通接続)		+5	+9	mA
$-I_{CC} (-V_{CC}, -V_{DD}$ 共通接続)		-25	-41	mA
消費電力(FCLK=8.46MHz)		150	250	mW
温度範囲				
動作	-25		+85	
保存	-55		+125	

注: (1)データレート $8f_s$ (352.8kHz)理想20ビット・データ、信号周波数 $f = 1002Hz$ 、平均値測定。

このデータシートに記載されている情報は、信頼しうるものと考えておりますが、不正確な情報や、記載漏れ等に関して弊社は責任を負うものではありません。情報の使用について弊社は責任を負いませんので、各ユーザーの責任においてご使用下さい。価格や仕様は予告なしに変更される場合がありますのでご了承下さい。ここに記載されているいかなる回路についても工業所有権その他の権利またはその実施権を付与したり承諾したりするものではありません。弊社は弊社製品を生命維持に関する機器またはシステムに使用することを承認しまたは保証するものではありません。

絶対最大定格 DIPパッケージ

入力電源電圧	±6.5V
入力ロジック電圧	DGND-0.3V ~ +V _{DD} +0.3V
動作温度	-25 ~ +85
保存温度	-55 ~ +125
消費電力	500mW
半田耐熱	260、10秒

ピン構成 DIPパッケージ

ピン番号	名称	ピン番号	名称
1	DATA	9	+V _{CC}
2	CLOCK	10	BPO DC
3	+V _{DD}	11	I out
4	DCOM	12	ACOM
5	-V _{DD}	13	ACOM
6	LE	14	SERVO DC
7	NC	15	REF DC
8	NC	16	-V _{CC}

パッケージ情報⁽¹⁾

モデル	パッケージ	パッケージ図番号
PCM1702P	16ピン・プラスチックDIP	180
PCM1702U	20ピン・プラスチックSOP	248

注：(1)詳細図および寸法表は、データシートの巻末を参照して下さい。

絶対最大定格 SOPパッケージ

入力電源電圧	±6.5V
入力ロジック電圧	DGND-0.3V ~ +V _{DD} +0.3V
動作温度	-25 ~ +85
保存温度	-55 ~ +125
消費電力	300mW
半田耐熱	260、5秒

ピン構成 SOPパッケージ

ピン番号	名称	ピン番号	名称
1	DATA	11	+V _{CC}
2	CLOCK	12	BPO DC
3	NC	13	NC
4	+V _{DD}	14	I _{OUT}
5	DCOM	15	ACOM
6	-V _{DD}	16	ACOM
7	LE	17	SERVO DC
8	NC	18	NC
9	NC	19	REF DC
10	NC	20	-V _{CC}

静電気放電対策

静電気放電はわずかな性能の低下から完全なデバイスの故障に至るまで、様々な損傷を与えます。すべての集積回路は、適切なESD保護方法を用いて、取扱いと保存を行うようにして下さい。高精度の集積回路は、損傷に対して敏感であり、極めてわずかなパラメータの変化により、デバイスに規定された仕様に適合しなくなる場合があります。

バイポーラ・ゼロ誤差

フルスケール・スパンの1/2レベルはMSBのみONとなり、この時の出力はバイポーラ・ゼロ出力となり、理想値はゼロですが、実際はわずかな誤差を生じます。この誤差はバイポーラ・ゼロ誤差で定義され、PCM1702では標準 $\pm 6.0\text{mA}$ となっています。

ダイナミック・レンジ

ダイナミック・レンジは、D/Aコンバータが作ることでできる最小信号とフルスケール信号との比で、一般にデシベル(dB)で表わされ、理論的には $6 \times n(\text{Bit})$ 、すなわち20ビットでは120dBとなります。ただし、実際にはD/Aコンバータの精度や周辺条件の影響等により制限され、この理論値よりも小さくなります。

レベル・リニアリティ

これはデジタル入力レベルとアナログ出力レベル間の直線性(リニアリティ)を意味し、MSB誤差等特定ビットの微分直線性誤差が大きいと特定のレベルでリニアリティが悪化します。この影響は特に、 -60dB 以下の微小出力領域で顕著です。PCM1702はサイン・マグニチュード方式の採用により、原理的にレベル・リニアリティ誤差は非常に小さく、 -90dB 出力時で標準 $\pm 1\text{dB}$ です。

S/N比

フルスケール出力時の信号レベルとバイポーラ・ゼロ出力時の雑音レベルとの比をS/N比で定義し、通常(dB)で表されます。PCM1702の出力雑音レベルはきわめて小さいので、周辺回路の条件については十分注意しなければなりません。PCM1702では“ IHF-A ” フィルタにて標準120dB、最小110dBのS/N比を得ることができます。

全高調波歪

THDはオーディオ・アプリケーションに有効で、直線性誤差の大きさと分布、微分直線性誤差および雑音、さらに量子化誤差の割合です。有効にするためには、THDは高レベルと低レベルの両入力信号に対して規定されなければなりません。この誤差は調整不可能で、オーディオ・アプリケーション用D/Aコンバータの精度を最も的確に表現しています。

THDは高調波の自乗の和の平方根と入力の基本波周波数の値の比として定義され、パーセントかdBで表されます。入力換算のPCM1702の誤差のrms値は次式で表せます。

$$\epsilon_{\text{rms}} = \sqrt{1/n \sum_{i=1}^n [E_L(i) + E_Q(i)]^2}$$

ここで、nはあるサイン波の1サイクル内のサンプル数で、 $E_L(i)$ は、各サンプリング点におけるPCM1702の直線性誤差、 $E_Q(i)$ は各サンプリング点における量子化誤差です。よって、THDは次のように表されます。

$$\text{THD} = \epsilon_{\text{rms}} / E_{\text{rms}}$$

$$= \frac{\sqrt{1/n \sum_{i=1}^n [E_L(i) + E_Q(i)]^2}}{E_{\text{rms}}} \times 100\%$$

ここで、 E_{rms} は信号電圧レベルのrmsです。

この表現は、一般的にTHDと各デジタル・ワードにおける直線性誤差の自乗の和の平方根の間に相関があることを示しています。しかしこの表現は、D/Aの最悪の直線性誤差がTHDに直接関係するという意味ではありません。

PCM1702においては基準サンプリング周波数は44.1kHzを選択しており、実際のテストは高次のオーバーサンプリング・デジタルフィルタとのインターフェースを考慮し、8倍オーバーサンプリング($f_s=352.8\text{kHz}$)、信号周波数1002Hzでテストされています。信号出力レベルは0dB(フルスケール)、 -20dB 、 -60dB の3ポイントで、ディグリッチャ回路なしの条件でテストされません。

デジタル入力データとTHD

上記のTHD TESTにおいてPCM1702は20ビットDACのため、デジタル入力データは理想20ビット・データを入力し測定されています。実アプリケーションにおいて、例えば、CDプレーヤー等のデジタル信号は16ビットですから、デジタルフィルタを用いて16ビットから生成された20ビット・データは理想20ビット・データとデータ精度が異なるためにTHD特性に影響します。この影響度はデジタルフィルタの方式、次数、通過/阻止帯域およびリップル/減衰量等で異なるため、実使用においてはその入力データ精度に対する考慮が必要です。

ドリフト

周囲温度の変化によりD/Aコンバータは伝達特性の温度ドリフトを生じます。PCM1702は、高安定性リファレンスおよびサーボ回路と高安定薄膜抵抗技術等により、バイポーラ・ゼロ点の温度ドリフトは標準1 あたりフルスケールの $\pm 5\text{ppm}$ に、バイポーラ・ゼロ点を含むゲインドリフトは標準1 あたりフルスケールの $\pm 25\text{ppm}$ に抑えられており、実使用上特に問題ないレベルとなっています。

セトリングタイム

D/Aコンバータの入力コードを変化させた時に、所定の出力レベルの所定の誤差帯域幅内にD/Aコンバータの出力レベルが収束するまでの時間をセトリングタイムで定義し、PCM1702の場合は、1.2mAのステップ変化に対し、フルスケールの $\pm 0.003\%$ 内に収束するまでのセトリングタイムは標準200nsと高速です。実使用においてはI/V変換オペアンプのセトリング特性が重要で、352.8kHzのデータレート(時間で約2.8ms)に追従するには1ms前後のセトリングタイムを有するオペアンプの使用が便利です。

出力短絡保護

PCM1702の I_{OUT} 端子はコモンに対する短絡については無損傷で保護されています。

ウォームアップ・タイム

電源投入により回路が安定に動作するまでの時間はきわめて短時間で、THD特性も電源投入直後に測定されていますが、D/Aコンバータの自己発熱等により、バイポーラ・ゼロ誤差、ゲイン誤差、THDレベル等の各特性が十分安定するまでには多少時間を要し、これをウォームアップ・タイムで定義しています。PCM1702の場合は標準1分間で規定されています。

電源条件

PCM1702は、+側および-側の電源端子をそれぞれ2端子(+V_{CC}、+V_{DD}および-V_{CC}、-V_{DD})設けてありますが、これら2端子は+側、-側それぞれ共通接続で使用してください。すべての電気的特性は+V_{CC} = +V_{DD} = +5.0V、-V_{CC} = -V_{DD} = -5.0Vにおけるものですが、電源電圧範囲内における電源電圧において、特性が大きく変化することはありません。

入力ロジック・タイミング

PCM1702はCLOCK、DATA、LE(ラッチイネーブル)の各デジタル入力があり、その基本的なタイミング・フォーマットを図2に示します(基本的には弊社16ビットDAC“PCM56P”と同等でDATAのみ20ビットと考えられます)。

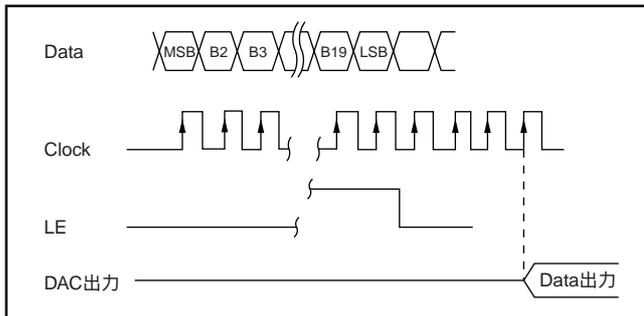


図2. 基本入力タイミング・フォーマット

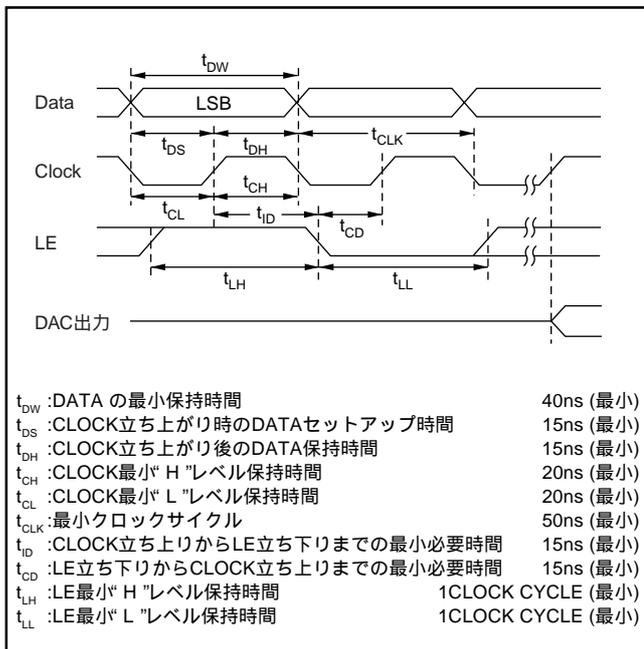


図3. タイミング公差

シリアルデータは、Binary Two's Complement (BTC)で受け付けられ、MSBファーストです。このシリアルデータはCLOCKの立ち上りエッジに同期して入力され、CLOCKの立ち上りエッジで内部レジスタにストローブされ、LEの立ち下りエッジで入力レジスタにラッチされ、その後4つ目のCLOCK立ち上り入力DATAに応じた出力がDAC出力となります。

各ロジック信号に対するタイミング公差を図3に示します。LE信号は“L”レベルになる直前に最低1 CLOCKサイクル“H”でなければならず、また1 CLOCKサイクル分“L”を保持しなければなりません。LEの間に20 CLOCK以上発生した時は、LEの“L”になる直前の最後の20 CLOCK分のDATAのみが入力レジスタに転送され出力されます。LSB CLOCKに同期して立ち下るLE信号は、LSB CLOCKの立ち上りより最低15 ns遅らせて立ち下げなければならない点に注意してください。

使用法と動作に関する説明

PCM1702におけるサイン・マグニチュード変換方式

表紙にPCM1702の基本ブロック図を示します。サイン・マグニチュード方式の応用として、MSBコードでひとつのDACの出力極性を切り換えるのではなく、2つのDACを用いて、それぞれのDAC出力を直接電流加算しています。また、DAC - AおよびBへの入力コードは、サイン・コード変換回路でコード変換され、両DACを動作させます。図4に両DACの伝達特性を、表IIにデジタル入力に対する両DACの入力コードを示します(理解しやすくするため、ストレート・バイナリで表現しています。)

通常、2DACの場合、BPZ点を中心に、出力レベルが増すごとに両DACの出力が増す動作を考えますが、PCM1702ではDAC - AはBPZ点より正側に出力が増すのに応じて出力が増し、DAC - BはBPZ点で出力がフルスケールで、負側に出力が増すごとに応じて出力が減少します。

すなわち、-FSR点では、両DACともにゼロ出力であり、-FSR点からBPZ点まではDAC - Bのみ動作します。BPZ-1LSB点でDAC - Bはフルスケール出力となり、BPZ点への変化では+1LSBセグメントがONになります。BPZ点から正側への変化ではDAC - Aのみ出力が変化し、+FSR点で両DACともフルスケール出力(DAC - Bの+1LSBもON)となります。

ここで、BPZ点を中心とした正弦波再生における動作例を図5に示します。従来方式でBPZ点を中心にMSBセグメントがON/OFFしていたのに比べて、PCM1702では下位ビットのみの変化で動作しています。このことは、BPZ点を中心とする信号に対して、誤差の影響を受けにくい下位ビットのみの動作を行うので(例えば16ビットにおけるLSBの誤差が1%であったとしても、0.01LSBすなわちフルスケールに対して0.15ppm)、これら下位ビットの誤差は無視でき、原理的にゼロクロス歪みを発生しません。

デジタル入力	DAC B入力	DAC A入力
+FSR	111...111+1LSB	111...111
+FSR-1LSB	111...111+1LSB	111...110
BPZ+1LSB	111...111+1LSB	000...001
BPZ	111...111+1LSB	000...000
BPZ-1LSB	111...111	000...000
-FSR+1LSB	000...001	000...000
-FSR	000...000	000...000

表II. デジタル入力とDAC動作

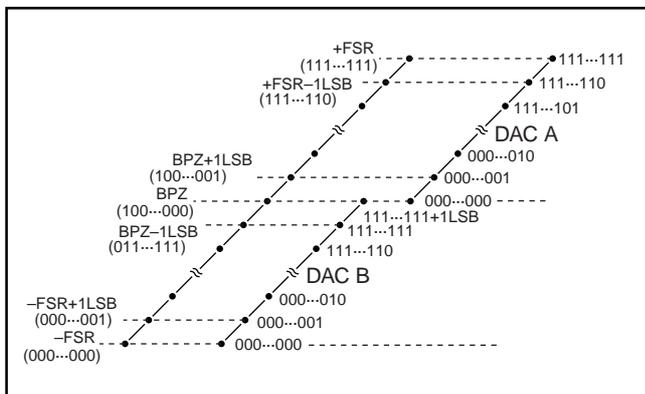


図4. 内蔵2DACの伝達特性

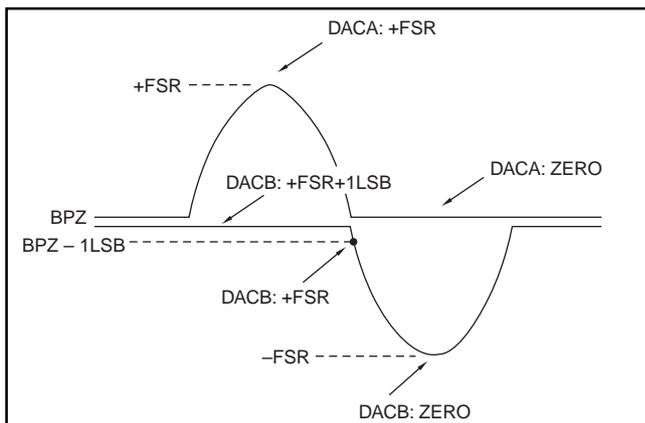


図5. 正弦波再生における2DACの動作

また、PCM1702では、従来PCM63に用いていた2DACをデュアル・バランスド・セグメント方式にすることにより、より卓越した性能を引き出すことが可能になっています。

電源の接続とバイパス・コンデンサ

性能と雑音除去を最適化するために、 $+V_{CC}$ および $-V_{CC}$ とグランド間にはICにできる限り近接してバイパス・コンデンサを接続してください。弊社におけるテスト回路では、これらコンデンサは4.7 μ タンタルを用いています。

$+V_{CC}$ および $-V_{CC}$ の各電源はピン9/DIP、ピン11/SOPおよびピン16/DIP、ピン20/SOPがアナログ系、ピン3/DIP、ピン4/SOPおよびピン5/DIP、ピン6/SOPがデジタル系を駆動していますが、それぞれ共通接続で使用してください。

フィルタ・コンデンサ

サーボ・フィルタ(ピン14/DIP、ピン17/SOP)は内部リファレンスで発生したリファレンス電圧をより安定化させるサーボ回路の入力フィルタ端子で、 $-V_{CC}$ 間に100 μ 前後のコンデンサを接続します。リファレンス・フィルタ(ピン15/DIP、ピン19/SOP)も同様にリファレンス電圧のノイズ・デカップリングのため $-V_{CC}$ 間に22 μ 前後のコンデンサを接続します。

バイポーラ・ゼロ・フィルタ(ピン10/DIP、ピン12/SOP)は、DAC出力に1.2mAのオフセット電流を加え、バイポーラ・オペレーションを行っているリファレンス回路の一部で、47 μ 前後のコンデンサをグランド間に接続します。これらフィルタ・コンデンサは実装条件により多少最適値が異なることも考えられますので、実装で最適値を確認してください。

I/V変換回路

PCM1702の出力は電流出力なので、外部オペアンプにてI/V変換します。この際、PCM1702の I_{OUT} (ピン11/DIP、ピン14/SOP)とI/V変換オペアンプ入力との配線は外来誘導やノイズの影響を避けるため、最短距離で接続するようにします。またI/V変換用オペアンプはPCM1702の特性を最大限引き出すために、その選択について十分考慮しなくてはなりません。重要なパラメータは雑音、スルーレート、セトリングタイム、ゲイン帯域幅等となります。特に雑音については、110dBから120dBのS/N比を得るためのオペアンプ・ノイズは極力小さいものが必要です。図6にI/V変換における雑音モデルを示します。

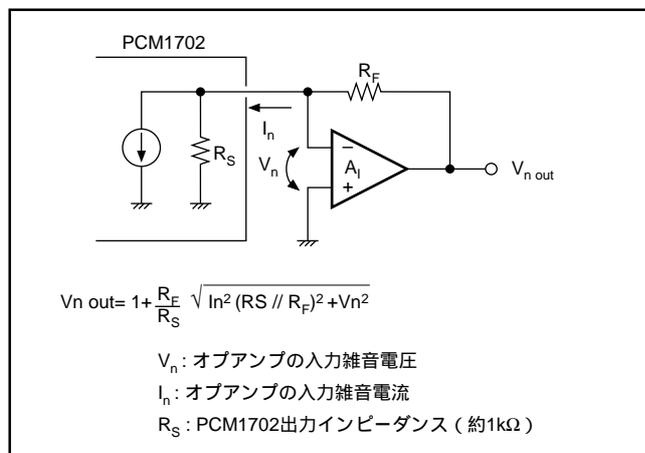
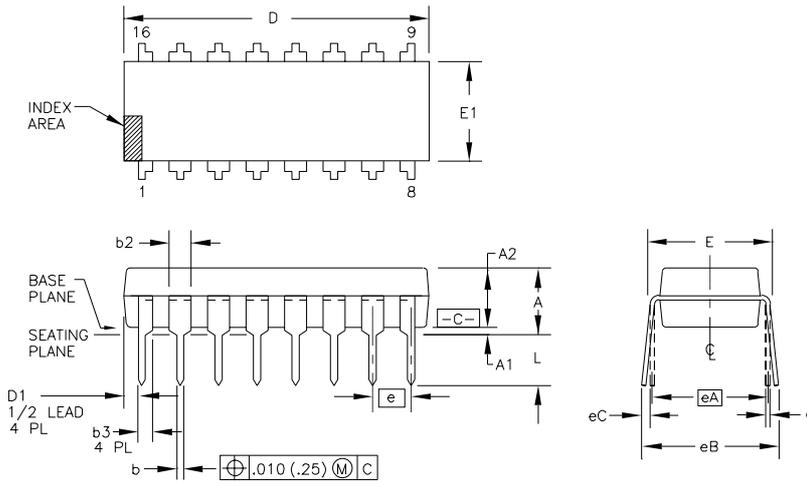


図6. I/V変換雑音モデル

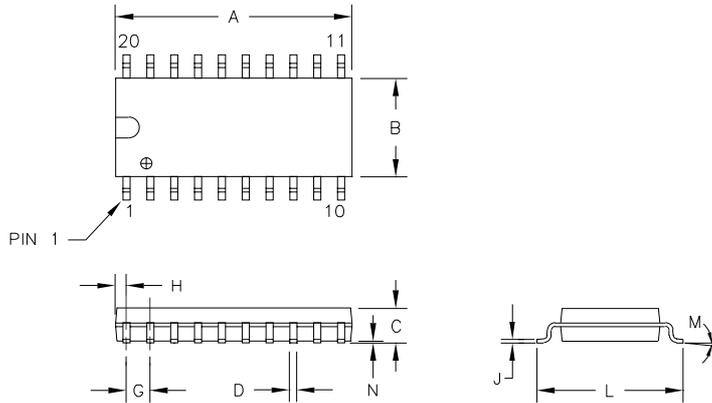
外観

パッケージ番号180 - 16ピン・プラスチックDIP



DIM	INCHES		MILLIMETERS	
	MIN	MAX	MIN	MAX
A	—	.210	—	5.33
A1	.015	—	0.38	—
A2	.115	.195	2.92	4.95
b	.014	.022	0.36	0.56
b2	.045	.070	1.14	1.78
b3	.030	.045	0.76	1.14
c	.008	.014	0.20	0.36
D	.735	.775	18.67	21.34
D1	.005	—	0.13	—
E	.300	.325	7.62	8.26
E1	.240	.280	6.10	7.11
e	.100 BASIC	—	2.54 BASIC	—
eA	.300 BASIC	—	7.63 BASIC	—
eB	—	.430	—	10.92
eC	.008	.060	0.00	1.52
L	.115	.150	2.92	3.81
N	16		16	

パッケージ番号248 - 20ピン・プラスチックSOP



DIM	INCHES		MILLIMETERS	
	MIN	MAX	MIN	MAX
A	.494	.498	12.55	12.65
B	.206	.210	5.23	5.33
C	.071	.077	1.80	1.96
D	.013	.017	0.33	0.43
G	.050 BASIC	—	1.27 BASIC	—
H	.021	.025	0.53	0.64
J	.0076	.0082	0.19	0.21
L	.303	.311	7.70	7.90
M	3°	5°	3°	5°
N	.002	.006	0.05	0.15