

SoundPlus™ 24ビット、96kHz、6チャンネル オーディオD/Aコンバータ

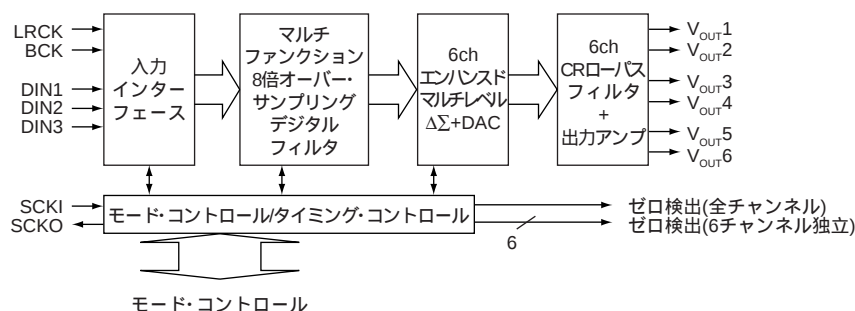
特 長

- エンハンスド・マルチレベル・デルタ-シグマ方式
- 16/18/20/24ビットPCMオーディオ・インターフェース
- サンプリング・レート(f_s) : 10 ~ 96kHz
- システムクロック : 256/384/512/768 f_s
- 高性能
 THD+N : 0.0018%(標準)
 ダイナミック・レンジ : 105dB(標準)
 SNR : 104dB(標準)
- X8オーバーサンプリング・デジタルフィルタ内蔵
 阻止帯域減衰量 : 82dB
 パスバンド・リップル : ± 0.002 dB
 シャープ・ロールオフ/スロー・ロールオフ
- 6チャンネル同位相電圧出力
- 2次アナログ・ローパスフィルタ内蔵
- 6チャンネル独立ゼロ検出出力
- マルチファンクション
 0 ~ -63dB、0.5dBステップ、デジタル・アッテネータ、ソフトミュート、デジタル・ディエンファシス、制御モード・リード機能 他
- デュアル電源動作 : +5V、+3.3V
- 3V/5Vロジック・インターフェース可
- パッケージ :
 PCM1600 : 48ピン0.5mmピッチLQFP
 PCM1601 : 48ピン0.8mmピッチMQFP

概 要

PCM1600/1601は、バー・ブラウンが特に高性能化のために開発した、エンハンスド・マルチレベル・デルタ-シグマ方式を用いた6チャンネル・オーディオD/Aコンバータで、DVDを始めとする96kHzサンプリング、24ビット・データに完全に対応できる機能と性能を持っています。特にAC-3デコーダでの6チャンネル・オーディオ出力に対応するため、高性能な6チャンネルDACをコンパクトなパッケージに収納しています。内蔵の8倍オーバーサンプリング・デジタルフィルタは阻止帯域減衰量が82dB、パスバンド・リップルが ± 0.002 dBと高性能であり、シャープ・ロールオフと2種類のスロー・ロールオフ特性のアプリケーションに応じた選択が可能です。また、マルチファンクション機能により0.5dBステップのデジタルアッテネータ、デジタル・ディエンファシス、6チャンネル独立ゼロ検出、ソフトミュート、制御レジスタ・リード機能等の機能を有しているため、目的に応じた使用が可能です。

PCM1600/1601は、+5Vおよび+3.3V電源で動作し、デジタル入力ロジック・レベルは5V、3Vのいずれにも対応可能です。PCM1600/1601はこれらの高性能、高機能により、DVDムービー、DVDオーディオ、ホームシアター・システム、HDデジタルTV等を中心とした中・高級デジタル・オーディオ・アプリケーションに最適なデバイスです。



仕様

特に記述のない限り、 $T_A = +25$ 、 $V_{CC} = 5.0V$ 、 $V_{DD} = 3.3V$ 、外部システムクロック = 384f_c (f_c = 44.1kHz)、24ビット・データです。

		PCM1600/PCM1601			
パラメータ	条件	最小	標準	最大	単位
分解能		24			Bits
データ・フォーマット オーディオ・インターフェース・フォーマット オーディオ・データ・ビット長 オーディオ・データ・フォーマット サンプリング周波数(f_s) システムクロック周波数		スタンダード/左詰め/IIS 16/18/20/24ビット選択可 MSBファースト、2'S コンブリ 10 100 256/384/512/768 f_s			kHz
デジタル入力 ロジック・ファミリ 入力ロジックレベル V_{IH} $V_{IL}^{(5)}$ 入力ロジック電流 $I_{IH}^{(5)}$ $I_{IL}^{(5)}$ $I_{IH}^{(6)}$ $I_{IL}^{(6)}$ 出力ロジックレベル $V_{OH}^{(1)}$ $V_{OL}^{(1)}$ $V_{OH}^{(2)}$ $V_{OL}^{(2)}$	$V_{IN} = V_{DD}$ $V_{IN} = 0V$ $V_{IN} = V_{DD}$ $V_{IN} = 0V$ $I_{OH} = -2mA$ $I_{OL} = +2mA$ $I_{OH} = -4mA$ $I_{OL} = +4mA$	2.0 2.4 2.4	TTL コンパチブル 	VDC VDC μA μA μA μA VDC VDC VDC VDC	
ダイナミック特性 ⁽³⁾ THD+N at $V_{OUT} = 0dB$ THD+N at $V_{OUT} = -60dB$ ダイナミック・レンジ S/N比 ⁽⁴⁾ チャンネル・セパレーション	$f_s = 44.1kHz$ $f_s = 96kHz$ $f_s = 44.1kHz$ $f_s = 96kHz$ EIAJ、Aウェイト、 $f_s = 44.1kHz$ Aウェイト、 $f_s = 96kHz$ EIAJ、Aウェイト、 $f_s = 44.1kHz$ Aウェイト、 $f_s = 96kHz$ $f_s = 44.1kHz$ $f_s = 96kHz$	 100 98 96	 0.0018 0.0035 0.65 0.75 105 104 104 103 102 101	0.0045 	% % % % dB dB dB dB dB dB
DC特性 ゲイン誤差 ゲイン誤差、チャンネル間ミスマッチ バイポーラ・ゼロ誤差	$V_{OUT} = 0.5V_{CC}$ at BPZ		± 1.0 ± 1.0 ± 30		% of FSR % of FSR mV
アナログ出力 出力電圧 センター電圧 負荷抵抗	フルスケール(-0dB) AC負荷	 5	62% of V_{CC} 50% of V_{CC}		Vp-p VDC k Ω
デジタルフィルタ特性 フィルタ特性(1)シャープ・ロールオフ 通過帯域 通過帯域 阻止帯域 通過帯域リップル 阻止帯域減衰量 阻止帯域減衰量 フィルタ特性(2)スロー・ロールオフ 通過帯域 通過帯域 阻止帯域 通過帯域リップル 阻止帯域減衰量 群遅延 ディエンファシス誤差	$\pm 0.002dB$ -3dB ストップバンド = $0.546f_s$ ストップバンド = $0.567f_s$ $\pm 0.002dB$ -3dB ストップバンド = $0.732f_s$	 0.546 f_s -75 -82 0.732 f_s -82	 34 / f_s ± 0.1	0.454 f_s 0.490 f_s ± 0.002 0.274 f_s 0.454 f_s ± 0.002	 dB dB dB dB dB dB sec dB
アナログフィルタ特性 周波数特性	at 20kHz at 44kHz		-0.03 -0.20		dB dB
電源 電源電圧 $V_{DD}^{(7)}$ V_{CC} 電源電流 $I_{DD}^{(8)}$ I_{CC} 消費電力	$f_s = 44.1kHz$ $f_s = 96kHz$ $f_s = 44.1kHz$ $f_s = 96kHz$ $f_s = 44.1kHz$ $f_s = 96kHz$	+3.0 +4.5 	+3.3 +5.0 20 42 40 42 266 349	+3.6 +5.5 28 56 50 409	VDC VDC mA mA mA mA mW mW
温度範囲 動作 保存 熱抵抗 θ_{JA}		0 -55 	 100	70 +125	/W

注: (1)ピン1-6、48: ZFLG1-6、ZFLGA (2)ピン39: SCLKO (3)シバソク#725THDを使用。20kHz帯域制限、平均モード、400Hz HPF、30kHz LPF ON。5kΩ以上の負荷抵抗をコンデンサ・カップルで接続。(4)インフィニティ・ゼロ回路オフ。(5)ピン38、40、41、45-47: SCKI、BCK、LRCK、DIN1、DIN2、DIN3 (6)ピン34-37: MDI、MC、ML、 $\overline{\text{RST}}$ (7)PCM1600の電源は、+5V、+3.3V供に共通のアナログ電源から供給して下さい。(8)CLKO未接続。

絶対最大定格

電源電圧、+V _{DD}	+4.0V
+V _{CC}	+6.5V
グランド電圧差	±0.1V
デジタル入力電圧	-0.2V ~ +5.5V
入力電流(電源、GNDを除く)	±10mA
消費電力	650mW
動作温度	0 ~ +70
保存温度	-55 ~ +125
リード温度(5秒の半田付け)	+260
パッケージ温度(リフロー、10秒間)	+235

 静電気放電対策

静電気放電はわずかな性能の低下から完全なデバイスの故障に至るまで、様々な損傷を与えます。すべての集積回路は、適切なESD保護方法を用いて、取扱いと保存を行うようにして下さい。高精度の集積回路は、損傷に対して敏感であり、極めてわずかなパラメータの変化により、デバイスに規定された仕様に適合しなくなる場合があります。

ご発注の手引き

モデル	パッケージ ⁽¹⁾	温度範囲
PCM1600Y	0.5mmピッチ、48ピンLQFP	0 ~ +70
PCM1601Y	0.8mmピッチ、48ピンMQFP	0 ~ +70

注：(1)詳細図および寸法表は、データシートの巻末を参照して下さい。

このデータシートに記載されている情報は、信頼しうるものと考えておりますが、不正確な情報や記載漏れ等に関して弊社は責任を負うものではありません。情報の使用について弊社は責任を負いませんので、各ユーザーの責任において御使用下さい。価格や仕様は予告なしに変更される場合がありますのでご了承下さい。ここに記載されているいかなる回路についても工業所有権その他の権利またはその実施権を付与したり承諾したりするものではありません。弊社は弊社製品を生命維持に関する機器またはシステムに使用することを承認しまたは保証するものではありません。

ピン構成

ピン番号	名称	IN/OUT	説明
1	ZFLG1	OUT	ゼロデータ・フラグ、 V_{OUT1}
2	ZFLG2	OUT	ゼロデータ・フラグ、 V_{OUT2}
3	ZFLG3	OUT	ゼロデータ・フラグ、 V_{OUT3}
4	ZFLG4	OUT	ゼロデータ・フラグ、 V_{OUT4}
5	ZFLG5	OUT	ゼロデータ・フラグ、 V_{OUT5}
6	ZFLG6	OUT	ゼロデータ・フラグ、 V_{OUT6}
7	AGND	—	アナログ・グラウンド
8	V_{CC}	—	アナログ電源、+5V
9	V_{OUT6}	OUT	Rch on DIN3、アナログ電圧出力
10	V_{OUT5}	OUT	Lch on DIN3、アナログ電圧出力
11	V_{OUT4}	OUT	Rch on DIN2、アナログ電圧出力
12	V_{OUT3}	OUT	Lch on DIN2、アナログ電圧出力
13	V_{OUT2}	OUT	Rch on DIN1、アナログ電圧出力
14	V_{OUT1}	OUT	Lch on DIN1、アナログ電圧出力
15	CAP2	OUT	アナログ出力アンプ・コモン、 $1\mu F \sim 47\mu F$ のコンデンサをAGND間に接続
16	CAP1	OUT	アナログ出力アンプ・コモン、 $1\mu F \sim 47\mu F$ のコンデンサをAGND間に接続
17	AGND6	—	アナログ・グラウンド
18	V_{CC6}	—	アナログ電源、+5V
19	AGND5	—	アナログ・グラウンド
20	V_{CC5}	—	アナログ電源、+5V
21	AGND4	—	アナログ・グラウンド
22	V_{CC4}	—	アナログ電源、+5V
23	AGND3	—	アナログ・グラウンド
24	V_{CC3}	—	アナログ電源、+5V
25	AGND2	—	アナログ・グラウンド
26	V_{CC2}	—	アナログ電源、+5V
27	AGND1	—	アナログ・グラウンド
28	V_{CC1}	—	アナログ電源、+5V
29	AGND0	—	アナログ・グラウンド
30	V_{CC0}	—	アナログ電源、+5V
31	NC	—	未接続
32	NC	IN	未接続
33	MDO	OUT	モード制御、データ出力 ⁽³⁾
34	MDI	IN	モード制御、データ入力 ⁽¹⁾
35	MC	IN	モード制御、シリアルクロック入力 ⁽¹⁾
36	ML	IN	モード制御、ラッチ入力 ⁽¹⁾
37	$\overline{RST}$	IN	リセット、アクティブ・ロー ⁽¹⁾
38	SCKI	IN	システムクロック入力($256/384/512/768 f_s$) ⁽²⁾
39	SCKO	OUT	システムクロック、バッファード出力
40	BCK	IN	オーディオ・インターフェース、ビットクロック入力 ⁽²⁾
41	LRCK	IN	オーディオ・インターフェース、LRCKクロック(f_s)入力 ⁽²⁾
42	TEST	—	テストピン、必ずDGNDに接続する。 ⁽¹⁾
43	V_{DD}	—	デジタル電源、+3.3V
44	DGND	—	デジタル・グラウンド
45	DIN1	IN	オーディオ・インターフェース、データ入力(V_{OUT1} 、 V_{OUT2}) ⁽²⁾
46	DIN2	IN	オーディオ・インターフェース、データ入力(V_{OUT3} 、 V_{OUT4}) ⁽²⁾
47	DIN3	IN	オーディオ・インターフェース、データ入力(V_{OUT5} 、 V_{OUT6}) ⁽²⁾
48	ZFLGA	OUT	ゼロデータ・フラグ、全チャンネル

注：(1)シュミット・トリガ、入力プルダウン抵抗付き。5Vロジック入力可。(2)シュミット・トリガ入力、5Vロジック入力可。(3)トライステート出力

ピン配置

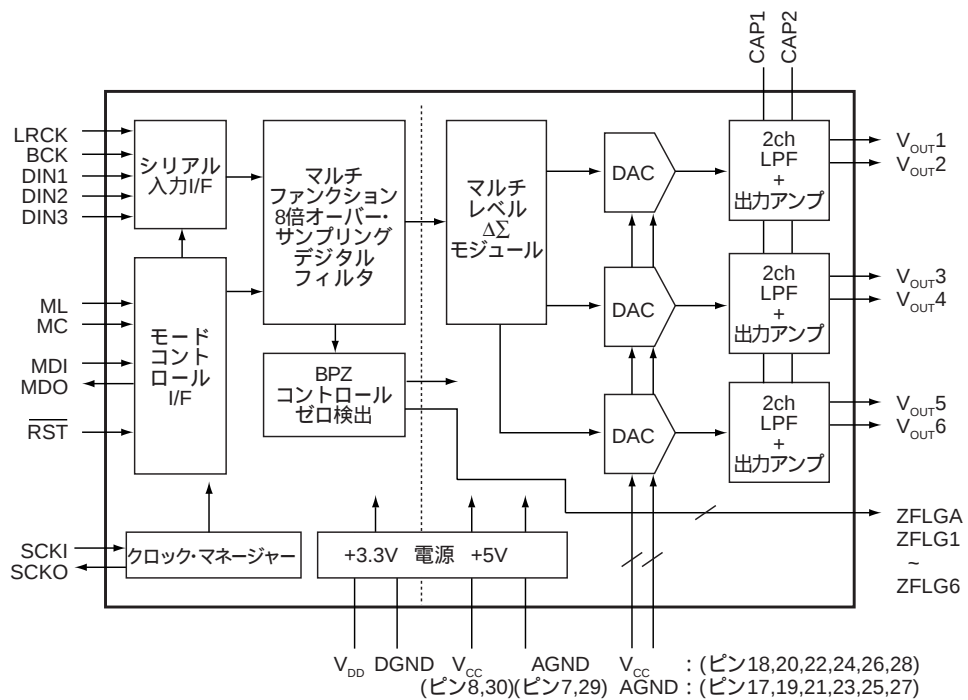
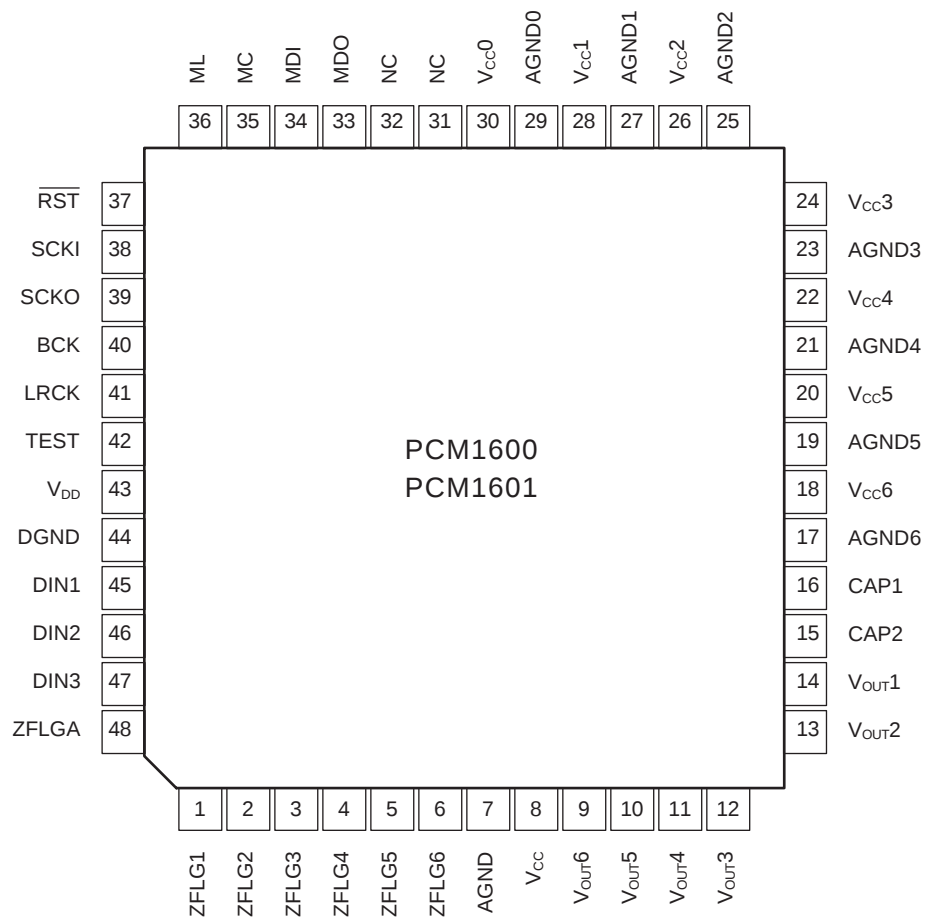
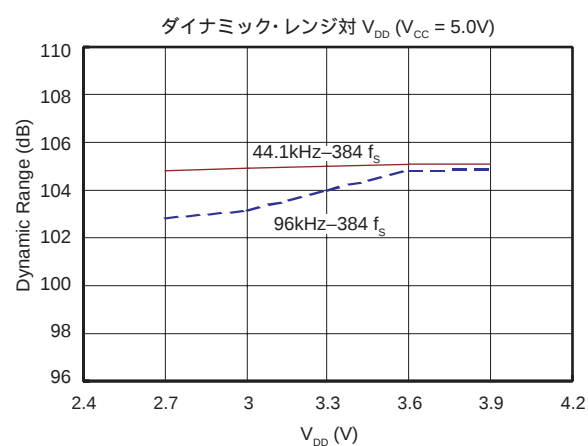
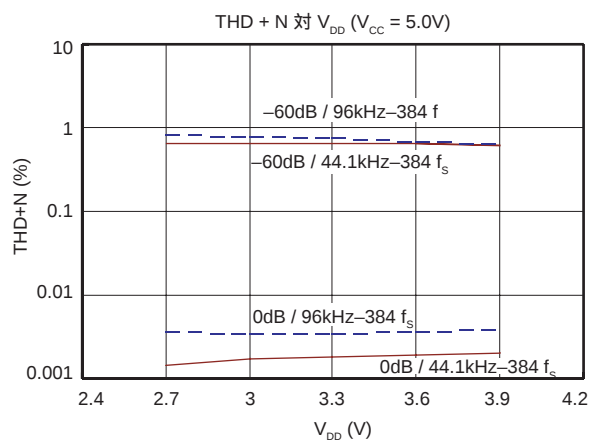
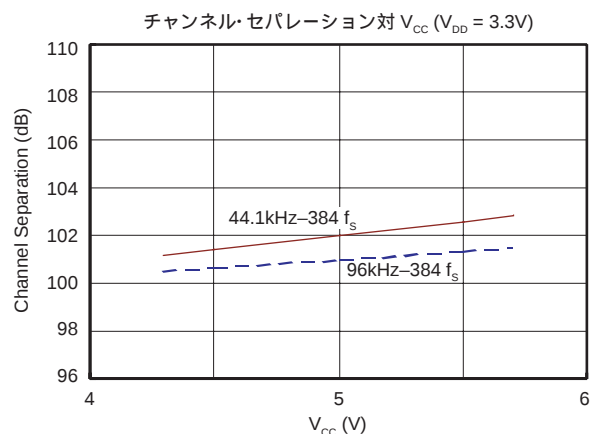
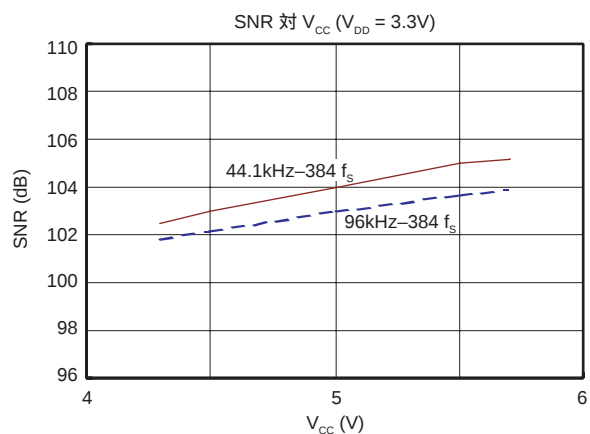
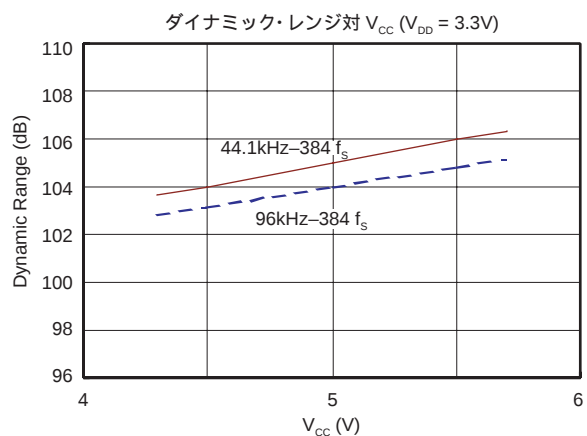
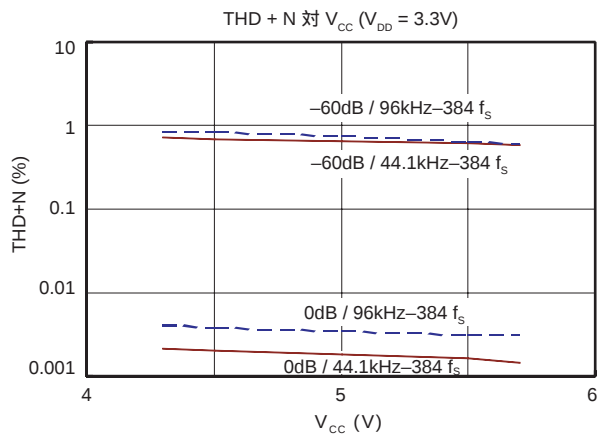


図1.PCM1600ブロック図

代表的性能曲線



エンハンスド・マルチレベル・デルタ-シグマの動作原理

PCM1600/1601のデルタ-シグマ・セクションでは、従来のマルチレベル・デルタ-シグマでの5レベルの振幅方向での分解能を8レベルに向上させ、8レベルのデルタ-シグマ変調を行います。このエンハンスド・マルチレベル・デルタ-シグマ方式は、特に高性能化を実現するために新たに開発された方式です。

デジタルフィルタでオーバー・サンプリングされた最大24ビットのデータはこのエンハンスド・マルチレベル・デルタ-シグマ変調により、8レベル(0、1、2、3、4、5、6、7)の変調信号に変換されます。

図2にこの8レベル・エンハンスド・マルチレベル・デルタ-シグマ変調器のブロック図を示します。デルタ-シグマ次数は4次で、一般的な1ビット(2レベル)デルタ-シグマ変調に比べて、系の安定性および耐ジッタ性に優れています。デジタルフィルタ部とデルタ-シグマ変調部との総合オーバー・サンプリング・レートは使用システムクロックに関係なく、 $64f_s$ に設定されており、特に帯域内の量子化ノイズの抑圧と、帯域外ノイズの絶対レベル抑圧を両立させた伝送特性を持たせています。

図3は、PCM1600/1601のエンハンスド・マルチレベル・デルタ-シグマ変調器の量子化雑音特性のシミュレーション・データです。帯域内($f_s/2$)での量子化雑音レベルは、 -140dB から -160dB まで抑圧されており、分解能に応じたダイナミック・レンジを得ることができます。また、帯域外ノイズもフルスケール比 -60dB に抑圧されており、ポストLPFの負担を軽減します。

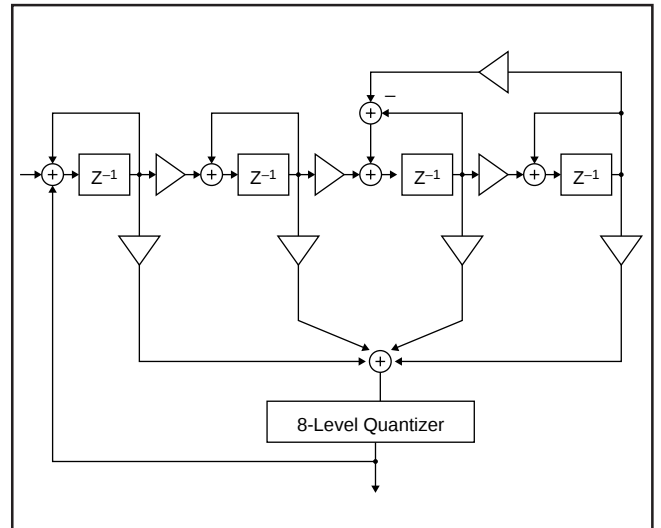


図2. 8レベル・エンハンスド・マルチレベル・デルタ-シグマ変調器のブロック図

エンハンスド・マルチレベル・デルタ-シグマの耐ジッタ特性

PCM1600/1601の8レベル量子化器は、他の一般的なデルタ-シグマ型DACに比べてシステムクロックのジッタ耐量にも優位性をもっています。図4にシミュレーションによる、ジッタ量対ダイナミック・レンジの特性データを示します。

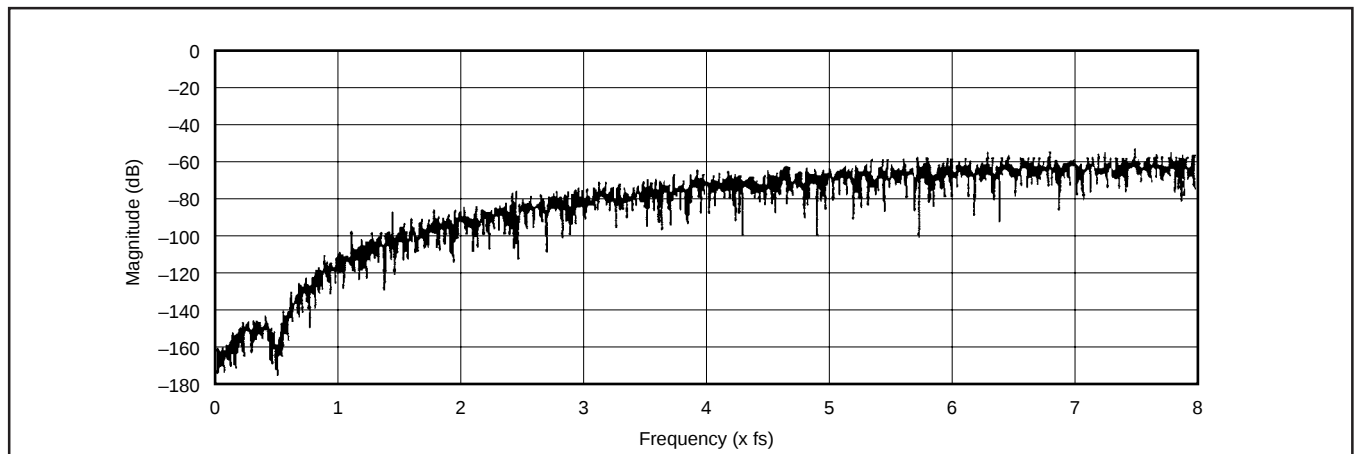


図3. 量子化雑音特性

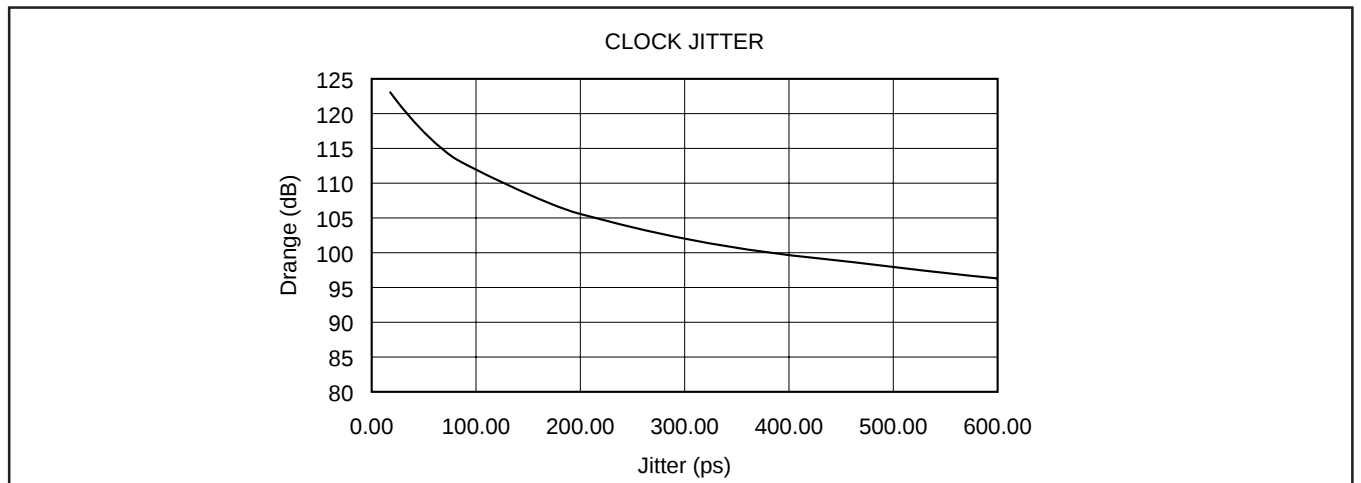


図4. ジッタ対ダイナミック・レンジ

PCM オーディオデータ・インターフェース

PCM1600/1601は、LRCK、BCK、DIN1、DIN2、DIN3の各入力により外部システムとインターフェースします。入力データ・フォーマットは、16/18/20/24ビット、MSBファースト、2'sコンプリで、後ろ詰めのスタンダードフォーマット、前詰め

フォーマット、IISフォーマットの選択が可能です。これらのフォーマット選択は後述の動作モードにより対応可能です。モード制御機能の項を参照して下さい。図5にデータ・フォーマットを、図6にタイミング規定をそれぞれ示します。

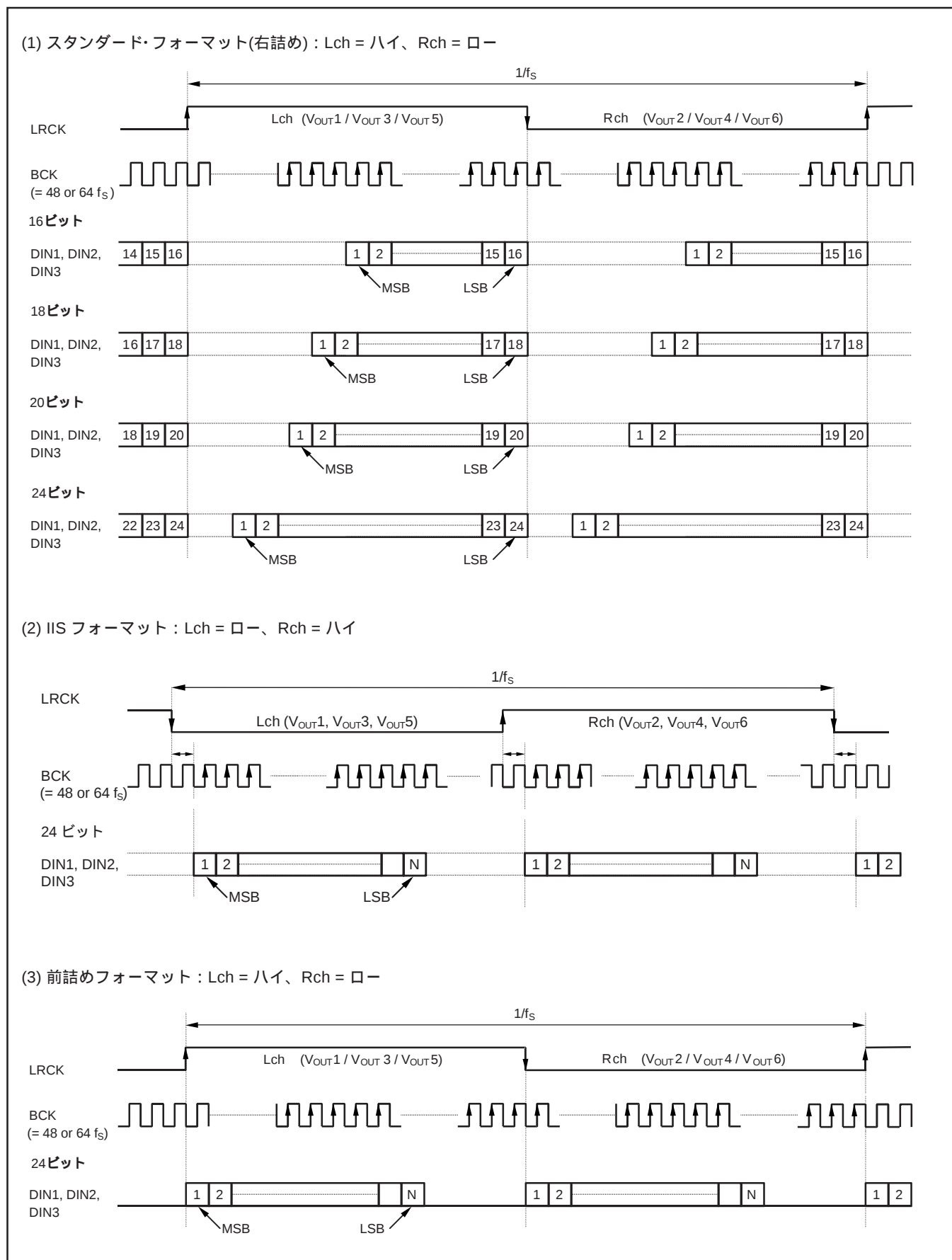


図5. PCMオーディオデータ・インターフェース

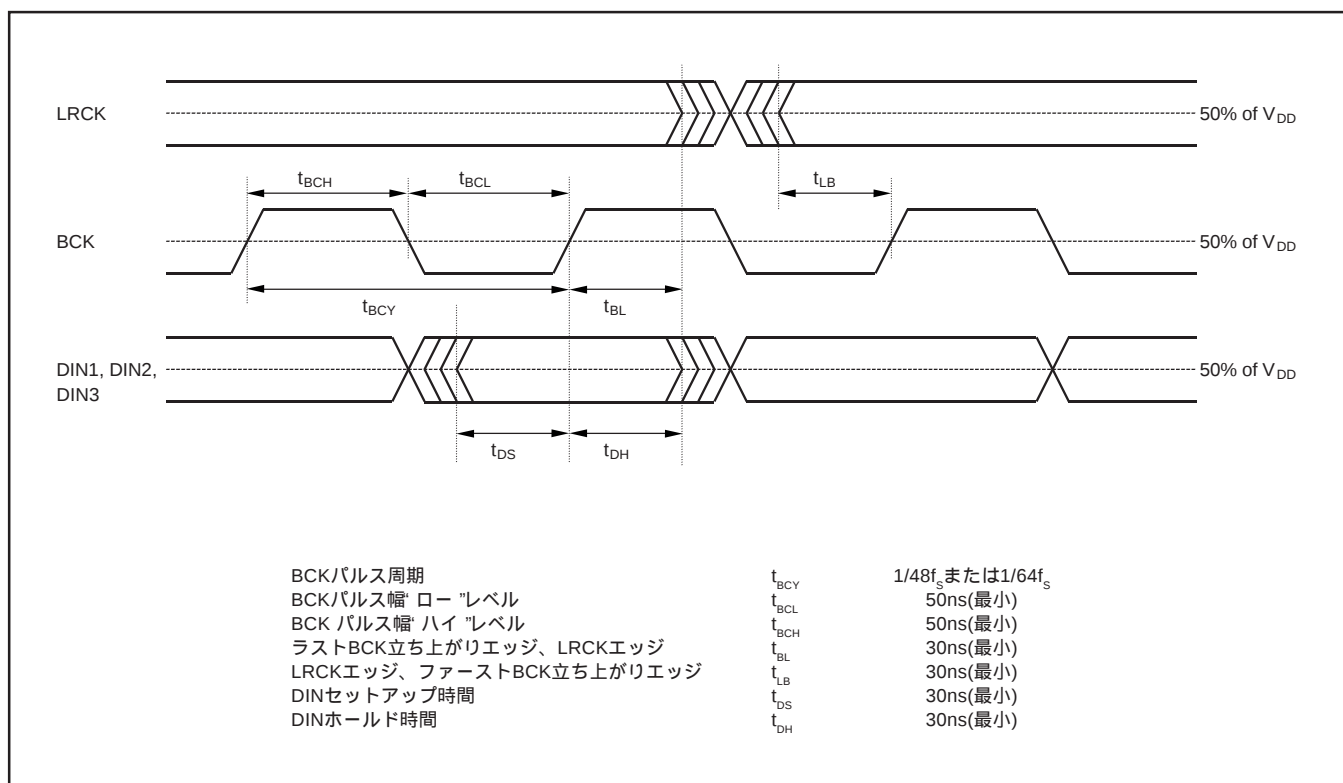


図6. オーディオデータ入力タイミング

システムクロック

PCM1600/1601のシステムクロックは、256 f_s 、384 f_s 、512 f_s 、あるいは768 f_s (f_s = 基準サンプリング・レート)のいずれも対応可能で、SCLKI端子(ピン32)に外部から供給します。基準サンプリング・レート f_s は最大96kHzまで対応可能ですが、 f_s = 96kHzにおけるシステムクロックは最大512 f_s までで、768 f_s システムクロックでは動作できません。

システムクロックとLRCK(f_s)クロックをモニターして、システムクロック周波数を自動検出しているため、外部からシステムクロック周波数の制御を行う必要はありません。

外部入力システムクロックとLRCKクロック(基準サンプリング・レート f_s)は同期関係が必要ですが、位相を正確に合わせる必要はありません。また、ロジックレベルは3Vロジック、5Vロジックのいずれも対応可能です。システムクロックの接続例とシステムクロック・タイミング規定を図7、図8にそれぞれ示します。基準サンプリング・レート f_s に対するシステムクロック周波数の関係を表に示します。

サンプリング・レート(f_s) - LRCK	システムクロック周波数(MHz)			
	256 f_s	384 f_s	512 f_s	768 f_s
32kHz	8.1920	12.2880	16.3840	24.5760
44.1kHz	11.2896	16.9340	22.5792	33.8688
48kHz	12.2880	18.4320	24.5760	36.8640
96kHz	24.5760	36.8640	49.1520	—

表 . 標準システムクロック周波数

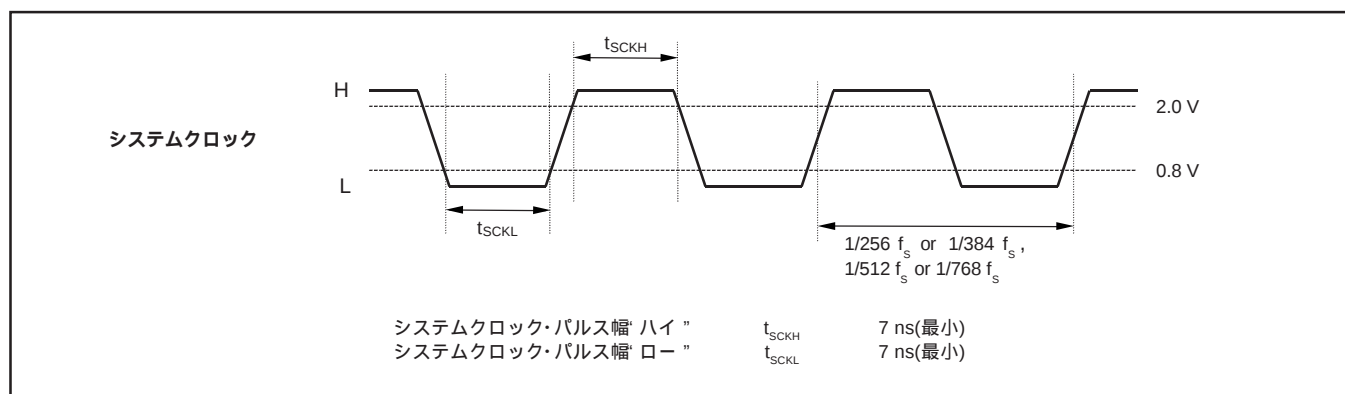


図7. システムクロックのタイミング

リセット・オペレーション

PCM1600/1601には、次に示す内蔵のパワーオン・リセットと外部からのRST端子制御による2種類のリセットがあります。これらのリセット機能は、内部動作に対しては共通になっており、同じ働きをします。リセット時にはソフトウェア・モードにおける各コントロール・レジスタ(MODE0からMODE12)は初期値が設定され(ソフトウェア・モードの説明を参照)、リセット期間中のDACアナログ出力は $0.5V_{CC}$ (バイポーラ・ゼロ)に固定されます。

パワーオン・リセット

内蔵のパワーオン・リセットは、電源電圧を検知して自動的に

行われます。電源投入後、電源電圧が標準2.0V(1.6Vから2.4V)を超えたとリセット動作となり、外部入力システムクロックを1024クロックカウントした後にリセットを解除します。

外部リセット

$\overline{RST}$ 端子(ピン37)を一定期間“ロー”レベルにすることにより、外部からリセットをかけることができます。RST端子が“ロー”から“ハイ”に変化した後、パワーオン・リセットと同様に1024システムクロック・カウント後リセット解除となり、それまでの間はリセット期間となります。

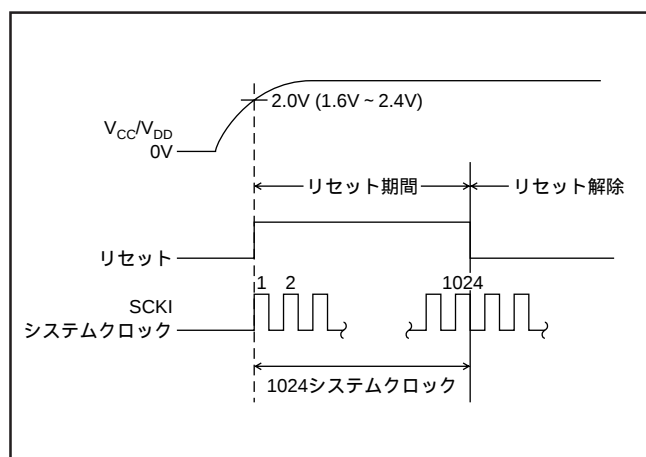


図8. パワーオン・リセット

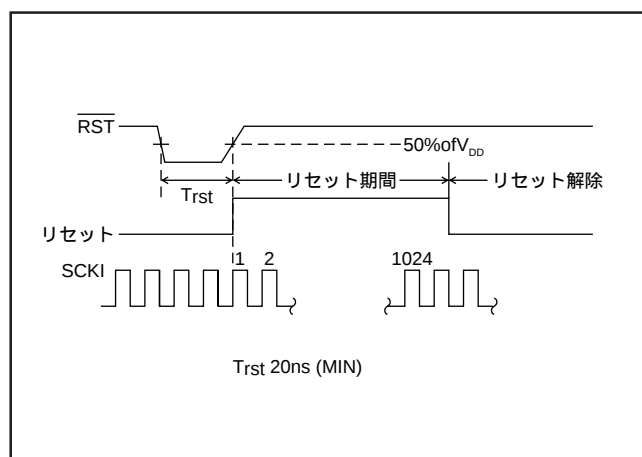


図9. 外部リセット・タイミング

ゼロフラグ検出・出力機能

データ入力(DIN1から3)が1024LRCK(f_s)クロック・サイクルの間連続してゼロ“0”の場合、ゼロ検出機能によりZFLG1から6端子(ピン1からピン6)はLレベルから“H”レベルに変化し、ゼロ検出・出力となります。このゼロ検出は、DIN1からDIN3の各ステレオ・データ、すなわち6チャンネルの各入力データに対して独立して検出され、それぞれのチャンネル(V_{OUT1} から6)に対応しています。例えば、DIN1のLchデータはZFLG1に対応し、オーディオ出力チャンネルは V_{OUT1} がこれに対応しています。また、入力6チャンネル・データ全てが1024LRCK(f_s)クロック・サイクルの間、連続してゼロ“0”の場合のゼロ検出・出力はZFLGA端子(ピン48)で、LレベルからHレベルに変化します。

外部システムとの同期

PCM1600/1601の入力LRCKクロック(基準サンプリング・レート: f_s)とシステムクロック($256/384/512/768f_s$)とは常時同期していなければなりません。すなわち、LRCKクロックの1サイクルの間に(256、384、512、768いずれかの)システムクロックがあれば同期関係は成立し、両クロックの位相は影響しません。PCM1600/1601では、内部で常時LRCKクロックとシステムクロックをモニタしており、両クロックの同期関係を確認しています。

同期外れ時の動作

LRCKクロックとシステムクロックの同期関係が、例えばサンプリング・レート(f_s)が変化した場合等で同期外れとなると、 $1/f_s$ の間DAC出力は不定となり、その後 $0.5V_{CC}$ (BPZ)を出力します。また、同期外れ状態から同期状態に回復した場合は $34/f_s$ の期間DAC出力は不定となり、その後正常状態となります。この間系を図10に示します。

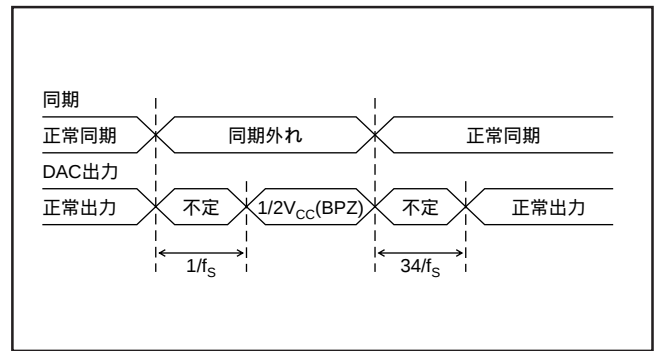


図10. 同期外れ時のDAC出力

モード制御機能

PCM1600のデータ・フォーマット選択、アッテネータ制御等の動作モードは、ML、MC、MDI、MODの16ビット・シリアルデータで制御することができます。また、このシリアル・インターフェースでは、MDIはシリアルデータの書き込み(WRITE)に用いられ、MDOは設定データの読み込み(READ)に用いることができます。図11および図12に書き込み(WRITE)および読み込み(READ)におけるインターフェース・フォーマットを示します。なお、シリアルデータの書き込み、読み込みタイミングは、入力オーディオデータ(LRCK等)とは全く非同期で行うことができます。これらシリアル・インターフェースにおけるタイミング規定を図13に示します。

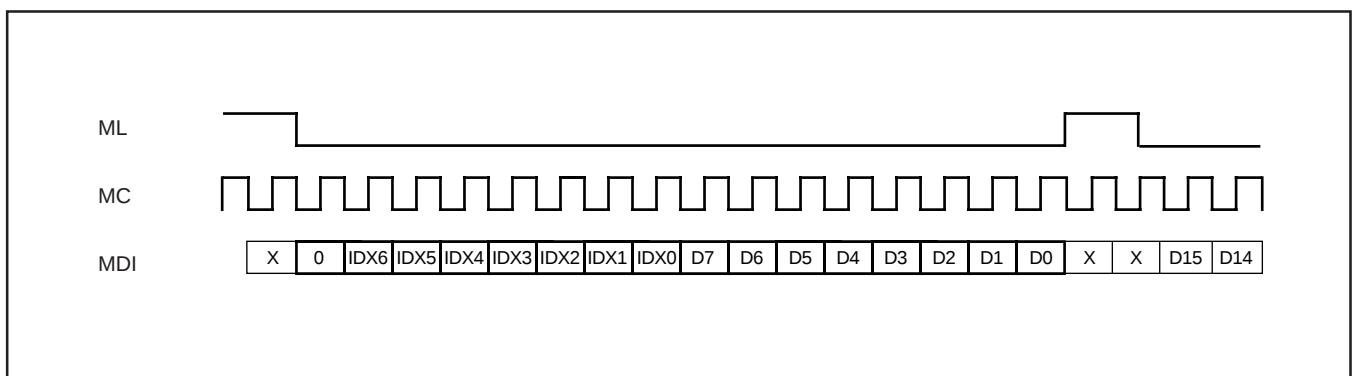
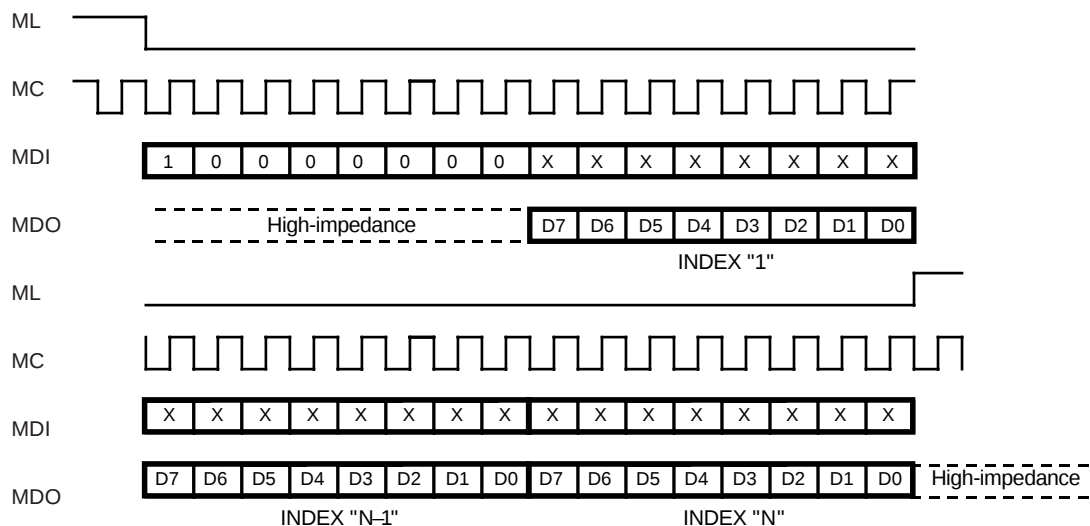


図11. シリアル・インターフェース・フォーマット(書き込み/WRITE)

INC = 1 : インクリメントON



INC = 0 : インクリメントOFF

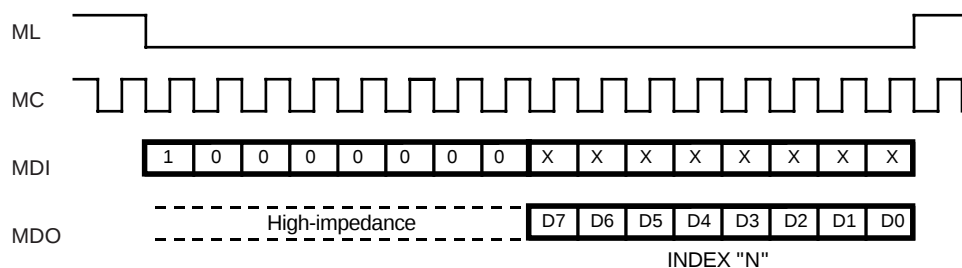
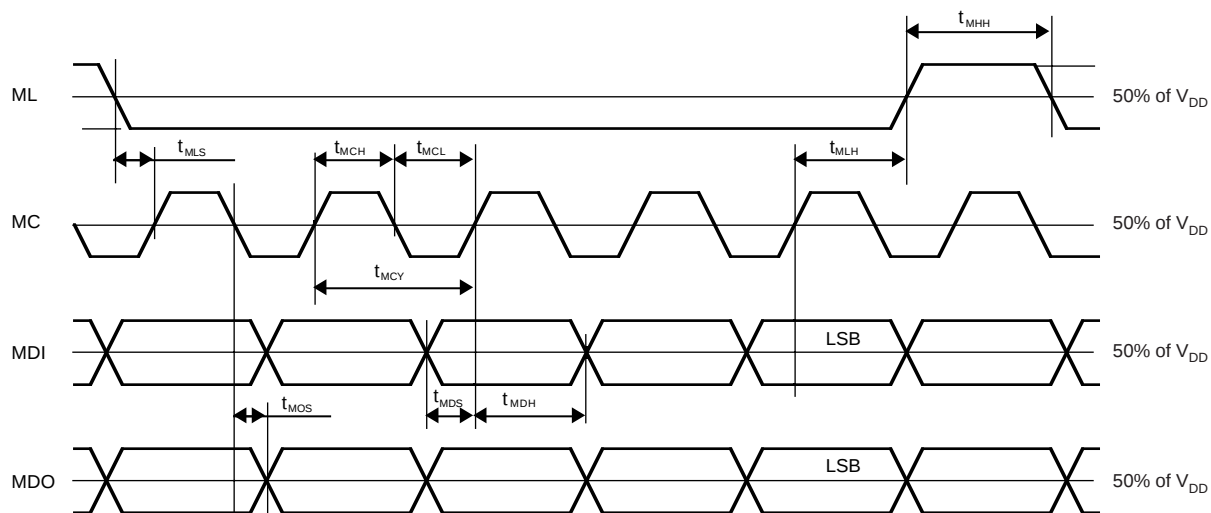


図12. シリアル・インターフェース・フォーマット(読み込み/READ)



MCバルスサイクル時間	t_{MCY}	100ns(最小)
MC [*] ロー "レベル"時間	t_{MCL}	50ns(最小)
MC [*] ハイ "レベル"時間	t_{MCH}	50ns(最小)
ML [*] ハイ "レベル"時間	t_{MHH}	300ns(最小)
ML立ち下がりエッジからMC立ち上がりエッジ	t_{MLS}	20ns(最小)
MLホールド時間 ⁽¹⁾	t_{MLH}	20ns(最小)
MDIホールド時間	t_{MDH}	15ns(最小)
MDIセットアップ時間	t_{MDS}	20ns(最小)
MC立ち下がりエッジからMDOステープル	t_{MOS}	30ns(最大)

注 : (1)LSBデータ対応MCクロックの立ち上がりからMLの立ち上がり

図13. シリアル・インターフェース・タイミング規定

PCM1600の動作モード設定における各機能とのレジスタ設定、デフォルトの関係を表 1 に示します。

機能	デフォルト	レジスタ
デジタル・アッテネーション制御 0dB ~ -63dB、0.5dBステップ アッテネーション・スピード制御、 $2/f_s$ 、 $4/f_s$	0dB $2/f_s$	レジスタ1-6、7 レジスタ7
ソフトミュート制御、ミュートON / OFF	ミュートOFF	レジスタ7
DACオペレーション制御、通常動作、DAC OFF	通常動作	レジスタ8
ゼロ検出ミュート制御、ミュートON / OFF	OFF	レジスタ8
入力オーディオ・インターフェース・フォーマット選択 16-24ビット、スタンダード(後ろ詰め) 16-24ビット、IIS 16-24ビット、前詰め	24ビット(後ろ詰め)	レジスタ9
デジタルフィルタ・ロールオフ特性選択 シャープ・ロールオフ スロー・ロールオフ	シャープ・ロールオフ	レジスタ9
ディエンファシス周波数選択 44.1kHz 48kHz 32kHz	44.1kHz	レジスタ 10
ディエンファシス制御 ディエンファシスON/OFF	ディエンファシスOFF	レジスタ10
クロック出力制御 クロック出力ON/OFF クロック出力周波数バッファ/1/2 読み込みレジスタ選択、インクリメント 01h - 0bch	クロック出力ON バッファ出力 01h	レジスタ9 レジスタ9 レジスタ11

表 1 動作モード選択機能とレジスタ設定、デフォルト

シリアル制御データのレジスタ構成と制御

表 2 にPCM1600のシリアル制御レジスタのマッピングを示します。R/W(B15)で書き込み/読み込みの選択、IND x (B8 ~ B14)でレジスタ選択、データ、B0からB7で動作モード制御を行います。なお、レジスタ0およびレジスタ12はユーザが使用することはできません。

R/W(B15)	書き込み/読み込み
0	書き込み(WRITE)
1	読み込み(READ)

IDX(B8 ~ B14)	レジスタ
01h	レジスタ1
02h	レジスタ2
03h	レジスタ3
04h	レジスタ4
05h	レジスタ5
06h	レジスタ6
07h	レジスタ7
08h	レジスタ8
09h	レジスタ9
0Ah	レジスタ10
0Bh	レジスタ11

	B15	B14	B13	B12	B11	B10	B9	B8	B7	B6	B5	B4	B3	B2	B1	B0
レジスタ 0	R/W	IDX6	IDX5	IDX4	IDX3	IDX2	IDX1	IDX0	RSV	RSV	RSV	RSV	RSV	RSV	RSV	RSV
レジスタ 1	R/W	IDX6	IDX5	IDX4	IDX3	IDX2	IDX1	IDX0	AT17	AT16	AT15	AT14	AT13	AT12	AT11	AT10
レジスタ 2	R/W	IDX6	IDX5	IDX4	IDX3	IDX2	IDX1	IDX0	AT27	AT26	AT25	AT24	AT23	AT22	AT21	AT20
レジスタ 3	R/W	IDX6	IDX5	IDX4	IDX3	IDX2	IDX1	IDX0	AT37	AT36	AT35	AT34	AT33	AT32	AT31	AT30
レジスタ 4	R/W	IDX6	IDX5	IDX4	IDX3	IDX2	IDX1	IDX0	AT47	AT46	AT45	AT44	AT43	AT42	AT41	AT40
レジスタ 5	R/W	IDX6	IDX5	IDX4	IDX3	IDX2	IDX1	IDX0	AT57	AT56	AT55	AT54	AT53	AT52	AT51	AT50
レジスタ 6	R/W	IDX6	IDX5	IDX4	IDX3	IDX2	IDX1	IDX0	AT67	AT66	AT65	AT64	AT63	AT62	AT61	AT60
レジスタ 7	R/W	IDX6	IDX5	IDX4	IDX3	IDX2	IDX1	IDX0	ATLD	ATTS	MUT6	MUT5	MUT4	MUT3	MUT2	MUT1
レジスタ 8	R/W	IDX6	IDX5	IDX4	IDX3	IDX2	IDX1	IDX0	res	INZD	DAC6	DAC5	DAC4	DAC3	DAC2	DAC1
レジスタ 9	R/W	IDX6	IDX5	IDX4	IDX3	IDX2	IDX1	IDX0	res	res	FLTO	CLKD	CLKE	FMT2	FMT1	FMT0
レジスタ 10	R/W	IDX6	IDX5	IDX4	IDX3	IDX2	IDX1	IDX0	res	RSV	RSV	DMF1	DMF0	DM56	DM34	DM12
レジスタ 11	R/W	IDX6	IDX5	IDX4	IDX3	IDX2	IDX1	IDX0	INC	REG6	REG5	REG4	REG3	REG2	REG1	REG0
レジスタ 12	R/W	IDX6	IDX5	IDX4	IDX3	IDX2	IDX1	IDX0	RSV	RSV	RSV	RSV	RSV	RSV	RSV	RSV

表 2 モード・レジスタ・マッピング

注：(1)res = 必ずゼロ"0"に設定。(2)RSV：リザーブ(未使用)

データの書き込み(WRITE)

データの書き込み(WRITE)は次の手順によります。最初に、R/W(B15)を書き込み(B15 = 0)の選択を行います。次に、IDXn (B8 ~ B14)でどのレジスタ(レジスタ0 ~ レジスタ11)の制御を行うかを選択します。選択されたレジスタでの動作モードの制御はB0 ~ B7でのデータで行います。

データの読み込み(READ)

データの読み込み(READ)は次の手順によります。最初に、後述するレジスタ11のREGxフラグで読み込みたいレジスタの設定を行います(書き込みモードで、IDXnによりレジスタ11を選択し、REGxで読み出したいレジスタを選択)。次に、MCクロック、MDIデータ入力する時にB15を読み込み(B15 = 1)とすると16ビットのMDOデータの後半の8ビットに選択されたレジスタの設定データが読み込みデータとして出力されます。また読み込み方法には、インクリメント読み込みON/OFFの2通りがあり、インクリメントOFFでは前述のMDIデータで設定したIDXに応じたレジスタの8ビット・データを読み込むことができます。インクリメントONでは、MCクロックを連続して入力することにより、設定したIDXに応じたレジスタから順次、全レジスタ・データを連続して読み込むことが可能です。このインクリメント読み込みONでレジスタがレジスタ 12まで出力されると、レジスタ0に戻り、再び順次各レジスタ・データを出力します。

レジスタ1 ~ 6

レジスタ1 ~ 6はPCM1600の6ch個々のデジタル・アッテネーション・コントロールに用います。レジスタ1 ~ レジスタ6はDACの各オーディオ出力V_{OUT1} ~ V_{OUT6}にそれぞれ対応しています。アッテネーション・レベルはAT17 ~ AT10の8ビット・データ(AT10がLSB)で制御し、全ステップ数は128ステップあり、0dBから-63dBまでを0.5dBステップで、-63dB以上は無限大(-∞)に制御できます。

ATx[B0 ~ B7]	(x : 1~6)	アッテネート・レベル(減衰量)
1111 1111b	(255)	0dB、アッテネート無し(デフォルト)
1111 1110b	(254)	-0.5dB
1111 1101b	(253)	-1.0dB
⋮	⋮	⋮
1000 0011b	(131)	-62.0dB
1000 0010b	(130)	-62.5dB
1000 0001b	(129)	-63.0dB
1000 0000b	(128)	-∞
⋮	⋮	⋮
0000 0000b	(0)	-∞

レジスタ7(IDX:07h)

ATLD(B7) : アッテネーション機能制御

このATLDフラグは、アッテネーション機能のON/OFF制御で、PCM1600/1601の内蔵アッテネーション機能を使用する場合はONに、使用しない場合はOFFに設定します。なお、一度ONを設定した後にOFFにするとレジスタ内容が変化するので、電源投入後にONからOFFへの設定変更はできません。

ATLD	アッテネーション機能
0	OFF(デフォルト)
1	ON

ATTS(B6) : アッテネーション・スピード制御

ATTSフラグは、設定したアッテネータ値への実行スピード制御で、128ステップの1ステップの変化に要する時間を2種類選択することができます。

ATTS	1ステップ所要時間 (f _s : サンプリング・レート)
0	2f _s (デフォルト)
1	4f _s

MUTn(B0 ~ B5) : ソフトミュート制御

MUTn(n : 1 ~ 6)フラグは6chの独立したソフトミュート制御で、MUT1 ~ MUT6がオーディオ出力のV_{OUT1} ~ V_{OUT6}に対応しています。

MUTn	ソフトミュート
0	OFF(デフォルト)
1	ON(ch独立)

レジスタ8(IDX:08h)

INZD(B6) : ゼロ検出ミュート制御

INZDフラグは、6chの独立した動作で、入力6chデータに対してゼロ検出された場合(対応するZFLG1 ~ ZFLG6出力がH)、そのチャンネルに対してゼロ検出ミュートを行うか否かの制御をします。ゼロ検出ミュート時のDACオーディオ出力はバイポーラ・ゼロレベル(0.5V_{CC})に固定されます。

INZD	ゼロ検出ミュート
0	OFF(デフォルト)
1	ON

DACn(B0 ~ B5) : DACオペレーション制御

DACn(n : 1 ~ 6)フラグは、DACの動作設定制御で、6ch独立してそれぞれ制御することができます。DACオペレーションOFFを選択すると、オーディオ出力は他の条件に関係なく、バイポーラ・ゼロ(0.5V_{CC})となります。

DACn	DACオペレーション
0	通常動作(ON)(デフォルト)
1	OFF(ch独立)

レジスタ9(IDX : 09h)

FLT0(B5) : デジタルフィルタ・ロールオフ特性選択

FLT0フラグは、内蔵8倍オーバーサンプリング・デジタルフィルタのロールオフ特性の選択機能で、3種類のロールオフ特性を実アプリケーションに応じて選択することができます。

FLT0	ロールオフ特性
0	シャープ・ロールオフ(デフォルト)
1	スロー・ロールオフ

CLKD(B4) : CLKOクロック出力選択

CLKDフラグでCLKO端子(ピン39)の出力クロック周波数を選択することができます。例えば、PCM1600への入力システムクロックの1/2分周出力を得たい場合等に有効です。

CLKD	CLKOクロック出力
0	バッファ出力(デフォルト)
1	1/2分周出力

CLKE(B3) : CLKOクロック出力制御

CLKEフラグでCLKO端子(ピン39)のクロック出力のON/OFF制御を行うことができます。CLKOクロックを使用しない場合は、OFFとしてください。

CLKE	CLKOクロック出力
0	ON(出力)(デフォルト)
1	OFF(非出力)

FMT0、FMT1、FMT2(B0、B1、B2) : 入力オーディオ・フォーマット選択

FMT0～FMT2フラグでPCM1600への入力オーディオ・データ・フォーマットの選択を行います。

FMT2	FMT1	FMT0	オーディオデータ・フォーマット
0	0	0	24ビット、後ろ詰め(デフォルト)
0	0	1	20ビット、後ろ詰め
0	1	0	18ビット、後ろ詰め
0	1	1	16ビット、後ろ詰め、スタンダード
1	0	0	16～24ビット、IIS
1	0	1	16～24ビット、前詰め
1	1	0	未使用
1	1	1	未使用

レジスタ10(IDX : 0Ah)

DMF1、DMF0(B4、B3) : ディエンファシス周波数選択

DMF1、DMF0フラグで、ディエンファシスON時のディエンファシス周波数特性を入力サンプリング周波数に合わせて設定します。

DMF1	DMF0	ディエンファシス周波数
0	0	44.1kHz(デフォルト)
0	1	48kHz
1	0	32kHz
1	1	未使用

DM12、DM34、DM56(B0、B1、B2) : ディエンファシス制御

DM12、DM34、DM56でチャンネル独立(ステレオ単位)のディエンファシスON/OFF制御を行います。DM12はch1、ch2(V_{OUT1} 、 V_{OUT2})、DM34はch3、ch4(V_{OUT3} 、 V_{OUT4})、DM56はch5、ch6(V_{OUT5} 、 V_{OUT6})にそれぞれ対応しています。

DM12 (ch1,2)	DM34 (ch3,4)	DM56 (ch5,6)	ディエンファシス
0	0	0	OFF(デフォルト)
1	1	1	ON

レジスタ11(IDX:0Bh)

INC(B7) : インクリメント制御

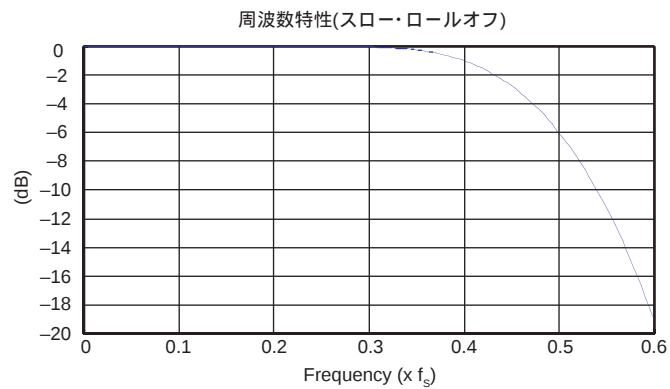
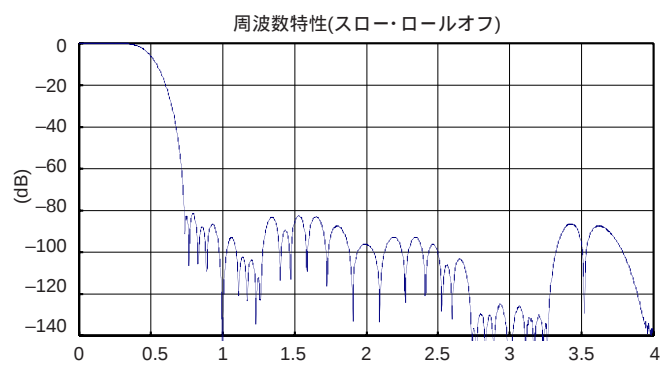
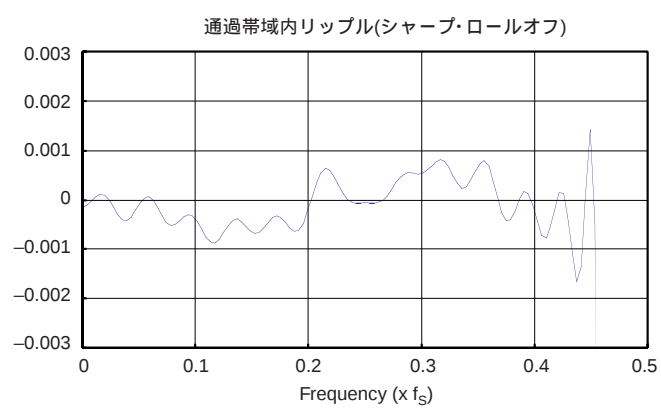
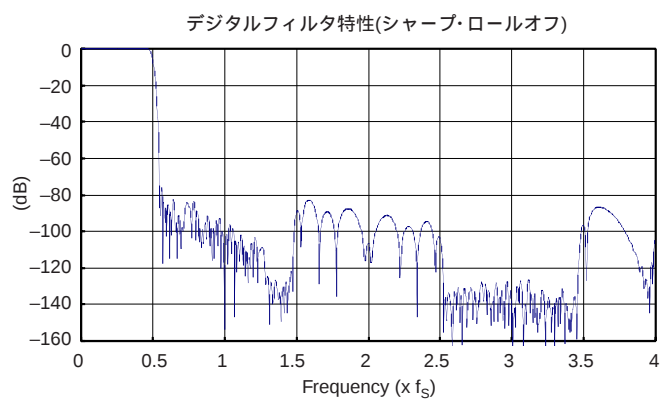
INCフラグで、各レジスタの読み込み(READ)時の読み込み方法をインクリメント読み込みON/OFFのいずれにするかを選択します。

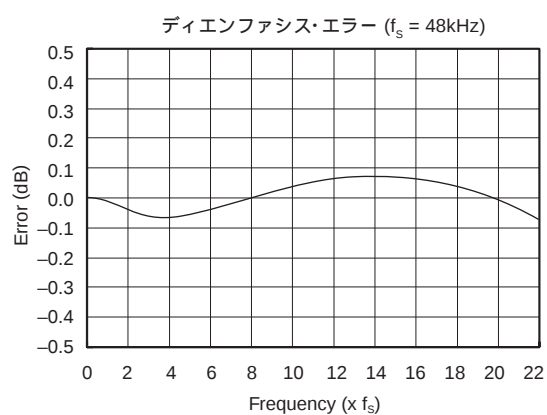
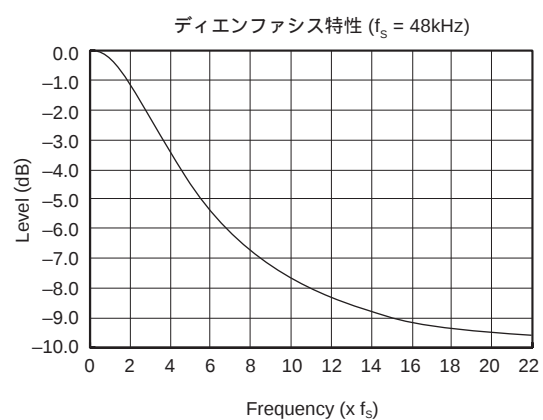
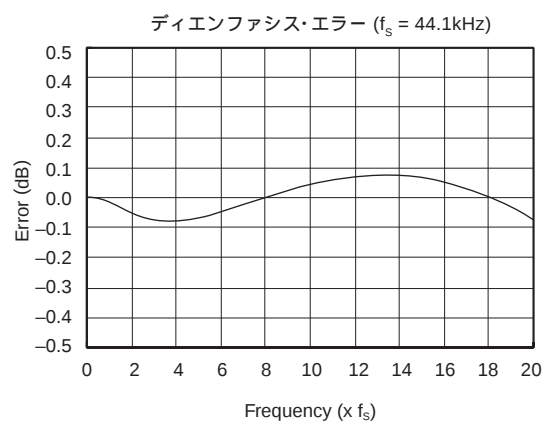
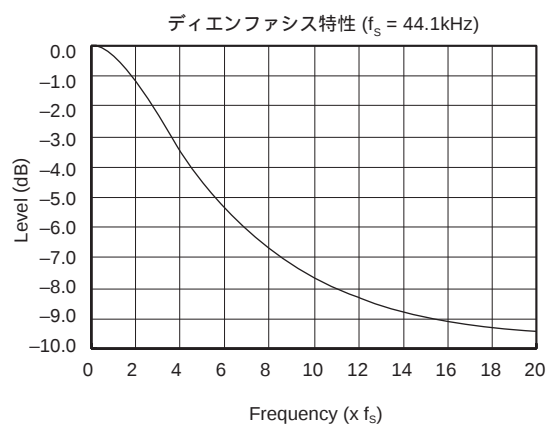
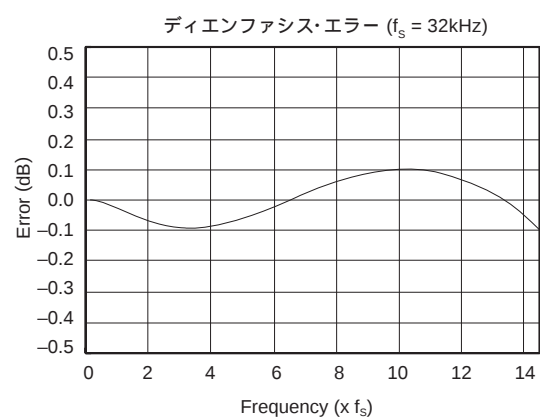
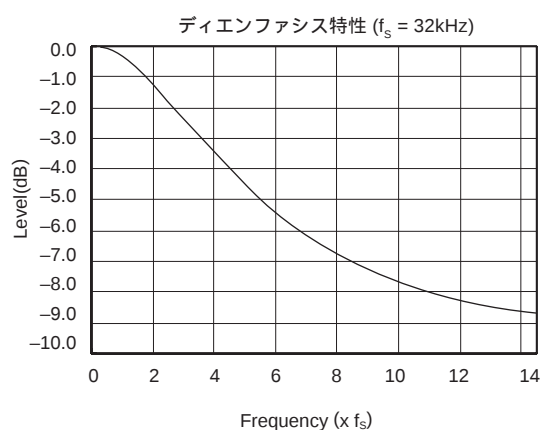
INC	読み込み(READ)
0	インクリメント読み込みOFF(デフォルト)
1	インクリメント読み込みON

REG6～REG0(B6～B0) : 読み込み(READ)レジスタ選択

読み込み(READ)時の読み込みレジスタの選択をREG6～REG0フラグで行います。ここでの設定値01hから0Bhが、レジスタ1からレジスタ11に対応しています。

REG(B6～B0)	レジスタ	REG(B6～B0)	レジスタ
01h(デフォルト)	レジスタ1	07h	レジスタ7
02h	レジスタ2	08h	レジスタ8
03h	レジスタ3	09h	レジスタ9
04h	レジスタ4	0Ah	レジスタ10
05h	レジスタ5	0Bh	レジスタ11
06h	レジスタ6		





内蔵アナログフィルタ特性

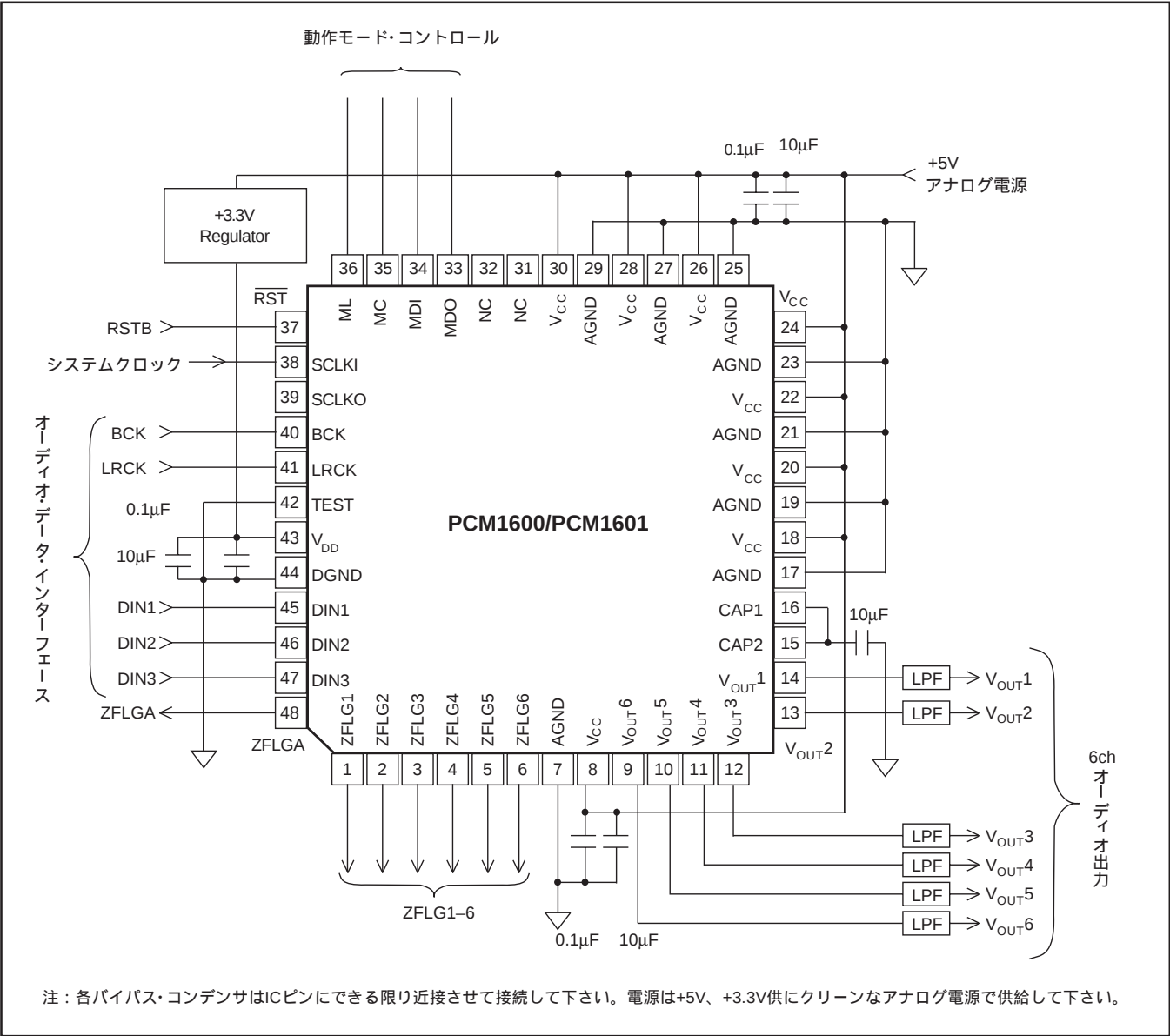
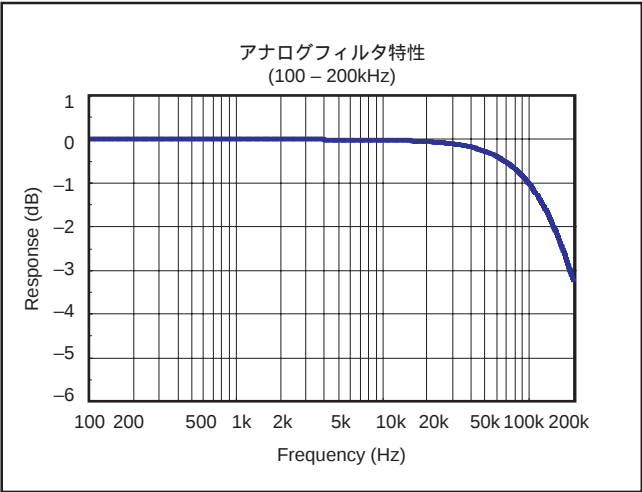
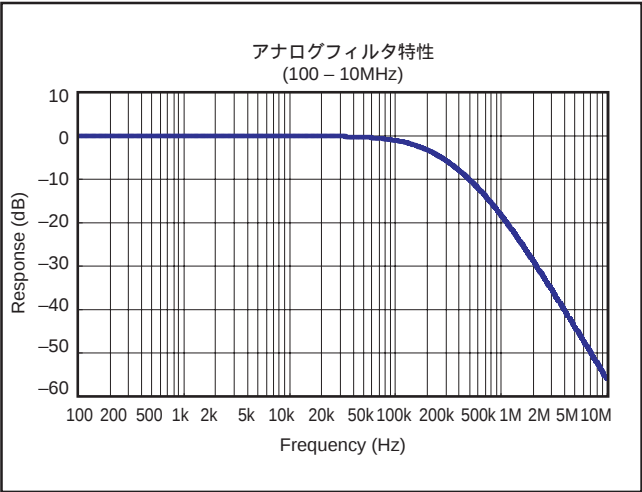


図16. PCM1600/1601の基本接続

PCM1600/1601電源接続とアプリケーション

PCM1600/1601は6chオーディオ用DACであり、基本的にはアナログ(リニア)ICとして扱わなければなりません。DACの2系統の電源+5Vおよび+3.3Vの両電源はアナログ電源として供給します。この基本的な接続例を図14に示します。

すなわち、PCM1600/1601は回路および実装基板上、アナログ回路に配置し、グランド(AGND、DGND)も共通接続でアナログ・グランドプレーンに接続します。

一方、システムクロック(SCKI)や、PCMオーディオ・データはデジタル系の信号源からPCM1600/1601に供給され、これらのデジタル信号上のノイズ・エネルギーはDACの性能に影響を与えることがあります。このノイズ・エネルギーは図14に示すようにPCM1600/1601のDGND端子からデジタル信号源のグランドにデジタル・リターンパスを介して戻すことにより、デジタル系のノイズの影響を最小に抑えることができます。

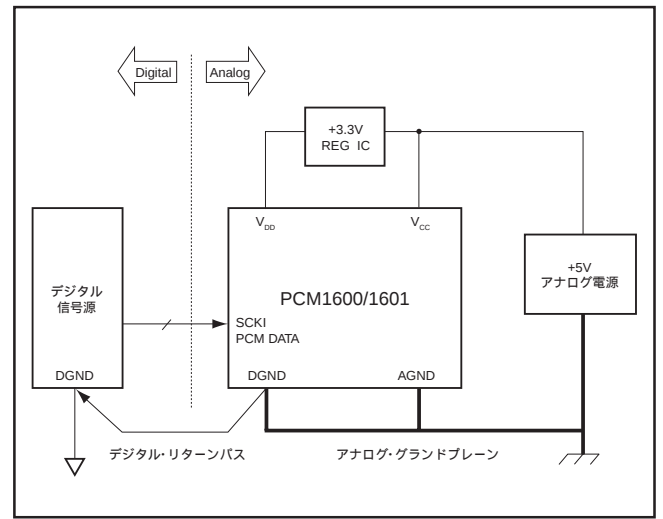


図14. PCM1600/1601の電源接続とアプリケーション

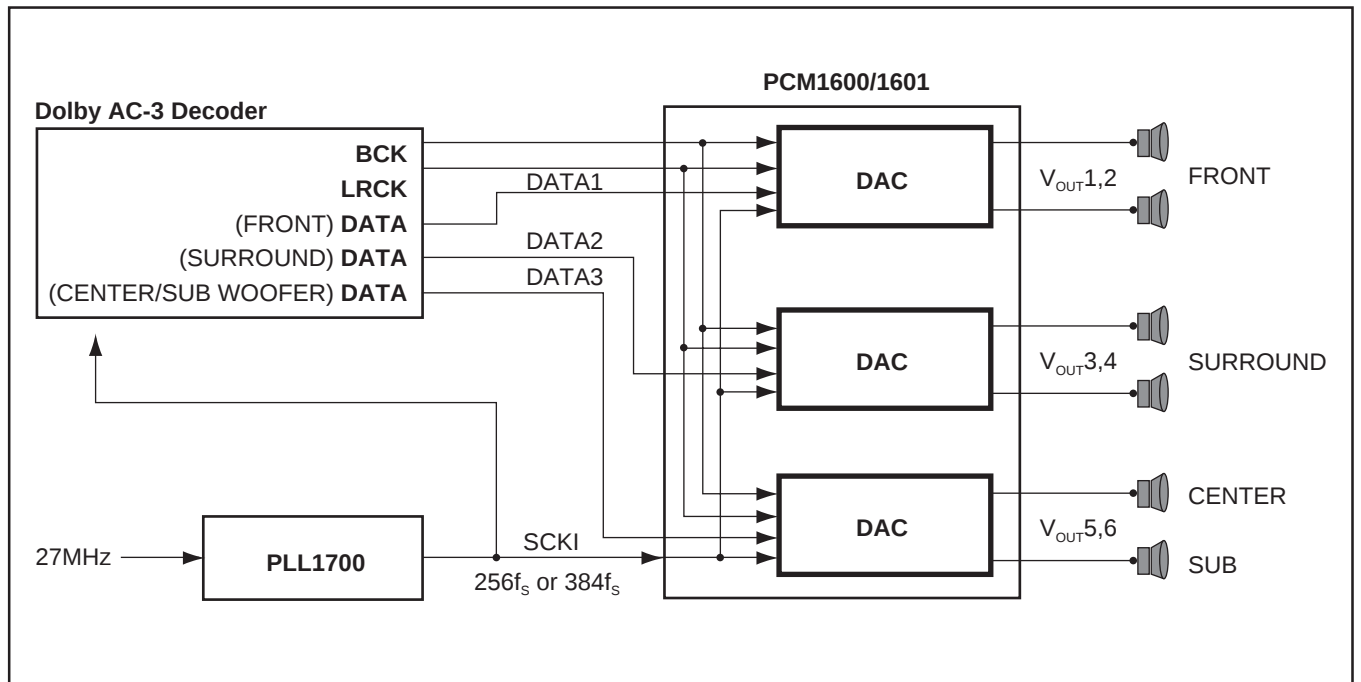
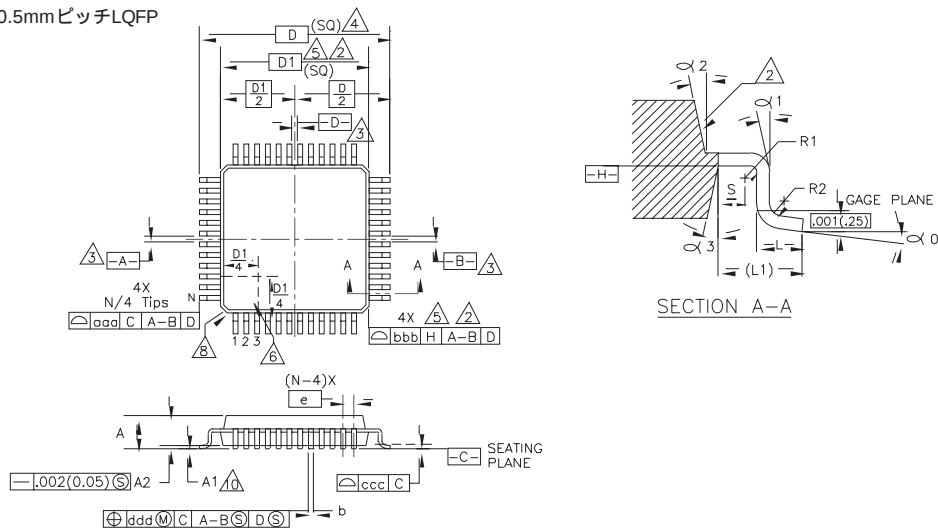


図15. PCM1600/1601の応用例

パッケージ番号340 - 48ピン0.5mmピッチLQFP



DIM	INCHES		MILLIMETERS		N O T E
	MIN.	MAX.	MIN.	MAX.	
A	--	.063	--	1.60	
A1	.002	.006	0.05	0.15	10
A2	.053	.057	1.35	1.45	
b	.007	.011	0.17	0.27	7,9
C	.004	.008	0.09	0.20	9
D	.354	BASIC	9.00	BASIC	4
D1	.276	BASIC	7.00	BASIC	2,5
e	.020	BASIC	0.50	BASIC	
L	.018	.030	0.45	0.75	
L1	.039	REF	1.00	REF	
N	48		48		
R1	.003	--	0.08	--	
R2	.003	.008	0.08	0.20	
S	.008	--	0.20	--	

NOTES:

1. ALL DIMENSIONING AND TOLERANCING CONFORMS TO ANSI Y14.5M-1982.
2. THE TOP PACKAGE BODY SIZE MAY BE SMALLER THAN THE BOTTOM PACKAGE BODY SIZE BY AS MUCH AS .006 in.(0.15mm).
3. DATUMS [A-B] AND [D-] TO BE DETERMINED AT DATUM PLANE [H-].
4. TO BE DETERMINED AT SEATING PLANE [C-].
5. DIMENSION D1 DOES NOT INCLUDE MOLD PROTRUSION. ALLOWABLE PROTRUSION IS .001 in.(0.25mm) PER SIDE. D1 IS THE MAXIMUM PLASTIC BODY SIZE DIMENSION INCLUDING MOLD MISMATCH.
6. DETAILS OF PIN 1 IDENTIFIER ARE OPTIONAL BUT MUST BE LOCATED WITHIN THE ZONE INDICATED.
7. DIMENSION b DOES NOT INCLUDE DAMBAR PROTRUSION. ALLOWABLE DAMBAR PROTRUSION

SHALL NOT CAUSE THE LEAD WIDTH TO EXCEED THE MAXIMUM b DIM. BY MORE THAN .003 in.(0.08mm). DAMBAR CAN NOT BE LOCATED ON THE LOWER RADIUS OR THE FOOT. MINIMUM SPACE BETWEEN PROTRUSION AND AN ADJACENT LEAD IS .003 in.(0.07mm) FOR .016 in.(0.4mm) AND .020 in.(0.5mm) PITCH PACKAGES.

8. EXACT SHAPE OF EACH CORNER IS OPTIONAL.

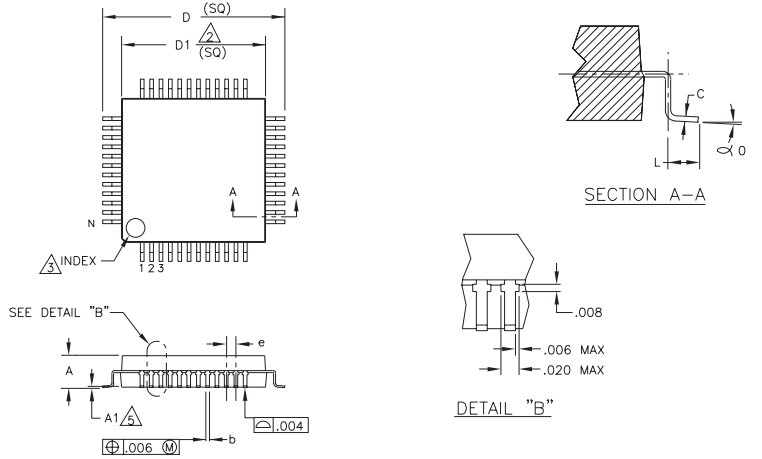
9. DIMENSION b AND C APPLY TO THE FLAT SECTION OF LEAD BETWEEN .004 in.(0.10mm) AND .002 in.(0.25mm) FROM THE LEAD TIP.

10. A1 IS DEFINED AS THE DISTANCE FROM THE SEATING PLANE TO THE LOWEST POINT OF THE PACKAGE BODY.

11. CONTROLLING DIMENSION IS MILLIMETER.

PACKAGE NUMBER: ZZ340	REV.: B
JEDEC NUMBER: MS-026-BBC	

パッケージ番号359 - 48ピン0.8mmピッチMQFP



DIM	INCHES		MILLIMETERS		N O T E
	MIN.	MAX.	MIN.	MAX.	
A	--	.106	--	2.70	
A1	.002	--	0.05	--	5
b	.010	.014	0.24	0.36	4
C	.006	.008	0.14	0.20	
D	.587	.618	14.90	15.70	
D1	.469	.484	11.90	12.30	2
e	.031	BASIC	0.80	BASIC	
L	.022	.045	0.55	1.15	
N	48		48		7
α 0	0°	10°	0°	10°	

NOTES:

1. ALL DIMENSIONING AND TOLERANCING CONFORMS TO ANSI Y14.5M-1982.
2. DIMENSION D1 DOES NOT INCLUDE MOLD PROTRUSION. ALLOWABLE PROTRUSION IS .001 in.(0.25mm) PER SIDE. D1 IS THE MAXIMUM PLASTIC BODY SIZE DIMENSION INCLUDING MOLD MISMATCH.
3. DETAILS OF PIN 1 IDENTIFIER ARE OPTIONAL BUT MUST BE LOCATED WITHIN THE ZONE INDICATED.
4. DIMENSION b DOES NOT INCLUDE DAMBAR PROTRUSION. ALLOWABLE DAMBAR PROTRUSION SHALL NOT CAUSE THE LEAD WIDTH TO EXCEED THE MAXIMUM b DIM. BY MORE THAN .003 in.(0.08mm). DAMBAR CAN NOT BE LOCATED ON THE LOWER RADIUS OR THE FOOT. MINIMUM SPACE BETWEEN PROTRUSION AND AN ADJACENT LEAD IS .003 in.(0.07mm) FOR .016 in.(0.4mm) AND .020 in.(0.5mm) PITCH PACKAGES.
5. A1 IS DEFINED AS THE DISTANCE FROM THE SEATING PLANE TO THE LOWEST POINT OF THE PACKAGE BODY.
6. CONTROLLING DIMENSION IS MILLIMETER.
7. N IS THE NUMBER OF LEADS.

PKG. DESCRIPTION: 48 LEAD QFP, 12.0 x 12.0 mm BODY

JEDEC NUMBER: NONE

USED ON: PCM1601Y

REV. A