BURR-BROWN®

先端技術の融合と創造

OPA689

広帯域、高ゲイン
電圧リミッティング・アンプ

特　長

- リミッティング付近での高い直線性
- オーバー・ドライブからの高速復帰：2.4ns
- リミッティング電圧精度：±15mV
- –3dB帯域幅(G = +6)：280MHz
- G ≥ +4で安定動作
- スルーレート：1600V/μs
- ±5Vおよび+5V電源動作
- 低ゲイン・タイプ：OPA688

アプリケーション

- オーバー・ドライブからの復帰が高速なトランスインピーダンス・アンプ
- 高速リミッティングのADC入力ドライバ
- 伝播遅延の低いコンパレータ
- 非線形アナログ信号処理
- 差分アンプ
- IFリミッティング・アンプ
- AM信号発生

概　要

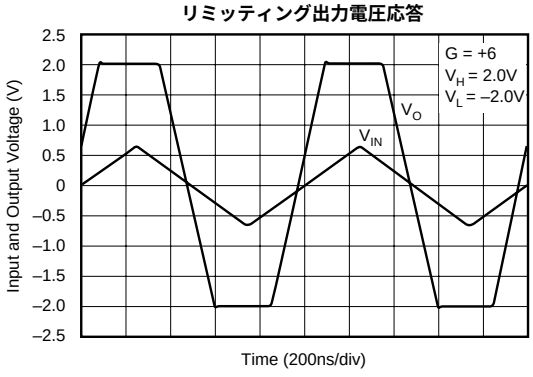
OPA689は、バイポーラ出力電圧リミッティング機能を備えた広帯域の電圧帰還型オペアンプで、ゲイン≥+4で安定動作します。出力がバッファされた2つのリミッティング電圧を越えようとすると、これらのリミッティング電圧値が出力されるように制御されます。この新しい出力リミッティング・アーキテクチャの採用により、リミッタのオフセット電圧誤差が±15mVに保持されます。このオペアンプはリミッティング点の30mV以内までの範囲でリニアに動作します。

OPA689の非線形範囲は狭く、しかもリミッティング電圧のオフセット誤差が低く抑えられているので、必要なリニア出力電圧範囲の100mV以内までリミッティング電圧を設定することができます。電圧リミッティングからの復帰時間が2.4nsと高速なので、オーバー・ドライブ信号がチャンネルに対してトランスペアレントであることが保証されます。入力ではなく、出力において電圧リミッティング機能が実行されるので、どのようなゲイン設定に対しても規定された電圧リミッティング精度が保証されます。このため、すべての標準的なオペアンプ・アプリケーションでOPA689を利用することができます。

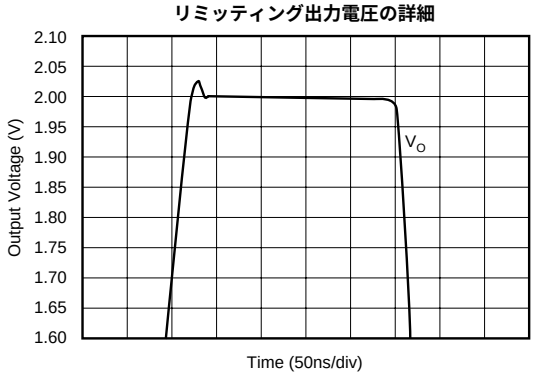
OPA689のリニア動作から出力電圧リミッティングへの遷移特性は急峻なので、非線形アナログ信号処理回路にOPA689を使用すると有効です。高速復帰時間は高速アプリケーションをサポートします。

OPA689は工業標準ピン配置の8ピンPDIPと8ピンSOPの2種類のパッケージで供給されます。ゲインをより低く設定し、高速復帰時間の出力電圧リミッティング機能が必要なアプリケーションには、OPA688をご検討ください。

リミッティング出力電圧応答



リミッティング出力電圧の詳細



仕様：V_S = ±5V

特に記述のない限り、G = +6、R_L = 500Ω、R_F = 750Ω、V_H = –V_L = 2V（AC性能のみの場合には図1を参照）です。

パラメータ	条件	OPA689U, P 標準 +25°C	OPA689U, P 保証[1] +25°C	0°C～+70°C	–40°C～+85°C	単位	最小/最大	テストレベル[2]
AC性能（図1を参照）								
小信号帯域幅	V_O < 0.5Vp-p							
	G = +6	280	220	210	200	MHz	Min	B
	G = +12	90	—	—	—	MHz	Typ	C
	G = –6	220	—	—	—	MHz	Typ	C
ゲイン帯域幅積(G ≥ +20)	V_O < 0.5Vp-p	720	490	460	430	MHz	Min	B
ゲイン・ピーキング	V_O < 0.5Vp-p、G = +4	8	—	—	—	dB	Typ	C
0.1dB**のゲイン平坦性が得られる帯域幅**	V_O < 0.5Vp-p	110	—	—	—	MHz	Typ	C
大信号帯域幅	V_O = 2Vp-p	290	185	175	170	MHz	Min	B
ステップ応答								
スルーレート	2V**ステップ**	1600	1300	1250	950	V/µs	Min	B
立ち上がり/立下がり時間	0.5V**ステップ**	1.2	1.8	1.9	2.4	ns	Max	B
セトリングタイム：0.05%	2V**ステップ**	7	—	—	—	ns	Typ	C
スプリアスフリー・ダイナミック・レンジ	f = 5MHz、V_O = 2Vp-p	61	57	53	48	dB	Min	B
微分ゲイン	NTSC、PAL、R_L = 500Ω	0.02	—	—	—	%	Typ	C
微分位相	NTSC、PAL、R_L = 500Ω	0.01	—	—	—	°	Typ	C
入力ノイズ密度								
電圧ノイズ	f ≥ 1MHz	4.6	5.3	6.0	6.1	nV/√Hz	Max	B
電流ノイズ	f ≥ 1MHz	2.0	2.5	2.9	3.6	pA/√Hz	Max	B
DC性能(V_{CM} = 0V)								
開ループ電圧ゲイン(A_{OL})	V_O = ±0.5V	56	**50**	48	47	dB	Min	A
入力オフセット電圧		±1	±**5**	±6	±7	mV	Max	A
平均ドリフト		—	—	±14	±14	µV/**°C**	Max	B
入力バイアス電流[3]		+8	±**12**	±13	±20	µA	Max	A
平均ドリフト		—	—	–60	–90	nA/**°C**	Max	B
入力オフセット電流		±0.3	±**2**	±3	±4	µA	Max	A
平均ドリフト		—	—	±10	±10	nA/**°C**	Max	B
入力								
同相モード除去比	**入力換算**、V_{CM} = ±0.5V	60	**53**	52	50	dB	Min	A
同相モード入力範囲[4]		±3.3	±**3.2**	±3.2	±3.1	V	Min	A
入力インピーダンス								
差動モード		0.4 || 1	—	—	—	MΩ || pF	Typ	C
同相モード		1 || 1	—	—	—	MΩ || pF	Typ	C
出力	V_H = –V_L = 4.3V							
出力電圧範囲	R_L ≥ 500Ω	±4.1	±**3.9**	±3.9	±3.8	V	Min	A
電流出力、ソース		105	**90**	85	80	mA	Min	A
電流出力、シンク		–85	**–70**	–65	–60	mA	Min	A
閉ループ出力インピーダンス	G = 4、f < 100kHz	0.8	—	—	—	Ω	Typ	C
電源								
動作電圧、仕様		±5	—	—	—	V	Typ	C
動作電圧、最大		—	±**6**	±6	±6	V	Max	A
無信号時電流、最大		15.8	**17**	19	20	mA	Max	A
無信号時電流、最小		15.8	**14**	12.8	11	mA	Min	A
電源除去比	+V_S = 4.5V～5.5V							
+PSR(**入力換算**)		65	**58**	57	55	dB	Min	A
出力電圧リミッタ								
リミット電圧のデフォルト値	**リミッタ・ピンをオープン**	±3.3	±**3.0**	±3.0	±2.9	V	Min	A
リミッタ・セパレーション電圧の最小値(V_H –V_L)		200	200	200	200	mV	Min	B
最大リミット電圧		—	±4.3	±4.3	±4.3	V	Max	B
リミッタの入力バイアス電流レベル[5]	V_O = 0							
最大		54	**65**	68	70	µA	Max	A
最小		54	**35**	34	31	µA	Min	A
平均ドリフト		—	—	40	45	nA/**°C**	Max	B
リミッタ入力インピーダンス		2 || 1	—	—	—	MΩ || pF	Typ	C
リミッタ・フィードスルー[6]	f = 5MHz	–60	—	—	—	dB	Typ	C
リミット・モードでのDC**性能**	V_{IN} = ±0.7V							
リミッタ・オフセット電圧	(V_O –V_H)**または**(V_O –V_L)	±15	±**35**	±40	±40	mV	Max	A
オペアンプ入力バイアス電流シフト[3]		3	—	—	—	µA	Typ	C

仕様：V_S = ±5V（続き）

特に記述のない限り、G = +6、R_L = 500Ω、R_F = 750Ω、V_H = –V_L =2V（AC性能のみの場合には図1を参照）です。

パラメータ	条件	OPA689U, P 標準 +25°C	保証[1] +25°C	0°C～+70°C	–40°C～+85°C	単位	最小/最大	テストレベル[2]
出力電圧リミッタ（続き）								
リミット・モードでのAC性能								
リミッタ小信号帯域幅	V_{IN} = ±0.7V、V_O < 0.02Vp-p	450	—	—	—	MHz	Typ	C
リミッタ・スルーレート[7]		100	—	—	—	V/µA	Typ	C
リミテッド・ステップ応答								
オーバーシュート	V_{IN} = 0～±0.7V**ステップ**	250	—	—	—	mV	Typ	C
復帰時間	V_{IN} = ±0.7V～0V**ステップ**	2.4	2.8	3.0	3.2	ns	Max	B
直線性ガードバンド[8]	f = 5MHz、V_O = 2Vp-p	30	—	—	—	mV	Typ	C
熱特性								
温度範囲	**仕様**P,U	–40～+85	—	—	—	**°C**	Typ	C
熱抵抗値								
P 8**ピン**DIP		100	—	—	—	**°C**/W	Typ	C
U 8**ピン**SOP		125	—	—	—	**°C**/W	Typ	C

注：(1)接合部温度 = 仕様保証全温度範囲における下限と25°Cの周囲温度。接合部温度 = 仕様保証全温度範囲における上限の周囲温度+23°C。(2)テストレベル：(A)+25°Cで100%テストを実施。特性評価テストとシミュレーションによって全温度範囲における制限値を設定。(B)特性評価テストとシミュレーションによって制限値を設定。(C)標準値は参考用としてのみ使用。(3)ノードから出力される電流の極性を正とします。(4)同相モード入力範囲は同相モード除去比が仕様の最小値よりも3dB劣化する範囲としてテストされています。(5)これらの条件下ではI_{VH}(V_Hバイアス電流)は正で、I_{VL}(V_Lバイアス電流)は負です。注(3)、図1および7を参照。(6)リミッタのフィードスルーはV_H(またはV_L)に追加される正弦波とV_{IN} = 0時の出力電圧レベルとの比を示します。(7)V_Hのスルーレート条件はV_{IN} = +0.7V、G = +6、V_L = –2V、V_H = 2Vおよび0V間のステップ電圧です。V_Lのスルーレート条件もこれと同様です。 (8)直線性ガードバンドは、リミッタの電圧レベル(V_HとV_L)間の中心となる正弦波電圧出力(f = 1MHz, V_O = 2Vp-p)で定義されています。これはリミッタの電圧レベルとSFDRが3dB減衰するときの出力電圧ピーク値です（図8を参照）。

このデータシートに記載されている情報は、信頼しうるものと考えておりますが、不正確な情報や記載漏れ等に関して弊社は責任を負うものではありません。情報の使用について弊社は責任を負えませんので、各ユーザーの責任において御使用下さい。価格や仕様は予告なしに変更される場合がありますのでご了承下さい。ここに記載されているいかなる回路についても工業所有権その他の権利またはその実施権を付与したり承諾したりするものではありません。弊社は弊社製品を生命維持に関する機器またはシステムに使用することを承認しまたは保証するものではありません。

仕様：V_S = +5V

特に記述のない限り、G = +6、R_F = 750Ω、R_L = 500ΩをV_{CM} = 2.5Vに接続、V_L = V_{CM} –1.2V、V_H = V_{CM} +1.2V（AC性能のみの場合には図2を参照）です。

パラメータ	条件	OPA689U, P 標準 +25°C	OPA689U, P 保証[1] +25°C	0°C～+70°C	–40°C～+85°C	単位	最小/最大	テストレベル[2]
AC性能（図2を参照）								
小信号帯域幅	V_O < 0.5Vp-p							
	G = +6	210	180	160	150	MHz	Min	B
	G = +12	70	—	—	—	MHz	Typ	C
	G = –6	180	—	—	—	MHz	Typ	C
ゲイン帯域幅積(G ≥ +20)	V_O < 0.5Vp-p	440	330	310	300	MHz	Min	B
ゲイン・ピーキング	V_O < 0.5Vp-p、G = +4	4	—	—	—	dB	Typ	B
0.1dB**のゲイン平坦性が得られる帯域幅**	V_O < 0.5Vp-p	35	—	—	—	MHz	Typ	C
大信号帯域幅	V_O = 2Vp-p	175	150	140	125	MHz	Min	B
ステップ応答								
スルーレート	2V**ステップ**	1600	1300	1250	950	V/µs	Min	B
立ち上がり/立下がり時間	0.5V**ステップ**	1.9	2.1	2.2	2.6	ns	Max	B
セトリングタイム：0.05%	2V**ステップ**	7	—	—	—	ns	Typ	C
スプリアスフリー・ダイナミック・レンジ	f = 5MHz、V_O = 2Vp-p	59	55	51	46	dB	Min	B
入力ノイズ								
電圧ノイズ密度	f ≥ 1MHz	4.6	5.3	6.0	6.1	nV/√Hz	Max	B
電流ノイズ密度	f ≥ 1MHz	2.0	2.5	2.9	3.6	pA/√Hz	Max	B
DC性能								
開ループ電圧ゲイン(A_{OL})	V_O = ±0.5V	56	**50**	48	47	dB	Min	A
入力オフセット電圧		±1	±**5**	±6	±8	mV	Max	A
平均ドリフト		—	—	±14	±14	µV/**°C**	Max	B
入力バイアス電流[3]		+8	±**12**	±13	±20	µA	Max	A
平均ドリフト		—	—	–60	–90	nA/**°C**	Max	B
入力オフセット電流		±0.3	±**2**	±3	±4	µA	Max	A
平均ドリフト		—	—	±10	±10	nA/**°C**	Max	B
入力								
同相モード除去比	**入力換算**、V_{CM} = ±0.5V	58	**51**	50	48	dB	Min	A
同相モード入力範囲[4]		V_{CM} ±0.8	V_{CM} ±**0.7**	V_{CM} ±0.7	V_{CM} ±0.6	V	Min	A
入力インピーダンス								
差動モード		0.4 ‖ 1	—	—	—	MΩ ‖ pF	Typ	C
同相モード		1 ‖ 1	—	—	—	MΩ ‖ pF	Typ	C
出力	V_H = V_{CM} +1.8V、V_L = V_{CM} –1.8V							
出力電圧範囲	R_L ≥ 500Ω	V_{CM} ±1.6	V_{CM} ±**1.4**	V_{CM} ±1.4	V_{CM} ±1.3	V	Min	A
電流出力、ソース		70	**60**	55	50	mA	Min	A
電流出力、シンク		–60	**–50**	–45	–40	mA	Min	A
閉ループ出力インピーダンス	G = +4、f < 100kHz	0.8	—	—	—	Ω	Typ	C
電源								
動作電圧、仕様		5	—	—	—	V	Typ	C
動作電圧、最大		—	**12**	12	12	V	Max	A
無信号時電流、最大		13	**15**	15	16	mA	Max	A
無信号時電流、最小		13	**11**	10	9	mA	Min	A
電源除去比	V_S = 4.5V～5.5V							
+PSR(**入力換算**)		65	—	—	—	dB	Typ	C
出力電圧リミッタ								
リミット電圧のデフォルト値	**リミッタ・ピンをオープン**	V_{CM} ±0.9	V_{CM} ±**0.6**	V_{CM} ±0.6	V_{CM} ±0.6	V	Min	A
リミッタ・セパレーション電圧の最小値(V_H –V_L)		200	200	200	200	mV	Min	B
最大リミット電圧		—	V_{CM} ±1.8	V_{CM} ±1.8	V_{CM} ±1.8	V	Max	B
リミッタの入力バイアス電流レベル[5]	V_O = 2.5V							
最大		35	**65**	75	85	µA	Max	A
最小		35	**0**	0	0	µA	Min	A
平均ドリフト		—	—	30	50	nA/**°C**	Max	B
リミッタ入力インピーダンス		2 ‖ 1	—	—	—	MΩ ‖ pF	Typ	C
リミッタ・アイソレーション[6]	f = 5MHz	–60	—	—	—	dB	Typ	C
リミット・モードでのDC性能	V_{IN} = V_{CM} ±0.4V							
リミッタ・オフセット電圧精度	(V_O –V_H)**または**(V_O –V_L)	±15	±**35**	±40	±40	mV	Max	A
オペアンプ入力バイアス電流シフト[3]		5	—	—	—	µA	Typ	C
リミット・モードでのAC性能								
リミッタ小信号帯域幅	V_{IN} = ±0.4V、V_O < 0.02Vp-p	300	—	—	—	MHz	Typ	C
リミッタ・スルーレート[7]		20	—	—	—	V/µs	Typ	C
リミテッド・ステップ応答								
オーバーシュート	V_{IN} = V_{CM}～V_{CM} ±0.4V**ステップ**	55	—	—	—	mV	Typ	C
復帰時間	V_{IN} = V_{CM} ±0.4V～V_{CM} **ステップ**	15	—	—	—	ns	Typ	C
直線性ガードバンド[8]	f = 5MHz、V_O = 2Vp-p	30	—	—	—	mV	Typ	C

仕様：V_S = +5V(続き)

特に記述のない限り、G = +6、R_F = 750Ω、R_L = 500ΩをV_{CM} = 2.5Vに接続、V_L = V_{CM} –1.2V、V_H = V_{CM} +1.2V(AC性能のみの場合には図2を参照)です。

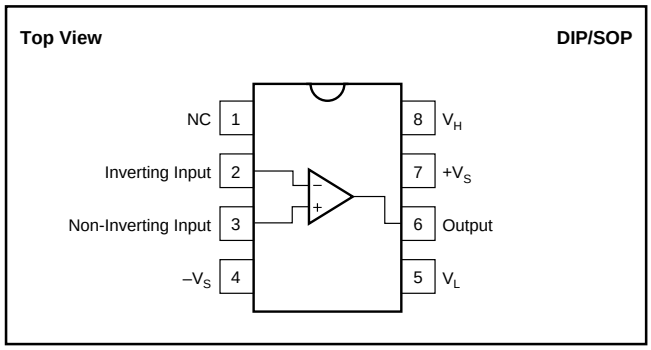
パラメータ	条件	OPA689U, P 標準 +25°C	保証(1) +25°C	0°C～+70°C	–40°C～+85°C	単位	最小/最大	テストレベル(2)
熱特性								
温度範囲	仕様P,U	–40～+85	—	—	—	°C	Typ	C
熱抵抗値								
P 8ピンDIP		100	—	—	—	°C/W	Typ	C
U 8ピンSOP		125	—	—	—	°C/W	Typ	C

注：(1)接合部温度 = 仕様保証全温度範囲における下限と25°Cの周囲温度。接合部温度 = 仕様保証全温度範囲における上限の周囲温度+23°C。(2)テストレベル：(A)+25°Cで100%テストを実施。特性評価テストとシミュレーションによって全温度範囲における制限値を設定。(B)特性評価テストとシミュレーションによって制限値を設定。(C)標準値は参考用としてのみ使用。(3)ノードから出力される電流の極性を正とします。(4)同相モード入力範囲は同相モード除去比が仕様の最小値よりも3dB劣化する範囲としてテストされています。(5)これらの条件下ではI_{VH}(V_Hバイアス電流)は負で、I_{VL}(V_Lバイアス電流)は正です。注(3)、図2および7を参照。(6)リミッタのフィードスルーはV_H(またはV_L)に追加される正弦波とV_{IN} = 0時の出力電圧レベルとの比を示します。(7)V_Hのスルーレート条件はV_{IN} = V_{CM} +0.4V、G = +6、V_L = V_{CM} –1.2V、V_H = V_{CM} +1.2VおよびV_{CM}間のステップ電圧です。V_Lのスルーレート条件もこれと同様です。 (8)直線性ガードバンドは、リミッタの電圧レベル(V_HとV_L)間の中心となる正弦波電圧出力(f = 5MHz, V_O = V_{CM} ±1Vp-p)で定義されています。これはリミッタの電圧レベルとSFDRが3dB減衰するときの出力電圧ピーク値です(図8を参照)。

絶対最大定格

電源電圧	±6.5V
内部消費電力	熱特性を参照
入力電圧範囲	±V_S
差動入力電圧	±V_S
リミッタ電圧範囲	±(V_S –0.7V)
保存温度範囲：P、U	–40°C～+125°C
リード温度(DIP、10秒間の半田付け)	+300°C
(8ピンSOP、3秒間の半田付け)	+260°C
接合温度	+175°C

ピン配置



静電気放電対策

静電気放電はわずかな性能の低下から完全なデバイスの故障に至るまで、様々な損傷を与えます。すべての集積回路は、適切なESD保護方法を用いて、取扱いと保存を行うようにして下さい。高精度の集積回路は、損傷に対して敏感であり、極めてわずかなパラメータの変化により、デバイスに規定された仕様に適合しなくなる場合があります。

パッケージ情報/ご発注の手引き

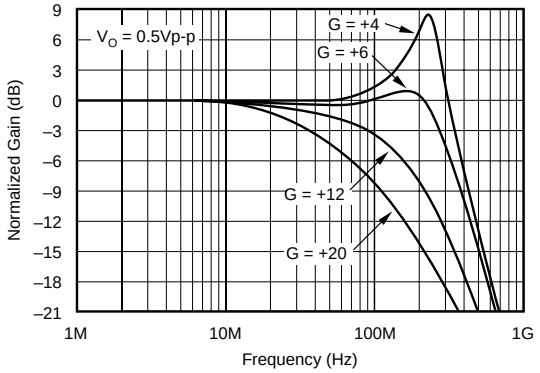
モデル	パッケージ	パッケージ図番号(1)	温度範囲	パッケージのマーキング	発注番号	供給時の状態
OPA689P	8ピン･プラスチックDIP	006	–40°C～+85°C	OPA689P	OPA689P	マガジン
OPA689U	8ピンSOP	182	–40°C～+85°C	OPA689U	OPA689U	マガジン
OPA689U	8ピンSOP	182	–40°C～+85°C	OPA689U	OPA689U/2K5	テープリール

注：(1)詳細図および寸法表は、データシートの巻末を参照してください。(2)スラッシュ(/)の付いたモデルは、その後に示される数量を単位として、テープリールでのみで供給されます(たとえば、/2K5は2,500個で1リールであることを示します)。「OPA689U/2K5」をご発注の場合、OPA689U 2,500個入りのテープリールが1本納入されます。

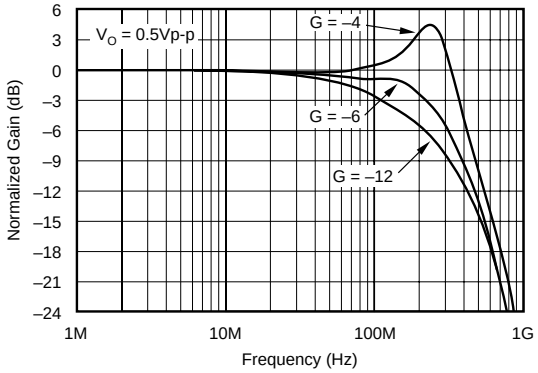
代表的性能曲線：$V_S = \pm 5V$

特に記述のない限り、G = +6、R_L = 500Ω、R_F = 750Ω、$V_H = -V_L$ = 2V（AC性能のみの場合には図1を参照）です。

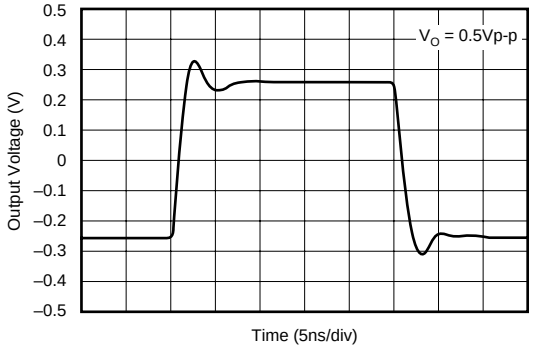
非反転小信号周波数応答



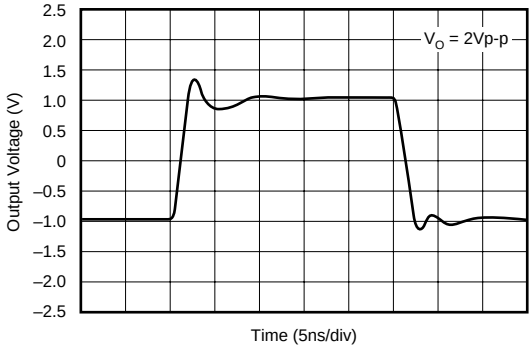
反転小信号周波数応答



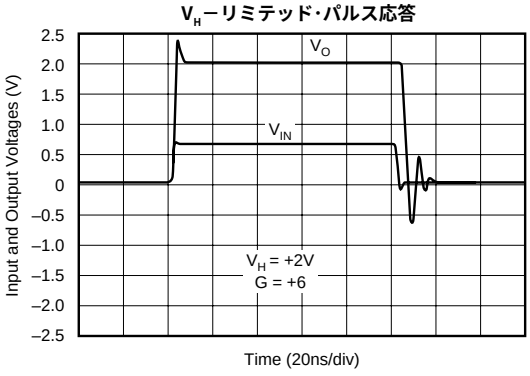
小信号パルス応答



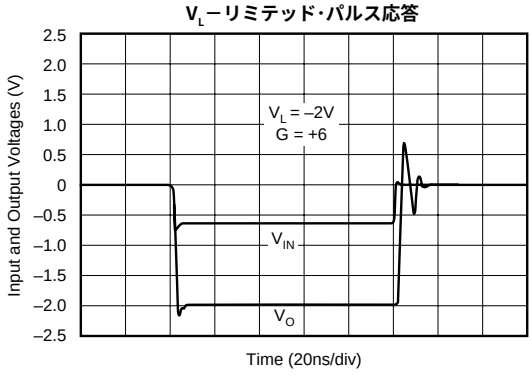
大信号パルス応答



V_H－リミテッド・パルス応答



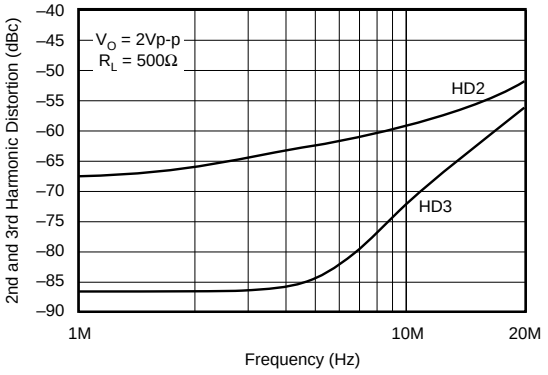
V_L－リミテッド・パルス応答



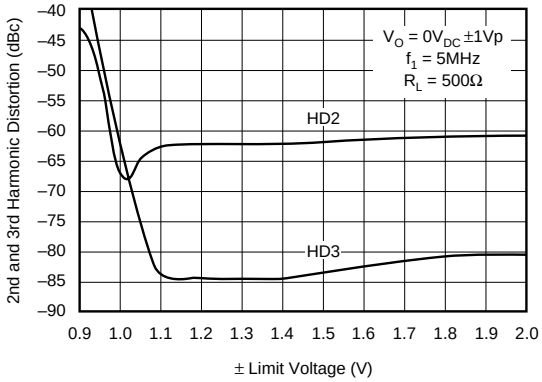
代表的性能曲線：$V_S = \pm 5V$

特に記述のない限り、G = +6、R_L = 500Ω、R_F = 750Ω、$V_H = -V_L$ = 2V（AC性能のみの場合には図1を参照）です。

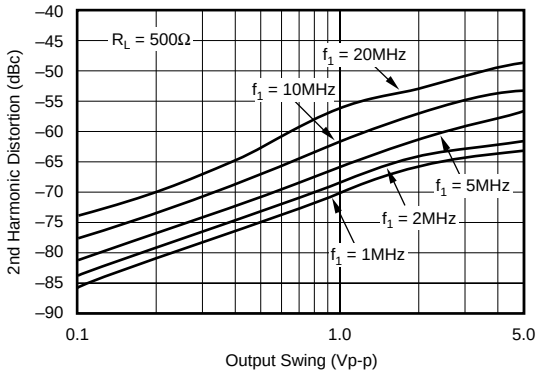
高調波歪み対周波数



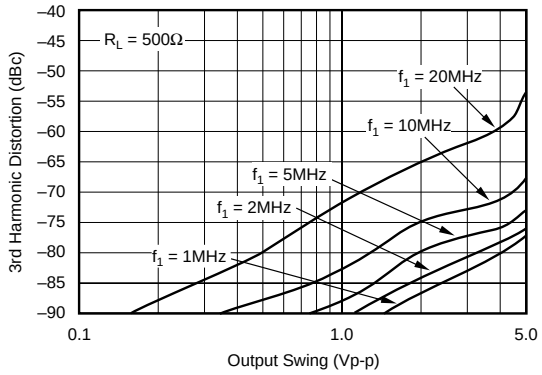
リミット電圧近くの高調波歪み



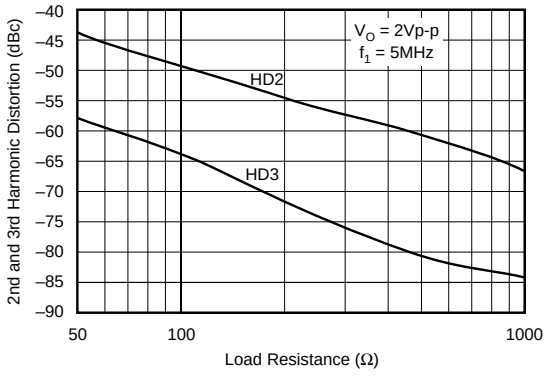
2次高調波歪み対出力振幅



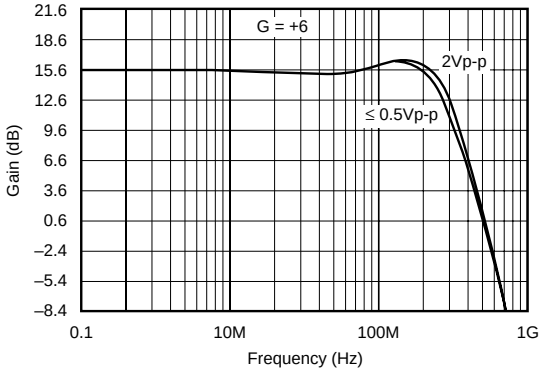
3次高調波歪み対出力振幅



高調波歪み対負荷抵抗



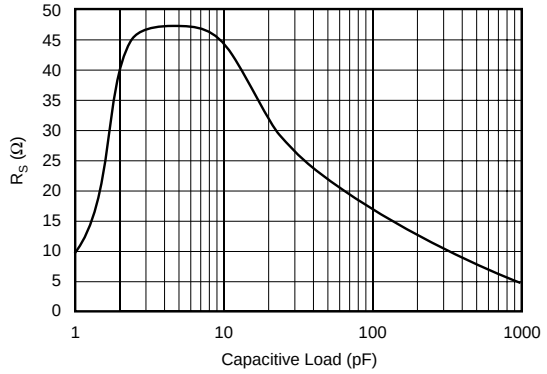
大信号周波数応答



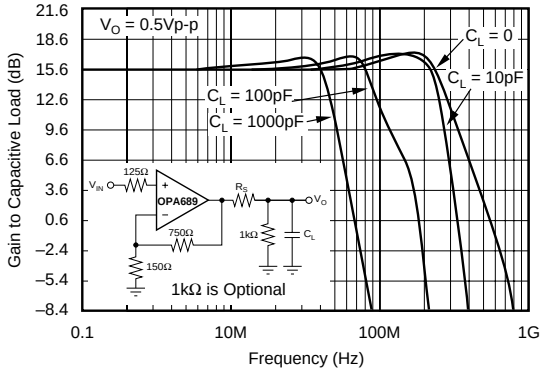
代表的性能曲線：V_S = ±5V

特に記述のない限り、G = +6、R_L = 500Ω、R_F = 750Ω、V_H = –V_L = 2V（AC性能のみの場合には図1を参照）です。

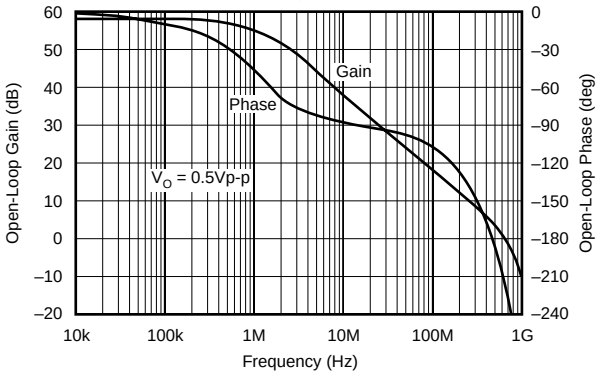
R_S対容量性負荷



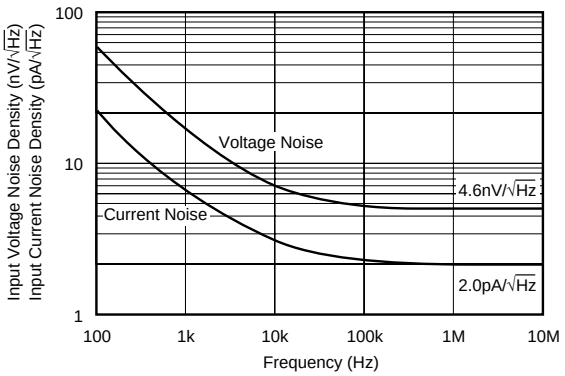
周波数応答対容量性負荷



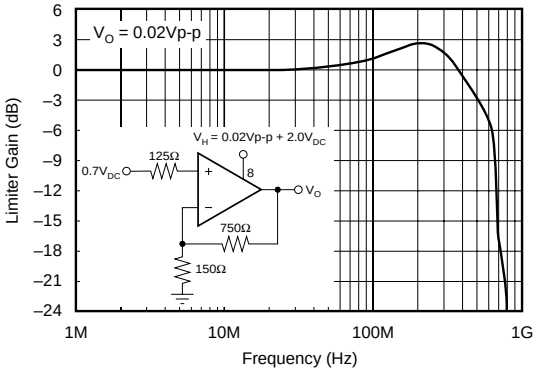
開ループ周波数応答



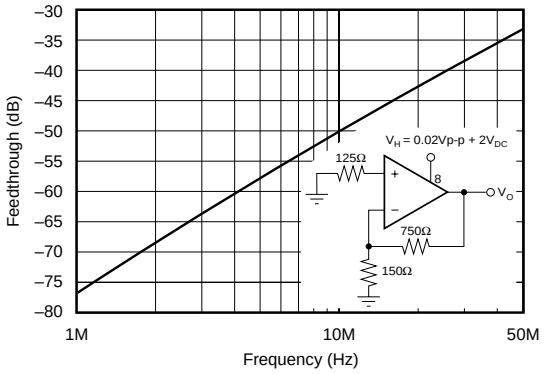
入力ノイズ密度



リミッタの小信号周波数応答



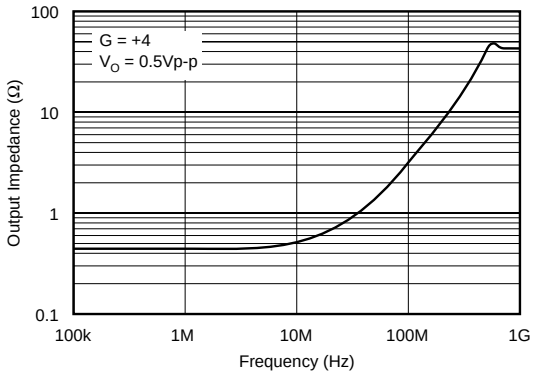
リミッタのフィードスルー



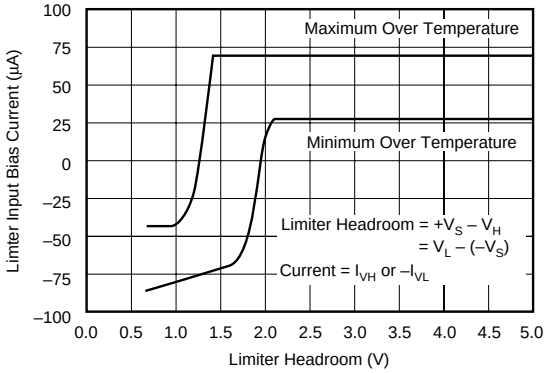
代表的性能曲線：$V_S = \pm 5V$

特に記述のない限り、G = +6、R_L = 500Ω、R_F = 750Ω、$V_H = -V_L$ = 2V（AC性能のみの場合には図1を参照）です。

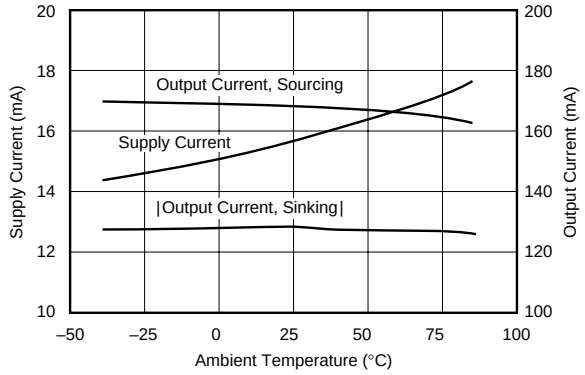
閉ループ出力インピーダンス



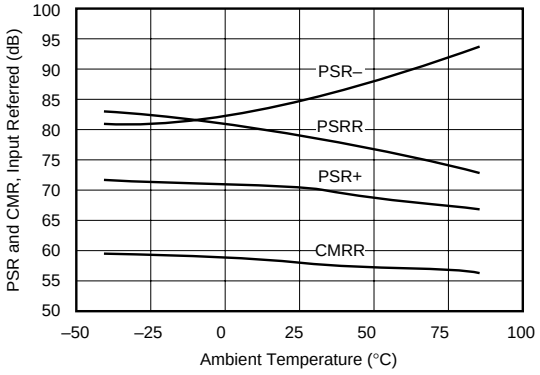
リミッタの入力バイアス電流対バイアス電圧



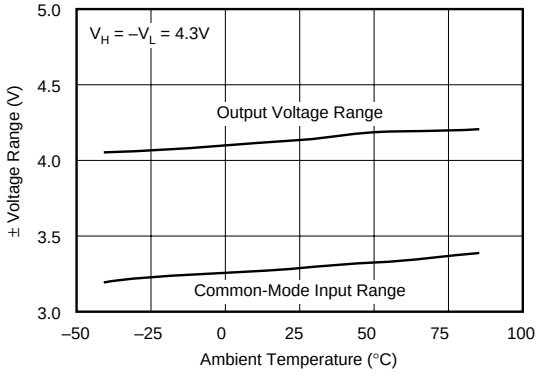
電源電流および出力電流対温度



PSRおよびCMR対温度



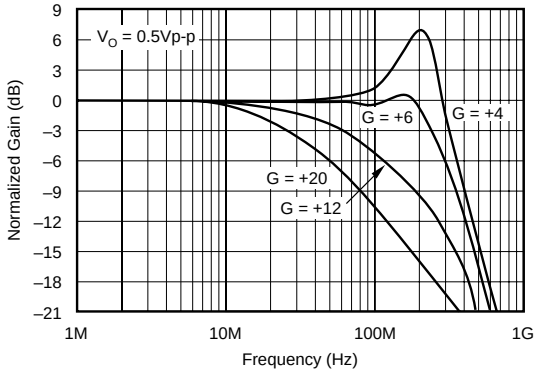
電圧範囲温度



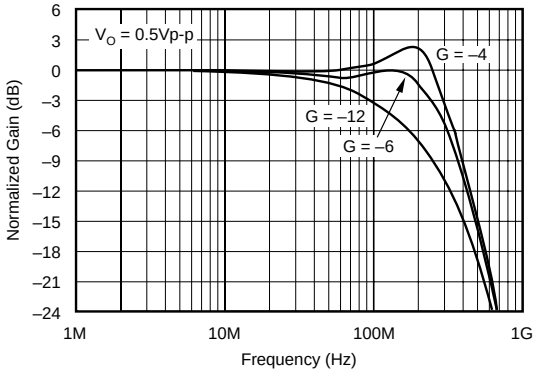
代表的性能曲線：V_S = +5V

特に記述のない限り、G = +6、R_F = 402Ω、R_L = 500Ω、V_{CM} = 2.5Vに接続、V_L = V_{CM} –1.2V、V_H = V_{CM} +1.2V（AC性能のみの場合には図2を参照）です。

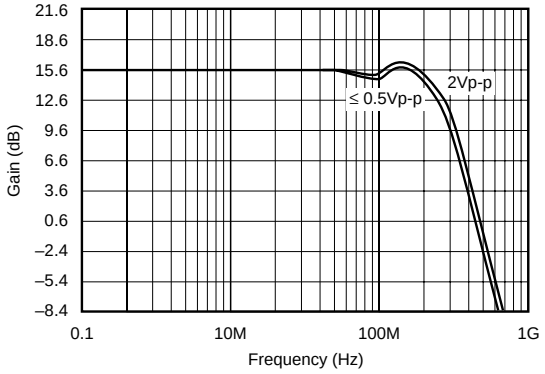
非反転小信号周波数応答



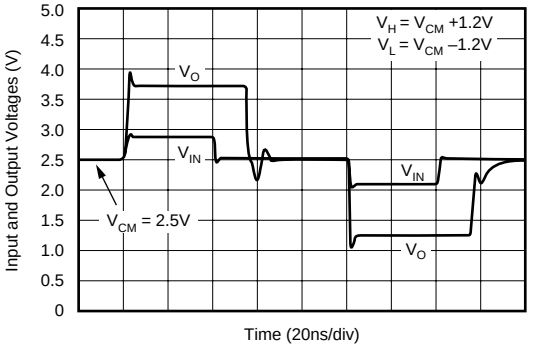
反転小信号周波数応答



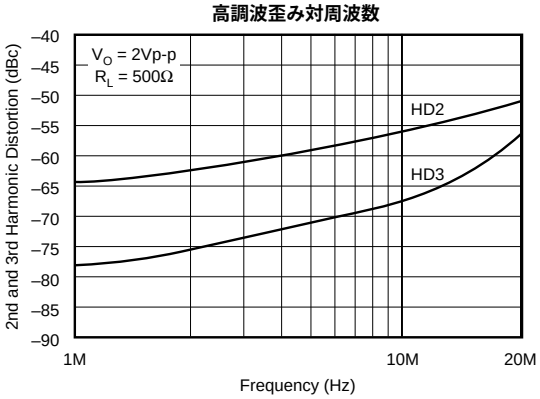
大信号周波数応答



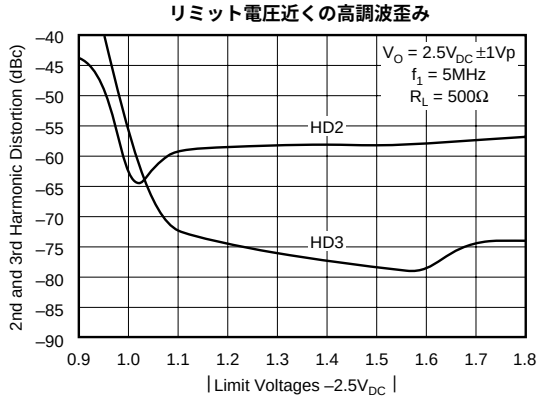
V_HおよびV_L－リミテッド・パルス応答



高調波歪み対周波数



リミット電圧近くの高調波歪み



代表的なアプリケーション

デュアル電源動作の非反転アンプ

非反転ゲイン・アンプをデュアル電源で動作させる回路構成を図1に示します。この回路はOPA689のAC特性評価に使用されており、マッチングされた50Ωの信号源抵抗と500Ωの負荷抵抗が用いられています。図1と2に示されている電源バイパス用のコンデンサは、他の図でも同様に使用されています。リミッタの電圧(V_HとV_L)およびバイアス電流(I_{VH}とI_{VL})の極性は図に示す通りです。

シングル電源動作の非反転アンプ

AC結合の非反転ゲイン・アンプをシングル電源で動作させる回路構成を図2に示します。この回路はOPA689のAC特性評価に使用されており、マッチングされた50Ωの信号源抵抗と500Ωの負荷抵抗が用いられています。図1と2に示されている電源バイパス用のコンデンサは、他の図でも同様に使用されています。リミッタ電圧(V_HとV_L)およびバイアス電流(I_{VH}とI_{VL})の極性は図に示す通りです。シングル電源動作の回路ではV_HとV_Lの設定に3個の抵抗を使用することが可能で、デュアル電源動作の回路では通常4個の抵抗を使用して制限電圧をグランド基準とする点に注意してください。

低歪みのADC入力ドライバ

図3に示す回路は、シングル電源で動作する反転構成の低歪みADCドライバです。この回路では、コンバータの内部リファレンスによってオペアンプの入力がバイアスされます。4.0pFと18pFの各コンデンサで形成される補償ネットワークにより、OPA689はゲイン–2で平坦な周波数応答性を示しています。この回路はオ

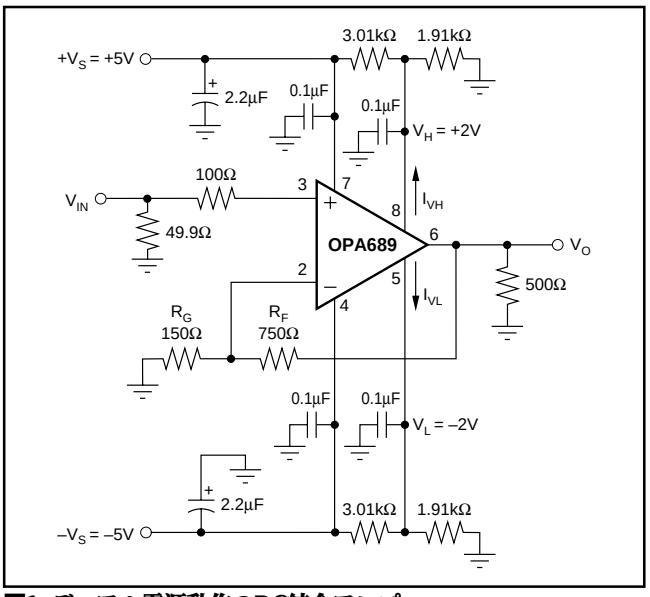


図1. デュアル電源動作のDC結合アンプ

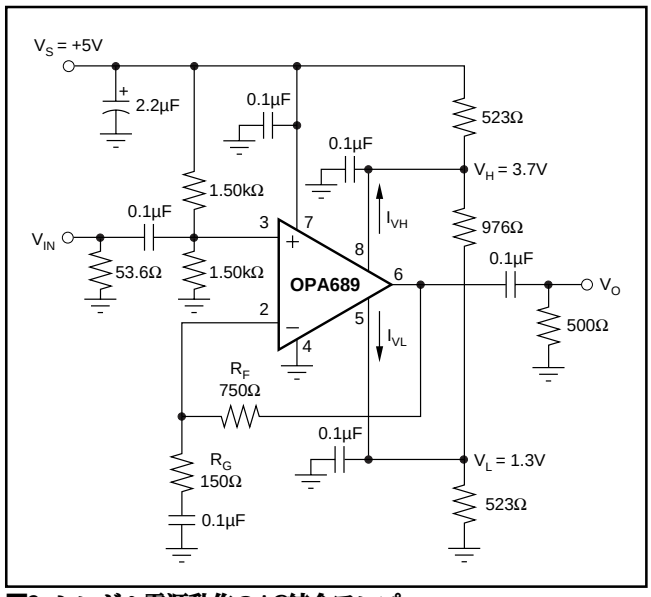


図2. シングル電源動作のAC結合アンプ

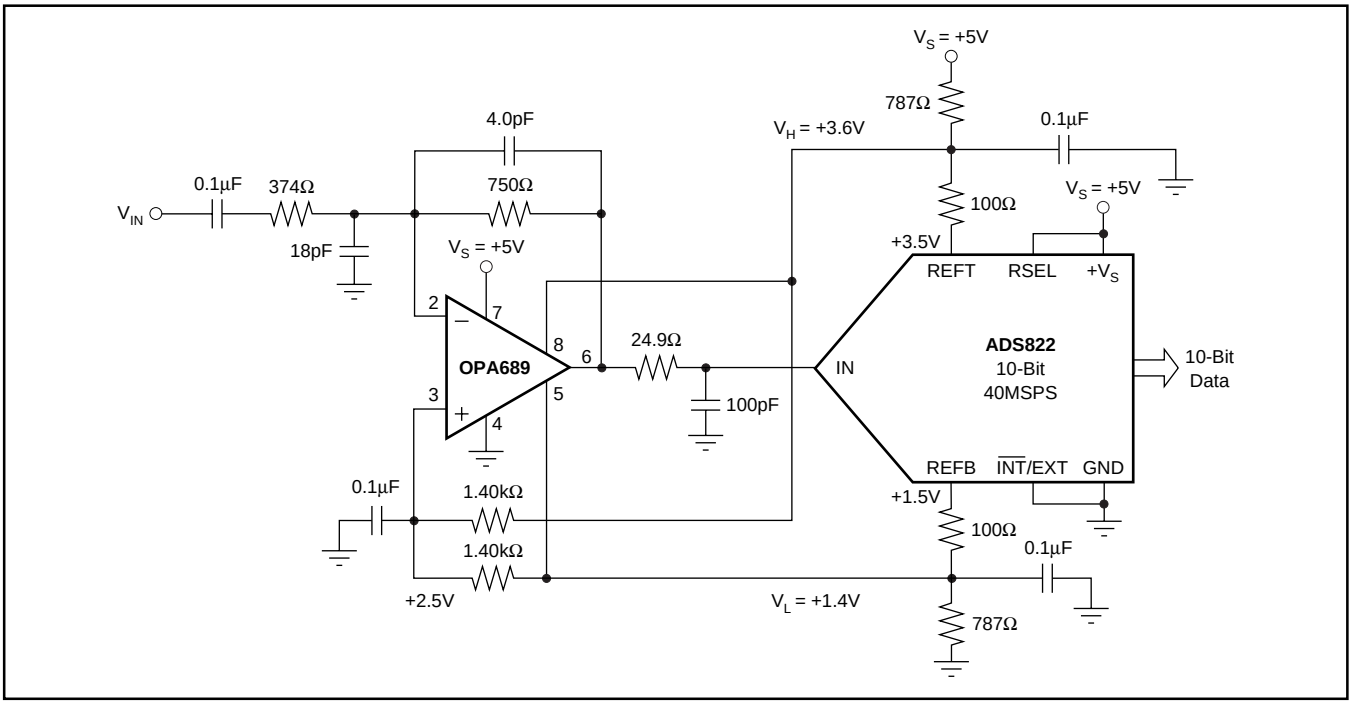


図3. 低歪み、リミッティングADC入力ドライバ

ペアンプの帰還ネットワークのループ・ゲインを高くし、歪み成分を規定値よりも低いレベルにします。

精密半波整流回路

高精度と高速性を備えた半波整流器を図4の回路に示します。この回路では、V_Hがオープンの場合、リミット電圧はデフォルト値の3.1V～3.8Vの範囲に、負のリミットはグランドに設定されます。

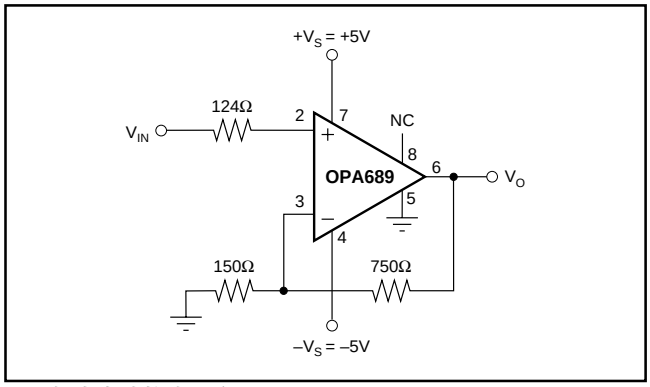


図4. 精密半波整流回路

超高速コンパレータ

非常に高速なヒステリシス付きのコンパレータを図5の回路に示します。この回路では出力レベルが高精度に規定され、復帰時間が非常に高速化されます。出力電圧スイングは0.5V～3.5Vまでの範囲で、V_{IN}がV_{REF}をクロスすることによりスイッチングされるロジック・レベルを出力します。

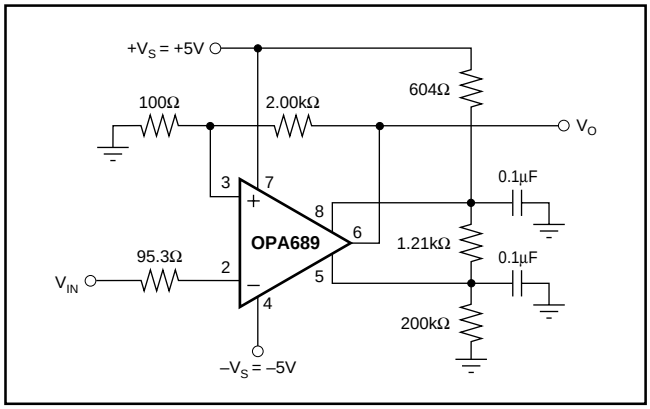


図5. 高速コンパレータ回路

トランスインピーダンス・アンプ

優れたオーバー・ドライブ特性を持つトランスインピーダンス・アンプ回路を図６に示します。この回路では、帰還コンデンサ(C_F)を使用して想定されるダイオード容量(C_D)に対する帰還ネットワークの安定化を行っています。

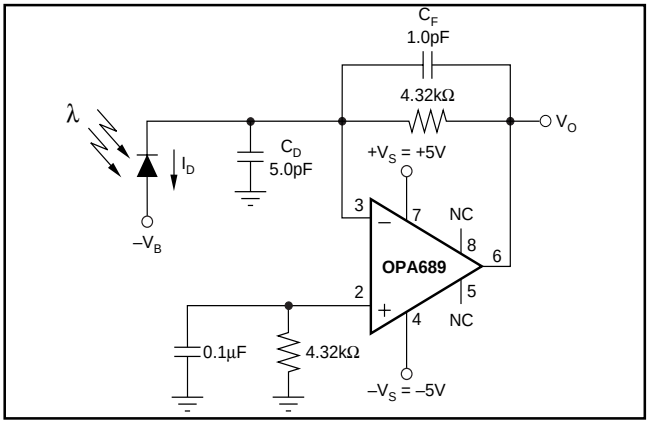


図6. トランスインピーダンス・アンプ

デザインイン・ツール

デモボード

2つのパッケージ・スタイルが用意されたOPA689を使用して回路性能の初期評価を実施する際の支援ツールである2つのPCボードが用意されています。

モデル	パッケージ	ボード部品番号
OPA689P OPA689U	8ピンDIP 8ピンSOP	DEM-OPA688xP DEM-OPA688xU

デモボードについては、バー・ブラウンのフリーラインFAXまでお問い合わせください。

SPICEモデル

アナログ回路およびシステムの性能解析を実施する際に、SPICEを利用した回路性能のコンピュータ・シミュレーションが役立つ場合があります。この方法は、寄生容量およびインダクタンスが周波数応答性に対する大きな影響要因となる高速アンプ回路に特に有効です。OPA689用のSPICEモデルについては、バー・ブラウンのフリーラインFAXまでお問い合わせください。

使用に関する説明

動作原理

OPA689は、ゲイン≥4で安定した動作が保証された電圧帰還型オペアンプです。出力電圧は、リミッタ・ピン(ピン5とピン8)によって設定される電圧範囲に制限されます。入力による出力のオーバー・ドライブが発生する状態になると、リミッタによる出力バッファの制御が行われます。これにより信号経路内のすべての部品の飽和が回避されるとともに、オーバー・ドライブからの復帰が非常に高速に行われ、どのようなゲイン設定でも規定されたリミッタ精度が確保されます。

OPA689には少なめな補償が行われています(ゲイン≥4で安定動作が保証されています)。したがってユニティ・ゲイン安定動作デバイスのOPA688よりも広い帯域幅と高いスルーレート、そしてより低いノイズ性能が得られます。

リミッタのリニア動作領域から出力電圧リミッティングへの遷移特性は非常に急峻です。したがって、必要とする信号範囲の非

常に近い電圧レベル(＜100mV)にリミッタ電圧を設定することが可能です。リミッタ電圧近くの歪み性能も非常に優れています。

回路レイアウト

OPA689のような高周波数動作のアンプから最良の性能を引き出すには、回路基板のレイアウト設計と外付け部品の選択に細心の注意を払う必要があります。以下にプリント回路基板のレイアウト設計および部品の選択について基準となる推奨事項を示します。

a) すべての信号I/OピンとACグランド間の寄生容量を最小限に抑えます。信号I/Oピン周囲のすべてのグランド・プレーンおよび電源プレーンについてこれらのピンの周囲に窓を開放することが必要です。これ以外の領域のグランド・プレーンと電源プレーンは、完全な状態のままにしておきます。

b) 高品質の電源を用意します。電源供給には、リニア・レギュレータ、グランド・プレーンそして電源プレーンを使用してください。高周波数の0.1μFデカップリング・コンデンサを各電源ピンから0.2インチ以下の距離に近接させて配置してください。これらのコンデンサをグランド・プレーンと電源プレーンに接続する際には、幅が広く短いトレース配線を使用します。さらに、容量のもっと大きな高周波数デカップリング・コンデンサ(2.2μFから6.8μFまでの容量)を使用して、より低い周波数のバイパスを行ってください。これらのコンデンサはデバイスから多少離して配置し、PC基板の同じ領域に実装されている複数個の隣接デバイス間で共有することができます。

c) 外付け部品はOPA689に近接させて配置してください。この配慮によってインダクタンス、グランド・ループ、伝送ラインの影響および伝播遅延による問題が最小限に抑えられます。帰還抵抗(R_F)、入力および出力抵抗については特に注意してください。

d) 寄生成分を最小化するために、高周波部品を使用してください。抵抗にはリアクタンスの非常に低いタイプを使用します。表面実装抵抗が最も効果的で、全体の回路レイアウトも小さくできます。金属皮膜またはカーボンの軸方向にリード線が付いた抵抗も同様にそのリード線を可能な限り短くすれば、良好な性能が得られます。高周波アプリケーションには巻線タイプの抵抗を絶対に使用しないでください。ほとんどのポテンショメータの寄生容量およびインダクタンスは大きい点を念頭に置いてください。

多層セラミック・チップ・コンデンサを使用すると最良の結果が得られ、その占有スペースもほんのわずかに過ぎません。モノリシック・タイプのセラミック・コンデンサを使用しても同様に非常に良好な性能が得られます。ESRとESLの低いRFタイプのコンデンサを使用してください。電源ピンのバイパス・コンデンサ(2.2μFから6.8μFまでの容量)には、より優れた高周波性能とパルス性能を確保するためにタンタル・タイプのコンデンサを使用することが必要です。

e) 抵抗とその寄生並列容量によって設定される時定数を最小化するために、低い値の抵抗を使用してください。良好な金属皮膜または表面実装抵抗の寄生並列容量は約0.2pFです。1.5kΩよりも大きな値の抵抗を使用すると、500MHz以下の周波数帯域で極またはゼロが追加される結果になります。

出力負荷が極度に重くないことを確認してください。回路設計のスターティング・ポイントとしては、750Ωの帰還抵抗を使用すると良いでしょう。

f) 回路基板上の他の広帯域デバイスとの接続には、短いパターンを直接的に使用してください。比較的広いパターン幅(50～100ミル)を使用することが必要です。出力における全体の容量性負荷を求めて、R_S対容量性負荷の性能曲線で推奨している直列分離抵抗を使用してください。寄生容量性負荷の値が2pFよりも小さければ、分離抵抗を使用する必要はありません。

g) 長いパターンが必要な場合には、伝送ライン設計技術を適用してください。回路基板上では50Ωの伝送ラインは必要なく、特性インピーダンスが高ければそれだけ出力負荷の低減に役立ちます。オペアンプの出力側にマッチング直列抵抗を使用して伝送ラインをドライブし、もう一端にマッチングのとれた負荷抵抗を使用して伝送ラインが1つの抵抗として現われるように設定します。マッチング負荷によって発生する6dBの減衰損失を許容することができず、伝送ラインが極端に長くない場合には、ソース側だけに直列抵抗を使用してください。この方法によって伝送ラインを通して発生する無効負荷からオペアンプの出力が分離されますが、周波数応答性が劣化します。

複数個の接続先デバイスをそれぞれ直列抵抗とシャント終端抵抗負荷をもった別々の伝送ラインとして扱うことが可能です。終端抵抗に対して寄生インピーダンスが作用すると、伝送ライン上にミスマッチングが発生し、これが原因で不要な信号反射と無効負荷が発生することになります。

h) OPA689のような高速デバイスにソケットを使用してはなりません。ソケットの使用により、リード長と各ピン間の容量が増加し極めて厄介な寄生ネットワークが形成されます。回路基板上にOPA689を半田付けすると、最良の結果が得られます。DIPプロトタイプのソケット装着が必要な場合には、高周波のフラッシュ・マウント・ピン(例：Mckenzie Technology 社の710Cなど)を使用すると、良好な結果が得られます。

電源

OPA689の公称仕様は、±5Vまたは単一+5Vどちらかの電源動作について規定されています。トータル電源電圧の最大値は13Vとして規定されているので、電源に関する許容誤差範囲として十分な値が設定されています。これよりも高い電源電圧を使用すると、内部接合が破壊される可能性が高くなり、完全な破壊にいたる場合があります。規定された同相モード電圧範囲を順守している限り、シングル電源動作が可能です。同相モード入力および出力の仕様は、電源電圧に対して必要なヘッドルームとして解釈できます。この入力および出力ヘッドルームに関する規定条件を順守すれば、標準外またはシングル電源動作の回路設計が可能になります。シングル電源動作に適用可能な1つの回路構成方法を図2に示します。

ESD保護

ESDの影響によってMOSFETデバイスが損傷を受けることが知られていますが、半導体デバイスはすべてESDの影響による損傷を受けやすい傾向があります。この事実は非常に高速で微細な加工プロセスを使用して製造されたデバイスには特に言えることです。

ESDの影響を受けることでアンプの入力特性に微小な変化が発生しますが、必ずしもデバイスが破壊状態に至るとは限りません。しかし、高精度のオペアンプの場合には、ESDの影響によっ

てオフセット電圧およびドリフトが著しく劣化する可能性が高くなります。したがって、OPA689を取扱う際には適切なESD防止対策を講じることが必要です。

出力リミッタ

出力電圧がリミッタ電圧V_H(ピン8)とV_L(ピン5)の間にあるとき、これは入力にリニアに依存します。出力電圧がV_HまたはV_Lを超えるような状態になると、これに対応してリミッタ・バッファが出力電圧を制御し、この電圧をV_HまたはV_Lのレベルに保持します。

リミッタは出力に対応して動作するので、その精度はゲインの変更に応じて変化しません。リニアな動作領域から出力電圧制限への遷移特性は急峻です。つまり、必要な出力信号はV_HまたはV_Lの30mV以内で安全に出力されます。同じ範囲では歪み性能も良好です。

リミッタ電圧を電源電圧の0.7V以内($V_L \geq -V_S + 0.7V$, $V_H \leq +V_S - 0.7V$)に設定できます。リミッタ電圧を少なくとも200mV以上の幅に設定することも可能です($V_H - V_L \geq 0.2V$)。

ピン5とピン8をオープン状態にすると、V_HとV_Lはデフォルト設定の電圧制限値になります。その最小値は仕様に示す通りです。図7中のバイアス電流ゼロのラインにより(V_S –デフォルトリミット電圧) = ヘッドルームの範囲を知ることができます。

リミッタ電圧が電源電圧よりも2.1V以上大きくなると($V_L \geq -V_S + 2.1V$または$V_H \leq +V_S - 2.1V$)、簡単な構成の抵抗分圧器を使用してV_HとV_Lを設定できます(図1参照)。計算にはリミッタの入力バイアス電流を含むことを確認してください(図7を参照)。(ピン5に流れ込む電流I_{VL}は約–50μAで、ピン8から流れ出す電流I_{VH}は約+50μAです)。良好なリミッタ電圧精度を確保するためには、これらの抵抗を通して少なくとも1mAの静止バイアス電流を流すことが必要です。

リミッタ電圧を電源電圧の2.1V以内($V_L \leq -V_S + 2.1V$または$V_H \geq +V_S - 2.1V$)に設定する必要がある場合には、バイアス電流の不確実性による誤差を最小限にするため、インピーダンスの低い電圧源を使用してV_HとV_Lを設定してください。このような条件はシングル電源動作(V_S = +5V)の場合に一般的に適用されます。図2の回路では抵抗分圧器を通して2.5mAの電流を流してV_HとV_Lを設定しています。その結果として、I_{VH}とI_{VL}による誤差が目標の制限電圧の±1%よりも低い値に維持されています。

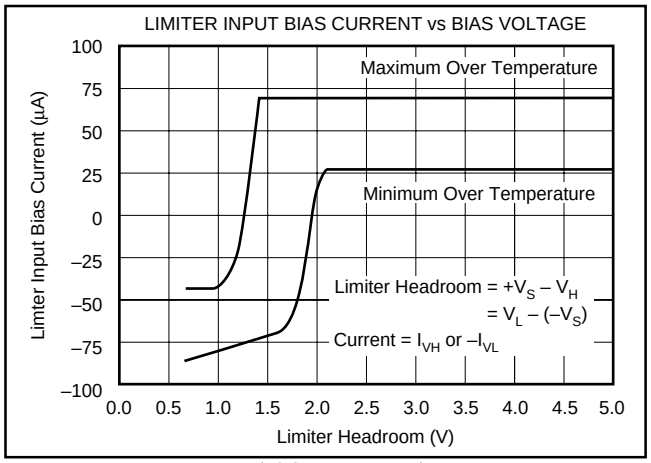


図7. リミッタ・バイアス電流対リミッタ電圧

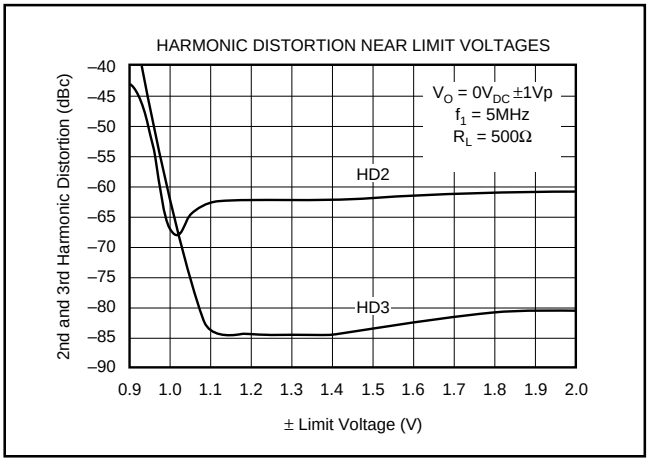


図8. 直線性ガードバンド

リミッタのDC精度は、詳細な点に細心の注意を払うか否かによって左右されます。2つの支配的な誤差要因を改善する方法を以下に示します。

- V_HとV_Lを設定する抵抗分圧器のドライブに電源を使用する際に、電源が大きな誤差要因となる場合があります(例として、5%の誤差要因)。より精度の高い信号を使用するか、または良好なコンデンサでピン5とピン8をバイパスすると、リミッタのPSRRが改善されます。
- 抵抗分圧器に使用する抵抗の許容誤差範囲も同様に誤差の支配要因となります。1%抵抗の使用を推奨します。

以下に説明するその他の誤差要因についても配慮する必要がありますが、リミッタのDC精度に対して及ぼす影響はあまり大きくありません。

- リミッタの入力バイアス電流によって発生するオフセットを低減します。抵抗分圧器に使用する抵抗を選択する際には、上記の説明に従ってください。
- シグナル・パスのDC誤差が使用可能な出力範囲に影響することを考慮して下さい。
- リミッタのオフセット電圧が原因で、ほんのわずかですがリミッタの精度が劣化します。

リミッタが歪特性に与える影響を図８に示します。事実上、出力電圧がリミッタ電圧に達するまで、直線性の劣化はありません。

オフセット電圧調整

図9に示す回路を利用することで、オフセット温度ドリフトを劣化させずにオフセットを調整することが可能です。この回路を使用する際には、不注意によって電源ノイズがオペアンプに結合する可能性がある点に十分配慮してください。

アンプの入力バイアス電流によってオフセット誤差がさらに増加する可能性がある点にも注意してください。可能な限り抵抗R_3を使用して、両方のDC入力バイアス電流によって発生する抵抗値のマッチングをとってください。この方法によって、入力バイアス電流が原因で発生する出力オフセット電圧が最小限に抑えられます。

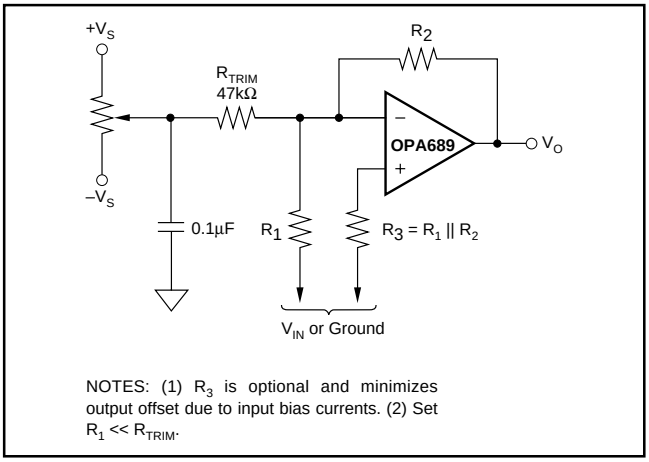


図9. オフセット電圧調整

出力ドライブ

OPA689の性能は、A/Dコンバータなどの500Ω負荷をドライブするように最適化されています。非常に良好な性能で100Ω負荷をドライブすることも可能なため、OPA689は幅広い高周波アプリケーションに理想的です。

A/Dコンバータのドライブなど数多くの高速アプリケーションでは、出力インピーダンスの低いオペアンプが必要です。出力インピーダンス対周波数の性能曲線に示しているように、OPA689は広い周波数範囲で非常に低い閉ループ出力インピーダンス特性を維持しています。ループ・ゲインは周波数の増加に応じて減少するので、閉ループ出力インピーダンスは周波数の増加に応じて高くなります。

熱に関する考察

OPA689のほとんどの動作条件でヒート・シンクを用意する必要はありません。以下に説明するように、最大許容接合温度によって内部消費電力の最大許容値が設定されます。接合温度の最大値が+175°Cを超えることが絶対にないよう注意してください。

内部消費電力(P_D)のトータル値は、無信号時の消費電力(P_{DQ})と出力段で負荷パワーを供給するために消費される追加電力(P_{DL})の和です。(P_{DQ})は無負荷時の電源電流をデバイスの電源電圧のトータル値に乗算した値です。P_{DL}は必要な出力信号と負荷に応じて変動します。グランド接続の抵抗性負荷およびまったく等しいバイポーラ電源の場合には、出力が各電源電圧の1/2に等しい電圧に固定されているときにP_{DL}が最大になります。この条件下で$P_{DL} = V_S^2/(4R_L)$の関係式が成り立ちます。ここで、R_Lには帰還ネットワーク負荷が含まれます。内部消費電力を決定するのは出力段における消費電力であって、負荷に対する消費電力ではない点に注意してください。

動作接合部温度を求める数式は、$T_J = T_A + P_D \theta_{JA}$となります。ここで$T_A$は周囲温度を示します。

例えばG = +6、R_{FB} = 750Ω、R_L = 100Ω、$\pm V_S = \pm 5V$およびT_Aの最大値 = +85°Cの条件下でのOPA689UのT_J最大値は下記の数式で求められます。

$$P_{DQ} = (10V \cdot 20mA) = 200mW$$

$$P_{DL} = \frac{(5V)^2}{4 \cdot (100\Omega \,||\, 850\Omega)}$$

$$P_D = 200mW + 70mW = 270mW$$

$$T_J = 85°C + 270mW \cdot 125°C/W = 119°C$$

容量性負荷

フラッシュ型A/Dコンバータなどの容量性負荷が要因となってアンプの位相マージンが減少し、これによってピーキングや発振が発生する可能性があります。1pFを超える容量性負荷は、図10に示すように出力に直列に小さな値の抵抗を接続して分離することが必要です。ゲインを+6よりも高く設定すると、位相マージンが増加するので容量性負荷ドライブ能力が改善されます。

一般的に、最適な高周波数性能を達成するためには、容量性負荷を最小限に抑えることが必要です。同軸ケーブル、つまり伝送ラインがその特性インピーダンスで終端されていれば、同軸ケーブルの容量(RG-58の場合で1フィート当たり29pF)がアンプの負荷になることはありません。

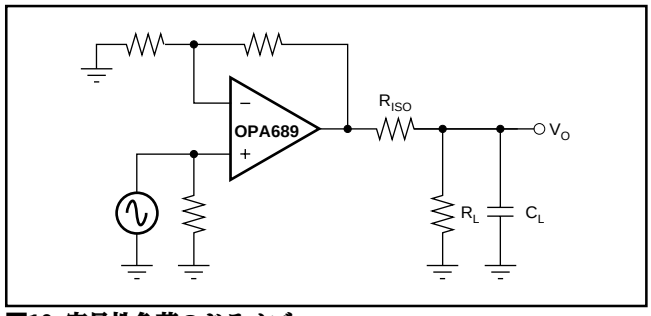


図10. 容量性負荷のドライブ

周波数応答の補償

OPA689は+4のゲインで安定動作が得られるように内部補償されており、ゲインが+6の場合の位相マージン公称値は60°です。ゲインを+6よりも高くすると、位相マージンとピーキング特性が改善されます。帯域幅を制限する目的では–5の反転ゲインが+6のゲインと等価である(すなわち、ノイズ・ゲイン = 6)点に注意してください。

このデバイスには標準的な外部補償技術を使用します。例えば反転構成では反転入力ノードとグランド間に直列RCネットワークを接続することで、反転ゲインを変更せずに帯域幅が制限されます。この方法には高周波数領域でノイズ・ゲインを高くする効果があり、これによって帯域幅が制限されます。

高ゲインで大きな帯域幅を得るためには、数個のオペアンプをカスケードに使用して下さい。

フォトダイオードによるトランスインピーダンス・アンプなどのように大きな値の帰還抵抗が必要なアプリケーションでは、反転入力とグランド間の寄生容量によってピーキングまたは発振が発生します。この影響を補償するには、帰還抵抗と並列に小さな容量のコンデンサを接続してください。帰還抵抗とこのコンデンサによって形成される極により帯域幅が制限されます。その他の高ゲイン・アプリケーションでは、寄生容量によって設定されるRC時定数を小さくするために3個の抵抗で構成するT型ネットワークを使用してください。この帰還ネットワークによって発生するノイズ・レベルに注意が必要です。

パルス・セトリングタイム

OPA689はパルス入力に応答して非常に高速にセトリングする能力を備えています。最良のセトリングタイムを確保するためには、周波数応答の平坦性と位相の直線性が必要です。A/Dコン

バータなどの容量性負荷の場合には、R_S対容量性負荷の性能曲線に示す推奨値のR_Sを使用してください。非常に高精度なファイン・スケール・セトリング(0.01%)が要求される場合には、電源デカップリング・コンデンサのグランド帰路電流に対して十分注意することが必要です。オーバー・ドライブからの復帰時のパルス入力セトリング特性は非常に良好です。

歪み

OPA689の歪み性能は、A/Dコンバータなどの500Ω負荷に対して規定されています。図11に示すようにより小さな値の抵抗で負荷をドライブすると、歪みが大きくなります。負荷抵抗値の計算には帰還ネットワークを含む点に注意してください。

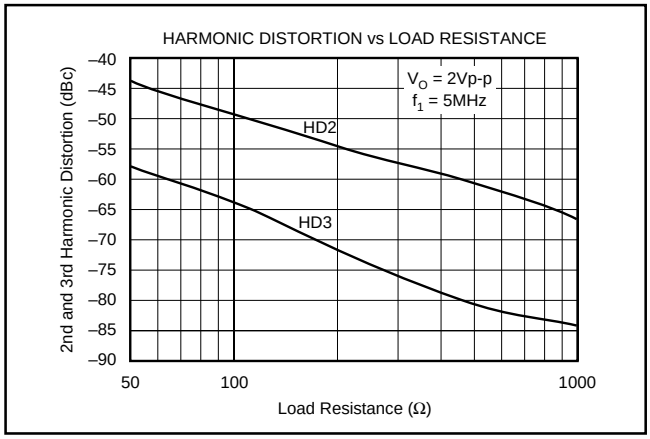
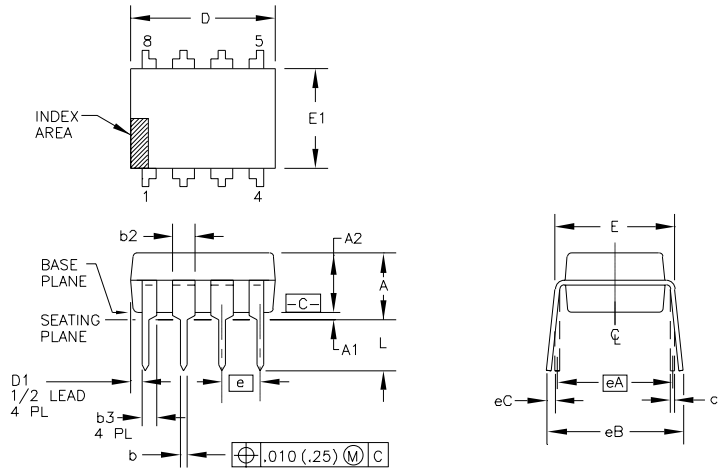


図11. 5MHz時の高調波歪み対負荷抵抗値

外観

パッケージ番号006－8ピン･プラスチックDIP



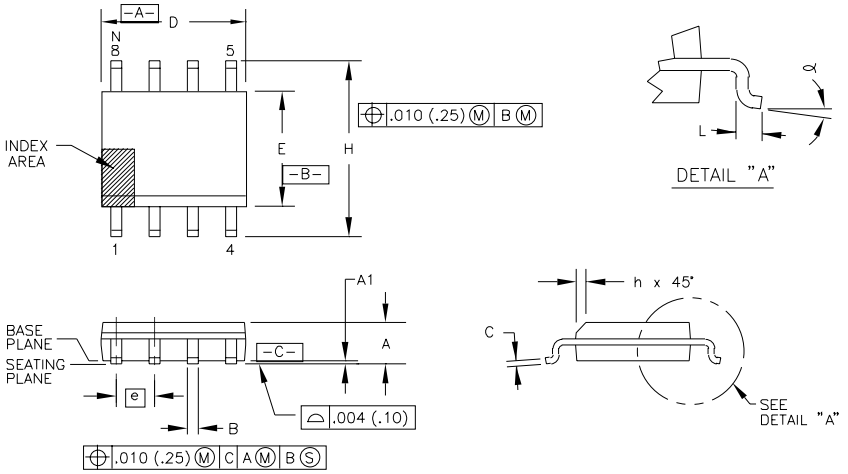
DIM	INCHES		MILLIMETERS		NOTE
	MIN.	MAX.	MIN.	MAX.	
A	--	.210	--	5.33	3
A1	.015	--	0.38	--	3
A2	.115	.195	2.92	4.95	
b	.014	.022	0.36	0.56	
b2	.045	.070	1.14	1.78	9
b3	.030	.045	0.76	1.14	9
c	.008	.014	0.20	0.36	
D	.355	.400	9.02	10.16	4
D1	.005	--	0.13	--	4
E	.300	.325	7.62	8.26	5
E1	.240	.280	6.10	7.11	4
e	.100 BASIC		2.54 BASIC		
eA	.300 BASIC		7.63 BASIC		5
eB	--	.430	--	10.92	6

DIM	INCHES		MILLIMETERS		NOTE
	MIN.	MAX.	MIN.	MAX.	
eC	.000	.060	0.00	1.52	6
L	.115	.150	2.92	3.81	3
N	8		8		7

NOTES:
1. ALL DIMENSIONS ARE IN INCHES.
2. DIMENSIONING AND TOLERANCING PER ANSI Y14.5M－1982.
3. DIMENSIONS A, A1, AND L ARE MEASURED WITH THE PACKAGE SEATED IN JEDEC SEATING PLANE GAUGE GS－3.
4. D, D1, AND E1 DIMENSIONS DO NOT INCLUDE MOLD FLASH OR PROTRUSIONS. MOLD FLASH OR PROTRUSIONS SHALL NOT EXCEED .010 (0.25mm).
5. E AND eA MEASURED WITH THE LEADS CONSTRAINED TO BE PERPENDICULAR TO DATUM -C- .
6. eB AND eC ARE MEASURED AT THE LEAD TIPS WITH THE LEADS UNCONSTRAINED.
7. N IS THE MAXIMUM OF TERMINAL POSITIONS.
8. POINTED OR ROUNDED LEAD TIPS ARE PREFERRED TO EASE INSERTION.
9. b2 AND b3 MAXIMUM DIMENSIONS DO NOT INCLUDE DAMBAR PROTRUSIONS. DAMBAR PROTRUSIONS SHALL NOT EXCEED .010 (0.25mm).
10. DISTANCE BETWEEN LEADS INCLUDING DAMBAR PROTRUSIONS TO BE .005 (0.13mm) MINIMUM.
11. A VISUAL INDEX FEATURE MUST BE LOCATED WITHIN THE CROSS－HATCHED AREA.
12. FOR AUTOMATIC INSERTION, ANY RAISED IRREGULARITY ON THE TOP SURFACE (STEP, MESA, ETC.) SHALL BE SYMMETRICAL ABOUT THE LATERAL AND LONGITUDINAL PACKAGE CENTERLINES.

PACKAGE NUMBER: ZZ006	REV.: E
JEDEC NUMBER: MS－001－BA	

パッケージ番号182－8ピンSOP



DIM	INCHES		MILLIMETERS		NOTE
	MIN.	MAX.	MIN.	MAX.	
A	.0532	.0688	1.35	1.75	
A1	.004	.0098	0.10	0.23	
B	.013	.020	0.33	0.51	7
C	.0075	.0098	0.20	0.25	
D	.189	.1968	4.80	4.98	2
E	.1497	.1574	3.80	4.00	3
e	.050 BASIC		1.27 BASIC		
H	.2284	.244	5.80	6.20	
h	.0099	.0196	0.25	0.50	4
L	.016	.050	0.41	1.27	5
N	8		8		6
α	0°	8°	0°	8°	

DIM	INCHES		MILLIMETERS		NOTE
	MIN.	MAX.	MIN.	MAX.	

NOTES:
1. DIMENSIONING AND TOLERANCING PER ANSI Y14.5M－1982.
2. DIMENSION D DOES NOT INCLUDE MOLD FLASH, PROTRUSIONS OR GATE BURRS. MOLD FLASH, PROTRUSIONS AND GATE BURRS SHALL NOT EXCEED .006 IN. (0.15 mm) PER SIDE.
3. DIMENSION E DOES NOT INCLUDE INTER－LEAD FLASH OR PROTRUSIONS. INTER－LEAD FLASH AND PROTRUSIONS SHALL NOT EXCEED .010 IN. (0.25 mm) PER SIDE.
4. THE CHAMFER ON THE BODY IS OPTIONAL. IF IT IS NOT PRESENT, A VISUAL INDEX FEATURE MUST BE LOCATED WITHIN THE CROSS－HATCHED AREA.
5. L IS THE LENGTH OF TERMINAL FOR SOLDERING TO A SUBSTRATE.
6. N IS THE NUMBER OF TERMINAL POSITIONS.
7. THE LEAD WIDTH B, AS MEASURED .014 IN. (0.36 mm) OR GREATER ABOVE THE SEATING PLANE, SHALL NOT EXCEED A MAXIMUM VALUE OF .024 IN. (0.61 mm).
8. LEAD TO LEAD COPLANARITY SHALL BE LESS THAN .004 IN. (0.10 mm) FROM SEATING PLANE.

PACKAGE NUMBER: ZZ182	REV.: H
JEDEC NUMBER: MS－012－AA	

©BBJ000402K