



SpeedPlus™ 広帯域、電流帰還型 ディスエーブル機能付きオペアンプ

特長

- 広帯域+5V電源動作：225MHz(G = +2)
- ユニティ・ゲイン安定動作：280MHz(G = 1)
- 大出力電流：150mA
- 出力電圧スイング：±4.0V
- 高スルーレート：2100V/μs
- 低微分ゲイン/位相誤差：0.001%/0.01°
- 低電源電流：6mA
- ディスエーブル時の低消費電流：320μA

アプリケーション

- xDSLライン・ドライバ
- 広帯域ビデオ・バッファ
- 高速画像処理信号チャンネル
- 携帯型計測機器
- ADCバッファ
- アクティブフィルタ
- 広帯域反転加算アンプ
- SFDRの高いIIFアンプ

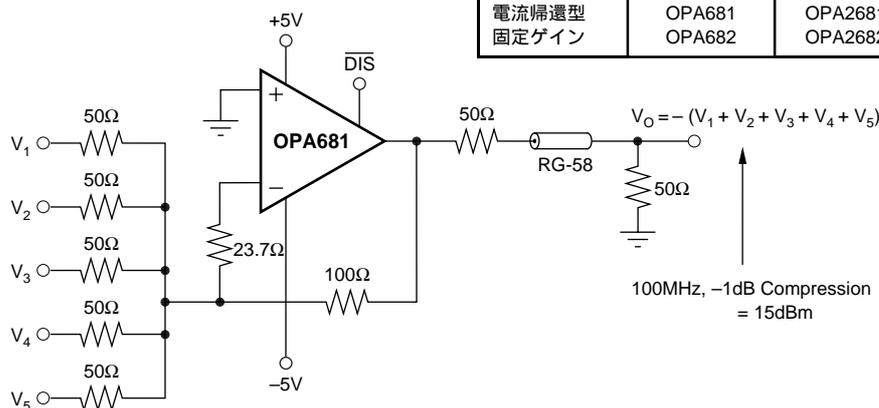
概要

OPA681は、従来のオペアンプと比較して性能が大幅に改善され、まったく新しい性能レベルを達成した広帯域電流帰還型オペアンプです。6mAという非常に低い電源電流で動作しながら、高いスルーレート、フルパワー帯域幅特性など従来ではより大きな電源電流でしか実現できなかった性能を備えています。新しい出力段アーキテクチャを採用し、最小限のヘッドルーム電圧および低クロスオーバー歪みで高レベルの電流を出力します。これらの優れた特性により、比類のないシングル電源動作が可能です。OPA681は、+5Vのシングル電源で動作し、その場合でも100mAを超えるドライブ電流能力と150MHzの広帯域動作で1Vから4Vまでの範囲の出力電圧スイング特性を備えています。OPA681の優れた特長は、RGBライン・ドライバやシングル電源動作のADC入力ドライバのアプリケーションに理想的です。

OPA681の6mAという低電源電流は+25°Cで正確に調整されています。この電流調整に加え、温度ドリフトも非常に低く抑えられているため、同等性能の製品と比較して低い値の最大電源電流が保証されます。オプションのディスエーブル制御ピンを使用すれば、システムの消費電力をさらに低減することができます。ディスエーブル・ピンをオープンにするか、またはHIGH状態に保持すると、OPA681は通常の動作を行いません。このピンをLOWレベルに引き込むと、OPA681の電源電流は320μA以下に低減されると同時に、出力はハイ・インピーダンス状態に入ります。この機能を消費電力の節減またはビデオMUXアプリケーションに利用することができます。

OPA681関連製品

	シングル	デュアル	トリプル
電圧帰還型	OPA680	OPA2680	OPA3680
電流帰還型	OPA681	OPA2681	OPA3681
固定ゲイン	OPA682	OPA2682	OPA3682



200MHz RF加算アンプ回路

100MHz, -1dB Compression = 15dBm

仕様：V_S = ±5V

特に記述のない限り、R_F = 402Ω、R_L = 100Ω、G=+2 (AC性能のみの場合には図1を参照)です。

パラメータ	条件	OPA681P、U、N						テストレベル ⁽¹⁾
		標準	保証				最小/最大	
		+25	+25 ⁽²⁾	0 ~ +70 ⁽³⁾	-40 ~ +85 ⁽³⁾	単位		
AC性能(図1) 小信号帯域幅(V _O = 0.5Vp-p)	G = +1, R _F = 453Ω	280				MHz	Typ	C
	G = +2, R _F = 402Ω	220	220	210	190	MHz	Min	B
	G = +5, R _F = 261Ω	185				MHz	Typ	C
	G = +10, R _F = 180Ω	180				MHz	Typ	C
0.1dBのゲイン平坦性が得られる帯域幅	G = +2, V _O = 0.5Vp-p	90	50	45	45	MHz	Min	B
G = 1時のピーキング・レベル	R _F = 453, V _O = 0.5Vp-p	0.4	2	4	—	dB	Max	B
大信号帯域幅	G = +2, V _O = 5Vp-p	150				MHz	Typ	C
スルーレート	G = +2, 4Vステップ	2100	1600	1600	1200	V/μs	Min	B
立ち上がり/立ち下がり時間	G = +2, V _O = 0.5Vステップ	1.7				ns	Typ	C
	G = +2, 5Vステップ	2.0				ns	Typ	C
セトリングタイム(0.02%)	G = +2, V _O = 2Vステップ	12				ns	Typ	C
(0.1%)	G = +2, V _O = 2Vステップ	8				ns	Typ	C
高調波歪み	G = +2, f = 5MHz, V _O = 2Vp-p							
2次高調波	R _L = 100Ω	-79	-73	-70	-68	dBc	Max	B
	R _L ≥ 500Ω	-85	-77	-70	-69	dBc	Max	B
3次高調波	R _L = 100Ω	-74	-71	-71	-68	dBc	Max	B
	R _L ≥ 500Ω	-77	-75	-74	-72	dBc	Max	B
入力電圧ノイズ	f > 1MHz	2.5	3.0	3.4	3.6	nV/√Hz	Max	B
非反転入力電流ノイズ	f > 1MHz	12	14	15	15	pA/√Hz	Max	B
反転入力電流ノイズ	f > 1MHz	15	18	18	19	pA/√Hz	Max	B
微分ゲイン	G = +2, NTSC, V _O = 1.4Vp, R _L = 150Ω	0.001				%	Typ	C
	R _L = 37.5Ω	0.008				%	Typ	C
微分位相	G = +2, NTSC, V _O = 1.4Vp, R _L = 150Ω	0.01				deg	Typ	C
	R _L = 37.5Ω	0.05				deg	Typ	C
DC性能⁽⁴⁾ 開ループ・トランスインピーダンス・ゲイン(Z _{OL})	V _O 0V, R _L = 100Ω	100	56	56	56	kΩ	Min	A
入力オフセット電圧	V _{CM} = 0V	±1.3	±5	±6.5	±7.5	mV	Max	A
平均オフセット電圧ドリフト	V _{CM} = 0V			+35	+40	μV/	Max	B
非反転入力バイアス電流	V _{CM} = 0V	+30	+55	+65	+85	μA	Max	A
平均非反転入力バイアス電流ドリフト	V _{CM} = 0V			-400	-450	nA/	Max	B
反転入力バイアス電流	V _{CM} = 0V	±10	±40	±50	±55	μA	Max	A
平均反転入力バイアス電流ドリフト	V _{CM} = 0V			-125	-150	nA/	Max	B
入力 同相モード入力範囲 ⁽⁵⁾	V _{CM} = ±1.0V	±3.5	±3.4	±3.3	±3.2	V	Min	A
同相モード除去		52	47	46	45	dB	Min	A
非反転入力インピーダンス		100 2				kΩ pF	Typ	C
反転入力抵抗の最小値(R _i)	開ループ	41	33	31	30	Ω	Min	A
反転入力抵抗の最大値(R _i)	開ループ	41	48	50	55	Ω	Max	A
出力 電圧出力スイング	無負荷	±4.0	±3.8	±3.7	±3.6	V	Min	A
	100Ω負荷	±3.9	±3.7	±3.6	±3.3	V	Min	A
電流出力、ソース	V _O = 0	+190	+160	+140	+80	mA	Min	A
電流出力、シンク	V _O = 0	-150	-135	-130	-80	mA	Min	A
開ループ出力インピーダンス	G = +2, f = 100kHz	0.03				Ω	Typ	C
ディスエーブル機能(LOWでディスエーブル) パワーダウン時の電源電流(+V _S)	V _{DIS} = 0	-320				μA	Typ	C
ディスエーブル時間		100				ns	Typ	C
イネーブル時間		25				ns	Typ	C
オフ時アイソレーション	G = +2, 5MHz	70				dB	Typ	C
ディスエーブル時の出力容量		4				pF	Typ	C
ターンオン時のグリッチ	G = +2, R _L = 150Ω, V _{IN} = 0	±50				mV	Typ	C
ターンオフ時のグリッチ	G = +2, R _L = 150Ω, V _{IN} = 0	±20				mV	Typ	C
イネーブル電圧		3.3	3.5	3.6	3.7	V	Min	A
ディスエーブル電圧		1.8	1.7	1.6	1.5	V	Max	A
制御ピンの入力バイアス電流(DIS)	V _{DIS} = 0	100	160	160	160	μA	Max	A
電源 仕様動作電圧		±5				V	Typ	C
最大動作電圧範囲			±6	±6	±6	V	Max	A
無信号時電流(最大値)	V _S = ±5V	6	6.4	6.5	6.6	mA	Max	A
無信号時電流(最小値)	V _S = ±5V	6	5.6	5.5	5.0	mA	Min	A
電源変動除去比(-PSRR)	入力換算	58	52	50	49	dB	Min	A
温度範囲 仕様動作範囲：P、U、N		-40 ~ +85					Typ	C
熱抵抗値、θ _{JA}	接合部-周囲間							
P 8ピンDIP		100				/W	Typ	C
U 8ピンSOP		125				/W	Typ	C
N 6ピンSOT23		150				/W	Typ	C

注：(1)テストレベル：(A)+25 で100%テストを実施。特性評価テストとシミュレーションによって全温度の制限値を設定。(B)特性評価テストとシミュレーションによって制限値を設定。(C)標準値は参考用としてのみ使用。(2)接合部温度 = 仕様保証温度範囲における+25 の周囲温度。(3)接合部温度 = 仕様保証全温度範囲における下限の周囲温度：接合部温度 = 仕様保証全温度範囲における上限の周囲温度+23。(4)ノードから出力される電流の極性を正とします。V_{CM}は入力同相モード電圧です。(5)±CMIRの制限値としてCMR仕様の最小値よりも3dB以上低いレベルでテストを実施。(6)太字はテストレベルAを示しています。

仕様：V_S = +5V

特に記述のない限り、R_F = 499Ω、R_L = 100Ω (V_S/2に対して)、G = +2 (AC性能のみの場合には図2を参照)です。

パラメータ	条件	OPA681P、U、N						テストレベル ⁽¹⁾
		標準	保証				最小/最大	
		+25	+25 ⁽²⁾	0 ~ +70 ⁽³⁾	-40 ~ +85 ⁽³⁾	単位		
AC性能(図2) 小信号帯域幅(V _O = 0.5Vp-p) 0.1dBのゲイン平坦性が得られる帯域幅 G = 1時のピーキング・レベル 大信号帯域幅 スルーレート 立ち上がり/立ち下がり時間 セトリングタイム(0.02%) (0.1%) 高調波歪み 2次高調波 3次高調波 入力電圧ノイズ 非反転入力電流ノイズ 反転入力電流ノイズ	G = +1、R _F = 649Ω G = +2、R _F = 499Ω G = +5、R _F = 360Ω G = +10、R _F = 200Ω G = +2、V _O < 0.5Vp-p R _F = 649Ω、V _O < 0.5Vp-p G = +2、V _O = 2Vp-p G = +2、2Vステップ G = +2、V _O = 0.5Vステップ G = +2、V _O = 2Vステップ G = +2、V _O = 2Vステップ G = +2、V _O = 2Vステップ G = +2、f = 5MHz、V _O = 2Vp-p R _L = 100Ω - V _S /2 R _L ≥ 500Ω - V _S /2 R _L = 100Ω - V _S /2 R _L ≥ 500Ω - V _S /2 f > 1MHz f > 1MHz f > 1MHz	250 225 180 165 100 0.4 200 830 1.5 2.0 14 9 -70 -72 -72 -73 2.2 12 15	180 140 110 23 4 700 680 570 -68 -70 -65 -67 3 14 18	140 35 4 680 570 -67 -68 -65 -67 3.4 14 18	110 23 4 570 -63 -68 -62 -67 3.6 15 19	MHz MHz MHz MHz dB MHz V/μs ns ns ns dBc dBc dBc dBc nV/√Hz pA/√Hz pA/√Hz	Typ Min Typ Typ Min Max Typ Min Max Typ Typ Max Max Max Max Max Max	C B C C B B C B B C C C B B B B B B B
DC性能⁽⁴⁾ 閉ループ・トランスインピーダンス・ゲイン(Z _{OL}) 入力オフセット電圧 平均オフセット電圧ドリフト 非反転入力バイアス電流 平均非反転入力バイアス電流ドリフト 反転入力バイアス電流 平均反転入力バイアス電流ドリフト	V _O = V _S /2、R _L = 100Ω - V _S /2 V _{CM} = 2.5V V _{CM} = 2.5V	100 ±1 +40 ±5	60 ±5 +65 ±20	53 ±6.0 +15 +75 -300 ±25 -125	51 ±7 +20 +95 -350 ±35 -175	kΩ mV μV/ μA nA/ μA nA/	Min Max Max Max Max Max Max	A A B A B A B
入力 正入力電圧の最小値 ⁽⁵⁾ 正入力電圧の最大値 ⁽⁵⁾ 同相モード除去(CMRR) 非反転入力インピーダンス 反転入力抵抗の最小値(R _i) 反転入力抵抗の最大値(R _i)	V _{CM} = V _S /2 開ループ 開ループ	1.5 3.5 51 100 2 46 46	1.6 3.4 45 38 53	1.7 3.3 44 36 55	1.8 3.2 44 35 60	V V dB kΩ pF Ω Ω	Max Min Min Typ Min Max	A A A C A A
出力 正出力電圧の最大値 正出力電圧の最小値 電流出力、ソース 電流出力、シンク 閉ループ出力インピーダンス	無負荷 R _L = 100Ω - V _S /2 無負荷 R _L = 100Ω - V _S /2 V _O = V _S /2 V _O = V _S /2 G = +2、f = 100kHz	4 3.9 1 1.1 150 -110 0.03	3.8 3.7 1.2 1.3 110 -75	3.7 3.6 1.3 1.4 110 -70	3.5 3.4 1.5 1.6 60 -50	V V V V mA mA Ω	Min Min Max Max Min Min Typ	A A A A A A C
ディセーブル機能(LOWでディセーブル) パワーダウン時の電源電流(+V _S) ディセーブル時間 イネーブル時間 オフ時アイソレーション ディセーブル時の出力容量 ターンオン時のグリッチ ターンオフ時のグリッチ イネーブル電圧 ディセーブル電圧 制御ピンの入力バイアス電流(DIS)	V _{DIS} = 0 G = +2、5MHz G = +2、R _L = 150Ω、V _{IN} = V _S /2 G = +2、R _L = 150Ω、V _{IN} = V _S /2 V _{DIS} = 0	-270 100 25 65 4 ±50 ±20 3.3 1.8 100	3.5 3.5 3.6 3.7 1.6	3.6 3.7 1.6	3.7 3.7 1.5 1.5	μA ns ns dB pF mV mV V V μA	Typ Typ Typ Typ Typ Typ Typ Min Max Typ	C C C C C C C A A C
電源 仕様シングル電源動作電圧 シングル電源動作電圧の最大値 無信号時電流(最大値) 無信号時電流(最小値) 電源変動除去比(-PSRR)	V _S = +5V V _S = +5V 入力換算	5 10.0 10.0 48	12 5.3 4.1	12 5.4 3.7	12 5.4 3.6	V V mA mA dB	Typ Max Max Min Typ	C A A A C
温度範囲 仕様動作範囲：P、U、N 熱抵抗値、θ _{JA} P 8ピンDIP U 8ピンSOP N 6ピンSOT23	接合部-周囲間	-40 ~ +85 100 125 150				/W /W /W	Typ Typ Typ Typ	C C C C

注：(1)テストレベル：(A)+25 で100%テストを実施。特性評価テストとシミュレーションによって全温度の制限値を設定。(B)特性評価テストとシミュレーションによって制限値を設定。(C)標準値は参考用としてのみ使用。(2)接合部温度 = 仕様保証温度範囲における+25 の周囲温度。(3)接合部温度 = 仕様保証全温度範囲における下限の周囲温度：接合部温度 = 仕様保証全温度範囲における上限の周囲温度+23。(4)ノードから出力される電流の極性を正とします。V_{CM}は入力同相モード電圧です。(5)±CMIRの制限値としてCMR仕様の最小値よりも3dB以上低いレベルでテストを実施。(6)太字はテストレベルAを示しています。

絶対最大定格

電源	±6.5VDC
内部消費電力 ⁽¹⁾	熱解析の項を参照
差動入力電圧	±1.2V
入力電圧範囲	±V _S
保存温度範囲：P、U、N	-40 ~ +125
リード温度(10秒間の半田付け)	+300
接合部温度(T _J)	+175

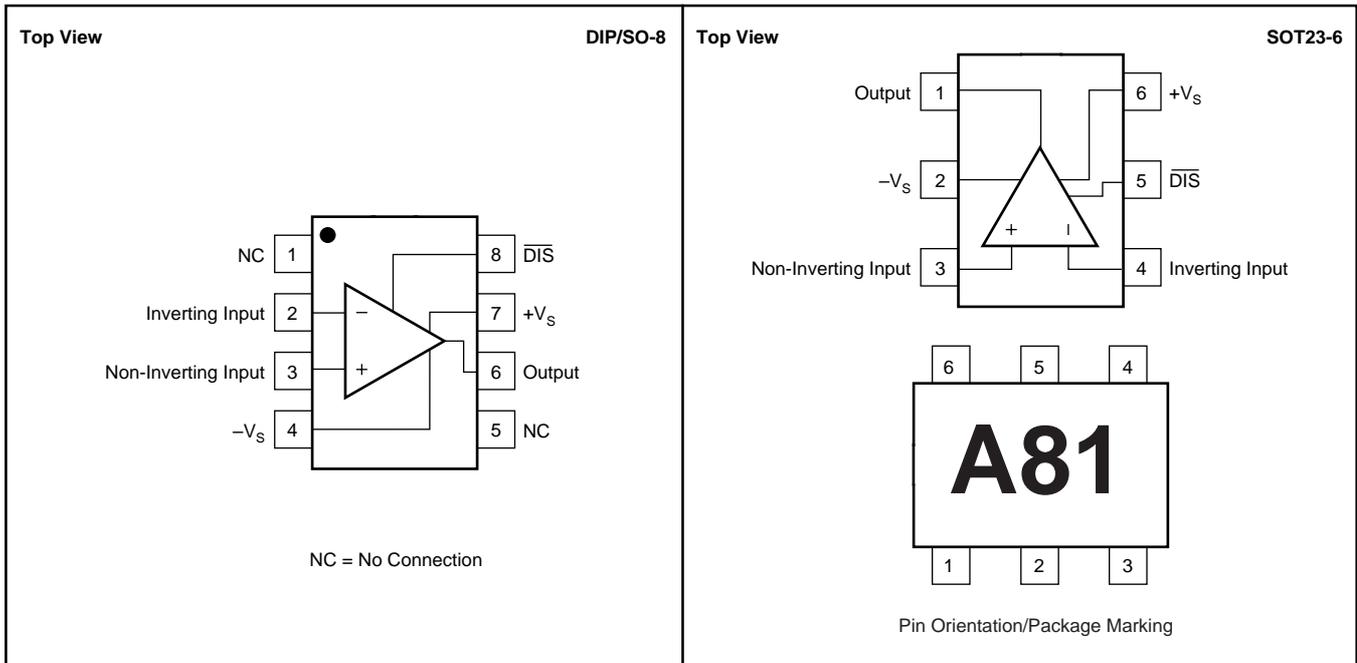
注：(1)パッケージは仕様θ_{JA}に従ってデレーティングしなければなりません。最大T_Jを遵守する必要があります。



静電気放電対策

静電気放電はわずかな性能の低下から完全なデバイスの故障に至るまで、様々な損傷を与えます。すべての集積回路は、適切なESD保護方法を用いて、取扱いと保存を行うようにして下さい。高精度の集積回路は、損傷に対して敏感であり、極めてわずかなパラメータの変化により、デバイスに規定された仕様に適合しなくなる場合があります。

ピン配置



パッケージ情報/ご発注の手引き

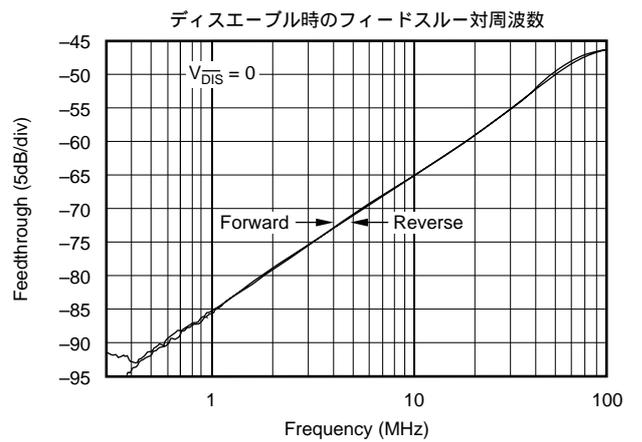
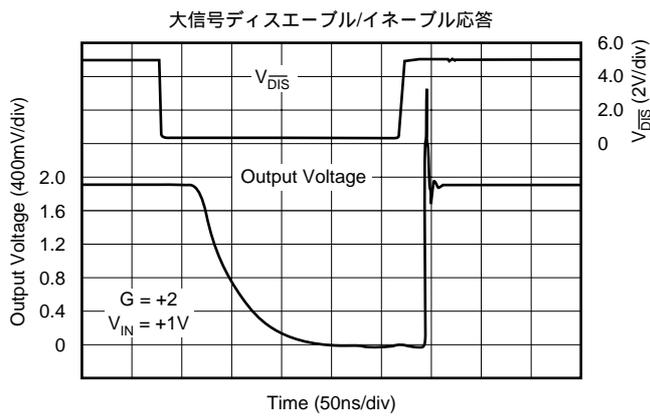
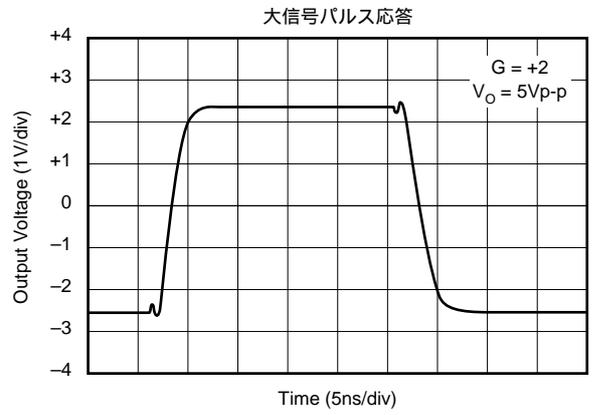
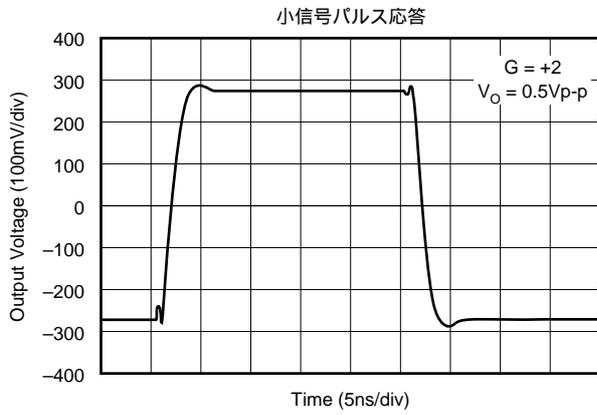
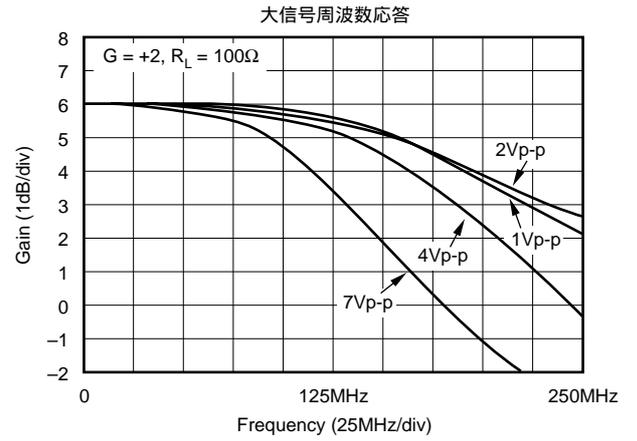
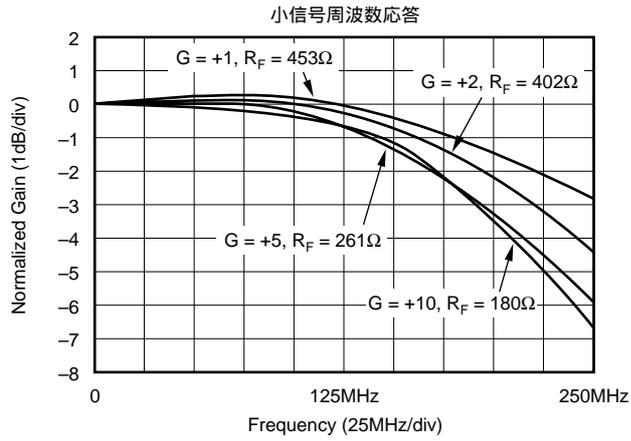
モデル	パッケージ	パッケージ図番号 ⁽¹⁾	温度範囲	パッケージのマーキング	発注番号	供給時の状態
OPA681P	8ピン・プラスチックDIP	006	-40 ~ +85	OPA681P	OPA681P	マガジン
OPA681U	8ピンSOP	182	-40 ~ +85	OPA681U	OPA681U	マガジン
OPA681U	8ピンSOP	182	-40 ~ +85	OPA681U	OPA681U/2K5	テープリール
OPA681N	6ピンSOT-23	332	-40 ~ +85	A81	OPA681N/250	テープリール
OPA681N	6ピンSOT-23	332	-40 ~ +85	A81	OPA681N/3K	テープリール

注：(1)詳細図および寸法表は、データシートの巻末を参照してください。(2)スラッシュ(/)の付いたモデルは、その後に示される数量を単位として、テープリールでのみ供給されます(例えば、/2K5は2,500個で1リールであることを示します)。「OPA681N/3K」をご発注の場合、OPA681Nが3,000個入ったテープリールが1本納品されます。

このデータシートに記載されている情報は、信頼しうるものと考えておりますが、不正確な情報や記載漏れ等に関して弊社は責任を負うものではありません。情報の使用について弊社は責任を負えませんので、各ユーザの責任において御使用下さい。価格や仕様は予告なしに変更される場合がありますのでご了承下さい。ここに記載されているいかなる回路についても工業所有権その他の権利またはその実施権を付与したり承諾したりするものではありません。弊社は弊社製品を生命維持に関する機器またはシステムに使用することを承認しまたは保証するものではありません。

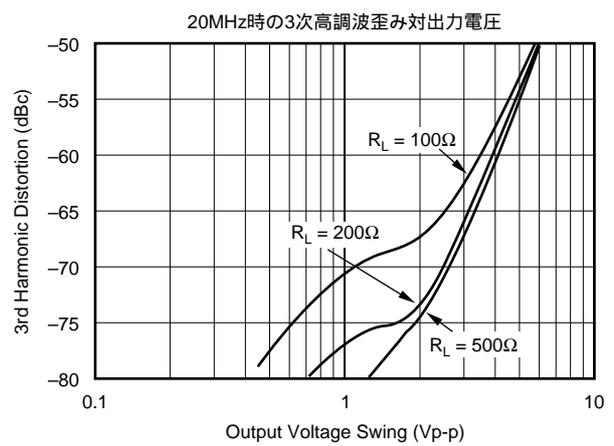
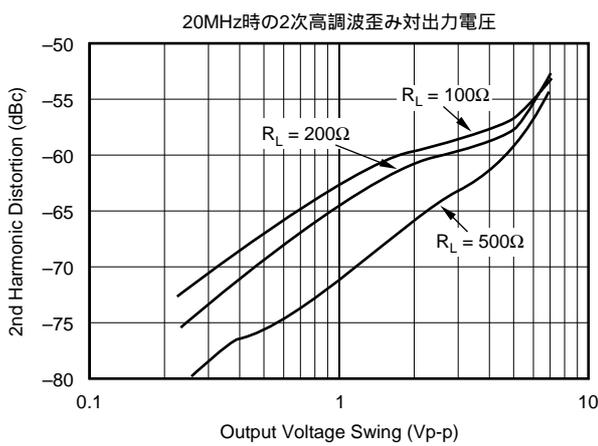
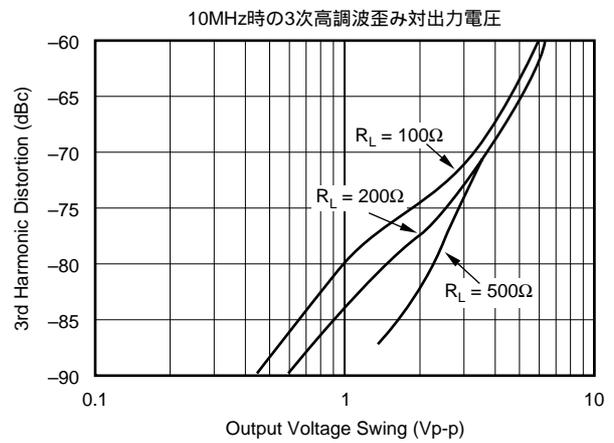
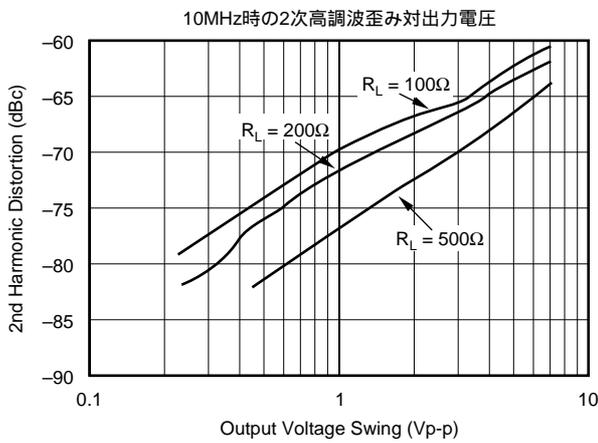
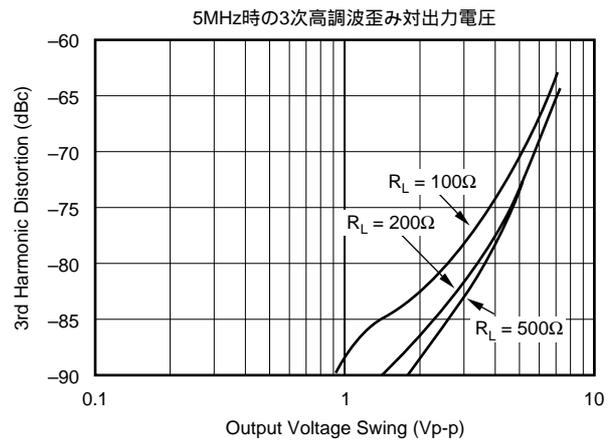
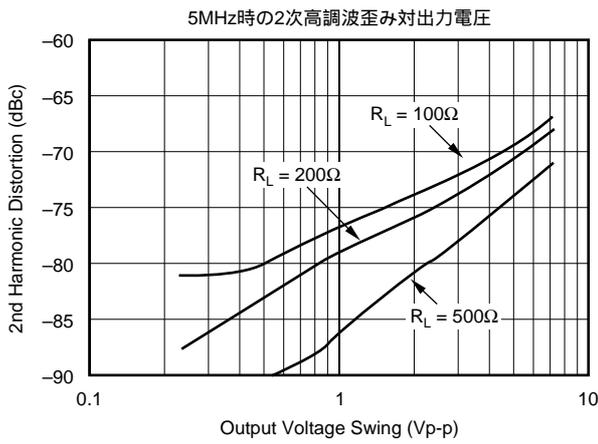
代表的性能曲線： $V_S = \pm 5V$

特に記述のない限り、 $G = +2$ 、 $R_F = 402\Omega$ 、 $R_L = 100\Omega$ です(図1を参照してください)。



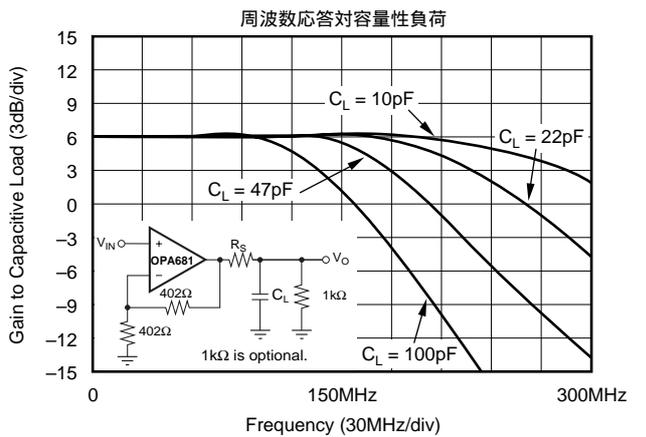
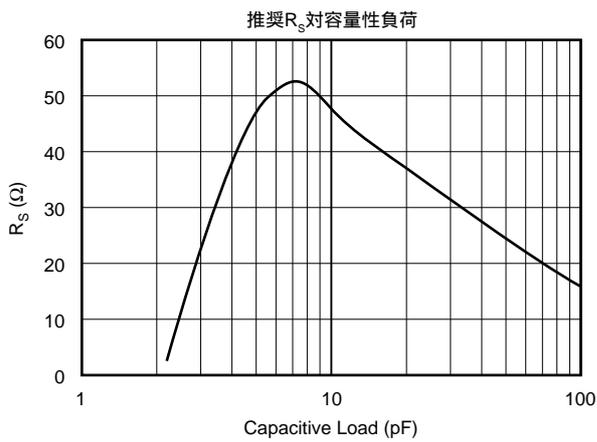
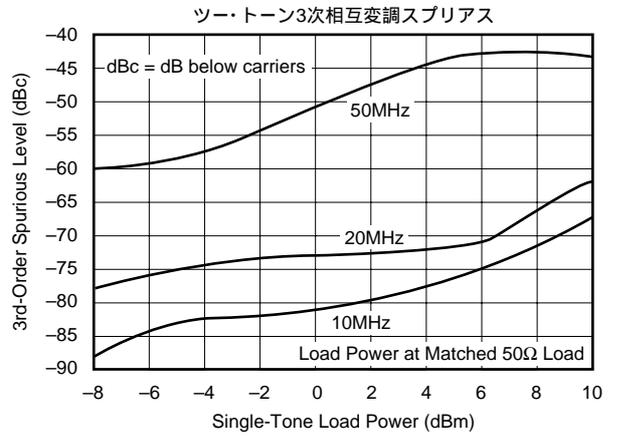
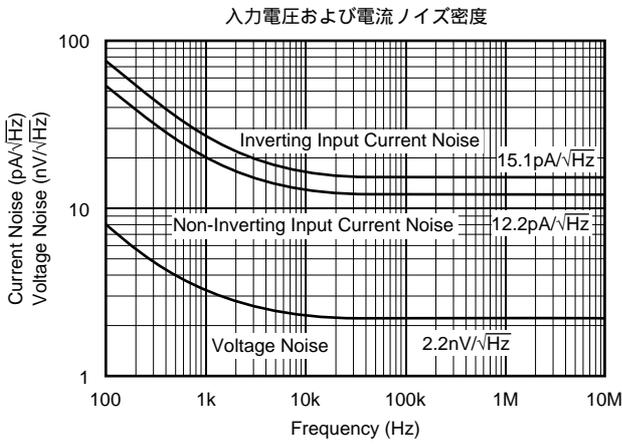
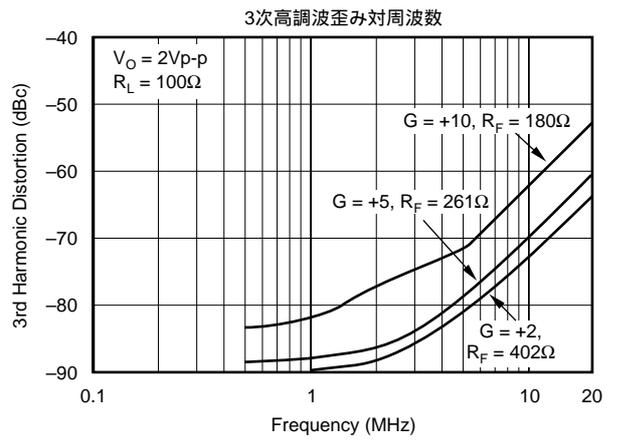
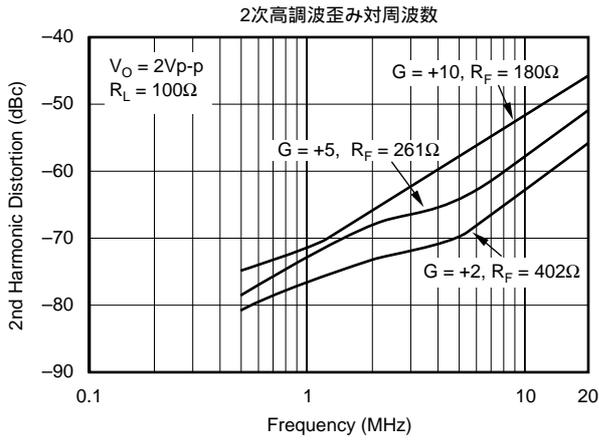
代表的性能曲線： $V_S = \pm 5V$

特に記述のない限り、 $G = +2$ 、 $R_F = 402\Omega$ 、 $R_L = 100\Omega$ です(図1を参照してください)。



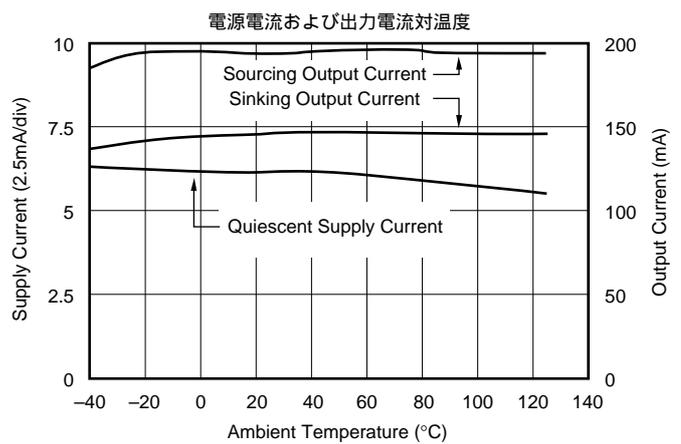
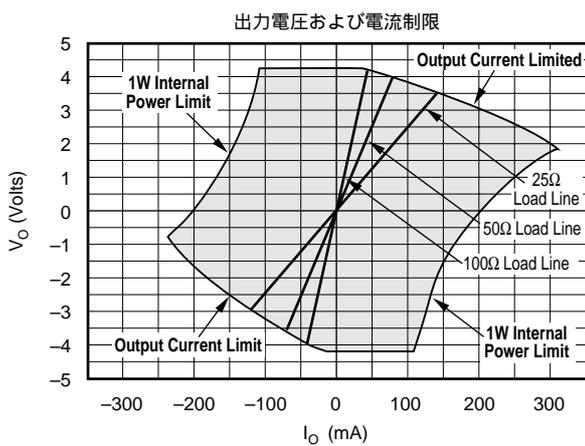
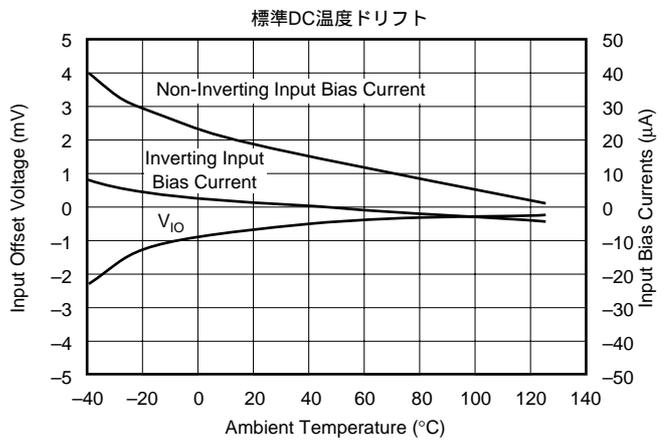
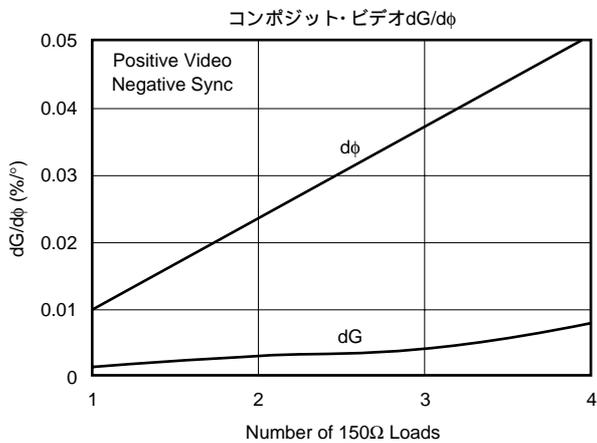
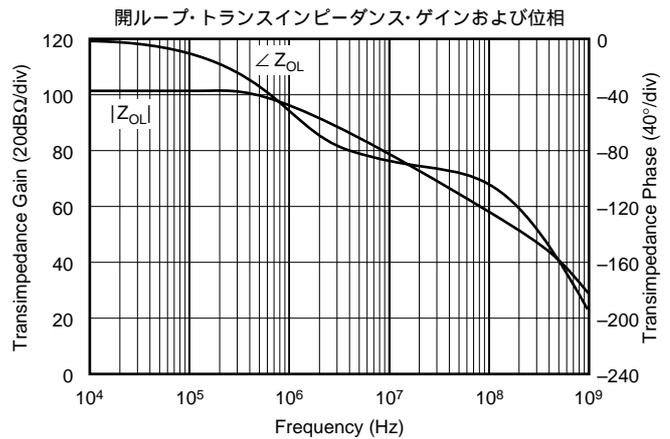
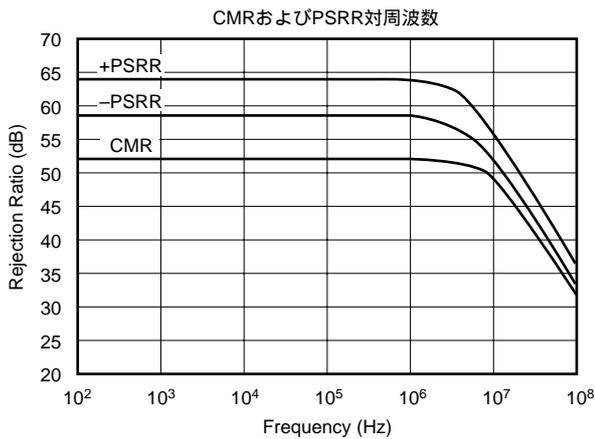
代表的性能曲線： $V_S = \pm 5V$

特に記述のない限り、 $G = +2$ 、 $R_F = 402\Omega$ 、 $R_L = 100\Omega$ です(図1を参照してください)。



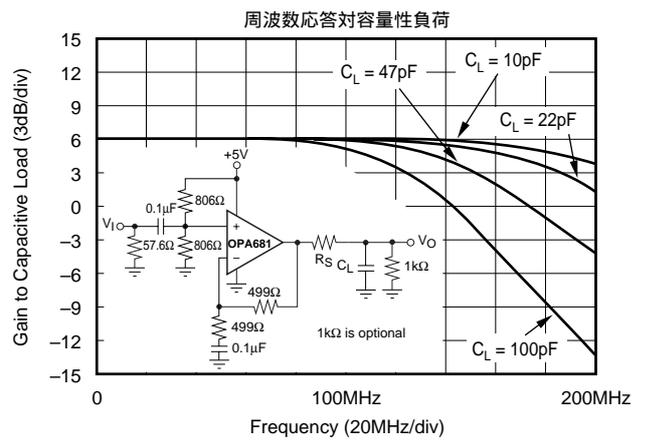
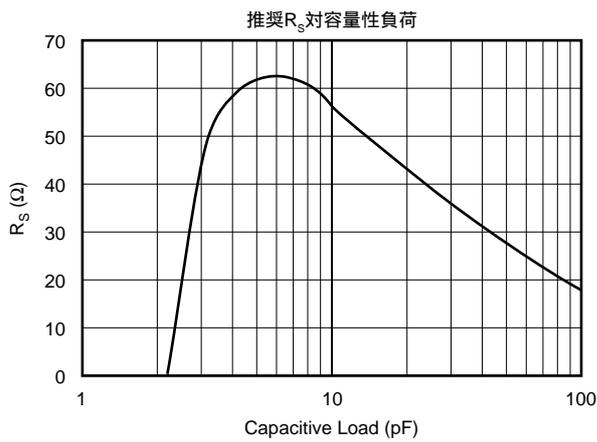
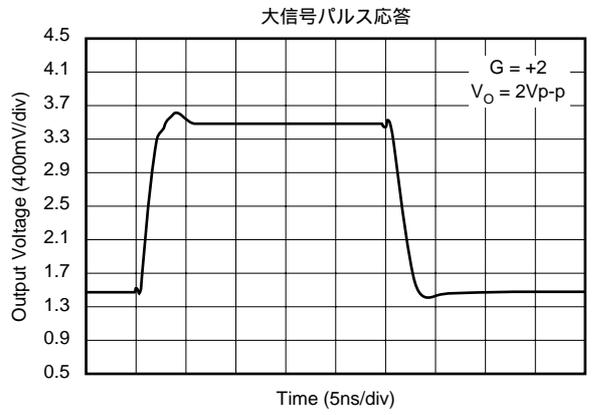
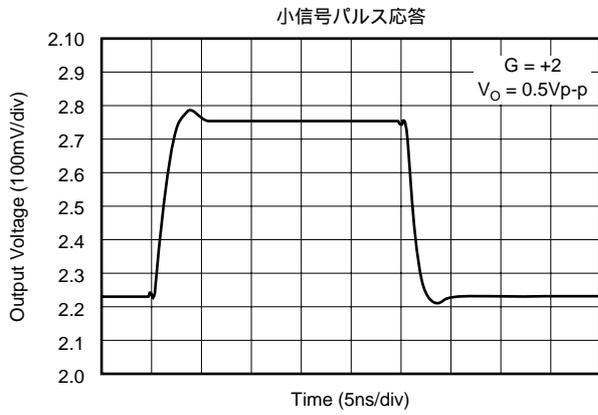
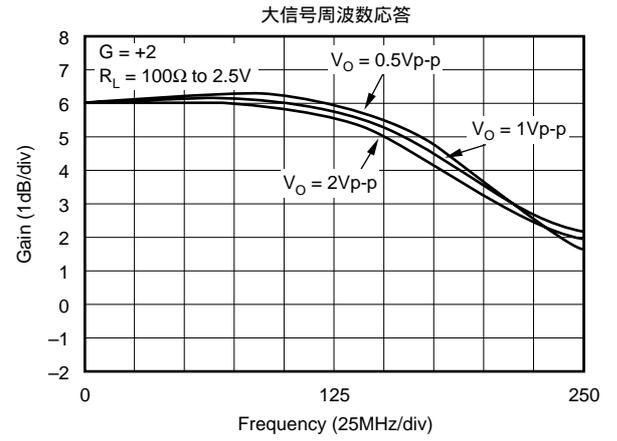
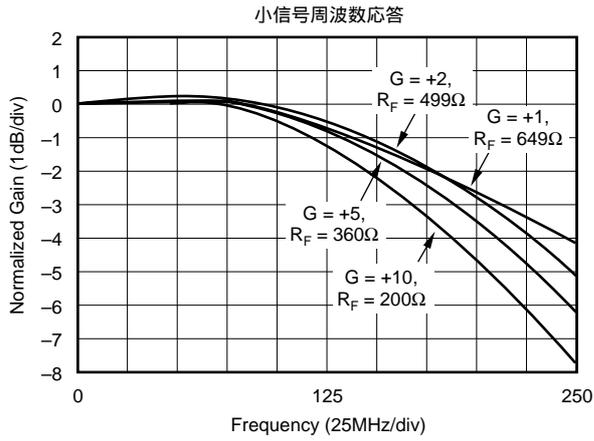
代表的性能曲線： $V_S = \pm 5V$

特に記述のない限り、 $G = +2$ 、 $R_F = 402\Omega$ 、 $R_L = 100\Omega$ です(図1を参照してください)。



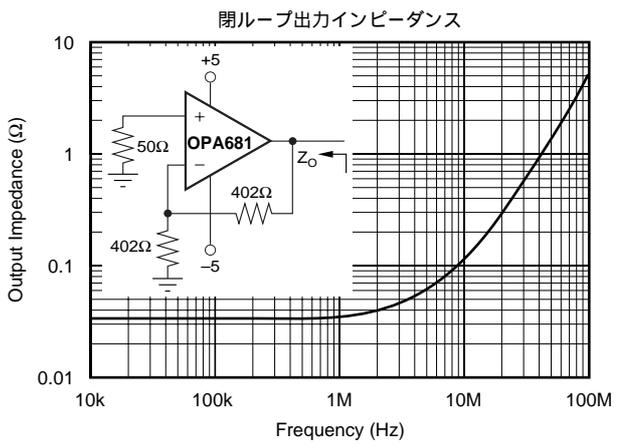
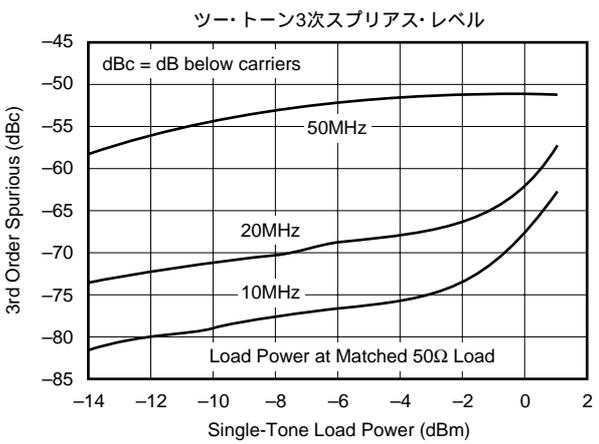
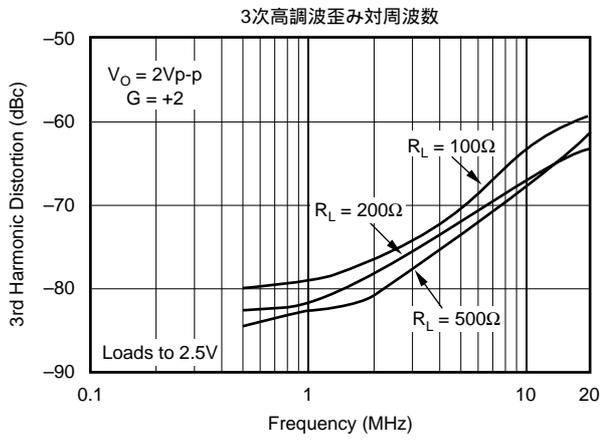
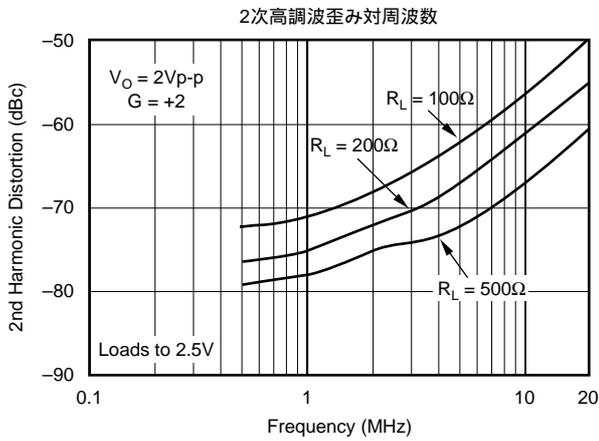
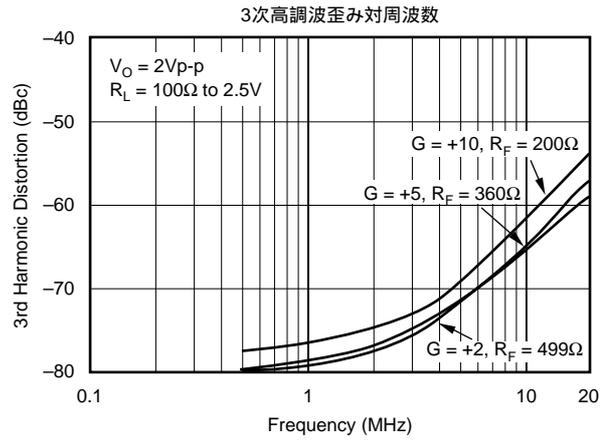
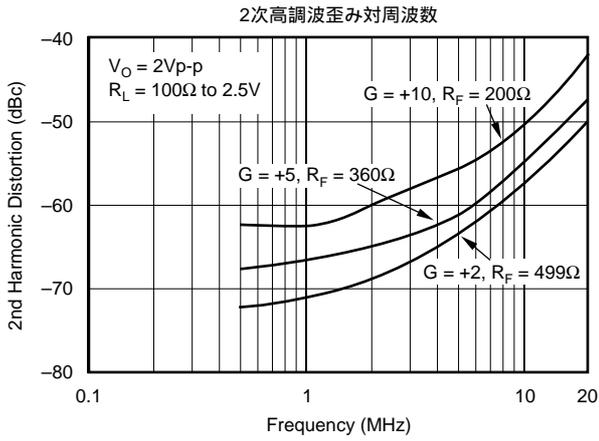
代表的性能曲線： $V_S = +5V$

特に記述のない限り、 $G = +2$ 、 $R_F = 499\Omega$ および $R_L = 100\Omega$ を $+2.5V$ に接続(図2を参照してください)。



代表的性能曲線： $V_S = +5V$

特に記述のない限り、 $G = +2$ 、 $R_F = 499\Omega$ および $R_L = 100\Omega$ を+2.5Vに接続(図2を参照してください)。



使用に関する説明

広帯域電流帰還動作

OPA681は、高直線性でハイパワーな出力段回路を備えた広帯域電流帰還型オペアンプで、優れたAC性能を発揮します。OPA681の無信号時電流はわずか6mAという低いレベルに抑えられており、正および負の各電源レールの1V電位以内までスイングする能力を備え、室温における出力電流は135mAを超える高い値が保証されています。このように、最小限のヘッドルーム条件で高レベルの電流を出力すると同時に電源電圧とまったく無関係のバイアシングが可能なので、優れたシングル(+5V)電源動作が確保されます。OPA681は、+5Vのシングル電源動作時で200MHzを超える広帯域幅性能が保証され、100Ωの抵抗負荷に対して2Vp-pの出力をドライブできます。従来から使用されてきたブースト出力段アンプの場合には通常、出力電流がゼロを通過するときクロスオーバー歪み性能が大幅に劣化する厄介な問題がありました。OPA681では同等のパワー・ゲインで、従来型アンプと比較して大幅に優れた直線性の維持を達成しています。電圧帰還型オペアンプに対し電流帰還型オペアンプの優れた点は、AC性能(帯域幅と歪み)が信号ゲインの設定に比較的依存しないことです。低ゲインにおいてOPA681と同等のAC性能で、より優れたDC精度が必要な場合には、高スルーレートで、ユニティ・ゲイン安定の電圧帰還型オペアンプOPA680をご検討ください。

±5V電源時の仕様テストと代表的性能曲線の作成に使用したDC結合のゲイン+2、デュアル電源動作のOPA681の基本回路構成を図1に示します。この回路では、試験のため入力とグランド間に抵抗を接続して入力インピーダンスを50Ωに設定し、また直列の出力抵抗を使用して出力インピーダンスを50Ωに設定しています。仕様に示されている電圧スイングは入力と出力の各ピン上で直接に測定していますが、負荷パワー(dBm)はマッチングのとれた50Ω負荷で測定されています。図1の回路の場合、実効負荷の合計値は $100\Omega \parallel 804\Omega = 89\Omega$ です。ディスエーブル制御ライン(DIS)は通常、アンプの正常な動作を保証するためにオープン状態にしておきます。図1の回路では、1個のオプション部品を使用しています。つまり、グランド間に配置する通常の電源デカップリング用コンデンサに加えて、2個の電源ピン間に0.1μFのコンデ

ンサが配置されています。実際にPC基板のレイアウト設計を実施する際にこのオプションのコンデンサを追加すると、一般的に2次高調波歪みが3dBから6dB程度改善されます。

+5V電源時の仕様テストと代表的性能曲線の作成に使用したAC結合のゲイン+2、シングル電源動作のOPA681の基本回路構成を図2に示します。OPA681は“レール・ツー・レール”設計のオペアンプではありませんが、非常に広帯域幅の他の電流帰還型オペアンプと比較すると、入力電圧および出力電圧に必要なヘッドルームは最小限で済みます。150MHzを超える帯域幅で+5Vのシングル電源動作を行ない、そのときの出力電圧スイングレベルは3Vp-pです。広帯域でのシングル電源動作の場合に重要となる必要条件は、入力と出力の信号スイングレベルを入力と出力両方で許容可能な電圧範囲内に維持することです。図2の回路では、+5V電源から簡単な構成の抵抗分圧器(2個の806Ω抵抗)を使用して入力ミッドポイント・バイアスを設定しています。入力信号はミッドポイント電圧バイアスにAC結合されます。入力電圧は正と負の各電源ピンの1.5V以内までスイングできるので、各電源ピン間を中心として2Vp-pの入力信号範囲が確保されます。テストに使用する入力インピーダンスのマッチング抵抗(57.6Ω)は、並列構成のバイアス分圧器ネットワークを回路に配置する際に50Ωの入力マッチングが得られるように設定されています。ゲイン抵抗(R_G)はAC結合されるので、DCゲインが+1の回路が構成されることになり、出力上にも入力DCバイアス電圧(2.5V)が印加されます。帰還抵抗の値はバイポーラ電源時の設定条件から調整され、これにより+5Vシングル電源、+2のゲイン設定動作で平坦な周波数応答性が得られるよう最適化が再度行なわれます(「帯域幅の最適化に必要な抵抗値の設定」の項を参照)。再び説明しますが、+5Vのシングル電源動作では出力電圧は正と負の各電源ピンの1V以内までスイングできると同時に、80mAを超える電流の出力が可能です。特性評価回路では、100Ωのミッドポイント・バイアス負荷を使用しています。OPA681に使用している新しい出力段回路は+5V電源動作時の3次高調波歪みの図に示すように、最小限のクロスオーバー歪みレベルでこのミッドポイント負荷に対して非常に大きなバイポーラ電流を出力する能力を備えています。

レール・ツー・レールは日本モトローラ社の登録商標です。

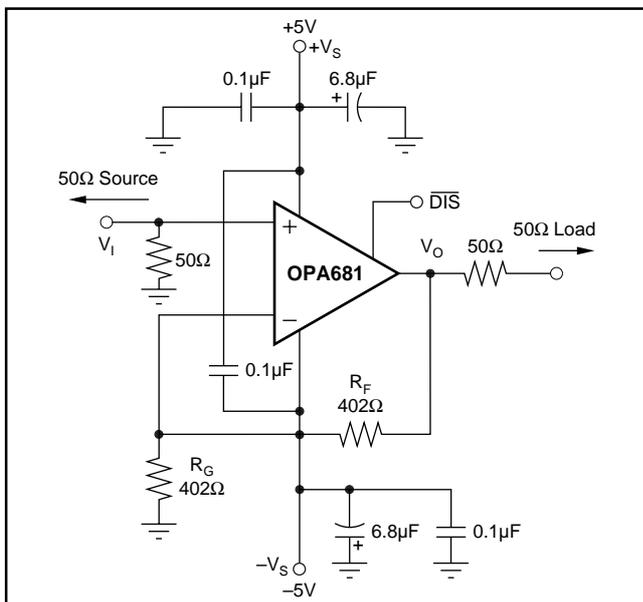


図1. DC結合、G = +2、バイポーラ電源動作の仕様評価およびテスト回路

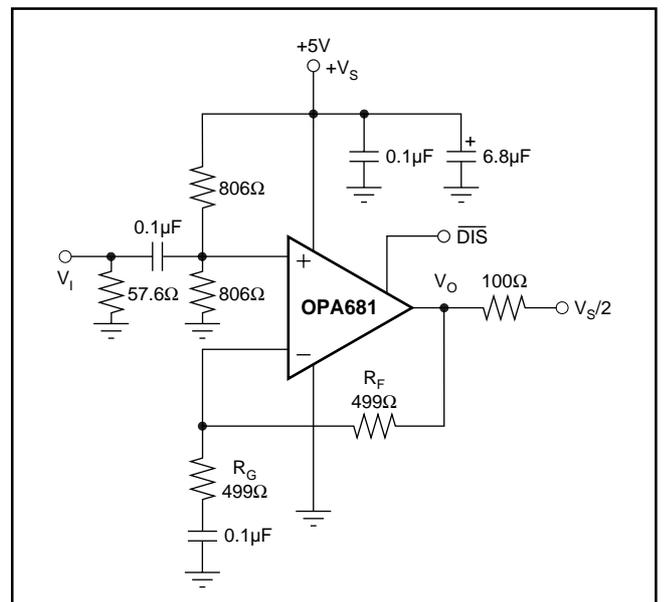


図2. AC結合、G = +2、シングル電源動作の仕様評価およびテスト回路

シングル電源動作のA/Dコンバータとのインターフェース

最近の高性能A/Dコンバータ(バー・ブラウンのADS8XXとADS9XXなど)は、+5V(またはこれより低電圧)のシングル電源で動作します。シングル電源動作のオペアンプを使用して、5MHzを超える信号周波数のADC入力に低歪みの入力信号を送ることは非常に困難です。しかし、OPA681は高スルーレート、優れた出力電圧スイング能力、高い直線性を備えているので、シングル電源動作のADCドライバとして理想的です。非常に高性能の10ビット、60MSPS CMOS A/Dコンバータとの入力インターフェース回路例を図3に示します。

図3の回路で使用しているOPA681は、2V_{p-p}の出力スイングで180MHzを超える帯域幅特性を備えています(+4の信号ゲイン設定時)。OPA681内部に採用されている電流帰還型アーキテクチャによって得られる利点の1つは、信号ゲインの増加に応じて高い帯域幅を維持できることです。非反転入力バイアス電圧は、ADC内部のリファレンス・ラダーのうち上位ラダーと下位ラダーを分割することによって、ADC信号範囲のミッドポイントを基準としています。ゲイン抵抗(R_G)はAC結合されており、バイアス電圧の出力に対するゲインは+1となり、この電圧は出力電圧スイングの中心値にもなります。20MHzのアナログ入力周波数および60MSPSのクロック速度という条件でA/Dコンバータについて実施した性能テストでは、58dBc以上のSFDRが実証されました。

広帯域反転加算アンプ

電流帰還型オペアンプの信号帯域幅はノイズ・ゲイン(NG:一般的には非反転信号ゲインと同じ)とはまったく無関係に制御可能なので、OPA681を使用して非常に広帯域幅の反転加算回路を構成することができます。データシートの表紙に示す回路は、可能な限り最大限の帯域幅と高精度な入力インピーダンス・マッチングの両方を維持するために抵抗値の調整を行なった反転加算アンプの回路構成例です。各RF信号が50Ωのソース抵抗からドライブされると仮定すれば、この回路のNGは $(1 + 100\Omega / (100\Omega / 5)) = 6$ になります。(V_oから反転誤差電流までの)帰還インピーダンスの合計値は、 $R_F + (R_1 \times NG)$ の式で求められます。この式でR₁はサミング・ジャンクションから反転入力を見たインピーダンスを表します(「帯域幅の最適化に必要な抵抗値の設定」の項を参照)。(各入力/出力ピン間で-2のゲインを得るために)100Ωの帰還抵抗

を使用する際は、20Ωの抵抗を1本追加し、これを反転入力に直列に接続して帰還インピーダンスの値を大きくすることが必要です。抵抗を内部インピーダンスR_i(抵抗の標準値=41Ω)に追加した場合、帰還インピーダンスの合計値は $100\Omega + (65\Omega \times 6) = 490\Omega$ になります。抵抗値は、NG=6のときに最大限の帯域幅で平坦な周波数応答性を確保する上で必要な抵抗値に等しい値です。200MHzを超える小信号帯域幅、そして100MHz時でマッチングのとれた50Ω負荷の条件下において15dBmの-1dBmコンプレッション・テストで実証されています。

広帯域ビデオ・マルチプレクサ

ディスエーブル制御ピンを備えたビデオアンプに共通したアプリケーションのひとつとして、複数個のアンプ出力をまとめて多重化し、複数のビデオ入力の中から1つの信号を選択し1本のライン上に出力する応用があります。この簡単な構成の「OR接続ビデオ・マルチプレクサ」は、図4に示すようにOPA681を使用することで容易に構成できます。

通常、入力チャンネルのスイッチング動作はビデオ信号のシンクまたはリトレス時間のどちらかにおいて実行されます。この時間の2つの入力はほとんど同じです。OPA681は「メイク・ビフォア・ブレイク」のディスエーブル特性を備えているので、図4に示すようなOR接続回路を使用する際に常に1個のアンプでライン制御を行なうことが保証されています。チャンネル間遷移が行なわれる短い期間では両方の入力が入オン状態になるので、出力インピーダンスのマッチング抵抗(この場合は82.5Ω)を通して出力が結合されます。1つのチャンネルがディスエーブルされると、その帰還回路は出力インピーダンスの一部を形成することになり、信号がケーブルを通して出力される際に多少減衰します。ゲインと出力マッチング抵抗の値を多少高くして、マッチング負荷において+1の信号ゲインを確保し、ケーブルに75Ωの出力インピーダンスを供給しています。さらに図4に示すビデオ・マルチプレクサ接続では、選択されていない信号チャンネルの各入力間の最大差動電圧は標準のビデオ信号レベルの定格最大値である±1.2Vを超えないことが保証されています。

「ディスエーブル動作」の項では、シングル・チャンネルとしてグラウンドに接続された入力を使用してターンオンおよびターンオフ・スイッチングを行なったときに発生するグリッチについて説

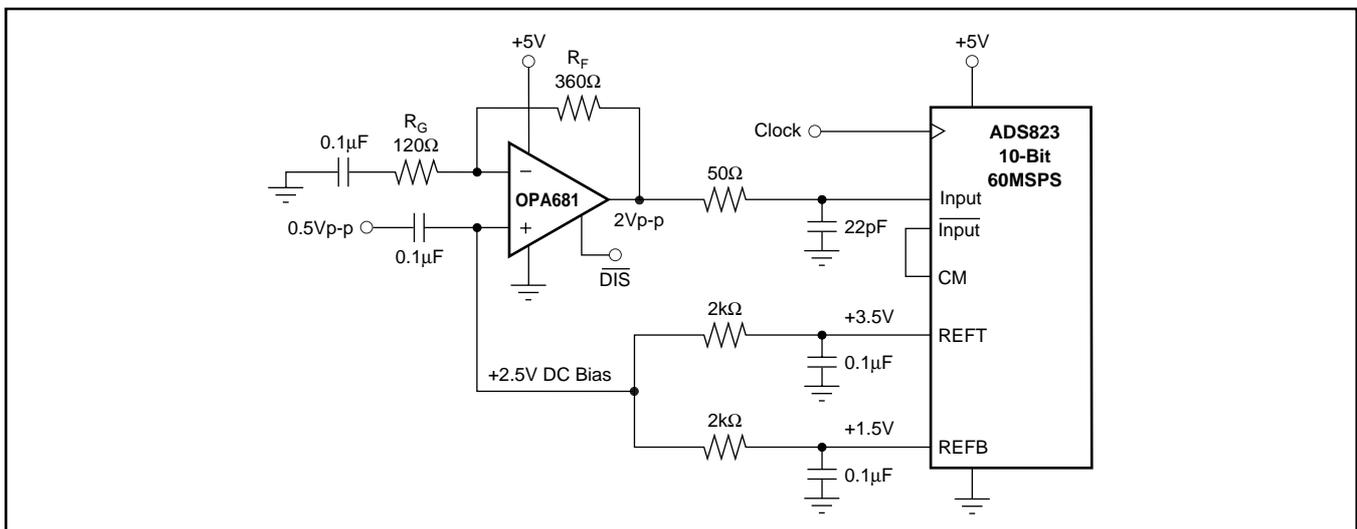


図3. 広帯域、AC結合、シングル電源動作のA/Dコンバータ入力ドライバ回路

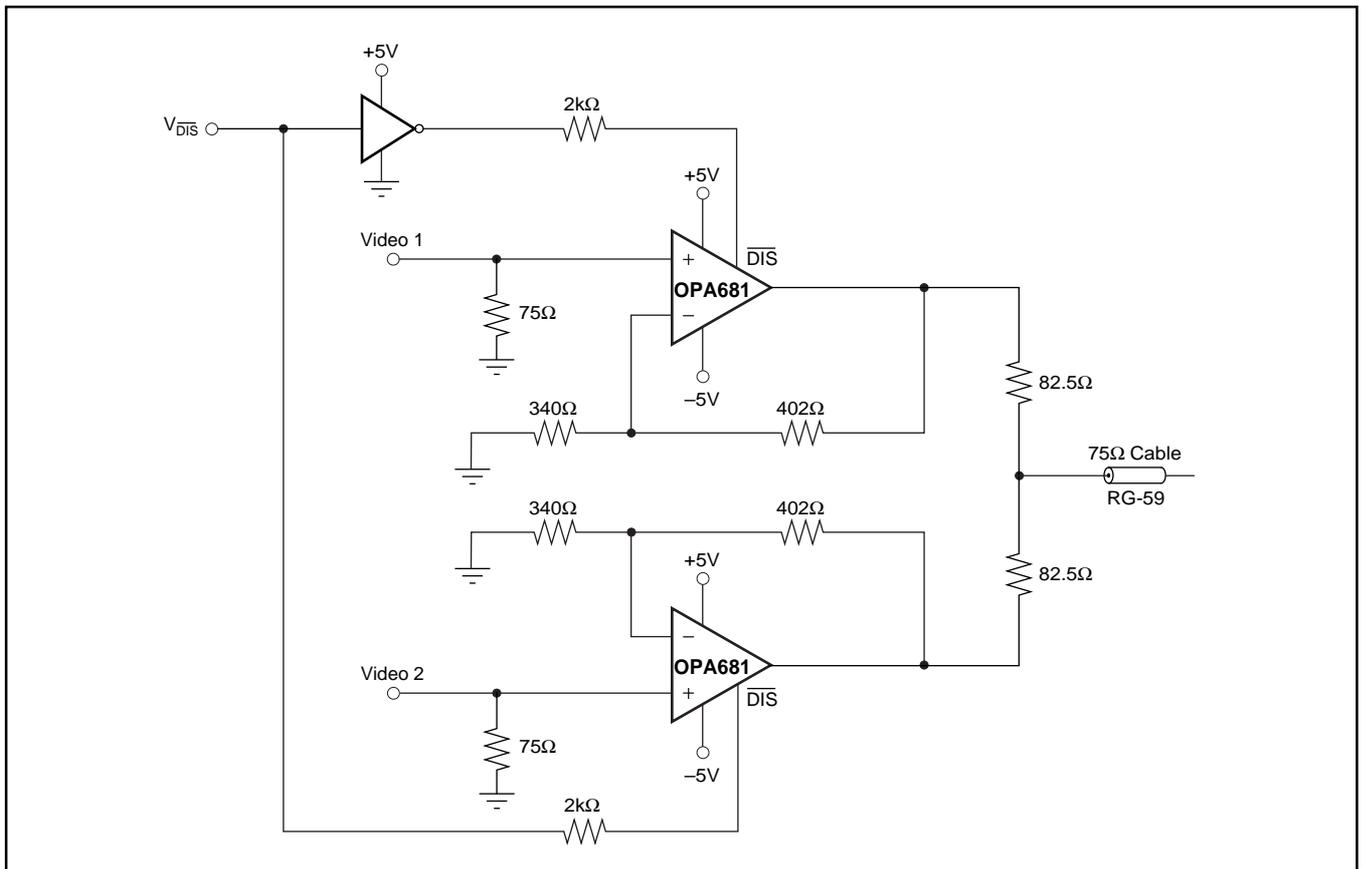


図4. 2チャンネルのビデオ・マルチプレクサ

明しています。このグリッチの標準値は±50mV以下です。(図4に示すように)2つの出力を切替える場合、出力ラインには1個のアンプが接続されるか、または“メイク・ビフォア・ブレイク”のディスエーブル・タイミングによって、両方のアンプが接続されるように制御されます。この場合、2つの0V入力のスイッチング・グリッチは20mVより低い値となります。

シングル電源動作の“IF”アンプ

OPA681は広帯域幅で、しかも+5Vのシングル電源で動作するので、IFアンプ回路設計アプリケーションに最適です。OPA681のようなオペアンプをIFアンプとして使用する場合の利点の1つは、高精度の信号ゲインが達成されると同時に、3次相互変調歪み対無信号時消費電力の特性が非常に低いレベルに抑えられることです。しかもOPA681には超小型の6ピンSOT23パッケージが用意されているので、このパワー・シャットダウン機能付きのパッケージ・モデルを使用すれば、携帯型機器アプリケーションに最適な回路を構成することが可能です。オペアンプをIFアンプとして使用する際に注意すべき事項の1つとして、ノイズ・フィギュアが比較的高いという問題があります。オペアンプのノイズ・フィギュアを最小限に抑えるために、最適な値のソース抵抗の使用が推奨される場合があります。このように最適値を確保する目的で抵抗を追加すると、ノイズ・フィギュアは改善されますが、実際には信号/ノイズ(S/N)比が劣化します。最適なソース・インピーダンスを確保する上でもっと効果的な方法は、入力トランスを使用して信号を入力する方法です。OPA681をIFアンプとして使用する際に特に役立つ回路構成例を図5に示します。

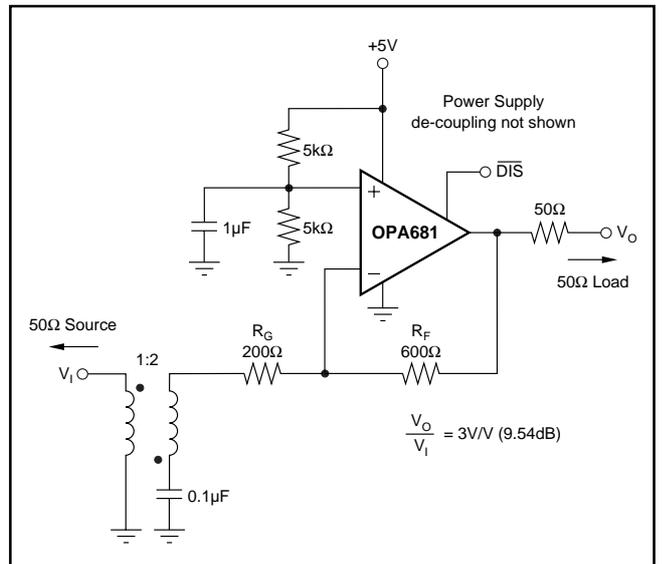


図5. シングル電源動作の低ノイズIFアンプ回路

ステップアップ・トランスを通して信号を反転入力側のゲイン抵抗に送る方法には、OPA681の動作上いくつかの利点があります。ひとつは非反転入力上にデカップリング・コンデンサが接続されているので、非反転入力電流ノイズが出力ノイズとして現れないということです。2番目はオペアンプの非反転入力ノイズ電圧が R_G の入力側に現れた場合であっても、これは実際には減衰されます。1:2(巻線比)のステップアップ・トランスを使用すると、1次側の50Ωのソース・インピーダンスは2次側では200Ωのソ-

ス・インピーダンスとして現れることとなります(200Ωの R_G 抵抗はトランスの1次側では50Ωの入力マッチング・インピーダンスとして反映されます)。アンプの出力へのノイズ・ゲイン(NG)は $1 + 600/400 = 2.5V/V$ となります。オペアンプの $2.2nV/\sqrt{Hz}$ の入力電圧ノイズを出力へのノイズ・ゲイン値と乗算し、ノイズ項を R_G 抵抗の入力側に反映させるために、乗算で求められた値を3で除算します。この計算方法により、非反転入力電圧ノイズがオペアンプ回路の入力ポイントに反映されるときに正味のゲイン値として0.833が求められます。トランスの1次側まで戻って、これを基準にすると、この値はさらに下がります。

図5に示す比較的ゲインの低いIFアンプ回路では、トランスの入力側において12dBのノイズ指数が得られます。 R_F 抵抗の値を大きくして600Ωにすると(入力インピーダンスのマッチングをとるために、 R_G の値は200Ωに設定されているので)、帯域幅が多少ですが下がります。図5の回路の測定結果では小信号帯域幅が150MHzで、30MHzまでの非常に優れた周波数応答の平坦性結果が実証されています。OPA681には2トーンの3次相互変調歪みに関するインターセプト特性は規定されていませんが、高い出力パワーと周波数領域で非常に高いスプリアスフリー・ダイナミックレンジが維持されています。図5に示すシングル電源動作回路のマッチング負荷におけるシングル・トーン・パワーの最大値は1dBmです(この値は、OPA681の出力ピンにおいて2トーン・エンベロープとして2.8V_{p-p}の電圧スイングが必要です)。図5に示す回路でのこの最大負荷パワー時の2トーンSFDR実測値は、30MHzまでの周波数帯域で55dBcを超えています。

デザインイン・ツール

デモボード

3つのパッケージ・タイプが用意されたOPA681の初期評価を支援するいくつかのPCボードが用意されています。各ボードを下表に示します。

モデル	パッケージ	ボード部品番号
OPA681P	8ピンDIP	DEM-OPA68xP
OPA681U	8ピンSOP	DEM-OPA68xU
OPA681N	6ピンSOT23	DEM-OPA68xN

デモボードについては、パー・ブラウンのフリーラインFAXまでお問い合わせください。

SPICEモデル

アナログ回路およびシステムの性能解析を実施する際に、SPICEを利用した回路性能のコンピュータ・シミュレーションが役立つ場合があります。この方法は、寄生容量およびインダクタンスが回路性能に対する大きな影響要因となるビデオおよびRFアンプ回路に特に有効です。OPA681用のSPICEモデルについては、パー・ブラウンのフリーラインFAXまでお問い合わせください。SPICEモデルは各種の幅広い動作条件下で小信号ACおよび過渡性能を予測する上で非常に役立つツールです。ただし、高調波歪みやdG/dP特性の評価に際しては高い期待はできません。異なるパッケージ・タイプの小信号AC性能をそれぞれ識別することができないからです。

動作に関する推奨事項

帯域幅の最適化に必要な抵抗値の設定

OPA681のような電流帰還型オペアンプでは、外付け抵抗の値を正しく調整した信号ゲイン設定範囲でほとんど一定の帯域幅の維持が可能です。この事実は代表的性能曲線で示しています。すなわち、ゲインを大きくしても、小信号帯域幅の減少はほんのわずかに過ぎません。代表的性能曲線では、各ゲイン設定毎にそれぞれ帰還抵抗の値を変更していることも示しています。電流帰還型オペアンプを使用した回路の反転入力側に接続する抵抗の“値”は周波数応答補償用の要素として扱うことが可能で、また抵抗値の“比”によって信号ゲインが設定されます。OPA681の小信号周波数応答解析回路を図6に示します。

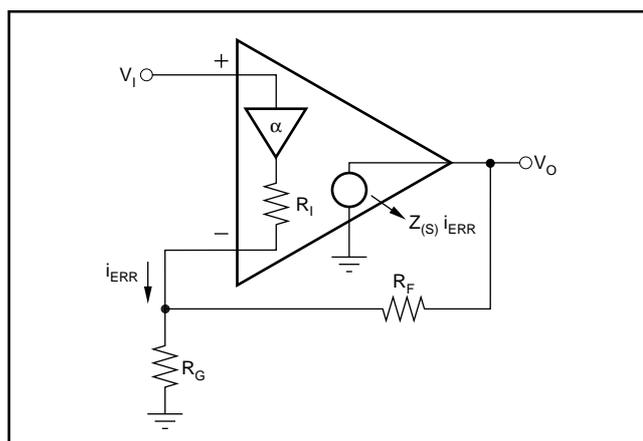


図6. 電流帰還の伝達関数解析回路

この電流帰還型オペアンプ・モデルの主要要素は下記の通りです。

- α 非反転入力と反転入力間のバッファ・ゲイン
- R_1 バッファの出力インピーダンス
- i_{ERR} 帰還誤差電流信号
- $Z(s)$ i_{ERR} から V_O までの周波数依存の開ループ・トランスインピーダンス・ゲイン

バッファ・ゲインは一般的に1.00に非常に近い値で、通常は信号ゲインについて検討する際には無視します。しかし、1個のオペアンプで差動アンプ回路を構成する場合には、このバッファ・ゲインによってCMRRの値が決定されます。バッファ・ゲイン α の値が1.0よりも小さい場合には、 $CMRR = -20 \times \log(1 - \alpha)$ dBになります。

バッファの出力インピーダンス R_1 は帯域幅コントロール方程式の中で極めて重要な要素となります。OPA681の R_1 標準値は約41Ωです。

電流帰還型オペアンプは反転入力ノードにおける誤差電流をセンスし(電圧帰還型オペアンプの場合には差動入力の誤差電圧をセンス)、内部の周波数依存のトランスインピーダンス・ゲインを通してこの誤差電流を出力に送ります。この開ループ・トランスインピーダンス応答性は、代表的性能曲線として示しています。この曲線は、電圧帰還型オペアンプの開ループ電圧ゲイン性能曲線と類似しています。図6に示す回路の伝達関数を展開すると、下記の式1が成り立ちます。

$$\frac{V_o}{V_i} = \frac{\alpha \left(1 + \frac{R_F}{R_G} \right)}{1 + \frac{R_F + R_I \left(1 + \frac{R_F}{R_G} \right)}{Z(s)}} = \frac{\alpha NG}{1 + \frac{R_F + R_I NG}{Z(s)}} \quad \text{式1}$$

$$\left[NG = \left(1 + \frac{R_F}{R_G} \right) \right]$$

有限の開ループ・ゲインから発生する誤差を分母に表記するループ・ゲイン・フォーマットでこの式を書いています。Z(s)の値がすべての周波数において無限であると仮定すれば、式1の分母は1に簡約され、分子に表記する必要な理想の信号ゲインが得られます。式1の分母に示す分数によって周波数応答が決定されます。これをループ・ゲイン式として表した式2を下記に示します。

$$\frac{Z(s)}{R_F + R_I NG} = \text{ループ・ゲイン} \quad \text{式2}$$

20 × log (R_F + NG × R_I)の曲線を開ループ・トランスインピーダンスの図の一番上の部分に書けば、この2つの曲線の差がある一定の周波数におけるループ・ゲインになります。最終的にZ(s)は、ループ・ゲインが1に減少する(曲線が交差する)点で式2の分母と等しくなるようにロールオフします。この等しくなる点は式1で求められるアンプの開ループ周波数応答がロールオフし始める点で、電圧帰還型オペアンプの場合のノイズ・ゲインが開ループ電圧ゲインと等しくなる周波数とまったく同じです。ここでの相違点は、式2の分母に示すトータル・インピーダンスを必要な信号ゲイン(またはNG)からいくらか独立して制御できることです。

OPA681では±5V電源、NG = 2およびR_F = 402Ωの動作条件で可能な限り平坦な周波数応答性が得られるよう内部で補償されています。式2の(帰還トランスインピーダンスである)分母の数値を求めると、492Ωの最適値が得られます。信号ゲインの変化に応じて、帰還トランスインピーダンスにおけるNG × R_I項の関与度が変化しますが、R_Fの値を調整することでトータル的には一定の値に維持可能です。信号ゲイン範囲においてR_Fの最適値を求める概算式を式3として下記に示します。

$$R_F = 484\Omega - NG R_I \quad \text{式3}$$

必要とする信号ゲインは大きくなるので、この式からR_Fが最終的には負になることも予測されます。R_Gの値を20Ωの最小値に維持することで、多少主観的な限界値を設定することも可能です。R_Fの値が極端に低ければ、入力のパッファ段と出力段の両方が負

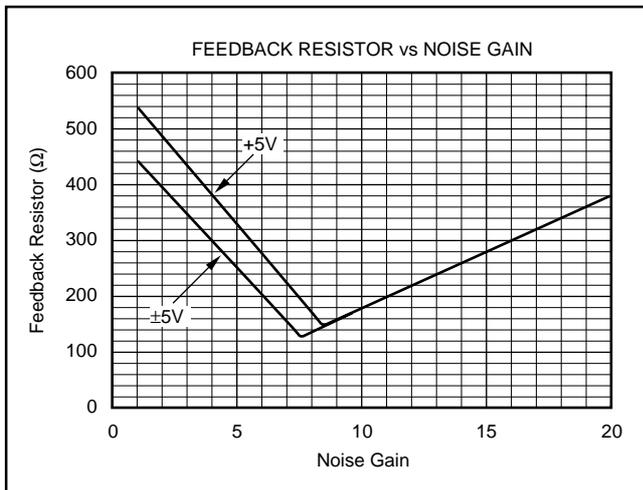


図7. 帰還抵抗の推奨値対ノイズ・ゲイン

荷となり、実際には帯域幅が減少します。±5Vのデュアル電源および+5Vのシングル電源動作時でのR_F推奨値対NGの曲線を図7に示します。この図に示すR_F対ゲインの値は、代表的性能曲線の作成時に使用した値とほとんど同じです。その相違点は、代表的性能曲線の作成時に使用した最適値の場合には、式3に集約される簡略的な解析では考慮されていない回路基板の寄生容量についても配慮している点です。帯域幅の最適化が必要な回路設計では、図7に示す数値が最適な回路設計に着手する上で参考になります。

アンプの反転入力インピーダンスの合計値を使用することで、閉ループ信号帯域幅の調整が可能です。反転入力とサミング・ジャンクションの間に1本の直列抵抗を挿入すると、帰還インピーダンス(式2の分母)が大きくなり、帯域幅が減少します。この帯域幅制御方式は、データシートの表紙に示す反転加算アンプ構成回路に利用しています。OPA681の内部バッファ出力インピーダンスは、非反転入力端子から見られる信号源インピーダンスによる影響を多少ですが受けます。信号源抵抗の値を高くするとR_Iの値が高くなる影響があり、これによって帯域幅が下がります。高い値の抵抗を使用して非反転入力でミッドポイント・バイアスを生成するシングル電源動作のアプリケーションでは電源ノイズの除去、非反転入力ノイズ電流の分岐および図6に示すR_Iの高周波数値を最小限に抑える目的でデカップリング・コンデンサの使用が不可欠です。

反転アンプ動作

OPA681は汎用の広帯域電流帰還型オペアンプなので、広範囲なオペアンプ・アプリケーション回路の設計に利用することができます。帰還素子(例えば積分器、トランスインピーダンス、一部のフィルタなど)にかなりの柔軟性が必要なアプリケーションの場合には、ユニティ・ゲイン安定動作の電圧帰還型オペアンプOPA680をご検討ください。OPA680では帰還抵抗が電流帰還型オペアンプの補償素子として使用されています。広帯域反転動作(そして特に加算)は、OPA681に非常に適した動作です。図1の回路で使用したI/Oインピーダンスと信号ゲインを反転回路構成に適用した標準的な反転回路を図8に示します。

反転構成では、2つの重要な設計上の留意点に注意することが必要です。最初の留意点は、ゲイン抵抗(R_G)が信号チャンネル入力インピーダンスの一部を形成する点です。入力インピーダンスのマッチングが必要であれば(これはケーブル、ツイスト・ペア配

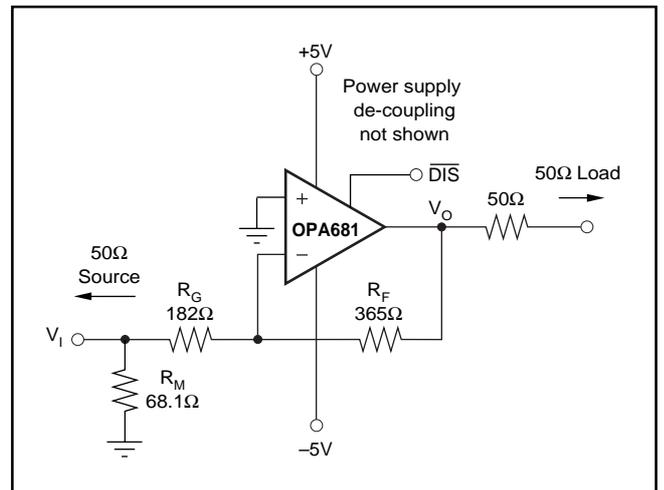


図8. ゲインを-2に設定した反転構成回路

線、長いIPC基板トレース配線またはその他の伝送線路を通して信号が結合するときに常に役立ちます)、通常はグランド間にマッチング抵抗を追加することが必要です。一般的に、 R_G 自体は必要な入力インピーダンスに設定されることはありません。この抵抗値と必要なゲイン設定によって、周波数応答の観点からはまったく適していない R_F の値が設定されるからです。信号源の入力インピーダンスの合計値は、 R_G と R_M を並列に接続した抵抗値に等しくなります。

2番目の留意点は、既に前のセクションで触れたとおり、信号源インピーダンスがノイズ・ゲイン式の一部を形成し、式1を通して帯域幅に多少の影響を及ぼす点です。図8に示す抵抗の値は(図1から) R_F の値を多少小さくすることによってこの点を考慮し、図8のノイズ・ゲイン($NG = 2.74$)について帯域幅の最適化を再び行なっています。例えば図8に示す回路の場合、抵抗 R_M の値が外部の50Ω信号源インピーダンスと並列に結合して、 $50\Omega || 68\Omega = 28.8\Omega$ の有効駆動インピーダンスが得られます。ノイズ・ゲイン(NG)を計算するためには、このインピーダンスを R_G に直列に追加します。その結果として求められる NG の値は2.74となります。この値と図8の R_F 値および41Ωの反転入力インピーダンスを式3に代入して、484Ωの最適値にほとんど等しい帰還トランスインピーダンスを得ます。バイポーラ電源の反転アプリケーションにおける非反転入力はグランドに直接接続する点に注意してください。出力でバイアス電流誤差をキャンセルするため、非反転入力とグランド間にさらに抵抗を追加接続することが推奨される場合があります。電流帰還型オペアンプの入力バイアス電流は通常、大きさまたは極性のどちらもマッチングされていません。図8の回路でOPA681の非反転入力とグランド間に抵抗を接続すると、その入力のバイアス電流とノイズ電流に対して実際にゲインが追加されることとなりますが、入力バイアス電流のマッチングがとれていないので、出力DC誤差が減少しません。

出力電流および電圧

OPA681は低コストのモノリシック・オペアンプとしては卓越した高い出力電圧および電流能力を達成しています。+25 °Cの無負荷条件下で、出力電圧は標準的に正と負の各電源レールの1V以内までスイングします。出力電圧スイングの保証制限値は各電源レールの1.2V以内までと規定されています。15Ωの負荷(試験負荷の最小値)に対して、±135mA以上の電流を出力することが保証されています。一般的なことですが、前述の仕様では電圧と電流の制限値をそれぞれ別個に切り離して扱っています。数多くのアプリケーションでこれは電圧×電流、すなわち $V \cdot I$ 積として回路の動作に関連します。代表的性能曲線に示す“出力電圧および電流制限”を参考にしてください。このグラフのX軸とY軸はそれぞれゼロ電圧時の出力電流制限値とゼロ電流時の出力電圧制限値を示しています。この図は4象限となっているので、OPA681の出力ドライブ能力がより詳細に表わされています。この図では1Wの最大許容消費電力の“安全動作領域”によって境界範囲が設定されている点に注意してください。プロット上に重畳された抵抗負荷ラインは、出力能力または1Wの消費電力限界値を超えないでOPA681が25Ω負荷に対して±2.5Vあるいは50Ω負荷に対して±3.5Vの出力電圧をドライブする能力を備えていることを示しています。100Ωの負荷ライン(標準の試験回路負荷)は、仕様のセクションに示しているように±3.9Vの完全な出力スイング能力を示しています。

動作温度範囲における出力電圧および電流の最小規定値は、最低の規定温度でのワーストケースのシミュレーションによって設定されます。コールド・スタートアップ時だけに限り、出力電流および電圧が保証仕様表に示している規定値まで減少します。出力トランジスタからパワーが伝達されると、接合部温度が上昇し、その V_{BE} が減少します(有効な出力電圧スイング・レベルが高くなります)。また、トランジスタの電流ゲインが高くなります(有効な出力電流レベルが高くなります)。定常時の動作時には、出力電流および電圧の有効値は動作温度仕様表に示している規定値よりも常に高くなります。その理由は、出力段の接合部温度が動作周囲温度として規定されている最小値よりも高くなるからです。

出力段において可能な限り高い直線性を維持するために、出力短絡保護回路は使用されていません。これによって通常、問題が起こるようなことはありません。ほとんどのアプリケーションでは出力側に直列のマッチング抵抗が用意されているからです。この抵抗の出力側がグランドに短絡されても、内部消費電力が制限されます。しかし、出力ピンを隣接した正の電源ピン(8ピン・パッケージの場合)に直接的に短絡接続するとほとんどの場合、アンプが破壊される結果になります。短絡保護をさらに行なう必要がある場合には、電源リードに値の小さな直列抵抗を追加してください。これによって、重い出力負荷条件下で有効な出力電圧スイング・レベルが下がります。各電源リードに5Ωの直列抵抗を追加することで出力短絡時に内部消費電力が1W以下に制限されると同時に、最高で100mAまでの必要な負荷電流に対して有効な出力電圧スイング・レベルの減少はわずか0.5Vに過ぎません。これらの電源電流制限用抵抗を電源ピンに付加した場合は、0.1μFの電源デカップリング用コンデンサを必ず配置してください。

容量性負荷のドライブ

容量性負荷はオペアンプを使用する際に最も注意すべき問題で、しかも非常に一般的に発生する負荷条件の一つです。A/Dコンバータの入力が容量性負荷となる場合があります。すなわち、A/Dコンバータの直線性を改善させるために、外部コンデンサの追加が推奨されることがあります。OPA681のような高速で高い開ループ・ゲインのアンプは、その出力ピン上に直接的に容量性負荷がかかると、これが原因で安定性が下がり、閉ループ応答性に容易にピーキングが発生します。アンプの開ループ出力抵抗値について考慮すると、容量性負荷によって信号経路に極が追加され、これによって位相マージンが減少します。適切な部品を外付けすることによりこの問題を解消するためのいくつかの方法が推奨されています。周波数応答の平坦性、信号パルス応答の忠実性および/または低歪みの維持が重要な課題である場合、最も簡単でしかも効果的な方法はアンプの出力と容量性負荷の間に直列に分離抵抗を接続し帰還ループから容量性負荷を分離することです。この方法によりループ応答から極が除去されるようなことはありませんが、極を高い周波数にシフトし、ゼロを追加します。追加されたゼロは容量性負荷極から位相遅れをキャンセルする作用を行なうので、位相マージンが大きくなるとともに安定性が改善されます。

推奨の R_G 対容量性負荷の関係と、その結果として得られる負荷における周波数応答性を代表的性能曲線に示します。寄生の容量性負荷が2pFよりも高くなると、OPA681の性能が劣化し始めます。PC基板の長いトレース配線、マッチングされていないケーブル、そして複数個のデバイス接続が要因となってこの値を容易

に超えてしまう可能性があります。常にこの影響について十分配慮し、推奨の直列抵抗をOPA681の出力ピンに可能な限り近づけて配置するようにしてください(「回路基板のレイアウト設計に関するガイドライン」を参照)。

歪み性能

OPA681は、±5V電源動作時の100Ω負荷に対して優れた歪み性能を発揮します。OPA681はより軽い負荷に対しては優れた歪み性能を発揮し、必要に応じて+5Vのシングル電源でも動作します。一般的に基本波が非常に高い周波数またはパワーレベルに達するまで、歪みは2次高調波によって支配され、3次高調波成分はほとんど無視できます。2次高調波に焦点を当てた場合、負荷インピーダンスを高くすれば直接的に歪み性能が改善されます。トータル負荷には帰還ネットワークが含まれている点に留意してください。非反転構成の場合(図1)これは $R_F + R_G$ の和となり、反転構成の場合には R_F だけの値になります。さらに、(バイポーラ動作のときに)電源ピン間に電源デカップリング用のコンデンサ(0.1μF)を追加すると、2次高調波歪み性能が多少改善されます(3dBから6dB程度)。

ほとんどのオペアンプでは、出力電圧スイングのレベルを高くすると、これに応じて直接的に高調波歪みが増加します。代表的性能曲線では、2次高調波歪みが予測される2倍の割合よりも少し低い割合で増加し、また3次高調波歪みが予測される3倍の割合よりも少し低い割合で増加していることをそれぞれ示しています。テスト・パワーを2倍にすると、これと2次高調波成分との差は6dBの期待値よりも小さな値に減少し、またこれと3次高調波成分との差は12dBの期待値よりも小さな値に減少します。これは、2トーンの3次相互変調スプリアス(IM3)応答曲線でも同様に見られます。出力パワーが低レベルのときに、3次スプリアス・レベルは極端に低くなります。基本信号のパワーが非常に高いレベルに達する場合であっても、出力段ではこれらを低いレベルに保持し続けます。代表的性能曲線に示すように、スプリアス相互変調パワーは従来から利用されてきたインターセプト・モデルで予測されるようには増加しません。基本パワー・レベルの増加に応じて、ダイナミック・レンジは大幅には下がりません。20MHzをセンター周波数としたツートーンの場合、50Ωのマッチング負荷に対して10dBm/トーンを適用すると(すなわち、負荷における各トーンについて2V_{p-p}の電圧スイングで、出力ピン全体の2トーン・エンベロープには8V_{p-p}の電圧スイングが必要)、テスト・トーン・パワーと3次相互変調スプリアス・パワー間の差として62dBcの値が代表的性能曲線から確認されます。この非常に優れた性能は、より低い周波数帯域での動作時にはさらに大きく改善されます。

ノイズ性能

広帯域電流帰還型オペアンプの出力ノイズは一般的に、同等性能の電圧帰還型オペアンプの出力ノイズよりも高くなる傾向があります。しかしOPA681には電圧ノイズ項と電流ノイズ項との間の非常に優れたバランス性能があり、低い出力ノイズ性能を達成しています。反転電流ノイズ(15pA/√Hz)は従来製品よりも大幅に低く、しかも入力電圧ノイズ(2.2nV/√Hz)もほとんどのユニティ・ゲイン安定動作の広帯域電圧帰還型オペアンプよりも低くなっています。この低い入力電圧ノイズの維持に関連して、非反

転入力電流ノイズが高くなっています(12pA/√Hz)。非反転入力ノードから見られるAC信号源インピーダンスの値が100Ω以下であれば、この電流ノイズがトータルの出力ノイズの増加に及ぼす主要因になることはありません。オペアンプの入力電圧ノイズと2つの入力電流ノイズ項の組み合わせによって、各種の幅広い動作条件下で低い出力ノイズ性能が確保されます。すべてのノイズ項を含んだオペアンプのノイズ解析モデルを図9に示します。このモデルではすべてのノイズ項が含まれており、nV/√HzまたはpA/√Hzを単位としたノイズ電圧または電流密度項に分類されています。

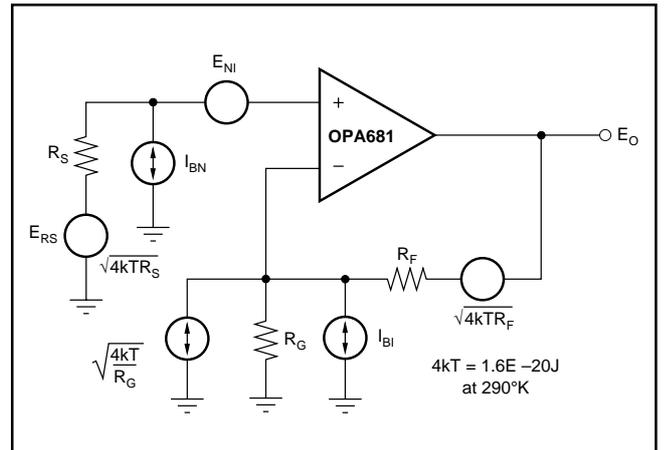


図9. オペアンプのノイズ解析モデル

出力スポット・ノイズ電圧の合計値は、すべての出力電圧ノイズ項の二乗和平方根として算出できます。図9に示す各項を使用して出力ノイズ電圧の値を求める一般式を式4として示します。

$$\text{式4: } E_O = \sqrt{(E_{NI}^2 + (I_{BN}R_S)^2 + 4kTR_S) NG^2 + (I_{BI}R_F)^2 + 4kTR_F} NG$$

この式をノイズ・ゲイン($NG = (1 + R_F/R_G)$)で除算すると、式5で示すようにアンプの非反転入力における入力換算スポット・ノイズ電圧の等価値が求められます。

$$\text{式5: } E_N = \sqrt{E_{NI}^2 + (I_{BN}R_S)^2 + 4kTR_S + \left(\frac{I_{BI}R_F}{NG}\right)^2 + \frac{4kTR_F}{NG}}$$

図1に示しているOPA681の回路と使用部品の値についてこれら2つの式から解を求めると、出力スポット・ノイズ電圧の合計値として8.4nV/√Hzおよび入力スポット・ノイズ電圧の等価合計値として4.2nV/√Hzの各値が求められます。この入力換算スポット・ノイズ電圧の合計値は、オペアンプの電圧ノイズのみに関して規定されている2.2nV/√Hz仕様値よりも高くなっています。これは、反転電流ノイズ×帰還抵抗の値の分だけノイズが出力に加わっているからです。(既に推奨したように)ゲインの高い回路構成で帰還抵抗の値を小さくすれば、式5で求められる入力換算電圧ノイズの合計値はオペアンプ自体の電圧ノイズ値である2.2nV/√Hzに近づきます。例えば、 $R_F = 180\Omega$ の条件でゲイン+10の回路を構成する場合の入力換算電圧ノイズの合計値は2.4nV/√Hzになります。

DC精度とオフセット制御

OPA681のような電流帰還型オペアンプは高ゲイン設定で非常に高い帯域幅性能を発揮し、高速信号パルス・セトリング動作が可能ですが、同時に高DC精度を達成することはできません。仕様に入力オフセット電圧が高速の電圧帰還型オペアンプの場合と匹敵することが示されています。しかし、2つの入力バイアス電流は多少高くなっており、マッチングも行なわれていません。ほとんどの電圧帰還型オペアンプの場合にはバイアス電流キャンセル技術が非常に効果的ですが、広帯域電流帰還型オペアンプの場合には、一般的にこのような技術を適用しても出力のDCオフセットは低減されません。2つの入力バイアス電流のレベルと極性に相関性がまったくないので、出力に影響を及ぼす誤差を低減するために各入力から見られる信号源インピーダンスのマッチングをとっても効果はまったくありません。+25におけるワーストケースの入力オフセット電圧と電流の仕様を使用して図10の回路を評価すると、ワーストケースの出力オフセット電圧は下記の値に等しくなります。

$$\pm(NG \times V_{OS(MAX)}) + (I_{BN} \times R_S / 2 \times NG) \pm (I_{BF} \times R_F)$$

ここで、NG = 非反転信号ゲインです。

$$\begin{aligned} &= \pm(2 \times 5.0\text{mV}) + (55\mu\text{A} \times 25\Omega \times 2) \pm (402\Omega \times 40\mu\text{A}) \\ &= \pm 10\text{mV} + 2.75\text{mV} \pm 16\text{mV} \\ &= -23.25\text{mV} \quad +28.25\text{mV} \text{に等しい値になります。} \end{aligned}$$

精密な出力オフセット調整またはDC動作点調整が必要な場合があります。オペアンプ回路にDCオフセット制御を適用する方法には数多くの技術があります。ほとんどの場合、簡単な調整技術を利用して温度ドリフトは補正されません。速度のより低い高精度のオペアンプをOPA681とともに使用して、高精度オペアンプの高いDC精度とOPA681の高い信号帯域幅の優れた各性能を兼ね備えた回路を構成する方法があります。図10に示す回路は、150MHzを超える信号帯域幅性能を備え、しかも出力オフセット電圧が動作温度範囲で $\pm 7.5\text{mV}$ 以下の低い値に維持された $G = +10$ の非反転構成回路例です。

このDC結合回路では、OPA681を使用することによって非常に高い信号帯域幅が維持されています。より低い周波数時には、出力電圧は信号ゲインによって減衰され、OPA237の入力において元の入力電圧と比較されます(OPA237はゲイン帯域幅積が

1.5MHzの低価格、高精度の電圧帰還型オペアンプです)。この出力電圧と元の入力電圧が(OPA681によって引き起こされるDCオフセットが原因で)一致しなければ、OPA237は $2.86\text{k}\Omega$ の反転加算信号経路を通して補正電流を加算します。次に説明するいくつかの設計方法を利用して、この回路を最適化することが可能です。最初の方法として、OPA237の非反転入力ノードを高速信号ゲインに対して高精度にマッチングすることが必要です。グランド間に接続する $2\text{k}\Omega$ の抵抗を調整可能な抵抗にすると、低周波数ゲインと高周波数ゲインを高い精度でマッチングすることができます。2番目に、OPA237からOPA681に制御が渡されるクロスオーバー周波数領域が非常に優れた位相直線性で起こる必要があります。この2つの方法を利用することで、全体の伝達関数において極/ゼロの周波数キャンセルを行なうための設計上の負担が軽減されます。 $2.86\text{k}\Omega$ の抵抗を使用すると通常、図10の回路が必要とされるこの規定条件を満足します。すべてのプロセスおよび温度に対して完全なキャンセルを行なうことは不可能です。しかし、この初期抵抗設定と高精度なゲイン・マッチングによって、長時間パルス・セトリング性能の劣化が最小限に抑えられます。

ディスエーブル動作

OPA681にはシステムの消費電力低減または簡単なチャンネルマルチプレクシング動作のどちらかを目的として使用可能なディスエーブル機能がオプションとして用意されています。 $\overline{\text{DIS}}$ 制御ピンを無接続状態にすれば、OPA681は通常動作を行いません。ディスエーブル機能を実行するときには、この制御ピンをLOWにする必要があります。ディスエーブル制御機能の簡略化内部回路を図11に示します。

通常動作時にはトランジスタQ1のベース電流が $110\text{k}\Omega$ の抵抗を通して供給されるため、エミッタ電流により $15\text{k}\Omega$ の抵抗に発生する電圧降下はQ1のエミッタに接続された2個のダイオードをターンオンするまでには至りません。 V_{DIS} がLOWレベルに引き込まれると、 $15\text{k}\Omega$ 抵抗を通して追加電流がさらに引き込まれ、その結果としてこれら2個のダイオードがターンオンします($\approx 100\mu\text{A}$)。この時点で V_{DIS} からさらに引き出された電流は、Q1のエミッタ-ベース間電圧を約0Vに保持する2個のダイオードを通過します。この動作によりQ1から出力されるコレクタ電流が遮断され、アンプがターンオフします。ディスエーブル動作モード

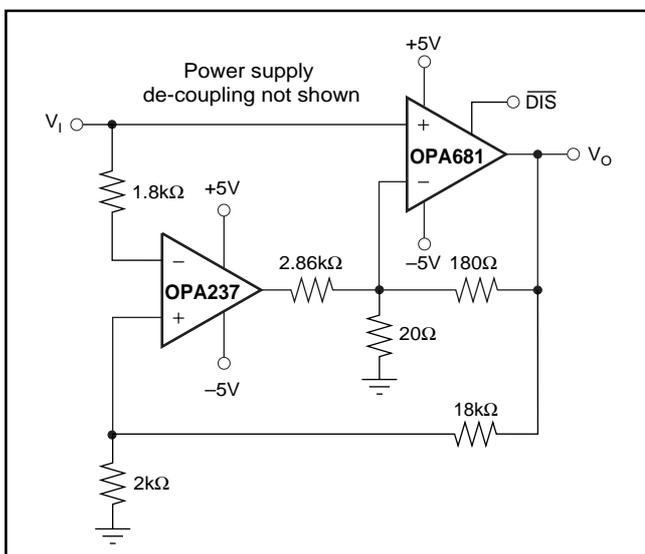


図10. $G = +10$ 、広帯域、高精度の複合構成アンプ回路

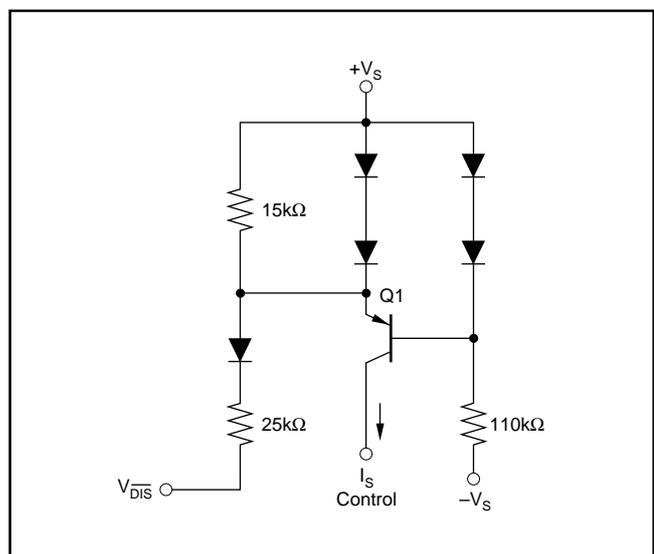


図11. ディスエーブル制御機能の簡略化回路

時の電源電流は図11の回路動作に必要な電流だけに過ぎません。この追加回路は、ターンオン時間をターンオフ時間よりも高速にします(メイク・ピフォア・ブレイク)。

ディスエーブル動作モードに設定すると、出力と入力の各ノードがハイ・インピーダンス状態に入ります。OPA681を+1のゲインで動作させる場合には、これによって出力側のインピーダンスが非常に高くなり(4pF || 1MΩ)、非常に高い信号絶縁性能が確保されます。OPA681を+1よりも高いゲインで動作させる場合には、トータルの帰還ネットワーク抵抗値($R_F + R_C$)が出力側で見られるインピーダンスとして現れますが、依然として回路の順方向および逆方向の絶縁性能は高いレベルに維持されます。アンプを反転構成にすると、入力と出力は帰還ネットワーク抵抗($R_F + R_C$)を通して接続されるので、入力と出力間の絶縁性能が比較的劣化する結果になります。

ディスエーブル動作モード時に重要となる1つのパラメータは、ディスエーブルモードと通常動作との切替え時に発生する出力グリッチです。入力信号が0Vのときに図1の回路で発生するグリッチの特性を図12に示します。 $\overline{\text{DIS}}$ ピン電圧とともに、出力ピンのグリッチ波形をこの図では示しています。

$\overline{\text{DIS}}$ 制御ラインの遷移エッジ・レート(dv/dt)によって、このグリッチ特性は左右されます。図12では、グリッチの振幅レベルの減少が観測されなくなるまでエッジ・レートを下げています。より高速なロジック・ラインから $V_{\overline{\text{DIS}}}$ ピンに簡単な構成のRCフィルタ回路を追加することで、図に示す約1V/nsの最大スルーレートが達成できます。遷移時間が極度に高速のロジックを使用する場合には、ロジック・ゲートと $\overline{\text{DIS}}$ 入力ピンの間に直列に2kΩ抵抗を接続すると、 $\overline{\text{DIS}}$ ピン上の寄生入力容量のみを使用しただけの十分な帯域幅制限が行なわれるとともに、十分なロジック・レベルスイングも保証されます。

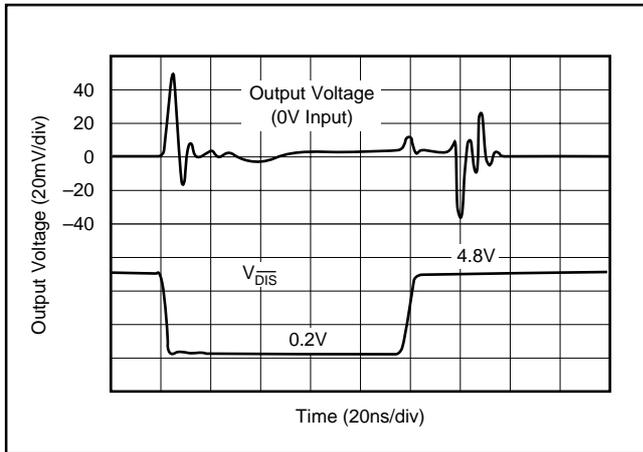


図12. ディスエーブル/イネーブル・グリッチ波形

熱解析

OPA681は高い出力パワー能力を備えているので、極端な動作条件下ではヒートシンクまたは強制的なエアフローが必要になります。下記に説明するように、最大許容接合部温度によって内部消費電力の最大許容値が設定されます。接合部温度の最大値が+175 を超えてはなりません。

動作接合部温度(T_J)は $T_A + P_D \times \theta_{JA}$ の式から求められます。内部消費電力(P_D)の合計値は、無信号時の消費電力(P_{DQ})と出力段

で負荷パワーを供給するために消費される追加電力(P_{DL})の和です。無信号時の消費電力は、無負荷時の電源電流とデバイスの電源電圧の合計値を単に乗算した値です。 P_{DL} は必要な出力信号と負荷に応じて変動しますが、グランド接続の抵抗性負荷の場合には、出力が各電源電圧(まったく等しいバイポーラ電源の場合)の1/2に等しい電圧に固定されているときに最大になります。この条件下で R_L に帰還ネットワーク負荷が含まれる場合、 $P_{DL} = V_S^2 / (4 \times R_L)$ となります。

内部消費電力を決定するのは出力段における消費電力であって、負荷に対する消費電力ではない点に注意してください。ワーストケースの例として、+85 の最大規定周囲温度で動作し、グランド接続された20Ωの抵抗負荷を+2.5V DCに対してドライブする図1の回路でOPA681N(6ピンのSOT23パッケージ)を使用した場合の接合部温度 T_J の最大値を計算してみます。

$$P_D = 10V \times 7.2mA + 5^2 / (4 \times (20\Omega \parallel 804\Omega)) = 392mW$$

$$T_J \text{の最大値} = +85 + (0.39W \times 150 / W) = 144$$

この値は接合部温度として規定されている最大値を十分に下回っていますが、システムの信頼性を確実に保証するためには、これよりも低い接合部温度を保証することが必要です。これはワーストケースの内部消費電力であり、 P_{DL} を算出するには実際の信号値および負荷を使用します。出力に電流を強制的にシンクさせて正の電圧を出力することや、出力から電流をソースさせて負の電圧を出力することが負荷に必要な場合に、内部消費電力が最高のレベルに達する可能性があります。このような場合には内部で大きな電圧降下が発生して、高レベルの電流が出力トランジスタに流れ込みます。代表的性能曲線に示す出力電圧と電流の制限の図では、このような条件下で発生する1Wの最大内部消費電力の範囲の境界を示しています。

回路基板のレイアウト設計に関する考慮事項

OPA681のような高周波数動作のアンプから最適性能を引き出すには、回路基板レイアウトの寄生容量や外付け部品の選択について細心の注意を払うことが必要です。以下にプリント回路基板のレイアウト設計および部品の選択について推奨事項を記載します。

- すべての信号I/OピンとACグランド間の寄生容量を最小限に抑えます。出力ピンと反転入力ピンに寄生容量が存在すると動作が不安定になり、非反転入力上に寄生容量があると、信号源インピーダンスと相互作用を起こして予想外に帯域幅が制限されることになります。不要な容量を低減するには、信号I/Oピン周囲のすべてのグランド・プレーンおよび電源プレーンについてこれらのピンの周囲に窓を開放することが必要です。これ以外の領域のグランド・プレーンと電源プレーンは、完全な状態のままにしておきます。
- 電源ピンから0.1μFの高周波数デカップリング・コンデンサまでの距離を最小限に抑えます(0.25インチ以下)。グランド・プレーンと電源プレーンのレイアウトは、これらのピンで信号I/Oピンと接近しないように注意します。ピンとデカップリング・コンデンサ間のインダクタンスを最小限に抑えるために、電源とグランドのパターン幅を狭くすることは避けてください。(ピン4および7上の)電源接続は必ずこれらのコンデンサを使用してデカップリングします。2つの電源(バイポーラ動作の場合)間にオプションとして用意した電源デカップリング用コンデンサを配置すると、2次高調波歪み性能が改善されます。より低

い周波数で有効な容量のもっと大きなデカップリング・コンデンサ(2.2 μ F ~ 6.8 μ Fまでの容量)もメインの電源ピンに接続します。これらのコンデンサはデバイスから多少離して配置し、PC基板の同じ領域に実装されている複数個のデバイス間で共有することができます。

- c) OPA681の高周波数性能は、外付け部品の選択と配置を慎重に行なうことによって維持されます。抵抗にはリアクタンスの非常に低いタイプを使用します。表面実装抵抗が最も効果的で、全体の回路レイアウトを小さくできます。金属皮膜型またはカーボン・コンポジット軸方向リード線型抵抗も良好な高周波数性能が得られます。これらのリード線とPC基板の配線トレースも同様に可能な限り短くしてください。高周波数アプリケーションには巻線タイプの抵抗を絶対に使用しないでください。出力ピンと反転入力ピンは寄生容量の影響を最も受けやすいので、帰還抵抗や直列出力抵抗を接続する場合には、常に出力ピンに可能な限り近づけて配置してください。非反転入力終端抵抗などの他のネットワーク部品も同様に、パッケージに近接させて配置してください。部品の両面実装が可能であれば、帰還抵抗をパッケージの裏面の出力ピンと反転入力ピン間に直接的に実装して下さい。既に説明したように、周波数応答性は主として帰還抵抗の値によって決まります。この値を大きくすると帯域幅が下がり、逆にこの値を小さくするとピーク・レベルの大きな周波数応答性が得られます。 $\pm 5V$ 電源および $+2$ のゲイン設定条件の特性仕様に適用している 402Ω の帰還抵抗はよいスターティング・ポイントです。ユニティ・ゲイン・フォロア・アプリケーションでは直接的に短絡するのではなく、 453Ω の帰還抵抗の使用が推奨される点に注意してください。電流帰還型オペアンプの場合には、ユニティ・ゲイン・フォロア構成の場合であっても、安定性を制御するためには帰還抵抗が必要になります。
- d) 回路基板上の他の広帯域デバイスとの接続には、短いパターンを直接的に使用するか、またはオンボードの伝送ラインを使用してください。短い配線接続では、パターンと隣接デバイスの入力を一体の容量性負荷と考えます。比較的広いパターン幅(50~100ミル)を使用することが必要で、可能であればその周囲のグランド・プレーンと電源プレーンを開放します。全体の容量性負荷を求めて、推奨 R_s 対容量性負荷のプロット図から R_s の値を設定してください。OPA681は公称値 $2pF$ の寄生容量負荷で動作するように補償されているので、小さい寄生容量性負荷($< 5pF$)に対しては R_s は必要ありません。長いパターンが必要で、両側終端の伝送ラインに固有の $6dB$ の信号損失が許容される場合には、マイクロストリップまたはストリップ・ラインの手法によってインピーダンス・マッチングのとれた伝送ラインを使用します。回路基板上では 50Ω による終端は必要なく、実際には歪み対負荷のプロット図に示しているように高インピーダンス負荷の方が歪みが改善されます。回路基板の材質や必要なパターンの寸法に基づいて決まる回路基板パターンの特性インピーダンスとともに、OPA681の出力からのパターンにマッチング用直列抵抗を使用し、相手側デバイスの入力に終端シャント抵抗を使用します。終端インピーダンスが相手側デバ

イスのシャント抵抗と入力インピーダンスの並列な組み合わせになる点にも注意してください。この全体の実効インピーダンスをパターンのインピーダンスと一致するように設定することが必要です。OPA681は高い電圧および電流出力能力を備えているので、複数個の接続先デバイスをそれぞれ直列抵抗とシャント終端抵抗をもった別々の伝送ラインとして扱うことが可能です。2重終端伝送ラインの $6dB$ の減衰損失が許容できない場合には、長いパターンをソース側だけ直列に終端することが可能です。この場合にはパターンを容量性負荷として扱い、推奨 R_s 対容量性負荷のプロット図に示しているように直列抵抗の値を設定してください。ただし、2重終端ラインと同様の信号の完全性は維持されません。接続先デバイスの入力インピーダンスが低ければ、終端インピーダンスに対して直列の出力によって形成される分圧器によって信号がある程度減衰します。

- e) OPA681のような高速デバイスにソケットの使用は推奨できません。ソケットの使用によってリード長と各ピン間の容量が増加することになり、これが原因で極めて厄介な寄生ネットワークが形成され、平坦で安定した周波数応答性を確保することがほとんど困難になります。回路基板上にOPA681を半田付けすると、最良の結果が得られます。DIPパッケージのソケット装着が必要な場合には、高周波数のフラッシュ・マウント・ピン(例: McKenzie Technology社の710Cなど)を使用すると、良好な結果が得られます。

入力およびESD保護

OPA681は非常に高速のコンプリメンタリ・バイポーラ・プロセスで製造されています。この非常に微細なデバイスは内部接合部のブレイクダウン電圧が比較的強く抑えられています。このブレイクダウン電圧は絶対最大定格で規定されています。デバイスのピンはすべて図13に示すように、電源に対する内部ESD保護用のダイオードによって保護されています。

これらのダイオードは、電源電圧を超える入力オーバー・ドライブ電圧に対する適切な保護も行ないません。保護ダイオードは $30mA$ (標準値)の連続電流をサポートできます。これよりも高いレベルの電流が発生する可能性がある場合には(例えば、OPA681に対してドライブをかける $\pm 15V$ 電源動作部品を使用するシステムなど)、2個の入力間に直列に電流制限用抵抗を追加することが必要です。これらの抵抗の値は可能な限り低くしてください。高い値の抵抗を使用すると、ノイズ性能と周波数応答性が劣化します。

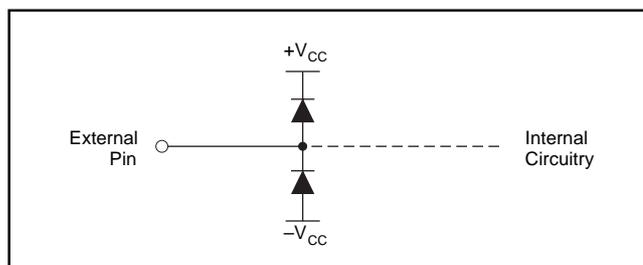
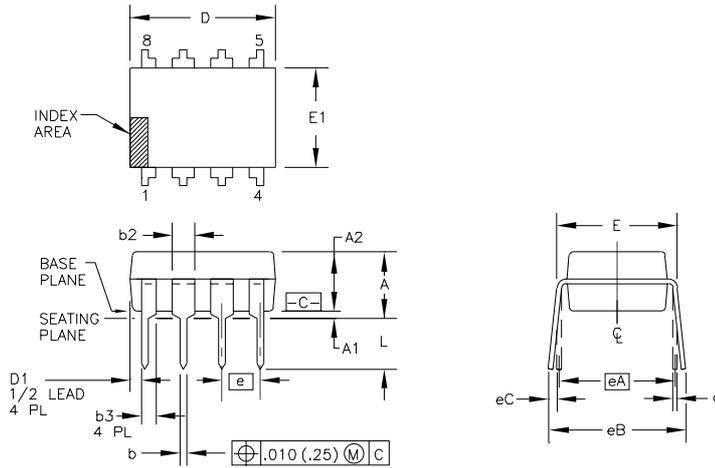


図13. 内部ESD保護回路

外観

パッケージ番号006 - 8ピン・プラスチックDIP



DIM	INCHES		MILLIMETERS		N	E
	MIN.	MAX.	MIN.	MAX.		
A	--	.210	--	5.33	3	
A1	.015	--	0.38	--	3	
A2	.115	.195	2.92	4.95		
b	.014	.022	0.36	0.56		
b2	.045	.070	1.14	1.78	9	
b3	.030	.045	0.76	1.14	9	
c	.008	.014	0.20	0.36		
D	.355	.400	9.02	10.16	4	
D1	.005	--	0.13	--	4	
E	.300	.325	7.62	8.26	5	
E1	.240	.280	6.10	7.11	4	
e	.100	BASIC	2.54	BASIC		
eA	.300	BASIC	7.63	BASIC	5	
eB	--	.430	--	10.92	6	

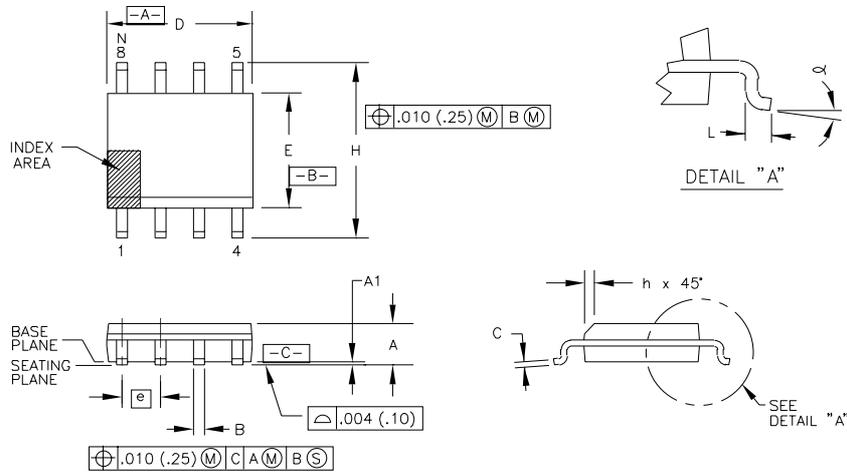
NOTES:

1. ALL DIMENSIONS ARE IN INCHES.
2. DIMENSIONING AND TOLERANCING PER ANSI Y14.5M-1982.
3. DIMENSIONS A, A1, AND L ARE MEASURED WITH THE PACKAGE SEATED IN JEDEC SEATING PLANE GAUGE GS-3.
4. D, D1, AND E1 DIMENSIONS DO NOT INCLUDE MOLD FLASH OR PROTRUSIONS. MOLD FLASH OR PROTRUSIONS SHALL NOT EXCEED .010 (0.25mm).
5. E AND eA MEASURED WITH THE LEADS CONSTRAINED TO BE PERPENDICULAR TO DATUM [C].
6. eB AND eC ARE MEASURED AT THE LEAD TIPS WITH THE LEADS UNCONSTRAINED.
7. N IS THE MAXIMUM OF TERMINAL POSITIONS.

8. POINTED OR ROUNDED LEAD TIPS ARE PREFERRED TO EASE INSERTION.
9. b2 AND b3 MAXIMUM DIMENSIONS DO NOT INCLUDE DAMBAR PROTRUSIONS. DAMBAR PROTRUSIONS SHALL NOT EXCEED .010 (0.25mm).
10. DISTANCE BETWEEN LEADS INCLUDING DAMBAR PROTRUSIONS TO BE .005 (0.13mm) MINIMUM.
11. A VISUAL INDEX FEATURE MUST BE LOCATED WITHIN THE CROSS-HATCHED AREA.
12. FOR AUTOMATIC INSERTION, ANY RAISED IRREGULARITY ON THE TOP SURFACE (STEP, MESA, ETC.) SHALL BE SYMMETRICAL ABOUT THE LATERAL AND LONGITUDINAL PACKAGE CENTERLINES.

PACKAGE NUMBER: ZZ006 REV.: E
JEDEC NUMBER: MS-001-BA

パッケージ番号182 - 8ピンSOP



DIM	INCHES		MILLIMETERS		N	E
	MIN.	MAX.	MIN.	MAX.		
A	.0532	.0688	1.35	1.75		
A1	.004	.0098	0.10	0.23		
B	.013	.020	0.33	0.51	7	
C	.0075	.0098	0.20	0.25		
D	.189	.1968	4.80	4.98	2	
E	.1497	.1574	3.80	4.00	3	
e	.050	BASIC	1.27	BASIC		
H	.2284	.244	5.80	6.20		
h	.0099	.0196	0.25	0.50	4	
L	.016	.050	0.41	1.27	5	
N	8		8		6	
α	0°	8°	0°	8°		

NOTES:

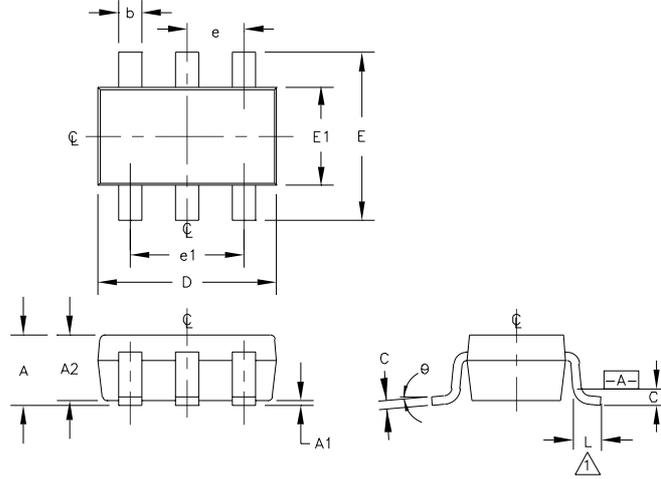
1. DIMENSIONING AND TOLERANCING PER ANSI Y14.5M-1982.
2. DIMENSION D DOES NOT INCLUDE MOLD FLASH, PROTRUSIONS OR GATE BURRS. MOLD FLASH, PROTRUSIONS AND GATE BURRS SHALL NOT EXCEED .006 IN. (0.15 mm) PER SIDE.
3. DIMENSION E DOES NOT INCLUDE INTER-LEAD FLASH OR PROTRUSIONS. INTER-LEAD FLASH AND PROTRUSIONS SHALL NOT EXCEED .010 IN. (0.25 mm) PER SIDE.
4. THE CHAMFER ON THE BODY IS OPTIONAL. IF IT IS NOT PRESENT,

5. L IS THE LENGTH OF TERMINAL FOR SOLDERING TO A SUBSTRATE.
6. N IS THE NUMBER OF TERMINAL POSITIONS.
7. THE LEAD WIDTH B, AS MEASURED .014 IN. (0.36 mm) OR GREATER ABOVE THE SEATING PLANE, SHALL NOT EXCEED A MAXIMUM VALUE OF .024 IN. (0.61 mm).
8. LEAD TO LEAD COPLANARITY SHALL BE LESS THAN .004 IN. (0.10 mm) FROM SEATING PLANE.

A VISUAL INDEX FEATURE MUST BE LOCATED WITHIN THE CROSS-HATCHED AREA.

PACKAGE NUMBER: ZZ182 REV.: H
JEDEC NUMBER: MS-012-AA

パッケージ番号332 - 6ピンSOT23



DIM	INCHES		MILLIMETERS		NOTE
	MIN.	MAX.	MIN.	MAX.	
A	.035	.057	0.90	1.45	
A1	.000	.006	0.00	0.15	
A2	.035	.051	0.90	1.30	
b	.010	.020	0.25	0.50	
C	.003	.008	0.08	0.20	
D	.110	.122	2.80	3.10	
E	.102	.118	2.60	3.00	
E1	.059	.069	1.50	1.75	
e	.037	REF	0.95	REF	
e1	.075	REF	1.90	REF	
C1	.007	BASIC	0.20	BASIC	
theta	0°	10°	0°	10°	
N	6		6		

NOTES:

1. FOOT LENGTH MEASURED AT INTERCEPT POINT BETWEEN DATUM A AND LEAD SURFACE.
2. PACKAGE OUTLINE EXCLUSIVE OF MOLD FLASH AND METAL BURR.
3. PACKAGE OUTLINE INCLUSIVE OF SOLDER PLATING.

PACKAGE NUMBER: ZZ332 REV.: A
 JEDEC NUMBER: NONE