



SpeedPlus™ 広帯域、電圧帰還型、
 ディスエーブル機能付きオペアンプ

特長

- 広帯域+5V電源動作：220MHz(G = 2)
- ユニティ・ゲイン安定動作：400MHz(G = 1)
- 大出力電流：150mA
- 出力電圧スイング：±4.0V
- 高スルーレート：1800V/μs
- 低電源電流：6.4mA
- ディスエーブル時の低消費電流：300μA
- イネーブル/ディスエーブル時間：25ns/100ns

概要

OPA680は、ユニティ・ゲイン安定動作が保証された電圧帰還型のオペアンプで、従来のオペアンプ製品と比較して性能が大幅に改善されています。このオペアンプには新しい内部アーキテクチャが採用されており、従来は広帯域の電圧帰還型オペアンプでしか実現できなかった高いスルーレートとフルパワー帯域幅特性を備えています。さらに、まったく新しい出力段アーキテクチャを採用し、最小限のヘッドルーム条件で高レベルの電流を出力します。これらの優れた特性により、比類のないシングル電源動作が可能になっています。OPA680は+5Vのシングル電源で動作し、100mAを超えるドライブ電流能力と150MHzの広帯域動作で1Vから4Vまでの範囲の出力電圧スイング特性を備えています。OPA680はこれにより多くの優れた特長を備えているので、RGBライン・ドライバやシングル電源動作のADC入力ドライバのアプリケーションに理想的です。

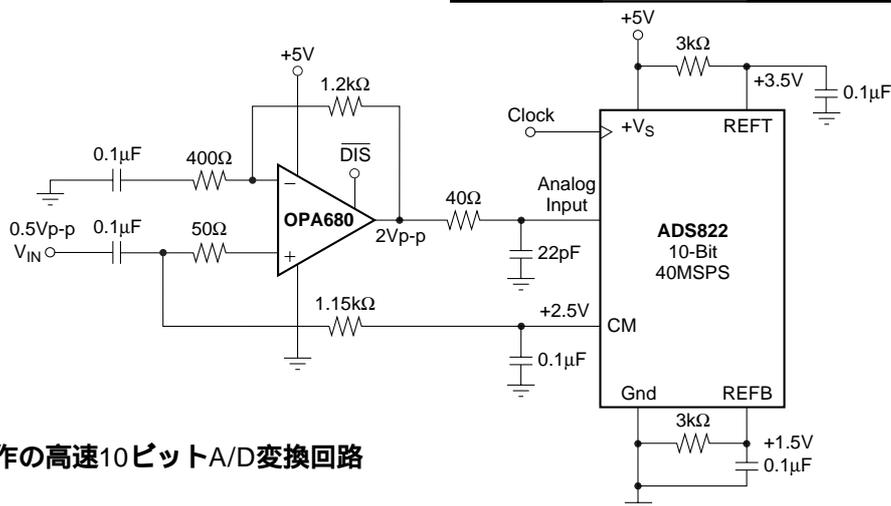
アプリケーション

- ビデオ・ライン・ドライバ
- xDSLライン・ドライバ/レシバ
- 高速画像処理信号チャンネル
- ADCバッファ
- 携帯型計測機器
- トランスインピーダンス・アンプ
- アクティブフィルタ

OPA680の6.4mAという低電源電流は+25°Cで正確に調整されています。この電流調整に加え、温度ドリフトも非常に低く抑えられているので、同等性能の製品と比較し電源電流の最大値がより低いことが保証されています。オプションのディスエーブル制御ピンを使用すると、システムの消費電力をさらに低減することができます。このディスエーブル・ピンをオープンにするか、またはHIGH状態に保持すると、OPA680は通常の動作を行います。このピンをLOWレベルに引き込むと、OPA680の電源電流は300μA以下に低減されると同時に、出力はハイ・インピーダンス状態に入ります。この機能を消費電力の節減またはビデオMUXアプリケーションに利用することができます。

OPA680関連製品

	シングル	デュアル	トリプル
電圧帰還型	OPA680	OPA2680	OPA3680
電流帰還型	OPA681	OPA2681	OPA3681
固定ゲイン	OPA682	OPA2682	OPA3682



シングル電源動作の高速10ビットA/D変換回路

仕様：V_S = ±5V

特に記述のない限り、R_F = 402Ω、R_L = 100Ω、G = +2 (AC性能のみの場合には図1を参照)です。

パラメータ	条件	OPA680P、U、N						最小/最大	テストレベル ⁽¹⁾
		標準	保証						
		+25	+25 ⁽²⁾	0 ~ +70 ⁽³⁾	-40 ~ +85 ⁽³⁾	単位			
AC性能(図1)									
小信号帯域幅	G = +1, V _O = 0.5Vp-p, R _F = 25Ω	400				MHz	Typ	C	
	G = +2, V _O = 0.5Vp-p	220	210	200	190	MHz	Min	B	
	G = +10, V _O = 0.5Vp-p	30	20	20	20	MHz	Min	B	
ゲイン帯域幅積	G ≥ 10	300	200	200	200	MHz	Min	B	
0.1dBのゲイン平坦性が得られる帯域幅	G = +2, V _O < 0.5Vp-p	30				MHz	Typ	C	
G = 1時のピーキング・レベル	V _O < 0.5Vp-p	4				dB	Typ	C	
大信号帯域幅	G = +2, V _O = 5Vp-p	175				MHz	Typ	C	
スルーレート	G = +2, 4Vステップ	1800	1400	1200	900	V/μs	Min	B	
立ち上がり/立ち下がり時間	G = +2, V _O = 0.5Vステップ	1.4				ns	Typ	C	
	G = +2, V _O = 5Vステップ	2.8				ns	Typ	C	
セトリングタイム(0.02%)	G = +2, V _O = 2Vステップ	12				ns	Typ	C	
(0.1%)	G = +2, V _O = 2Vステップ	8				ns	Typ	C	
高調波歪み	G = +2, f = 5MHz, V _O = 2Vp-p								
2次高調波	R _L = 100Ω	-68	-63	-62	-60	dBc	Max	B	
	R _L ≥ 500Ω	-80	-70	-68	-65	dBc	Max	B	
3次高調波	R _L = 100Ω	-80	-75	-73	-70	dBc	Max	B	
	R _L ≥ 500Ω	-88	-85	-83	-80	dBc	Max	B	
入力電圧ノイズ	f > 1MHz	4.8	5.3	5.9	6.1	nV/√Hz	Max	B	
入力電流ノイズ	f > 1MHz	2.5	2.8	3.0	3.6	pA/√Hz	Max	B	
微分ゲイン	G = +2, NTSC, V _O = 1.4Vp, R _L = 150	0.05				%	Typ	C	
微分位相	G = +2, NTSC, V _O = 1.4Vp, R _L = 150	0.03				deg	Typ	C	
DC性能⁽⁴⁾									
開ループ電圧ゲイン(A _{OL})	V _O = 0V, R _L = 100Ω	58	54	52	50	dB	Min	A	
入力オフセット電圧	V _{CM} = 0V	±1.0	±4.5	±5.2	±6.0	mV	Max	A	
平均オフセット電圧ドリフト	V _{CM} = 0V			±10	±10	μV/	Max	B	
入力バイアス電流	V _{CM} = 0V	+8	+14	+19	+32	μA	Max	A	
平均バイアス電流ドリフト(振幅)	V _{CM} = 0V			-70	-150	nA/	Max	B	
入力オフセット電流	V _{CM} = 0V	±0.1	±0.7	±1.0	±1.2	μA	Max	A	
平均オフセット電流ドリフト	V _{CM} = 0V			±1	±1.5	nA/	Max	B	
入力									
同相モード入力範囲(CMIR) ⁽⁵⁾		±3.5	±3.4	±3.3	±3.2	V	Min	A	
同相モード除去(CMRR)	V _{CM} = ±1V	59	56	53	52	dB	Min	A	
入力インピーダンス									
差動モード	V _{CM} = 0V	190 0.6				kΩ pF	Typ	C	
同相モード	V _{CM} = 0V	3.2 0.9				MΩ pF	Typ	C	
出力									
電圧出力スイング	無負荷	±4.0	±3.8	±3.7	±3.6	V	Min	A	
	100Ω負荷	±3.9	±3.7	±3.6	±3.3	V	Min	A	
電流出力、ソース	V _O = 0	+190	+160	+140	+80	mA	Min	A	
電流出力、シンク	V _O = 0	-150	-135	-130	-80	mA	Min	A	
閉ループ出力インピーダンス	G = +2, f = 100kHz	0.03				Ω	Typ	C	
ディセーブル機能(ディセーブルLOW)									
パワーダウン時の電源電流(+V _S)	V _{DIS} = 0	-300				μA	Typ	C	
ディセーブル時間		100				ns	Typ	C	
イネーブル時間		25				ns	Typ	C	
オフ時アイソレーション	G = +2, 5MHz	70				dB	Typ	C	
ディセーブル時の出力容量		4				pF	Typ	C	
ターンオン時のグリッチ	G = +2, R _L = 150Ω, V _{IN} = 0	±50				mV	Typ	C	
ターンオフ時のグリッチ	G = +2, R _L = 150Ω, V _{IN} = 0	±20				mV	Typ	C	
イネーブル電圧		3.3	3.5	3.6	3.7	V	Min	A	
ディセーブル電圧		1.8	1.7	1.6	1.5	V	Max	A	
制御ピンの入力バイアス電流(V _{DIS})	V _{DIS} = 0	100	160	160	160	μA	Max	A	
電源									
仕様動作電圧		±5				V	Typ	C	
最大動作電圧範囲			±6	±6	±6	V	Max	A	
無信号時電流(最大値)	V _S = ±5V	6.4	6.8	7.0	7.2	mA	Max	A	
無信号時電流(最小値)	V _S = ±5V	6.4	6.0	6.0	5.3	mA	Min	A	
電源変動除去(+PSRR)	入力換算	65	60	58	56	dB	Min	A	
熱特性									
仕様動作範囲(P、U、Nパッケージ)		-40 ~ +85					Typ	C	
熱抵抗値、θ _{JA}	接合部-周囲間								
P 8ピンDIP		100				/W	Typ	C	
U 8ピンSOP		125				/W	Typ	C	
N 6ピンSOT23		150				/W	Typ	C	

注：(1)試験レベル：(A) +25 で100%試験を実施。特性評価試験とシミュレーションによって全温度の制限値を設定。(B)特性評価試験とシミュレーションによって制限値を設定。(C)標準値は参考用としてのみ使用。(2)接合部温度 = 仕様保証温度範囲における25 の周囲温度。(3)接合部温度 = 仕様保証全温度範囲における下限の周囲温度 = 仕様保証全温度範囲における上限の周囲温度+23。(4)ノードから出力される電流の極性を正とします。V_{CM}は入力同相モード電圧です。(5)±CMIRの制限値としてCMRR仕様の最小値よりも3dB以上低いレベルで試験を実施。(6)太字の数値は、テストレベルAを示しています。

仕様：V_S = +5V

特に記述のない限り、R_F = 402Ω、R_L = 100Ω(V_S/2に対して)、G = +2(AC性能のみの場合には図2を参照)です。

パラメータ	条件	OPA680P、U、N						最小/最大	テストレベル ⁽¹⁾
		標準	保証						
		+25	+25 ⁽²⁾	0 ~ +70 ⁽³⁾	-40 ~ +85 ⁽³⁾	単位			
AC性能(図2)									
小信号帯域幅	G = +1、V _O < 0.5Vp-p、R _F = ±25Ω	300				MHz	Typ	C	
	G = +2、V _O < 0.5Vp-p	220	160	160	140	MHz	Min	B	
	G = +10、V _O < 0.5Vp-p	25	20	19	18	MHz	Min	B	
ゲイン帯域幅積	G ≥ 10	250	200	190	180	MHz	Min	B	
0.1dBのゲイン平坦性が得られる帯域幅	G = +2、V _O < 0.5Vp-p	20				MHz	Typ	C	
G = 1時のピーキング・レベル	V _O < 0.5Vp-p	5				dB	Typ	C	
大信号帯域幅	G = +2、V _O = 2Vp-p	200				MHz	Typ	C	
スルーレート	G = +2、2Vステップ	1000	700	670	550	V/μs	Min	B	
立ち上がり/立ち下がり時間	G = +2、V _O = 0.5Vステップ	1.6				ns	Typ	C	
	G = +2、V _O = 2Vステップ	2.0				ns	Typ	C	
セトリングタイム(0.02%)	G = +2、V _O = 2Vステップ	12				ns	Typ	C	
(0.1%)	G = +2、V _O = 2Vステップ	8				ns	Typ	C	
高調波歪み	G = +2、f = 5MHz、V _O = 2Vp-p								
2次高調波	R _L = 100Ω - V _S /2	-60	-55	-54	-51	dBc	Max	B	
	R _L ≥ 500Ω - V _S /2	-70	-66	-63	-59	dBc	Max	B	
3次高調波	R _L = 100Ω - V _S /2	-72	-66	-64	-62	dBc	Max	B	
	R _L ≥ 500Ω - V _S /2	-80	-76	-74	-71	dBc	Max	B	
入力電圧ノイズ	f > 1MHz	5	5.3	6.0	6.2	nV/√Hz	Max	B	
入力電流ノイズ	f > 1MHz	2.5	2.8	3.0	3.4	pA/√Hz	Max	B	
微分ゲイン	G = +2、NTSC、V _O = 1.4Vp、R _L = 150Ω(V _S /2に接続)	0.06				%	Typ	C	
微分位相	G = +2、NTSC、V _O = 1.4Vp、R _L = 150Ω(V _S /2に接続)	0.03				deg	Typ	C	
DC性能⁽⁴⁾									
開ループ電圧ゲイン(A _{OL})	V _O = 2.5V、R _L = 100Ωを2.5Vに接続	58	54	52	50	dB	Min	A	
入力オフセット電圧	V _{CM} = 2.5V	±2.0	± 6.0	±7	±8.5	mV	Max	A	
平均オフセット電圧ドリフト	V _{CM} = 2.5V			-10	-12	μV/	Max	B	
入力バイアス電流	V _{CM} = 2.5V	+8	+15	+18	+32	μA	Max	A	
平均バイアス電流ドリフト(振幅)	V _{CM} = 2.5V			-52	-80	nA/	Max	B	
入力オフセット電流	V _{CM} = 2.5V	±0.1	± 0.6	±1.0	±1.2	μA	Max	A	
平均オフセット電流ドリフト	V _{CM} = 2.5V			±0.5	±1.0	nA/	Max	B	
入力									
正入力電圧の最小値 ⁽⁵⁾		1.5	1.6	1.7	1.8	V	Max	A	
正入力電圧の最大値 ⁽⁵⁾		3.5	3.4	3.3	3.2	V	Min	A	
同相モード除去(CMRR)	V _{CM} = 2.5V ±0.5V	59	56	53	52	dB	Min	A	
入力インピーダンス									
差動モード	V _{CM} = 2.5V	92 1.4				kΩ pF	Typ	C	
同相モード	V _{CM} = 2.5V	2.2 1.5				MΩ pF	Typ	C	
出力									
正出力電圧の最大値	無負荷	4	3.8	3.6	3.5	V	Min	A	
	R _L = 100Ωを2.5Vに接続	3.9	3.7	3.5	3.4	V	Min	A	
正出力電圧の最小値	無負荷	1	1.2	1.4	1.5	V	Min	A	
	R _L = 100Ωを2.5Vに接続	1.1	1.3	1.5	1.7	V	Max	A	
電流出力、ソース		+150	+110	+110	+60	mA	Max	A	
電流出力、シンク		-110	-80	-70	-50	mA	Min	A	
閉ループ出力インピーダンス	G = +2、f = 100kHz	0.03				Ω	Typ	C	
ディセーブル機能(ディセーブルLOW)									
パワーダウン時の電源電流(+V _S)	V _{DIS} = 0	-250				μA	Typ	C	
ディセーブル時間		100				ns	Typ	C	
イネーブル時間		25				ns	Typ	C	
オフ時アイソレーション	G = +2、5MHz	65				dB	Typ	C	
ディセーブル時の出力容量		4				pF	Typ	C	
ターンオン時のグリッチ	G = +2、R _L = 150Ω、V _{IN} = V _S /2	±50				mV	Typ	C	
ターンオフ時のグリッチ	G = +2、R _L = 150Ω、V _{IN} = V _S /2	±20				mV	Typ	C	
イネーブル電圧		3.3	3.5	3.6	3.7	V	Min	A	
ディセーブル電圧		1.8	1.7	1.6	1.5	V	Max	A	
制御ピンの入力バイアス電流(V _{DIS})	V _{DIS} = 0	100				μA	Typ	C	
電源									
仕様シングル電源動作電圧		5				V	Typ	C	
最大シングル電源動作電圧			12	12	12	V	Max	B	
無信号時電流(最大値)	V _S = +5V	5.1	6.0	6.0	6.0	mA	Max	A	
無信号時電流(最小値)	V _S = +5V	5.1	4.0	4.0	3.8	mA	Min	A	
電源変動除去比(+PSRR)	入力換算	55				dB	Typ	C	
温度範囲									
仕様動作温度範囲(P、U、Nパッケージ)		-40 ~ +85					Typ	C	
熱抵抗値、θ _{JA}	接合部-周囲間								
P 8ピンDIP		100				/W	Typ	C	
U 8ピンSOP		125				/W	Typ	C	
N 6ピンSOT23		150				/W	Typ	C	

注：(1)試験レベル：(A) +25 で100%試験を実施。特性評価試験とシミュレーションによって全温度の制限値を設定。(B)特性評価試験とシミュレーションによって制限値を設定。(C)標準値は参考用としてのみ使用。(2)接合部温度 = 仕様保証温度における25 の周囲温度。(3)接合部温度 = 仕様保証全温度範囲における下限の周囲温度；接合部温度 = 仕様保証全温度範囲における上限の周囲温度+23。(4)ノードから出力される電流の極性を正とします。V_{CM}は入力同相モード電圧です。(5)±CMIRの制限値としてCMRR仕様の最小値よりも3dB以上低いレベルで試験を実施。(6)太字の数値は、テストレベルAを示しています。

絶対最大定格

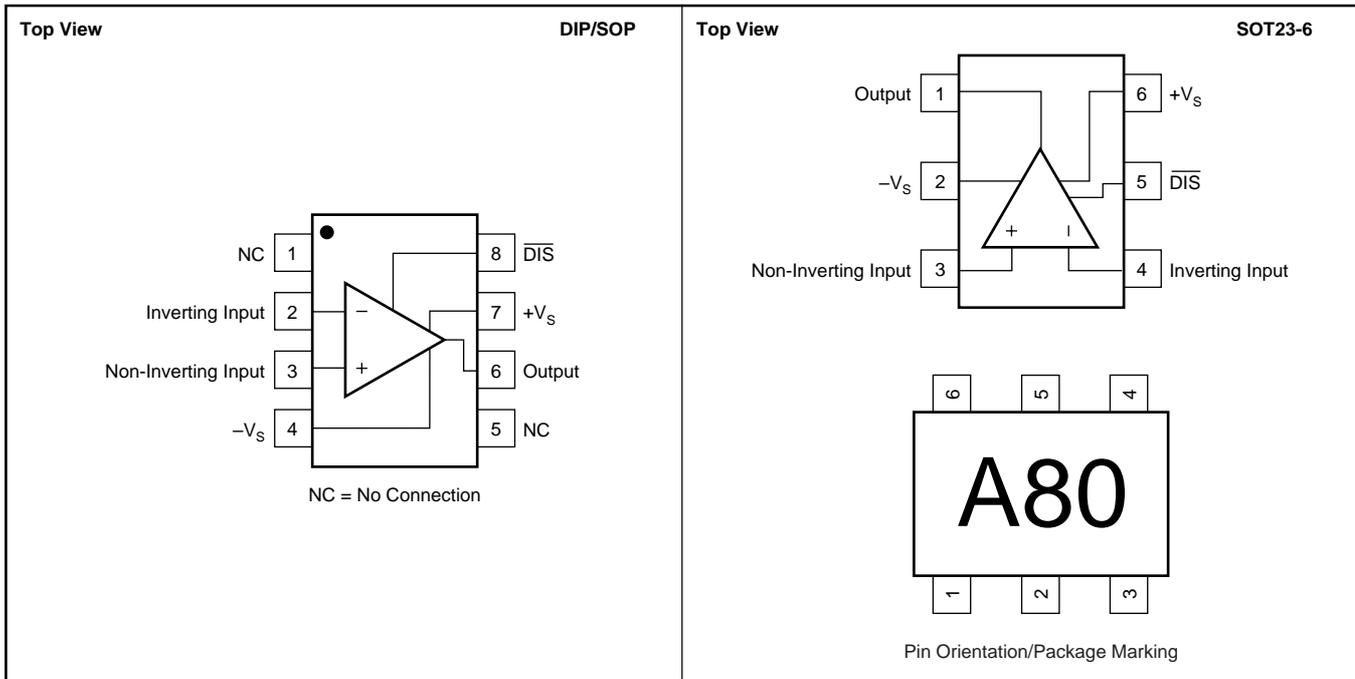
電源	$\pm 6.5V_{DC}$
内部消費電力	熱解析のセクションを参照
差動入力電圧	$\pm 1.2V$
入力電圧範囲	$\pm V_S$
保存温度範囲：P、U、N	-40 ~ +125
リード温度(10秒間の半田付け)	+300
接合部温度(T_J)	+175



静電気放電対策

静電気放電はわずかな性能の低下から完全なデバイスの故障に至るまで、様々な損傷を与えます。すべての集積回路は、適切なESD保護方法を用いて、取扱いと保存を行うようにして下さい。高精度の集積回路は、損傷に対して敏感であり、極めてわずかなパラメータの変化により、デバイスに規定された仕様に適合しなくなる場合があります。

ピン配置



パッケージ情報/ご発注の手引き

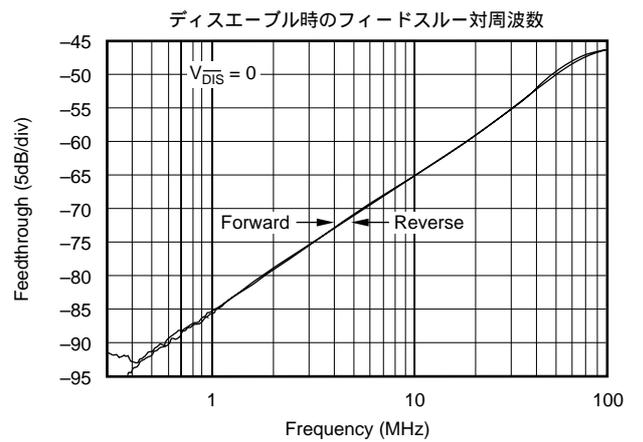
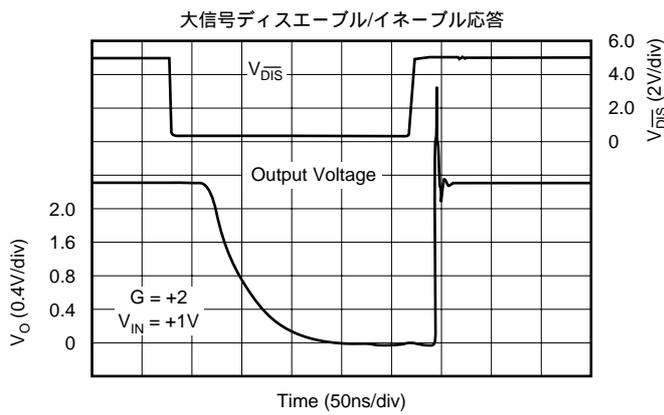
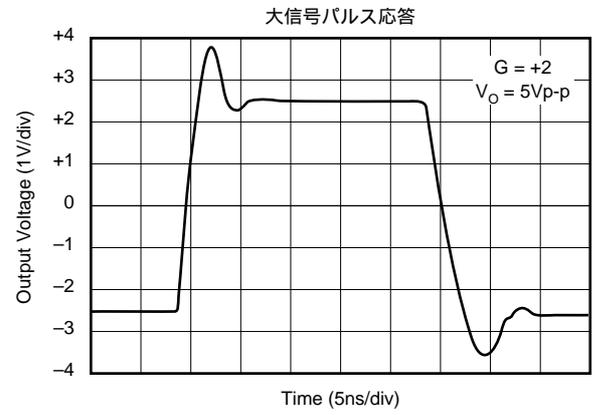
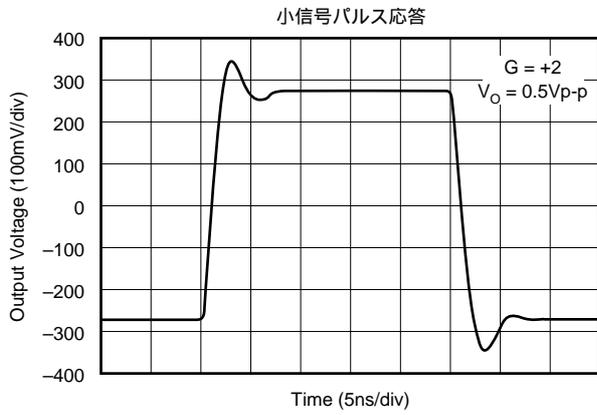
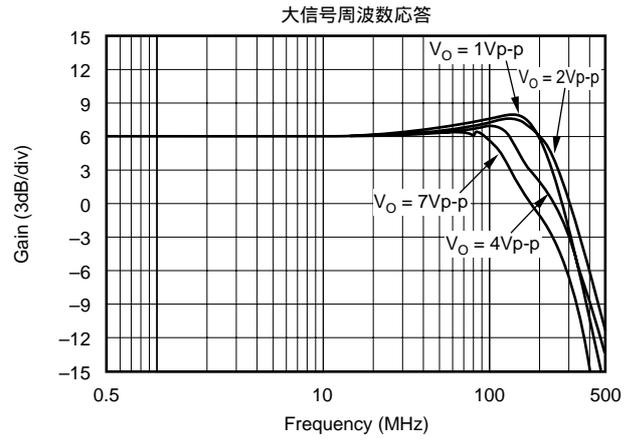
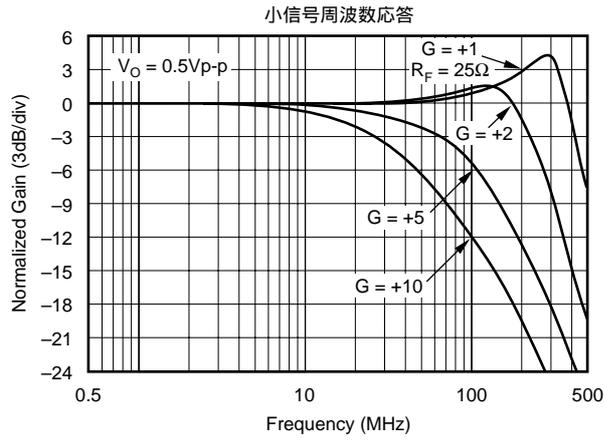
モデル	パッケージ	パッケージ図番号 ⁽¹⁾	温度範囲	パッケージ・マーキング	発注番号 ⁽²⁾	供給時の状態
OPA680P	8ピン・プラスチックDIP	006	-40 ~ +85	OPA680P	OPA680P	マガジン
OPA680U	8ピンSOP	182	-40 ~ +85	OPA680U	OPA680U	マガジン
OPA680U	8ピンSOP	182	-40 ~ +85	OPA680U	OPA680U/2K5	テーブリール
OPA680N	6ピンSOT-23	332	-40 ~ +85	A80	OPA680N/250	テーブリール
OPA680N	6ピンSOT-23	332	-40 ~ +85	A80	OPA680N/3K	テーブリール

注：(1)詳細図および寸法表は、データシートの巻末を参照してください。(2)スラッシュ(/)の付いたモデルは、その後に示される数量を単位として、テーブリールでのみ供給されます(例えば、/2K5は2,500個で1リールであることを示します)。「OPA680N/3K」をご発注の場合、OPA680Nが3,000個入ったテーブリールが1本納入されます。

このデータシートに記載されている情報は、信頼しうるものと考えておりますが、不正確な情報や記載漏れ等に関して弊社は責任を負うものではありません。情報の使用について弊社は責任を負えませんので、各ユーザーの責任において御使用下さい。価格や仕様は予告なしに変更される場合がありますのでご了承下さい。ここに記載されているいかなる回路についても工業所有権その他の権利またはその実施権を付与したり承諾したりするものではありません。弊社は弊社製品を生命維持に関する機器またはシステムに使用することを承認しまたは保証するものではありません。

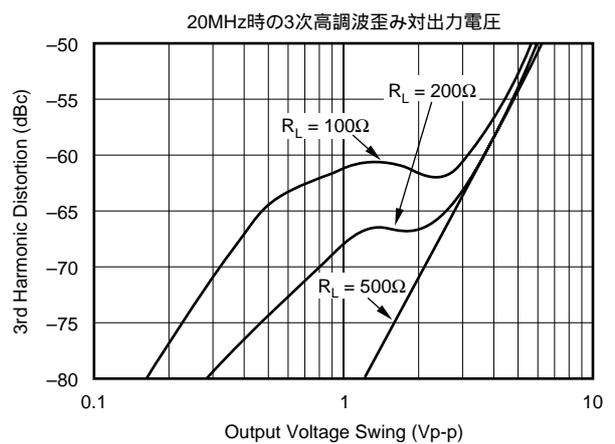
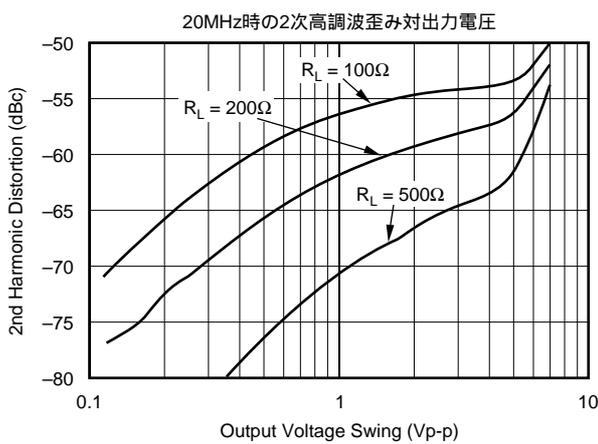
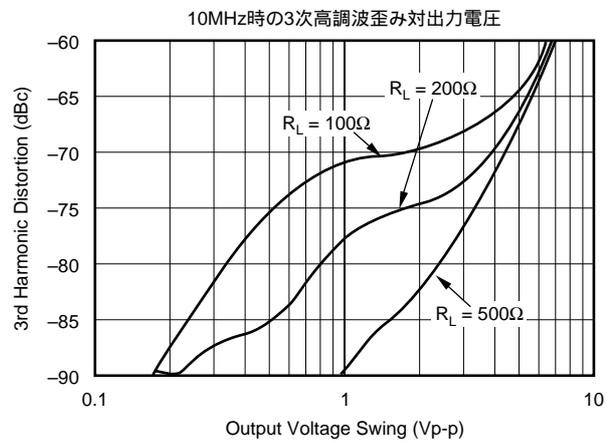
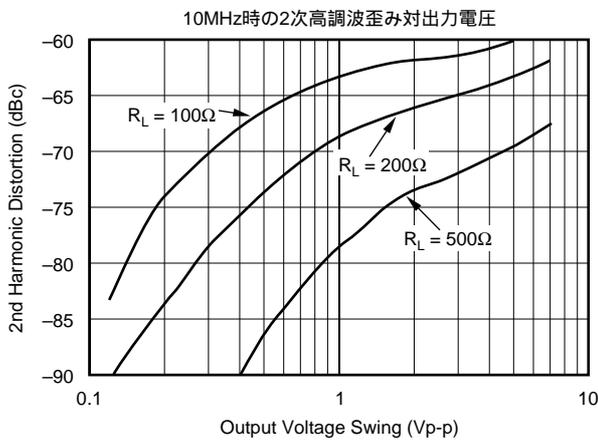
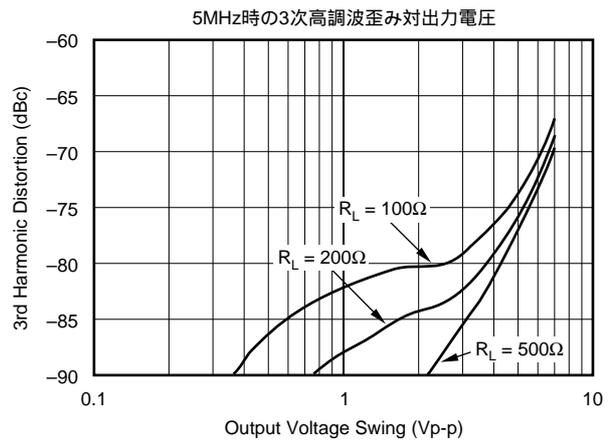
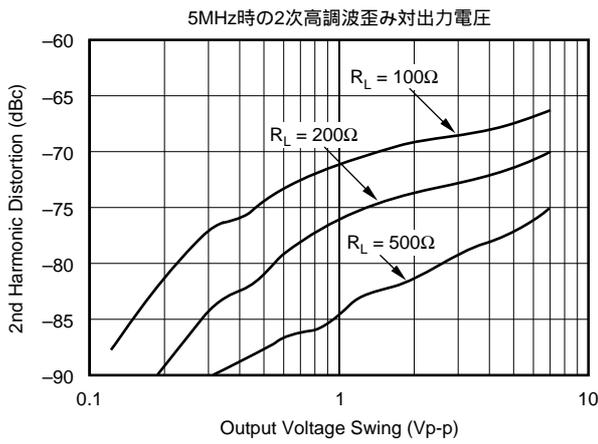
代表的性能曲線： $V_S = \pm 5V$

特に記述のない限り、 $T_A = +25$ 、 $G = +2$ 、 $R_F = 402\Omega$ 、 $R_L = 100\Omega$ 。図1を参照してください。



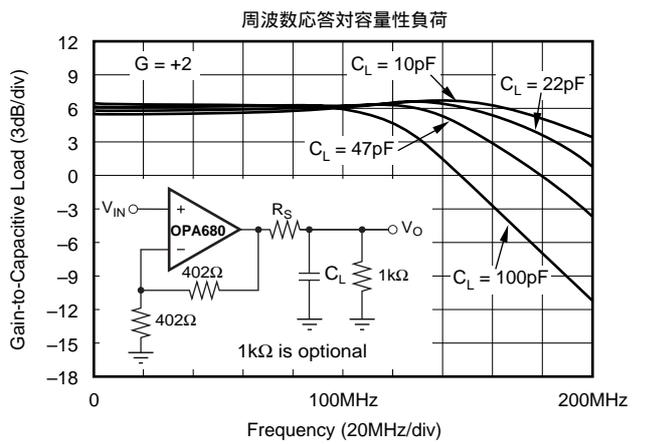
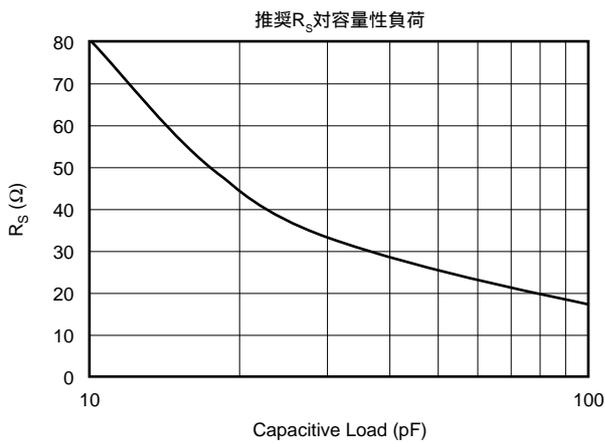
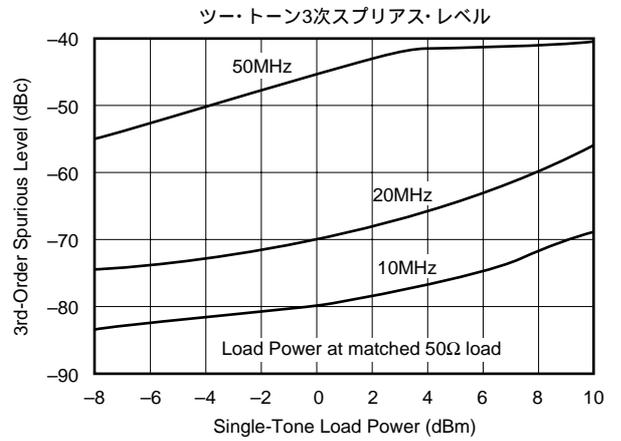
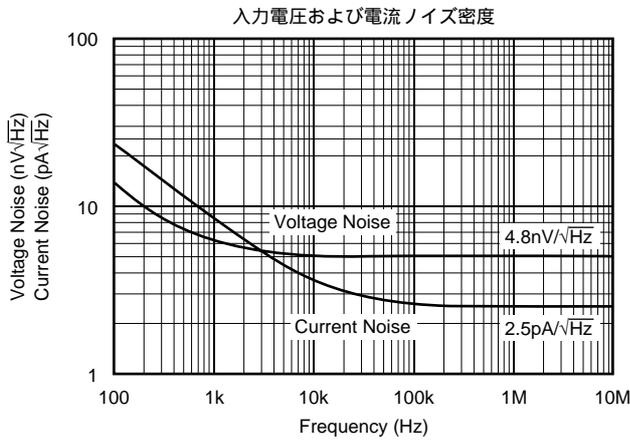
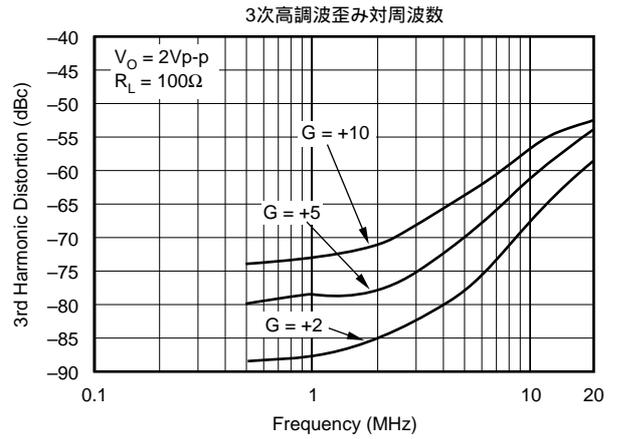
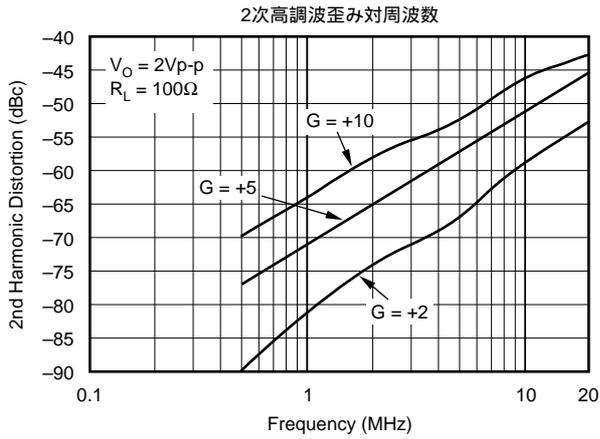
代表的性能曲線 : $V_S = \pm 5V$

特に記述のない限り、 $T_A = +25$ 、 $G = +2$ 、 $R_F = 402\Omega$ 、 $R_L = 100\Omega$ 。図1を参照してください。



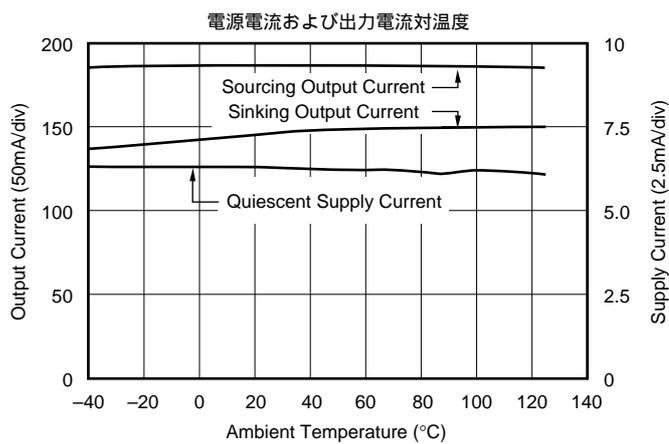
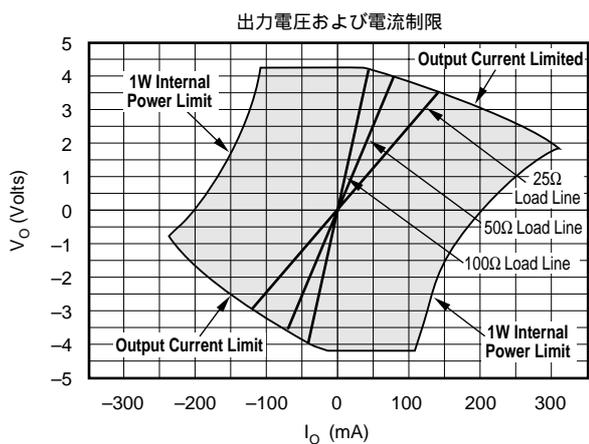
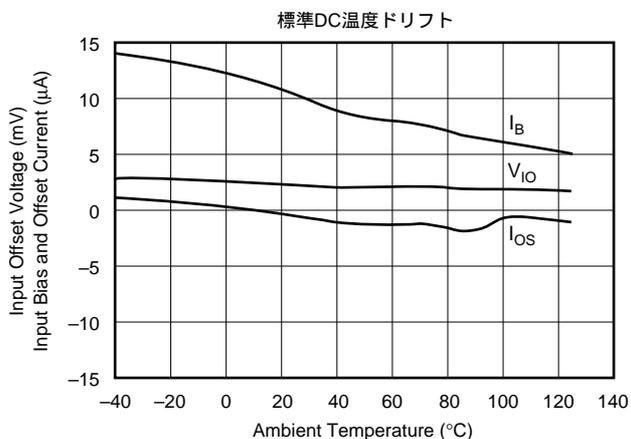
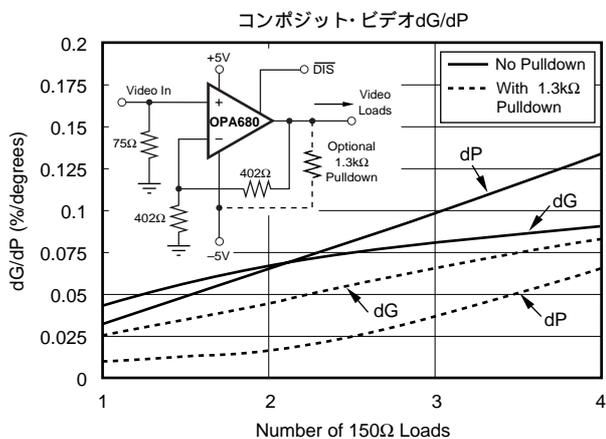
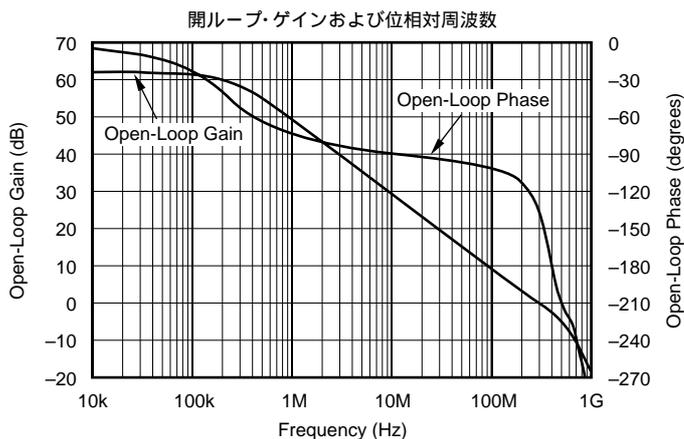
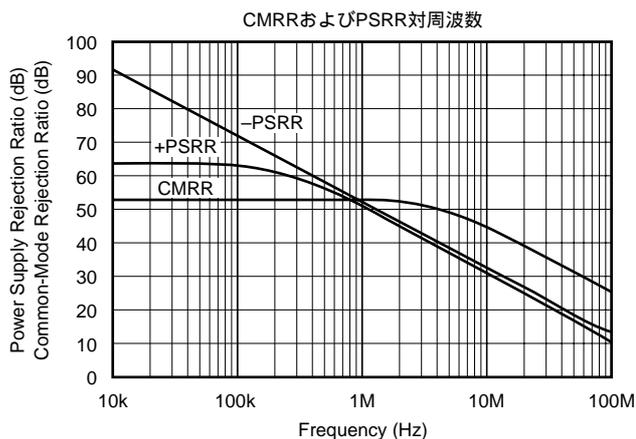
代表的性能曲線： $V_S = \pm 5V$

特に記述のない限り、 $T_A = +25$ 、 $G = +2$ 、 $R_F = 402\Omega$ 、 $R_L = 100\Omega$ 。図1を参照してください。



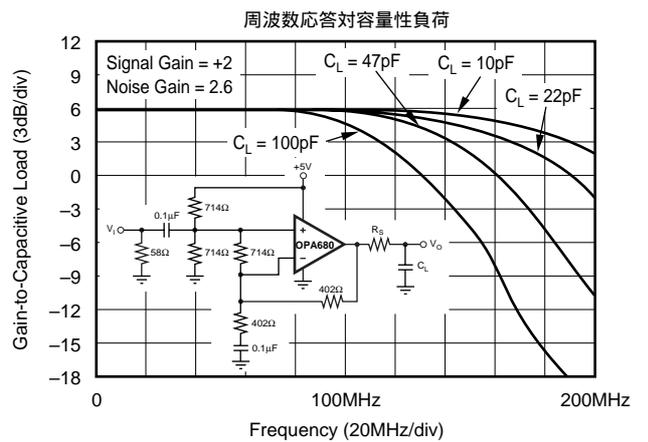
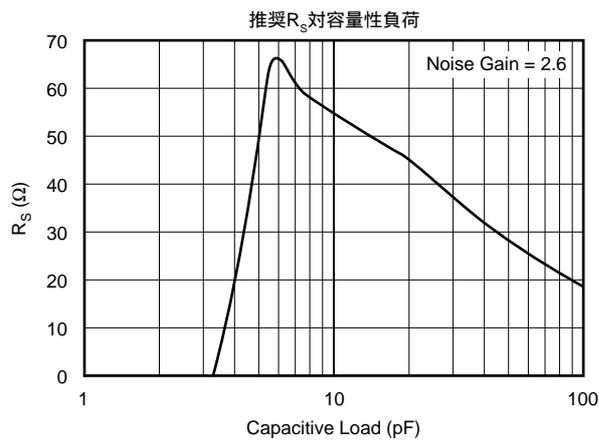
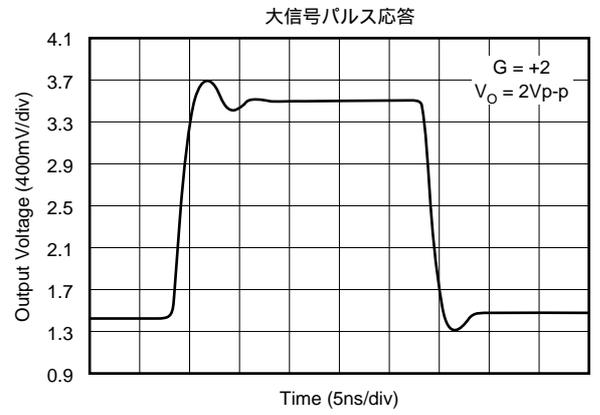
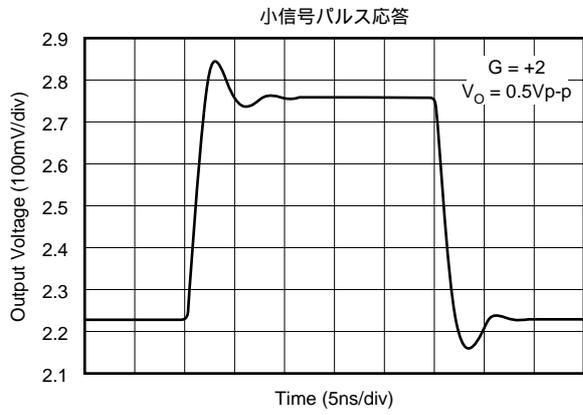
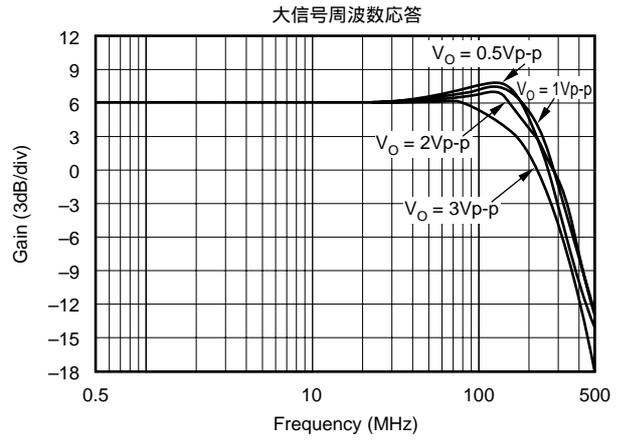
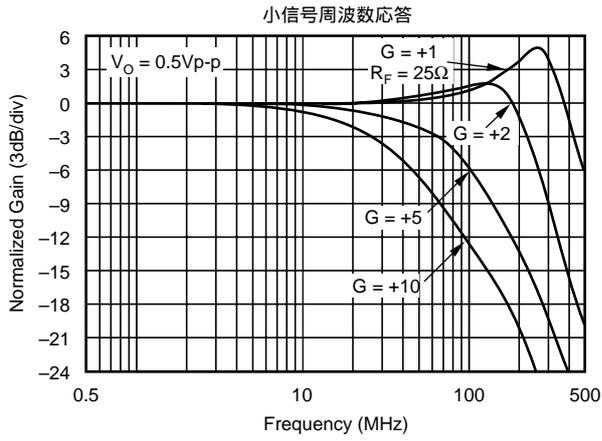
代表的性能曲線 : $V_S = \pm 5V$

特に記述のない限り、 $T_A = +25$ 、 $G = +2$ 、 $R_F = 402\Omega$ 、 $R_L = 100\Omega$ 。図1を参照してください。



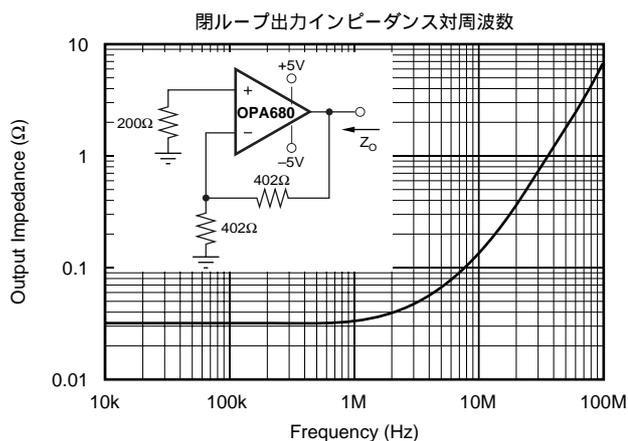
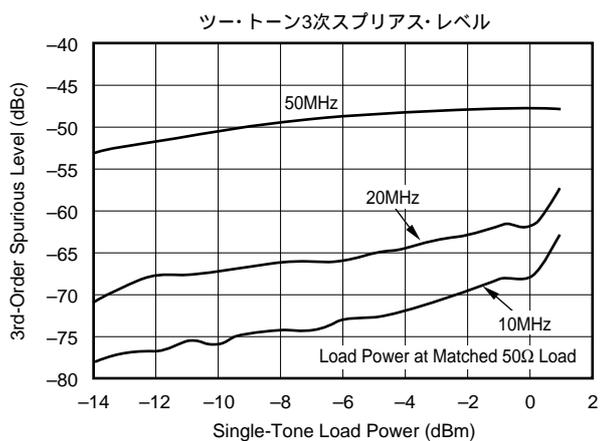
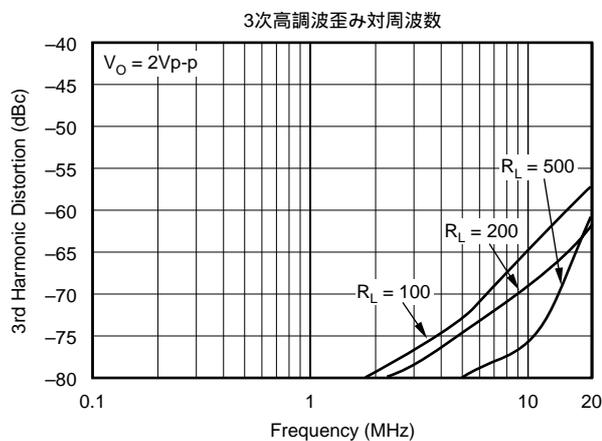
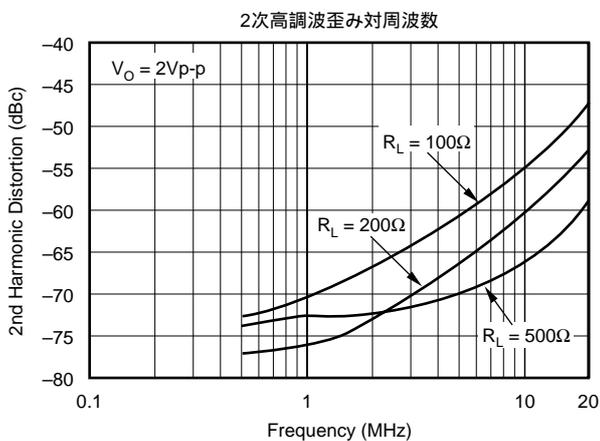
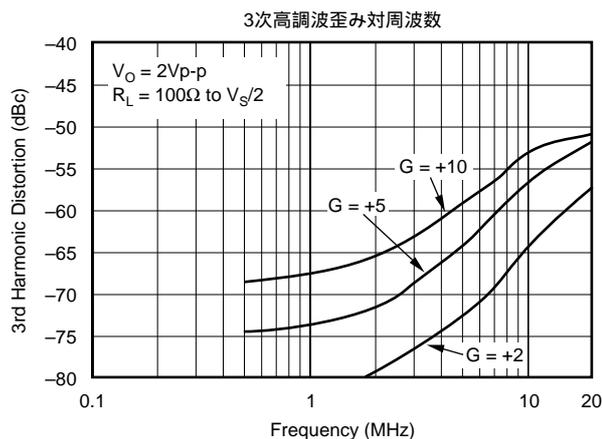
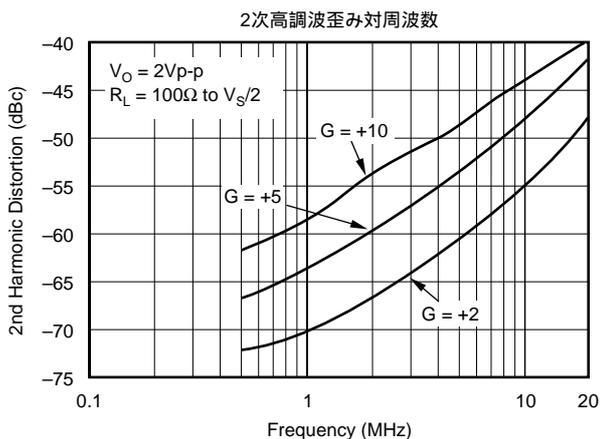
代表的性能曲線： $V_S = +5V$

特に記述のない限り、 $T_A = +25$ 、 $G = +2$ 、 $R_F = 402\Omega$ 、 $R_L = 100\Omega$ 。図2を参照してください。



代表的性能曲線： $V_S = +5V$

特に記述のない限り、 $T_A = +25$ 、 $G = +2$ 、 $R_F = 402\Omega$ 、 $R_L = 100\Omega$ を $V_S/2$ に接続。図2を参照してください。



使用に関する説明

広帯域電圧帰還動作

OPA680は、高スルーレート性能の新しい入力回路段アーキテクチャの採用により、高い出力パワー能力と広帯域、ユニティ・ゲイン安定動作性能を兼ね備えた高性能の電圧帰還型オペアンプです。電圧帰還型オペアンプに使用される代表的な差動入力段は、達成可能なスルーレートに制限を設ける補償用コンデンサの方向に一定レベルのバイアス電流を流すように設計されています。OPA680には、トランスコンダクタンス素子を2つの入力バッファ間に配置し、各バッファからの出力電流を順方向信号として使用する新しい入力回路段が使用されています。2つの入力間で誤差電圧のレベルが高くなると、これに応じて増加する電流が補償用コンデンサに供給されます。その結果、非常に高いスルーレート(1800V/ μ s)が保証されると同時に消費電流も比較的 low、無信号時電流は6.4mAに抑えられています。このような非常に優れたフルパワー性能が規定されていますが、入力ノイズ電圧は他のアーキテクチャを採用したオペアンプ製品よりも多少高くなっています。OPA680の入力電圧ノイズ $4.8\text{nV}/\sqrt{\text{Hz}}$ は、この種の入力回路段としては非常に低い値となっています。

$\pm 5\text{V}$ 電源時の仕様試験と代表的性能曲線の作成時に基本としたDC結合のゲイン+2、デュアル電源動作のOPA680の基本回路構成を図1に示します。この回路では試験目的のために、入力とグランド間に抵抗を接続して入力インピーダンスを 50Ω に設定し、また直列の出力抵抗を使用して出力インピーダンスを 50Ω に設定しています。仕様に示されている電圧スイングは入力と出力の各ピン上で直接に測定していますが、出力パワー(dBm)はマッチングのとれた 50Ω 負荷で測定されています。図1の回路の場合、実効負荷の合計値は $100\Omega \parallel 804\Omega$ です。ディスエーブル制御ラインは通常、アンプの正常な動作を保證するためにオープン状態にしておきます。図1の回路では2個のオプション部品を使用しています。つまり、1つめの部品としてアンプの非反転入力と直列に抵抗(175Ω)を追加しています。アンプ前段の信号発生器の方向に存在する 25Ω DCのソース抵抗とこの抵抗を組み合わせることで、

アンプの反転入力で見られる 200Ω のソース抵抗値とマッチングする抵抗値をキャンセルする入力バイアス電流が発生します(「DC精度とオフセット制御」のセクションを参照)。2番目の部品として、グランド間に配置する通常の電源デカップリング用コンデンサに加え、2個の電源ピン間に $0.1\mu\text{F}$ のコンデンサが配置されています。実際にPC基板のレイアウト設計を実施する際にこのオプションのコンデンサを追加すると、通常2次高調波歪み性能が3dBから6dB程度改善されます。

$+5\text{V}$ 電源時の仕様試験と代表的性能曲線の作成時に基本としたAC結合のゲイン+2、シングル電源動作のOPA680の基本回路構成を図2に示します。OPA680は“レール・ツー・レール”設計のオペアンプではありませんが、他の非常に広帯域幅の電圧帰還型オペアンプと比較すると、入力電圧および出力電圧に必要なヘッドルームは最小限で済みます。150MHzを超える帯域幅で $+5\text{V}$ のシングル電源動作を行い、そのときの出力電圧スイング・レベルは $3\text{V}_{\text{p-p}}$ です。広帯域でのシングル電源動作の場合に重要となる必要条件は、入力と出力の信号スイング・レベルを入力と出力両方で許容可能な電圧範囲内に維持することです。図2の回路では、 $+5\text{V}$ 電源から簡単な構成の抵抗分圧器(2個の 698Ω 抵抗)を使用して入力ミッドポイント・バイアスを設定しています。入力信号はミッドポイント電圧バイアスにAC結合されます。入力電圧は正と負の各電源ピンの 1.5V 以内までスイングできるので、各電源ピン間を中心として $2\text{V}_{\text{p-p}}$ の入力信号範囲が確保されます。試験に使用する入力インピーダンスのマッチング抵抗(59Ω)は、並列構成のバイアス分圧器ネットワークを回路に配置する際に 50Ω の入力負荷が得られるよう設定されています。図2の回路でも同様に、アンプの非反転入力と直列に抵抗(この場合は 50Ω)を追加しています。この推奨抵抗を使用することで、DC信号源抵抗を含めて非反転入力バイアス電流のマッチングが行われます。この抵抗は、帯域幅制限極を形成する入力寄生容量を使用して非常に高い周波数帯域($> 500\text{MHz}$)で周波数応答をロールオフするためにシンプルな寄生極を形成する際にも使用されます。ゲイン抵抗(R_G)はAC結合されるので、DCゲインが+1の回路が構成され

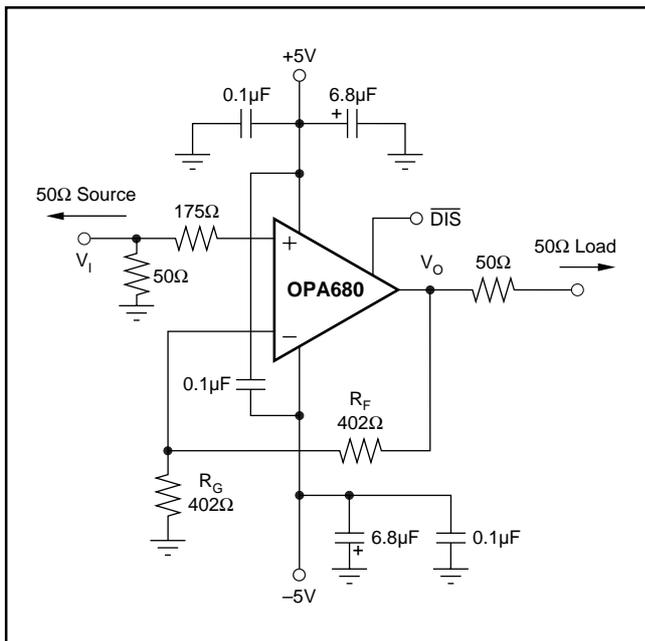


図1. DC結合、 $G = +2$ 、バイポーラ電源動作の仕様評価およびテスト回路

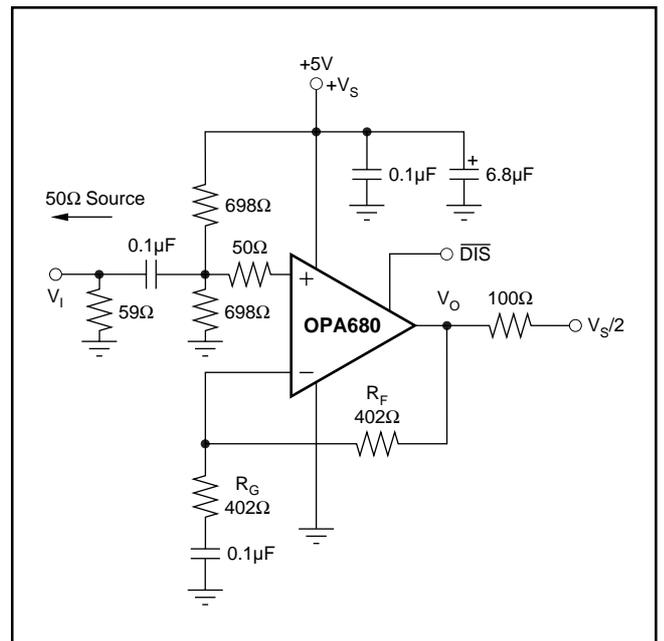


図2. AC結合、 $G = +2$ 、シングル電源動作の仕様評価およびテスト回路

ることになり、出力上にも入力DCバイアス電圧 (2.5V)が印加されます。出力電圧は正と負の各電源ピンの1V以内までスイングできると同時に、100mAを超える電流の出力が可能です。この特性評価回路では、100Ωのミッドポイント・バイアス負荷を使用しています。OPA680に使用している新しい出力段回路は+5V電源動作時の3次高調波歪みプロット図に示すように、最小限のクロスオーバー歪みレベルでこのミッドポイント負荷に対して非常に大きなバイポーラ電流を出力する能力を備えています。

レール・ツー・レールは日本モトローラ社の登録商標です。

シングル電源動作のA/Dコンバータとのインターフェース

最近のほとんどの高性能A/Dコンバータ(パー・ブラウンのADS8XXとADS9XXシリーズなど)は、+5V(またはこれより低電圧)のシングル電源で動作します。シングル電源動作のオペアンプを使用し、5MHzを超える信号周波数のADC入力に低歪みの入力信号を送ることは非常に困難です。しかし、OPA680は高スルーレート、優れた出力電圧スイング能力、そして高い直線性を備えているので、シングル電源動作のADCドライバとして理想的です。本データシートの表紙に示す回路はその1つのインターフェース例です。図2の試験回路を容量性(A/D)負荷用に変更し、オプションとして出力プルダウン抵抗(R_B)を使用して構成した回路を図3に示します。

図3の回路で使用しているOPA680は、2V_{p-p}の出力スイングで200MHzを超える帯域幅特性を備えています。OPA680の出力段のクロスオーバー歪みは非常に低い値に抑えられているので、3次高調波歪みまたはツー・トーン3次相互変調歪みは最小限のレベルに維持されていることがわかります。出力のスプリアスフリー・ダイナミック・レンジ (SFDR)の制限値は、2次高調波歪みによって設定されます。抵抗 R_B を使用しないと、図3に示す回路の10MHz時のSFDR測定値は65dBcです。グラウンド間にオプションの抵抗 R_B を配置して、出力段からさらにDCバイアス電流(I_B)を引き出すことにより、この値をさらに改善させることが可能です(図3の出力ミッドポイントは2.5Vです)。 I_B のレベルを調整すると、図4に示すようにSFDRが改善されます。 I_B の値が最高で6mAまでであればSFDRが改善されますが、これより高い値になるとSFDR性能は劣化します。

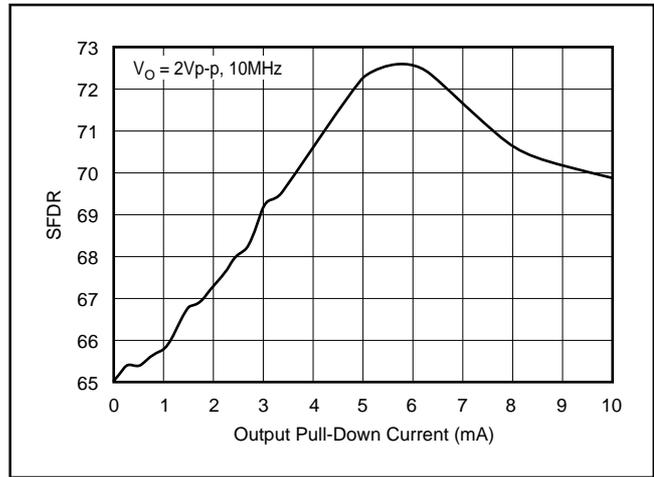


図4. SFDR対 I_B

高性能DACトランスインピーダンス・アンプ

高周波数動作のDDS DACには、アナログ負荷に対してそのSFDR性能を保持するために低歪みの出力アンプが必要になります。シングルエンドの出力ドライブ・アンプ回路を図5に示します。この回路では、片側だけのコンプリメンタリ出力ドライブ信号を使用しています。この図では、高速DACからの信号出力電流をOPA680の仮想グラウンド加算点に接続している様子を示しています。OPA680は、トランスインピーダンス段または“1/V(電流/電圧)変換器”として構成されています。DACの未使用の電流出力はグラウンドに接続しています。DACの動作でその出力をグラウンド以外のコンプライアンス電圧に終端させることが必要であれば、適切なレベルの電圧をOPA680の非反転入力に印加することができます。この回路のDCゲインは R_F に等しくなっています。周波数が高いと、DACの出力容量によってOPA680のノイズ・ゲインにゼロが発生し、これが原因となって閉ループ周波数応答にピーキングが発生する結果になります。この問題を解決するために、 R_F に対して並列に C_F を接続してこのノイズ・ゲインのピーキングを補償しています。平坦なトランスインピーダンス周波数応答性を達成するには、帰還ネットワークの極を下記のように設定する必要があります。

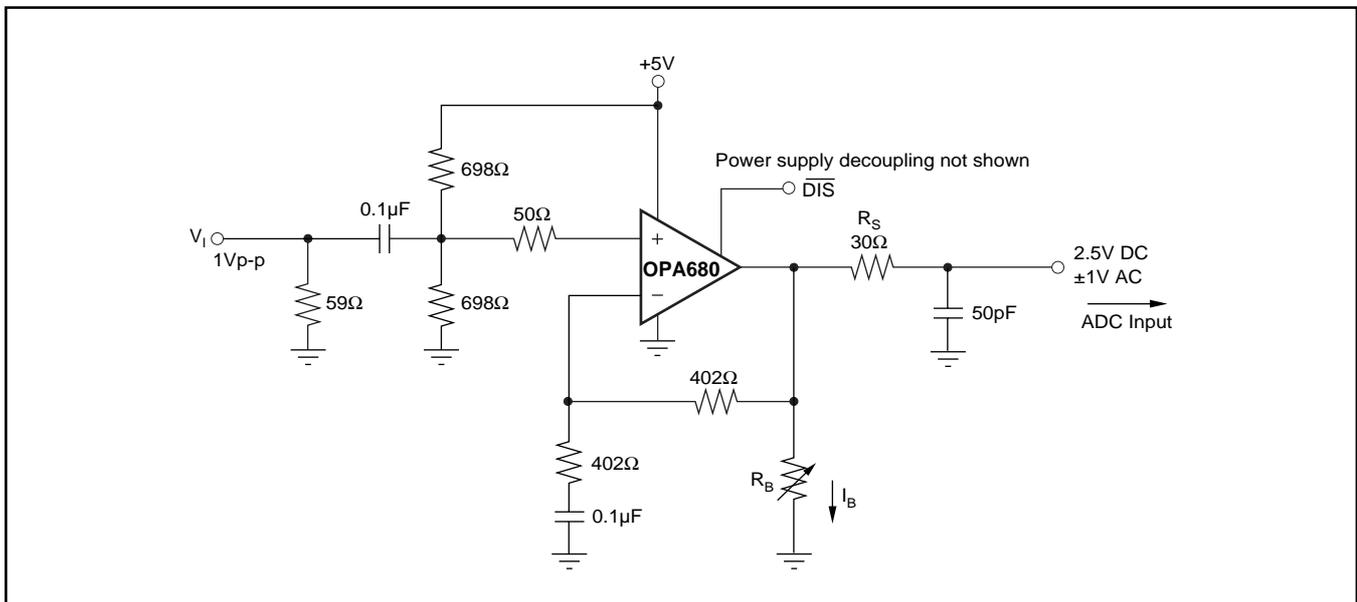


図3. シングル電源動作のADC入力ドライバ

$$1/2\pi R_F C_F = \sqrt{GBP/4\pi R_F C_D}$$

この数式に基づいて閉ループ・トランスインピーダンス帯域幅 f_{-3dB} の概算値が下記のように求められます。

$$f_{-3dB} = \sqrt{GBP/(2\pi R_F C_D)}$$

広帯域ビデオ・マルチプレクサ

ディスエーブル制御ピンを備えたビデオ・アンプに共通した1つのアプリケーションとして、複数個のアンプ出力をまとめて多重化し、複数のビデオ入力の中から1つの信号を選択し、1本のライン上に出力する応用があります。この簡単な構成の“OR接続ビデオ・マルチプレクサ”は、図6に示すようにOPA680を使用することで容易に構成することが可能です。

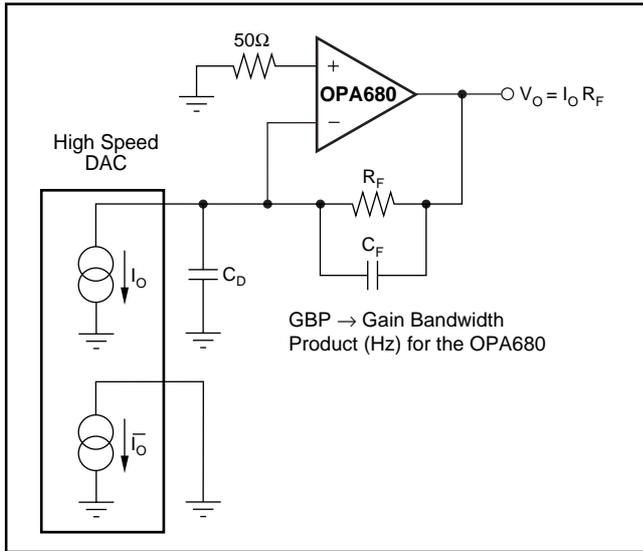


図5. DAC トランスインピーダンス・アンプ

通常、入力チャンネルのスイッチング動作はビデオ信号のシンクまたはリトレース時間のどちらかに基づいて実行されます。この時間の2つの入力はほとんど同じです。OPA680は“メイク・ピフォア・ブレイク”のディスエーブル特性を備えているので、図6に示すようなOR接続の回路を使用する際に常に1個のアンプでライン制御を行うことが保証されています。チャンネル間遷移が行われる短い期間では両方の入力が入オン状態になるので、出力インピーダンスのマッチング抵抗(この場合は82.5Ω)を通して出力が結合されます。1つのチャンネルがディスエーブルされると、その帰還回路は出力インピーダンスの一部を形成することになり、信号がケーブルを通して出力される際に多少減衰します。ゲインと出力マッチング抵抗の値を多少高くして、マッチング負荷において-1の信号ゲインを確保し、ケーブルに75Ωの出力インピーダンスを供給しています。さらに図6に示すビデオ・マルチプレクサ接続では、選択されていない信号チャンネルの各入力間の最大差動電圧は標準のビデオ信号レベルの定格最大値である±1.2Vを超えないことが保証されています。

「ディスエーブル動作」のセクションでは、シングル・チャンネルとしてグランドに接続された入力を使用してターンオンおよびターンオフ・スイッチングを行ったときに発生するグリッチについて説明しています。このグリッチの標準値は±50mV以下です。(図6に示すように)2つの出力を切替える場合に、出力ラインには1個のアンプが接続されるか、または“メイク・ピフォア・ブレイク”のディスエーブル・タイミングによって両方のアンプが接続されるように制御されます。この場合、2つの0V入力のスイッチング・グリッチは20mVよりも低い値となります。

「ディスエーブル動作」のセクションでは、シングル・チャンネルとしてグランドに接続された入力を使用してターンオンおよびターンオフ・スイッチングを行ったときに発生するグリッチについて説明しています。このグリッチの標準値は±50mV以下です。(図6に示すように)2つの出力を切替える場合に、出力ラインには1個のアンプが接続されるか、または“メイク・ピフォア・ブレイク”のディスエーブル・タイミングによって両方のアンプが接続されるように制御されます。この場合、2つの0V入力のスイッチング・グリッチは20mVよりも低い値となります。

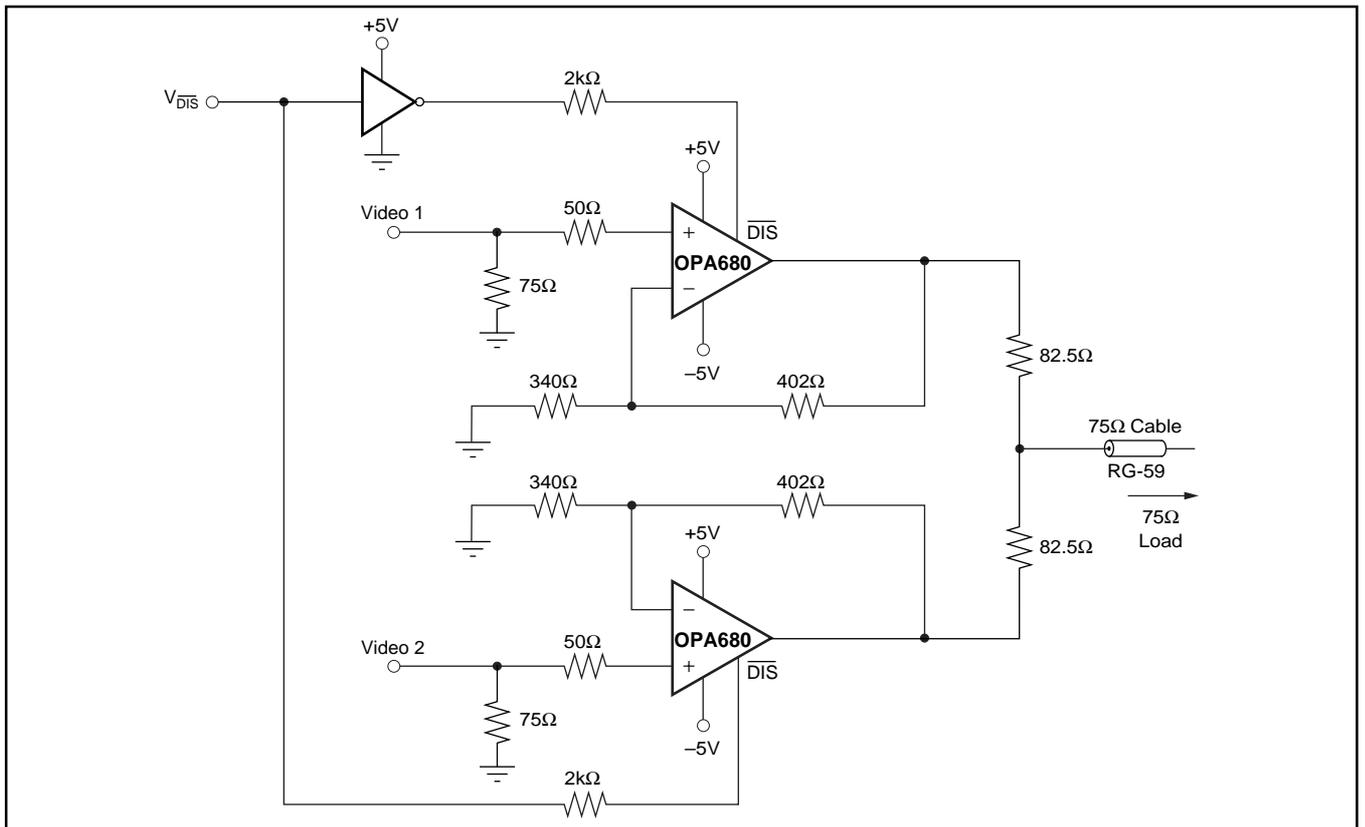


図6. 2チャンネルのビデオ・マルチプレクサ

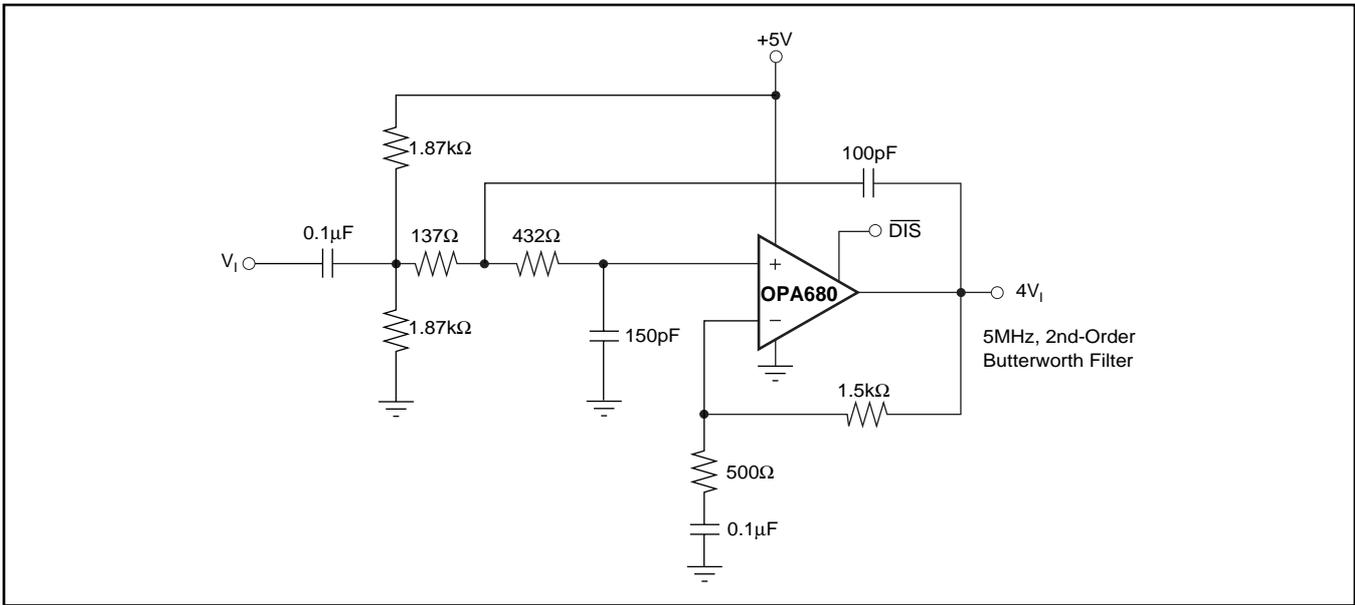


図7. シングル電源動作の高周波数アクティブフィルタ

シングル電源動作のアクティブフィルタ

OPA680は、広帯域幅特性を備え、しかも+5Vのシングル電源で動作するので、高周波数のアクティブフィルタ回路設計に最適です。ここで再度説明しますが、重要となる必要条件は最高のダイナミック・レンジを確保するために電源電圧のミッドポイントの近くに信号のDC動作ポイントを設定することです。セイレン・キーのフィルタ回路構成方式を利用して5MHzのローパス・バターワースフィルタを設計する回路構成を図7に示します。

入力信号とゲイン設定抵抗はともに0.1µFのブロッキング・コンデンサを使用してAC結合します(図に示す容量のコンデンサを使用すると、低周波数極が32kHzに設定されたバンドパス応答が実際に得られます)。図2の場合で既に説明したように、これによって2個の1.87kΩ抵抗によって形成されるミッドポイント・バイアスが入力と出力両方のピン上に現れることとなります。この場合、ミッドバンド信号ゲインは+4(12dB)に設定されます。非反転入力とグランド間に配置しているコンデンサの容量は、入力寄生容量成分を支配するために故意に大きな値に設定しています。+4のゲイン設定時で、シングル電源動作のOPA680の小信号および大信号帯域幅は~80MHzです。アンプ段でのこの帯域幅制限を考慮して、抵抗の値を多少調整しています。この回路を使用した試験では、正確な5MHz、-3dBの最大平坦通過帯域(32kHzのAC結合コーナ周波数を超える)とアンプの-3dB帯域幅である80MHzにおいて36dBの最大阻止減衰量が得られます。

デザインイン・ツール

デモボード

3つのパッケージ・タイプが用意されたOPA680の初期評価を支援するいくつかのPCボードが用意されています。各ボードを下表に示します。

モデル	パッケージ	ボード部品番号
OPA680P	8ピンDIP	DEM-OPA68xP
OPA680U	8ピンSOP	DEM-OPA68xU
OPA680N	6ピンSOT23	DEM-OPA6xxN

デモボードについては、パー・ブラウンのフリーラインFAXまでお問い合わせください。

SPICEモデル

アナログ回路およびシステムの性能解析を実施する際に、SPICEを利用した回路性能のコンピュータ・シミュレーションが役立つ場合があります。この方法は、寄生容量およびインダクタンスが回路性能に対する大きな影響要因となるビデオおよびRFアンプ回路に特に有効です。OPA680用のSPICEモデルについては、パー・ブラウンのフリーラインFAXまでお問い合わせください。

動作に関する推奨事項

抵抗値の最適化

OPA680は、ユニティ・ゲイン安定性の電圧帰還型オペアンプなので、帰還抵抗とゲイン設定用抵抗として幅広い範囲の値の抵抗を使用できます。これらの抵抗の値を選択する際に一番の制約要因となるのがダイナミック・レンジ(ノイズと歪み)と寄生容量です。非反転のユニティ・ゲイン・フォロア・アプリケーションの場合には、25Ωの抵抗を使用して帰還接続を行ってください。決して直接短絡しないでください。この方法によって反転入力の容量が出力ピンから絶縁され、周波数応答の平坦性が改善されます。一般的に、 $G > 1$ のアプリケーションでは帰還抵抗は値が200Ωから1.5kΩまでの範囲のものを使用してください。200Ωよりも低い値の帰還抵抗を使用すると、帰還ネットワークによる出力負荷がさらに追加されることになり、結果としてOPA680の高調波歪み性能が劣化する可能性が高くなります。1.5kΩよりも高い値の抵抗を使用すると、帰還抵抗間の標準的な寄生容量(約0.2pF)が原因となって、アンプの応答性に予想のしない帯域幅制限が起こる場合があります。

経験に基づいた設計上の目安として、 R_F と R_G を並列に配置し(図1)、これらの抵抗の値が約300Ωよりも小さな値になるようにしてください。結合インピーダンス $R_F \parallel R_G$ が反転入力容量と相互作用し、帰還ネットワーク内部に極が追加されることになるので、順方向応答にゼロが生成されます。反転入力ノード上の寄生

容量の合計値が2pFであると仮定すると、 $R_F \parallel R_G < 300\Omega$ の関係を保持することで、この極は250MHzを超える周波数に維持されます。この制約事項は本来的に、高ゲイン時に帰還抵抗 R_F の値を数k Ω まで増加することができることを意味します。 R_F および並列に現れるすべての寄生容量によって形成される極周波数が動作目的とする周波数範囲外にあることが維持される限り、上記の事項が許容されます。

帯域幅対ゲイン：非反転動作

電圧帰還型オペアンプは信号ゲインを高くすると、これに応じて閉ループ帯域幅が下がります。理論的にはこの関係は仕様に表示しているゲイン帯域幅積(GBP)によって表わされます。理想的には、非反転信号ゲイン(ノイズ・ゲイン、すなわちNGとも呼ぶ)でGBPの値を除算すると、閉ループ帯域幅の値が予測できます。しかし実際には、高ゲインの回路構成の場合などの位相マージンが90°に近い場合だけに限り、上記の関係が適用されます。ゲインが低い場合には(帰還ファクタが高くなる)、ほとんどのアンプは位相マージンのより低いもっと複雑な応答性を示すことになります。

OPA680は、非反転ゲインが+2のときに多少ピーキングが発生する応答性を示すように補償されています(図1)。その結果としてゲインを+2に設定したときの帯域幅は220MHzとなり、この値は300MHzのGBPを2で除算して算出した予測値よりも大幅に高くなっています。ゲインを高くすると、位相マージンが90°に近づき、帯域幅は(GBP/NG)の予測値にもっと近づくことになります。ゲインが+10のとき、仕様に示す30MHzの帯域幅は簡単な公式およびGBPの代表値300MHzを使用して予測した値と一致します。

ノイズ・ゲインを+2.5に高くするだけで、ゲイン = +2のときの周波数応答を変更して、非常に平坦な周波数応答性を確保することが可能です。+2の信号ゲインに影響を与えずにこれを実行する方法は、図1の回路で2つの入力間に804 Ω の抵抗を追加することです。これと同様な技術をユニティ・ゲイン(電圧フォロア)アプリケーションに利用し、ピーキングを低減することができます。例えば、オペアンプの2つの入力間に402 Ω の抵抗とともに402 Ω の帰還抵抗を配置すると、電圧フォロアの応答性が図2のゲイン+2のときの応答性と同等になります。オペアンプの各入力間に接続する抵抗の値をさらに小さくすると、ノイズ・ゲインの増加によって周波数応答がさらに減衰します。

OPA680の無信号時電流は、内部バイアス制御回路の働きにより、電源ピン間の合計電源電圧が変化しても一定値に保たれるため、+5V電源で動作させた場合でも、帯域幅の低下は少なく、 $\pm 5V$ 電源で動作させた場合に近い帯域幅が得られます。

反転アンプ動作

OPA680は汎用の広帯域電圧帰還型オペアンプなので、広範囲なオペアンプ・アプリケーション回路の設計に利用できます。反転動作は回路設計で最も一般的に利用される技術の一つで、数多くの性能上の利点が得られます。図1の回路で使用したI/Oインピーダンスと信号ゲインを反転回路構成に適用した標準的な反転回路を図8に示します。

反転構成では、3つの重要な設計上の留意点に注意することが必要です。最初の留意点は、ゲイン抵抗(R_G)が信号チャンネル入力インピーダンスの一部を形成する点です。入力インピーダンスのマッチングが必要であれば(これはケーブル、ツイスト・ペア配線、長いIPC基板トレース配線またはその他の伝送線路を通して

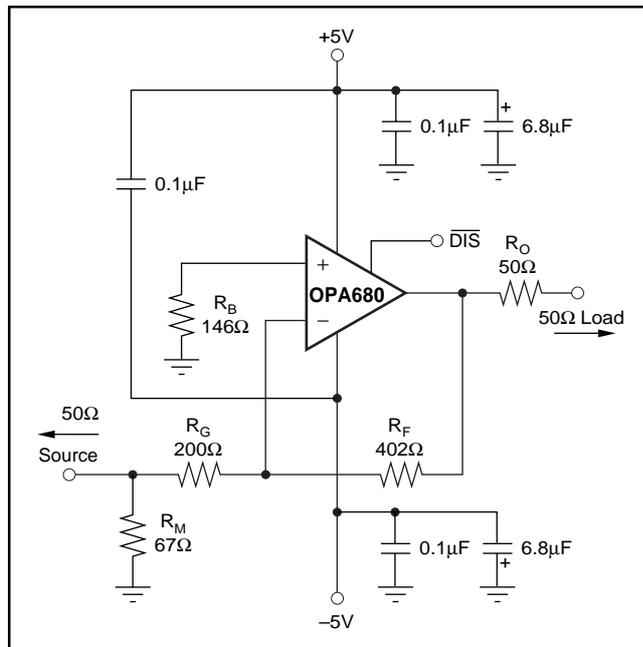


図8. ゲインを-2に設定した反転構成回路

信号が結合するときに常に役立ちます)、 R_G を必要な終端値に等しい値に設定し、 R_F の値を調整して必要なゲインを得ることができます。これは最も簡単な方法で、帯域幅とノイズ性能の最適化が可能になります。しかし反転ゲインが低い場合には、使用する帰還抵抗の値によってアンプの出力に大きな負荷がかかる結果になります。反転ゲインが+2のときに入力マッチング用として R_G の値を50 Ω に設定すると、 R_M を使用する必要がなくなりますが、100 Ω の帰還抵抗が必要になります。この方法には、信号源インピーダンスが50 Ω のときにノイズ・ゲインが+2に等しい値になるという興味深い利点があります。つまり、前述の非反転回路の場合と同様になります。しかし、アンプの出力には外部負荷と並列の100 Ω の帰還抵抗があります。通常、帰還抵抗の値は200 Ω から1.5k Ω までの範囲内に制限してください。この場合には、図8に示すように R_F と R_G 両方の抵抗値を大きくし、グランド間に3番目の抵抗(R_M)を配置して入力インピーダンスのマッチングを行うと良好な結果が得られます。入力インピーダンスの合計値は、 R_G と R_M を並列に接続した抵抗値に等しくなります。

2番目の重要な留意点は既に前のセクションで触れましたが、信号源インピーダンスがノイズ・ゲイン式の一部、すなわち帯域幅の一部を形成する点です。例えば図8に示す回路の場合、抵抗 R_M の値が外部の50 Ω 信号源インピーダンスと並列に結合して、 $50\Omega \parallel 67\Omega = 28.6\Omega$ の有効駆動インピーダンスが得られます。ノイズ・ゲイン(NG)を計算するためには、このインピーダンスを R_G に直列に追加します。その結果として求められるNGの値は図8の回路で2.8となり、前述のように R_M を使用しなければNGがわずかに2である場合と異なります。したがって、帯域幅は図1に示すゲイン+2の回路の場合よりも図8に示すゲイン-2の回路の方が多少低くなります。

反転アンプの回路設計で留意すべき3番目の重要事項は、非反転入力上のバイアス電流キャンセル抵抗(R_B)の設定です。この抵抗を反転入力ノードから見られるDC抵抗の合計値に等しい値に設定すると、入力バイアス電流による出力DC誤差が(入力オフセット電流) $\cdot R_F$ の値まで低減されます。50 Ω の信号源インピーダンスを図8の回路でDC結合すれば、反転入力とグランド間の抵抗

の合計値は228Ωになります。これを帰還抵抗と並列に組み合わせると、この例で使用している $R_B = 146\Omega$ が求められます。この抵抗の追加によって新たに発生する高周波数ノイズを低減するために、場合によってはコンデンサでバイパスを行ってください。 $R_B < 350\Omega$ である限り、コンデンサは必要ありません。その理由は、他のすべての項合計のノイズ影響度がオペアンプの入力電圧ノイズの影響度よりも小さいからです。寄生容量によって誘導されるピーキングを完全に減衰させるためにOPA680では R_B の最小値として50Ωを用いることが出来ます。非反転入力とグランド間を短絡すると、入力段において非常に高い周波数の不安定性が引き起こされる危険性があります。

出力電流および電圧

OPA680は低コストのモノリシック・オペアンプとしては卓越した高い出力電圧および電流能力を達成しています。+25℃時の無負荷条件下で、出力電圧は標準的に正と負の各電源レールの1V以内までスイングします。出力電圧スイングの保証制限値は各電源レールの1.2V以内までと規定されています。15Ωの負荷(試験負荷の最小値)に対して、 $\pm 135\text{mA}$ 以上の電流を出力することが保証されています。一般的なことですが、前述の仕様では電圧と電流の制限値をそれぞれ別個に切り離して扱っています。これは電圧×電流、すなわち $V \cdot I$ 積として回路の動作に関連します。代表的性能曲線に示す“出力電圧および電流制限”を参考にしてください。このグラフのX軸とY軸はそれぞれゼロ電圧時の出力電流制限値とゼロ電流時の出力電圧制限値を示しています。この図は4象限となっているので、OPA680の出力ドライブ能力がより詳細に表わされています。この図では1Wの最大許容消費電力の“安全動作領域”によって境界範囲が設定されている点に注意してください。プロット上に重畳された抵抗負荷ラインは、出力能力または1Wの消費電力限界値を超えずにOPA680が25Ω負荷に対して $\pm 2.5\text{V}$ あるいは50Ω負荷に対して $\pm 3.5\text{V}$ の出力電圧をドライブする能力を備えていることを示しています。100Ωの負荷ライン(標準の試験回路負荷)は、標準仕様のセクションに示すように $\pm 3.9\text{V}$ の完全な出力スイング能力を示しています。

動作温度範囲における出力電圧および電流の最小規定値は、最小の規定温度でのワーストケースのシミュレーションによって設定されます。コールド・スタートアップ時だけに限り、出力電流および電圧が仕様に示されている規定値まで減少します。出力トランジスタからパワーが伝達されると、接合部温度が上昇し、 V_{BE} が減少します(有効な出力電圧スイング・レベルが高くなります)。また、トランジスタの電流ゲインが高くなります(有効な出力電流レベルが高くなります)。定常時の動作時には、出力電流および電圧の有効値は動作温度仕様に示されている規定値よりも常に高くなります。その理由は、出力段の接合部温度が動作周囲温度として規定されている最小値よりも高くなるからです。

出力段において可能な限り高い直線性を維持するために出力短絡保護回路は使用されていませんが、通常これにより問題が起こるようなことはありません。これは、ほとんどのアプリケーションで出力側に直列のマッチング抵抗が用意されているためです。抵抗の出力側がグランドに短絡されても、内部消費電力が制限されます。しかし、出力ピンを隣接した正の電源ピン(8ピン・パッケージの場合)に直接的に短絡接続すると、ほとんどの場合、アンプが破壊されます。短絡保護をさらに行う必要がある場合には、電源リードに値の小さな直列抵抗を追加してください。

これにより、重い出力負荷条件下で有効な出力電圧スイング・

レベルが下がります。5Ωの直列抵抗を追加することで出力短絡時に内部消費電力が1Wに制限されると同時に、最高で100mAまでの必要な負荷電流に対して有効な出力電圧スイング・レベルの減少はわずか0.5Vに過ぎません。これらの電源電流制限用抵抗を電源ピンに付加した場合は、0.1μFの電源デカップリング用コンデンサを必ず配置してください。

容量性負荷のドライブ

容量性負荷は、オペアンプを使用する際に最も注意すべき問題で、しかも非常に一般的に発生する負荷条件のひとつです。A/Dコンバータの入力が容量性負荷となる場合は、A/Dコンバータの直線性を改善させるために外部コンデンサの追加が推奨されることがあります。OPA680のような高速で高い開ループ・ゲインのアンプは、その出力ピン上に直接的に容量性負荷がかかると、これが原因で安定性が下がり、閉ループ応答性に容易にピーキングが発生します。アンプの開ループ出力抵抗値について考慮すると、容量性負荷により信号経路に極が追加され、位相マージンが減少します。適切な部品を外付けすることにより、この問題を解消するためのいくつかの方法を推奨します。周波数応答の平坦性、信号パルス応答の忠実性および低歪みの維持が重要な課題である場合、最も簡単でしかも効果的な方法はアンプの出力と容量性負荷の間に直列に絶縁抵抗を接続し帰還ループから容量性負荷を絶縁することです。この方法によってループ応答から極が除去されるようなことはありませんが、周波数が高くなると極がシフトし、ゼロが追加されます。追加されたゼロは容量性負荷極から位相遅れをキャンセルする作用を行うので、位相マージンが大きくなるとともに安定性が改善されます。

推奨の R_S 対容量性負荷の関係と、その結果として得られる負荷における周波数応答性を代表的性能曲線に示します。寄生の容量性負荷が2pFよりも高くなると、OPA680の性能が劣化し始めます。PC基板の長いトレース配線、マッチングされていないケーブル、そして複数のデバイス接続が要因となってこの値を容易に超えてしまう可能性があります。常にこの影響について十分配慮し、推奨の直列抵抗をOPA680の出力ピンに可能な限り近づけて配置するようにしてください(「回路基板のレイアウト設計に関するガイドライン」を参照)。

この R_S 抵抗の値を設定する基準は最大帯域幅と負荷における平坦な周波数応答性です。OPA680を+2のゲインで動作させる場合には、出力ピンにおける周波数応答性は容量性負荷がなくても既に多少ピーキングしているので、負荷における応答性を平坦にするためには比較的大きな値の R_S が必要になります。既に説明したように、ノイズ・ゲインを高くするとピーキングが減少します。図9に示す回路ではこの技術が使用されており、一定の容量性負荷に対してより低い値の R_S を使用することが可能です。

このゲイン+2の回路にはノイズ・ゲインを高くするために2つの入力間にノイズ・ゲイン調整抵抗が接続されているので、オペアンプの無負荷時の位相マージンが高くなっています。この技術により、ある一定の容量性負荷に対して必要な R_S 抵抗の値を小さくすることができますが、これによって出力側のノイズが増加することになります。ループ・ゲインも減少することになり、通常はこれによって歪み性能が低下します。しかし、支配的な歪みメカニズムが R_S の高い値により発生するのであれば、この技術を利用してダイナミック・レンジを大幅に向上させることが可能です。この技術を利用した場合の一定のノイズ・ゲイン値に関する必要な R_S の値と容量性負荷の関係を図10に示します。これは、ノイ

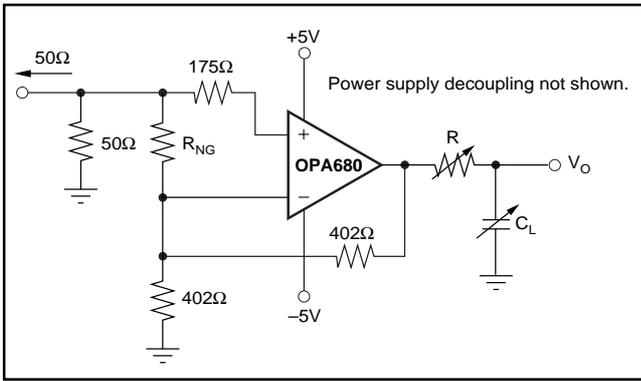


図9. ノイズ・ゲインを調整した容量性負荷ドライブ回路

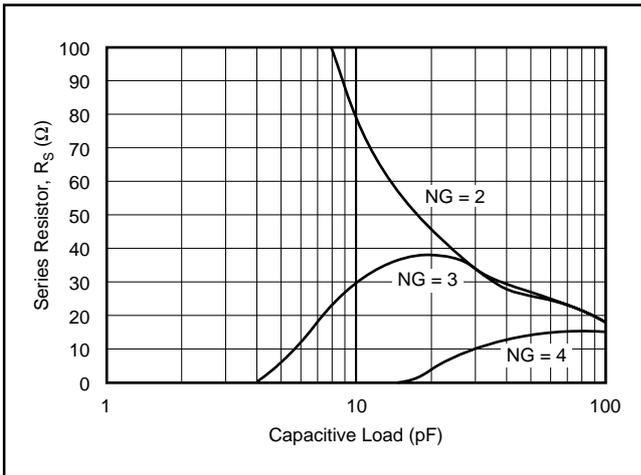


図10. 必要なRs値対ノイズ・ゲイン

ズ・ゲインを高く設定する(位相マージンを高くする)ために R_{NG} の値を調整し、その後で容量性負荷を掃引して平坦な周波数応答の確保に必要な R_S の値を求める図9の回路に適用されます。このプロット図から、高ゲインで動作するOPA680に必要な R_S 対容量性負荷の特性値も得られます。

歪み性能

OPA680は、 $\pm 5V$ 電源動作時の 100Ω 負荷に対して優れた歪み性能を発揮します。他のオペアンプ製品と比較して、OPA680はより軽い負荷に対しては優れた歪み性能を発揮し、必要に応じて $+5V$ のシングル電源でも動作します。一般的に基本波が非常に高い周波数またはパワーレベルに達するまで、歪みは2次高調波によって支配され、3次高調波成分はほとんど無視できます。2次高調波に焦点を当てると、負荷インピーダンスを高くすれば直接的に歪み性能が改善されます。合計負荷には帰還ネットワークが含まれている点に留意してください。非反転構成の場合(図1)これは $R_F + R_G$ の和となり、反転構成の場合には R_F だけの値になります。さらに、(バイポーラ動作のときに)電源ピン間に電源デカップリング用のコンデンサ($0.1\mu F$)を追加すると、2次高調波歪み性能が多少改善されます(3dBから6dB程度)。

ほとんどのオペアンプでは、出力電圧スイングのレベルを高くするとこれに応じて直接的に高調波歪みが増加します。OPA680には新しく開発された出力段が使用されており、非常に大きな出力電圧スイング($> 4V_{pp}$)まで基本パワーと2次および3次高調波パワー間の差が比較的一定のレベルに維持します。このような利点は、2トーンの3次相互変調スプリアス(IM3)応答曲線でも同様

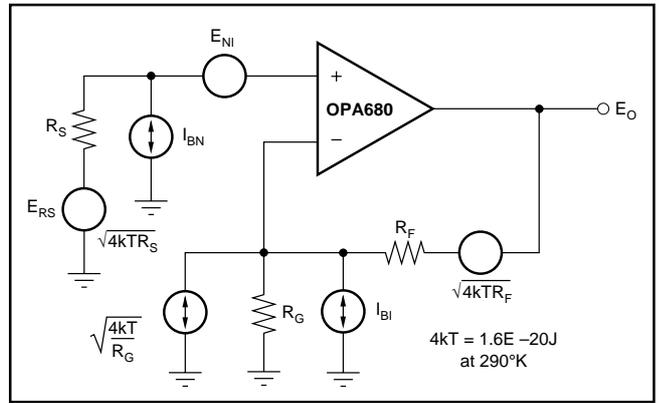


図11. オペアンプのノイズ解析モデル

に見られます。出力パワーが低レベルのときに、3次スプリアス・レベルは極端に低くなります。基本信号のパワーが非常に高いレベルに達する場合であっても、出力段ではこれらを低いレベルに保持し続けます。代表的性能曲線に示すように、スプリアス相互変調パワーは従来から利用されてきたインターセプト・モデルで予測されるようには増加しません。基本パワー・レベルの増加に応じて、ダイナミック・レンジは大幅には下がりません。20MHzをセンター周波数とした2トーンの場合、 50Ω のマッチング負荷に対して $10dBm$ /トーンを適用すると(すなわち、負荷における各トーンについて $2V_{pp}$ の電圧スイングで、出力ピン全体の2トーン・エンベロープには $8V_{pp}$ の電圧スイングが必要)、試験トーン・パワーと3次相互変調スプリアス・パワー間の差として $57dBc$ の値が代表的性能曲線から確認されます。この非常に優れた性能は、より低い周波数帯域での動作時にはさらに大きく改善されます。

ノイズ性能

高スルーレート、ユニティ・ゲイン安定動作の電圧帰還型オペアンプでは通常、その高いスルーレートの達成に伴って入力電圧ノイズが高くなる問題点があります。しかしOPA680の入力電圧ノイズは $4.8nV/\sqrt{Hz}$ の値が規定されており、同等性能の他のオペアンプよりも大幅に低いレベルに抑えられています。入力換算電圧ノイズ、そして2つの入力換算電流ノイズ項の組み合わせによって、各種の幅広い動作条件下で低い出力ノイズ性能が得られます。すべてのノイズ項を含んだオペアンプのノイズ解析モデルを図11に示します。このモデルではすべてのノイズ項が含まれており、 nV/\sqrt{Hz} または pA/\sqrt{Hz} を単位としたノイズ電圧または電流密度項に分類されています。

出力スポット・ノイズ電圧の合計値は、すべての出力電圧ノイズ項の二乗和平方根として算出できます。図11に示す各項を使用して出力ノイズ電圧の値を求める一般式を式1として示します。式1:

$$E_O = \sqrt{(E_{NI})^2 + (I_{BN}R_S)^2 + 4kTR_S NG^2 + (I_{BI}R_F)^2 + 4kTR_F NG}$$

この式をノイズ・ゲイン($NG = (1 + R_F/R_G)$)で除算すると、式2で示すようにアンプの非反転入力における入力換算スポット・ノイズ電圧の等価値が求められます。

式2:

$$E_N = \sqrt{E_{NI}^2 + (I_{BN}R_S)^2 + 4kTR_S + \left(\frac{I_{BI}R_F}{NG}\right)^2 + \frac{4kTR_F}{NG}}$$

図1に示すOPA680の回路と使用部品の値についてこれら2つの式から解を求めると、出力スポット・ノイズ電圧の合計値として

11nV/√Hzおよび入力スポット・ノイズ電圧の等価合計値として5.5nV/√Hzの各値が求められます。これには非反転入力上に接続しているバイアス電流キャンセル用の抵抗(175Ω)によって追加されるノイズも含まれています。この入力換算スポット・ノイズ電圧の合計値は、オペアンプの電圧ノイズのみに関して規定されている4.8V/√Hz仕様値よりもわずかですが高くなっています。オペアンプの各入力上に現れるインピーダンスが既に推奨した300Ωの最大許容値に制限されていれば、このような結果が適用されます。(R_F || R_G)と非反転入力の信号源インピーダンスの両方を300Ωよりも低い値に維持すると、ノイズと周波数応答の平坦性両方に関する必要条件が満足されます。抵抗によって誘導されるノイズは比較的無視できるレベルなので、図8に示す反転オペアンプの回路構成でバイアス電流キャンセル用の抵抗(R_G)間にデカップリング・コンデンサを追加する必要はありません。

DC精度とオフセット制御

広帯域電圧帰還型オペアンプの平衡型入力回路は、幅広いアプリケーションで良好な出力DC精度を達成します。OPA680の電源電流は調整されているので、同等性能の他のオペアンプ製品よりもきびしく管理されています。高速入力段には比較的高い入力バイアス電流(各入力端子から出力されるバイアス電流の代表値は14μA)が必要になりますが、これらの電流を高精度にマッチングさせることで、このバイアス電流から発生する出力DC誤差を低減できます。また、2つの入力上に現れるDC信号源抵抗をマッチングさせることによって、出力オフセット電圧の合計値が大幅に低減されます。これにより、入力バイアス電流が原因で発生する出力DC誤差がオフセット電流と帰還抵抗値の積に等しい値に低減されます。+25におけるワーストケースの入力オフセット電圧と電流の仕様を使用して図1の回路を評価するとワーストケースの出力オフセット電圧は-(NG = 非反転信号ゲイン)

$$\begin{aligned} & \pm(NG \cdot V_{OS(MAX)}) \pm(R_F \cdot I_{OS(MAX)}) \\ & = \pm(2 \cdot 4.5\text{mV}) \pm(402\Omega \cdot 0.7\mu\text{A}) \\ & = \pm 9.3\text{mV} \end{aligned}$$

に等しい値になります。精密な出力オフセット調整またはDC動

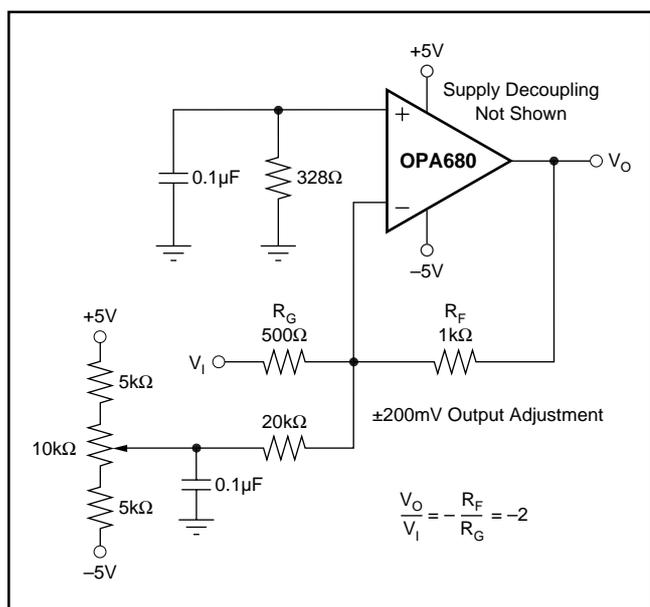


図12. DC結合のゲイン-2設定のオフセット調整回路

作点調整が必要な場合があります。オペアンプ回路にDCオフセット制御を適用する方法には数多くの技術があります。これらの技術のほとんどは、最終的には帰還抵抗を通るDC電流を追加します。オフセット調整方法を選択する際には、1つの重要事項として必要とする信号経路の周波数応答性に対する影響を考慮しなければなりません。信号経路を非反転とする場合には、信号源との相互干渉を回避するための反転加算信号としてオフセット制御を適用すると最良の結果が得られます。信号経路を反転とする場合には、非反転入力にオフセット制御を適用することを考えてください。しかし、サミング・ジャンクションにおけるDCオフセット電圧によって、信号源内部に流れ込むDC電流成分が発生することになり、この点に十分な注意が必要になります。オペアンプの反転入力にオフセット調整を適用すると、ノイズ・ゲインと周波数応答の平坦性が変動する可能性があります。DC結合の反転型アンプの場合に、信号周波数応答に対する影響度を最小限に抑えるオフセット調整方法の一例を図12の回路に示します。この回路の場合、信号経路の抵抗よりも大幅に値の大きな抵抗を通してDCオフセット電流が反転入力ノードに送られています。このような手法によって、ループ・ゲインおよび周波数応答性に対する影響度が最小限に抑えられた調整回路が構成されます。

ディスエーブル動作

OPA680にはシステムの消費電力低減または簡単なチャンネルマルチプレクシング動作のどちらかを目的として使用可能なディスエーブル機能がオプションとして用意されています。DIS制御ピンを無接続状態にすれば、OPA680は通常の動作を行います。ディスエーブル機能を実行するときには、この制御ピンをLOWにする必要があります。ディスエーブル制御機能の簡略化内部回路を図13に示します。

通常の動作時にはトランジスタQ1のベース電流が110kΩの抵抗を通して供給されるため、エミッタ電流により、15kΩの抵抗に発生する電圧降下はQ1のエミッタに接続された2個のダイオードをターンオンするまでには至りません。V_{DIS}がLOWレベルに引き込まれると、15kΩ抵抗を通して追加電流がさらに引き込まれ、その結果としてこれら2個のダイオードがターンオンします(≈ 100μA)。この時点でV_{DIS}からさらに引き出された電流は、Q1のエミッタ・ベース間電圧を約0Vに保持する2個のダイオードを通

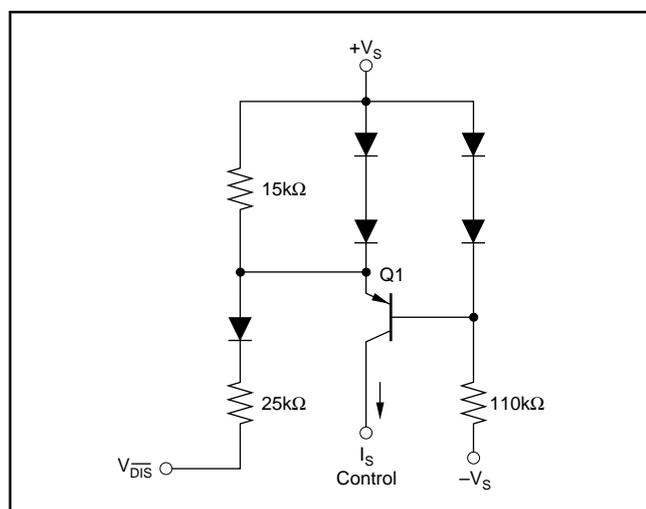


図13. ディスエーブル制御機能の簡略化回路

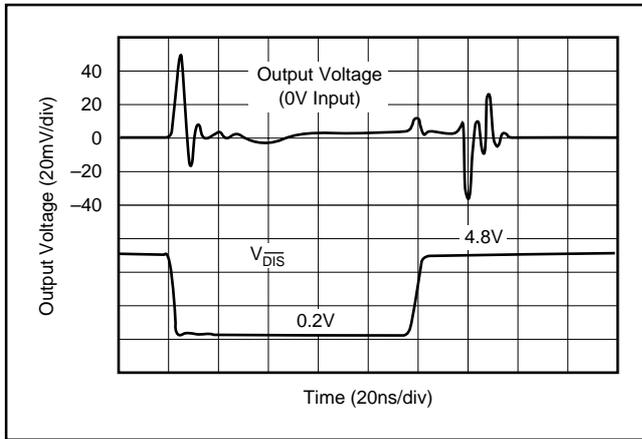


図14. ディスエーブル/イネーブル・グリッチ波形

過します。この動作によってQ1から出力されるコレクタ電流が遮断され、アンプがターンオフします。ディスエーブル動作モード時の電源電流は図13の回路動作に必要な電流だけに過ぎません。この追加回路は、ターンオン時間をターンオフ時間よりも高速にします(メイク・ピフォア・ブレイク)。

ディスエーブル動作モードに設定すると、出力と入力の各ノードがハイ・インピーダンス状態に入ります。OPA680を+1のゲインで動作させる場合には、これによって出力側のインピーダンスが非常に高くなり、非常に高い信号絶縁性能が確保されます。OPA680を+1よりも高いゲインで動作させる場合には、合計の帰還ネットワーク抵抗値($R_f + R_c$)が出力側で見られるインピーダンスとして現れますが、依然として回路の順方向および逆方向の絶縁性能は高いレベルに維持されます。アンプを反転構成にすると、入力と出力は帰還ネットワーク抵抗($R_f + R_c$)を通して接続されるので、絶縁性能が大幅に劣化する結果になります。

ディスエーブル動作モード時に重要となる1つのパラメータは、ディスエーブル・モードと通常動作との切替え時に発生する出力グリッチです。入力信号を0Vとしたときに図1の回路で発生するグリッチの特性を図14に示します。DISピン電圧とともに、出力ピンのグリッチ波形をこの図では示しています。

DIS制御ラインの遷移エッジ・レート(dv/dt)によって、このグリッチ特性は左右されます。図14では、グリッチの振幅レベルの減少が観測されなくなるまでエッジ・レートが下がっています。より高速なロジック・ラインからDISピンに簡単な構成のRCフィルタ回路を追加することで、この約1V/nsの最大スルーレートが達成できます。遷移時間が極度に高速のロジックを使用する場合には、ロジック・ゲートとDIS入力ピンの間に直列に1kΩ抵抗を接続すると、DISピン上の寄生入力容量のみを使用しただけの十分な帯域幅制限が行われると共に、十分なロジック・レベル・スイングも保証されます。

熱解析

OPA680は高い出力パワー能力を備えているので、極端な動作条件下ではヒートシンクまたは強制的なエアフローが必要になります。下記に説明するように、最大許容接合部温度によって内部消費電力の最大許容値が設定されます。接合部温度の最大値が+175 を超えることがあってはなりません。動作接合部温度(T_j)は $T_A + P_D \cdot \theta_{JA}$ の式から求められます。内部消費電力(P_D)の合計値は、無信号時の消費電力(P_{D0})と出力段で負荷パワーを供給するために消費される追加電力(P_{DL})の和です。無信号時の消費電

力は、無負荷時の電源電流とデバイスの電源電圧の合計値を乗算した値です。 (P_{DL}) は必要な出力信号と負荷に応じて変動しますが、グランド接続の抵抗性負荷の場合には、出力が各電源電圧(まったく等しいバイポーラ電源の場合)の1/2に等しい電圧に固定されているときに最大になります。この条件下で R_L に帰還ネットワーク負荷が含まれる場合、 $P_{DL} = V_S^2 / (4 \cdot R_L)$ となります。内部消費電力を決定するのは出力段における消費電力であって、負荷に対する消費電力ではない点に注意してください。

ワーストケースとして、+85 の最大規定周囲温度で動作し、グランド接続された20Ωの抵抗負荷をドライブする図1の回路でOPA680N(6ピンSOT23パッケージ)を使用した場合の接合部温度の最大値を計算してみます。

$$P_D = 10V \cdot 7.2mA + 5^2 / (4 \cdot (20\Omega \parallel 804\Omega)) = 392mW$$

$$T_j \text{の最大値} = +85 + (0.39W \cdot 150 / W) = 144$$

この値は接合部温度として規定されている最大値を十分に下回っていますが、システムの信頼性を確実に保証するためには、これよりも低い接合部温度を保証することが必要です。出力に電流を強制的にシンクさせて正の電圧を出力したり、出力から電流をソースさせて負の電圧を出力することが負荷に必要な場合に、内部消費電力が最高のレベルに達する可能性があります。このような場合には内部で大きな電圧降下が発生して、高レベルの電流が出力トランジスタに流れ込みます。代表的性能曲線に示す出力V-Iのプロット図では、このような条件下で発生する1Wの最大内部消費電力の範囲の境界を示しています。

回路基板のレイアウト設計に関する考慮事項

OPA680のような高周波数動作のアンプから最適性能を引き出すには、回路基板レイアウトの寄生容量や外付け部品の選択について細心の注意を払うことが必要です。以下にプリント回路基板のレイアウト設計および部品の選択について推奨事項を記載します。

- すべての信号I/OピンとACグランド間の寄生容量を最小限に抑えます。出力ピンと反転入力ピンに寄生容量があると動作が不安定になり、非反転入力上に寄生容量があると、信号源インピーダンスと相互作用を起こして予想外に帯域幅が制限されます。不要な容量を低減するには、信号I/Oピン周囲のすべてのグランド・プレーンおよび電源プレーンについてこれらのピンの周囲に窓を開放することが必要です。これ以外の領域のグランド・プレーンと電源プレーンは、完全な状態のままにしておきます。
- 電源ピンから0.1μFの高周波数デカップリング・コンデンサまでの距離を最小限に抑えます(0.25インチ以下)。グランド・プレーンと電源プレーンのレイアウトは、これらのピンで信号I/Oピンと接近しないように注意します。ピンとデカップリング・コンデンサ間のインダクタンスを最小限に抑えるために、電源とグランドのパターン幅を狭くすることは避けてください。電源接続は必ずこれらのコンデンサを使用してデカップリングします。2つの電源(バイポーラ動作の場合)間にオプションとして用意した電源デカップリング用コンデンサ(0.1μF)を配置すると、2次高調波歪み性能が改善されます。より低い周波数で有効な容量のもっと大きなデカップリング・コンデンサ(2.2μF ~ 6.8μFまでの容量)もメインの電源ピンに接続します。これらのコンデンサはデバイスから多少離して配置し、PC基板の同じ領域に実装されている複数個

のデバイス間で共有することができます。

c) OPA680の高周波数性能は、外付け部品の選択と配置を慎重に行うことによって維持されます。抵抗にはリアクタンスの非常に低いタイプを使用します。表面実装抵抗が最も効果的で、全体の回路レイアウトを小さくできます。金属皮膜型またはカーボン・コンポジット軸方向リード線型抵抗も良好な高周波数性能が得られます。これらのリード線とPC基板の配線トレースも同様に可能な限り短くしてください。高周波数アプリケーションには巻線タイプの抵抗を絶対に使用しないでください。出力ピンと反転入力ピンは寄生容量の影響を最も受けやすいので、帰還抵抗や直列出力抵抗を接続する場合には、常に出力ピンに可能な限り近づけて配置してください。非反転入力終端抵抗などの他のネットワーク部品も同様に、パッケージに近接させて配置してください。部品の両面実装が可能であれば、帰還抵抗をパッケージ裏面の出力ピンと反転入力ピン間に直接的に実装して下さい。外部抵抗に並列な寄生容量が小さな場合でも、極端に値の高い抵抗を使用すると時定数が大幅に上がり、性能が劣化します。軸方向にリード線の付いた良好な金属皮膜または表面実装タイプの抵抗の場合、抵抗と並列に約0.2pFの寄生容量があります。抵抗の値が1.5kΩを超えると、この寄生容量により500MHz以下の極およびゼロが追加されることになり、回路の動作に悪影響が出る可能性があります。負荷ドライブ能力の許容範囲において、抵抗は可能な限り低い値に維持してください。特性仕様で使用されている402Ωの帰還抵抗は良いスターティング・ポイントです。ユニティ・ゲイン・フォロア・アプリケーションでは直接的に短絡するのではなく、25Ωの帰還抵抗の使用が推奨される点に注意してください。この方法によって出力ピンから反転入力容量が効果的に絶縁されます。この方法を使用しなければ、ゲイン+1の周波数応答にピーキングが追加される結果になります。

d) 回路基板上の他の広帯域デバイスとの接続には、短いパターンを直接的に使用するか、またはオンボードの伝送ラインを使用してください。短い配線接続では、パターンと隣接デバイスの入力を一体の容量性負荷と考えます。比較的に広いパターン幅(50~100ミル)を使用することが必要で、可能であればその周囲のグランド・プレーンと電源プレーンを開放します。全体の容量性負荷を求めて、推奨 R_s 対容量性負荷のプロット図から R_s の値を設定してください。OPA680は公称値2pFの寄生容量負荷で動作するように補償されているので、小さい寄生容量性負荷(< 5pF)に対しては R_s は必要ありません。信号ゲインが高い場合は(無負荷時の位相マージンが高くなる)、 R_s を使用しなくてもより高い寄生容量性負荷が許容されます。長いパターンが必要で、両側終端の伝送ラインに固有の6dBの信号損失が許容される場合には、マイクロストリップまたはストリップ・ラインの手法によってインピーダンス・マッチングのとれた伝送ラインを使用します。回路基板上では50Ωによる終端は必要なく、実際には歪み対負荷のプロット図に示しているように高インピーダンス負荷の方が歪みが改善されます。(回路基板の材質や必要なパターンの寸法に基づいて決まる)回路基板パターンの特性インピーダンスとともに、OPA680の出力からのパターンにマッチング用直列抵抗を使用し、相手側デバイスの入力に終端シャント抵抗を使用します。終端インピー

ダンスが相手側デバイスのシャント抵抗と入力インピーダンスの並列な組み合わせになる点にも注意してください。この全体の実効インピーダンスをパターンのインピーダンスと一致するように設定することが必要です。OPA680は高い電圧および電流出力能力を備えているので、複数の接続先デバイスをそれぞれ直列抵抗とシャント終端抵抗をもった別々の伝送ラインとして扱うことが可能です。2重終端伝送ラインの6dBの減衰損失が許容されない場合には、長いパターンをソース側だけ直列に終端することが可能です。この場合にはパターンを容量性負荷として扱い、推奨 R_s 対容量性負荷のプロット図に示しているように直列抵抗の値を設定してください。ただし、2重終端ラインと同様の信号の完全性は維持されません。接続先デバイスの入力インピーダンスが低ければ、終端インピーダンスに対して直列の出力によって形成される分圧器によって信号がある程度減衰します。

e) OPA680のような高速デバイスにソケットの使用は推奨できません。ソケットの使用によってリード長と各ピン間の容量が増加することになり、これが原因で極めて厄介な寄生ネットワークが形成され、平坦で安定した周波数応答性を確保することが困難になります。回路基板上にOPA680を半田付けすると、最良の結果が得られます。DIPパッケージのソケット装着が必要な場合には、高周波数のフラッシュ・マウント・ピン(例: McKenzie Technology社の710Cなど)を使用すると、良好な結果が得られます。

入力およびESD保護

OPA680は非常に高速のコンプリメンタリ・バイポーラ・プロセスで製造されています。この非常に微細なデバイスは内部接合部のブレイクダウン電圧が比較的低く抑えられています。このブレイクダウン電圧は絶対最大定格で規定されています。デバイスのピンはすべて図15に示すように、電源に対する内部ESD保護用のダイオードによって保護されています。

これらのダイオードは、電源電圧を超える入力オーバードライブ電圧に対する適切な保護も行います。保護ダイオードは30mA(標準値)の連続電流をサポートできます。これよりも高いレベルの電流が発生する可能性がある場合には(例えば、OPA680に対してドライブをかける±15V電源動作部品を使用するシステムなど)、2個の入力間に直列に電流制限用抵抗を追加することが必要です。これらの抵抗の値は可能な限り低くしてください。高い値の抵抗を使用すると、ノイズ性能と周波数応答性が劣化します。

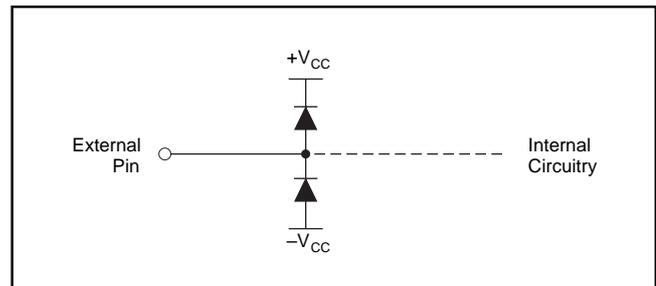
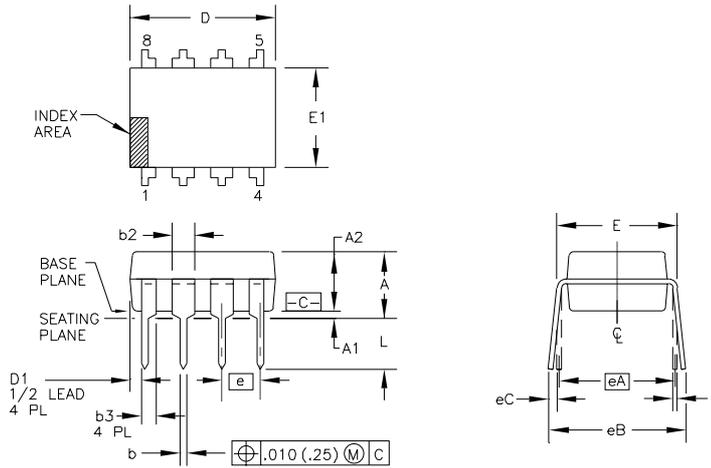


図15. 内部ESD保護回路

外観

パッケージ番号006 - 8ピン・プラスチックDIP



DIM	INCHES		MILLIMETERS		N	E
	MIN.	MAX.	MIN.	MAX.		
A	--	.210	--	5.33	3	
A1	.015	--	0.38	--	3	
A2	.115	.195	2.92	4.95		
b	.014	.022	0.36	0.56		
b2	.045	.070	1.14	1.78	9	
b3	.030	.045	0.76	1.14	9	
c	.008	.014	0.20	0.36		
D	.355	.400	9.02	10.16	4	
D1	.005	--	0.13	--	4	
E	.300	.325	7.62	8.26	5	
E1	.240	.280	6.10	7.11	4	
e	.100	BASIC	2.54	BASIC		
eA	.300	BASIC	7.63	BASIC	5	
eB	--	.430	--	10.92	6	

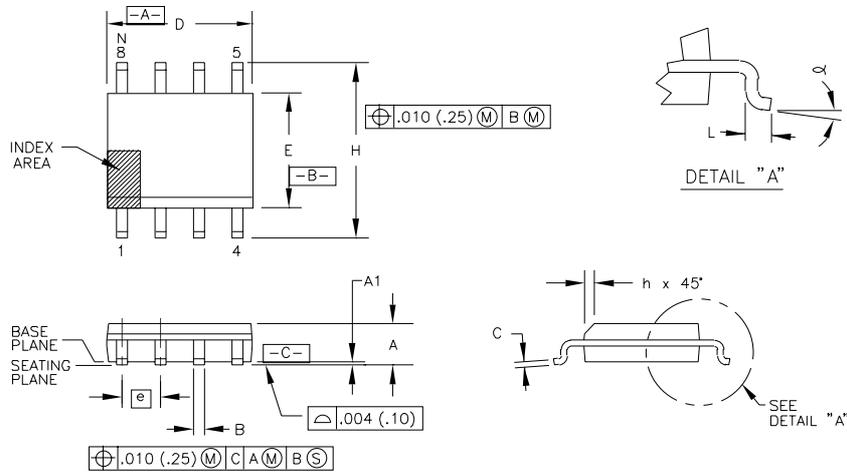
NOTES:

1. ALL DIMENSIONS ARE IN INCHES.
2. DIMENSIONING AND TOLERANCING PER ANSI Y14.5M-1982.
3. DIMENSIONS A, A1, AND L ARE MEASURED WITH THE PACKAGE SEATED IN JEDEC SEATING PLANE GAUGE GS-3.
4. D, D1, AND E1 DIMENSIONS DO NOT INCLUDE MOLD FLASH OR PROTRUSIONS. MOLD FLASH OR PROTRUSIONS SHALL NOT EXCEED .010 (0.25mm).
5. E AND eA MEASURED WITH THE LEADS CONSTRAINED TO BE PERPENDICULAR TO DATUM [C].
6. eB AND eC ARE MEASURED AT THE LEAD TIPS WITH THE LEADS UNCONSTRAINED.
7. N IS THE MAXIMUM OF TERMINAL POSITIONS.

8. POINTED OR ROUNDED LEAD TIPS ARE PREFERRED TO EASE INSERTION.
9. b2 AND b3 MAXIMUM DIMENSIONS DO NOT INCLUDE DAMBAR PROTRUSIONS. DAMBAR PROTRUSIONS SHALL NOT EXCEED .010 (0.25mm).
10. DISTANCE BETWEEN LEADS INCLUDING DAMBAR PROTRUSIONS TO BE .005 (0.13mm) MINIMUM.
11. A VISUAL INDEX FEATURE MUST BE LOCATED WITHIN THE CROSS-HATCHED AREA.
12. FOR AUTOMATIC INSERTION, ANY RAISED IRREGULARITY ON THE TOP SURFACE (STEP, MESA, ETC.) SHALL BE SYMMETRICAL ABOUT THE LATERAL AND LONGITUDINAL PACKAGE CENTERLINES.

PACKAGE NUMBER: ZZ006 REV.: E
JEDEC NUMBER: MS-001-BA

パッケージ番号182 - 8ピンSOP



DIM	INCHES		MILLIMETERS		N	E
	MIN.	MAX.	MIN.	MAX.		
A	.0532	.0688	1.35	1.75		
A1	.004	.0098	0.10	0.23		
B	.013	.020	0.33	0.51	7	
C	.0075	.0098	0.20	0.25		
D	.189	.1968	4.80	4.98	2	
E	.1497	.1574	3.80	4.00	3	
e	.050	BASIC	1.27	BASIC		
H	.2284	.244	5.80	6.20		
h	.0099	.0196	0.25	0.50	4	
L	.016	.050	0.41	1.27	5	
N	8		8		6	
α	0°	8°	0°	8°		

NOTES:

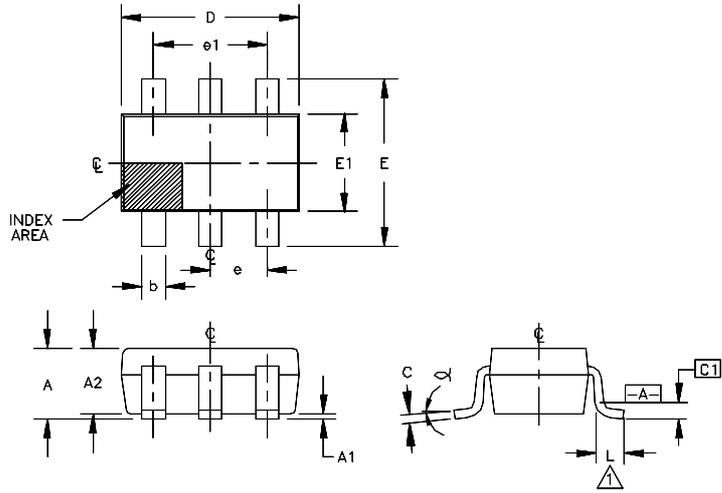
1. DIMENSIONING AND TOLERANCING PER ANSI Y14.5M-1982.
2. DIMENSION D DOES NOT INCLUDE MOLD FLASH, PROTRUSIONS OR GATE BURRS. MOLD FLASH, PROTRUSIONS AND GATE BURRS SHALL NOT EXCEED .006 IN. (0.15 mm) PER SIDE.
3. DIMENSION E DOES NOT INCLUDE INTER-LEAD FLASH OR PROTRUSIONS. INTER-LEAD FLASH AND PROTRUSIONS SHALL NOT EXCEED .010 IN. (0.25 mm) PER SIDE.
4. THE CHAMFER ON THE BODY IS OPTIONAL. IF IT IS NOT PRESENT,

5. L IS THE LENGTH OF TERMINAL FOR SOLDERING TO A SUBSTRATE.
6. N IS THE NUMBER OF TERMINAL POSITIONS.
7. THE LEAD WIDTH B, AS MEASURED .014 IN. (0.36 mm) OR GREATER ABOVE THE SEATING PLANE, SHALL NOT EXCEED A MAXIMUM VALUE OF .024 IN. (0.61 mm).
8. LEAD TO LEAD COPLANARITY SHALL BE LESS THAN .004 IN. (0.10 mm) FROM SEATING PLANE.

A VISUAL INDEX FEATURE MUST BE LOCATED WITHIN THE CROSS-HATCHED AREA.

PACKAGE NUMBER: ZZ182 REV.: H
JEDEC NUMBER: MS-012-AA

パッケージ番号332 - 6ピンSOT-23



DIM	INCHES		MILLIMETERS		N	E
	MIN.	MAX.	MIN.	MAX.		
A	.035	.057	0.90	1.45		
A1	.000	.006	0.00	0.15		
A2	.035	.051	0.90	1.30		
b	.010	.020	0.25	0.50		
c	.003	.008	0.08	0.20		
C1	.007	BASIC	0.20	BASIC		
D	.110	.118	2.80	3.00		
E	.102	.118	2.60	3.00		
E1	.059	.069	1.50	1.75		
e	.037	REF	0.95	REF		
e1	.075	REF	1.90	REF		
L	.014	.022	0.35	0.55	1	
N	6		6		5	
ϕ	0°	10°	0°	10°		

- NOTES:
- ▲ FOOT LENGTH MEASURED AT INTERCEPT POINT BETWEEN DATUM A AND LEAD SURFACE.
 - PACKAGE OUTLINE EXCLUSIVE OF MOLD FLASH AND METAL BURR.
 - PACKAGE OUTLINE INCLUSIVE OF SOLDER PLATING.
 - A VISUAL INDEX FEATURE MUST BE LOCATED WITHIN THE CROSS-HATCHED AREA.
 - N IS THE MAXIMUM QUANTITY OF LEAD POSITIONS.

PACKAGE NUMBER: ZZ332 REV.: C
 JEDEC NUMBER: NONE