



# **OPA642**

# 広帯域、低歪、低ゲイン・オペアンプ

### 特長

- 低歪: -95dBc(5MHz)
- ゲイン+1の帯域幅:400MHz
- パッケージ:5ピンSOT-23、8ピンSOP、8ピンDIP
- 高開ループ・ゲイン: 95dB
- 高同相モード除去: 90dB
- 高速12ビット・セトリング: 13ns(0.01%)
- 低雑音: 2.7nV/√ Hz
- 大出力電流:±60mA
- 超低微分ゲイン/位相誤差: 0.007%/0.008°

# アプリケーション

- ADC/DACバッファ・アンプ
- 低歪IFアンプ
- 高解像度画像処理
- 医療用画像処理
- 低雑音プリアンプ
- 高CMR差動アンプ
- テスト装置

### 概要

OPA642は、従来のモノリシック・オペアンプでは得られ ないレベルの速度およびダイナミック・レンジを提供しま す。OPA642は、2つのゲイン段を内蔵したユニティ・ゲイ ンで安定な電圧帰還アーキテクチャを使用し、広い周波数 レンジにわたりきわめて低い高調波歪を達成しています。 「伝統的な」差動入力は、バイアス電流のキャンセルや、広 帯域電流帰還オペアンプと比較してきわめて低い反転電流 雑音など、高精度オペアンプのすべての利点を備えていま す。高速なセトリングタイム、優れた微分ゲイン/位相性 能、低電圧雑音、大出力電流ドライブなどの特長をもつ OPA642は、ほとんどの高ダイナミック・レンジのアプリ ケーションに理想的な製品です。

OPA642は、ユニティ・ゲインで安定なため、特に低ゲイ ン差動アンプ、トランスインビーダンス・アンプ、ゲイン +2のビデオ・ライン・ドライバ、広帯域積分器および低歪 ADCバッファに適しています。高ゲインまたはさらに低い 高調波歪が要求される場合は、高ゲイン帯域幅および低雑 音タイプのOPA643を検討して下さい。



# 仕様

特に記述のない限り、T<sub>A</sub> = +25 、V<sub>S</sub> = ±5V、R<sub>L</sub> = 100Ω、R<sub>F</sub> = 402Ωです。ゲインが+1の場合、R<sub>F</sub> = 25Ωです。

		OPA642P、U、N		OPA642PB、UB、NB				
パラメータ	条件	最小	標準	最大	最小	標準	最大	単位
<b>オフセット電圧</b> 入力オフセット電圧 平均ドリフト 電源除去(PSR)	V <sub>s</sub> = ±4.5 ~ ±5.5V	65	±1.5 4 85	<u>+</u> 4	73	±0.5 2 95	±1.0	mV μV/ dB
<b>入力バイアス電流</b> 入力バイアス電流 仕様温度範囲 入力オフセット電流 仕様温度範囲	V <sub>CM</sub> = 0V V <sub>CM</sub> = 0V		25 0.1	45 70 2.0 3.0		*	* * *	μΑ μΑ μΑ μΑ
<b>雑音</b> 入力電圧雑音 雑音密度 : f ≥ 1MHz 積分電圧雑音、BW = 100Hz ~ 100MHz 入力バイアス電流雑音密度 f ≥ 1MHz			2.7 27 2.8			* * *		nV/√Hz μVrms pA/√Hz
<b>入力電圧範囲</b> 同相モード入力範囲 全温度範囲 同相モード除去(CMR)	V <sub>CM</sub> = ±0.5V	±2.75 ±2.5 65	±3.0 90		* * 80	*		V V dB
<b>入力インビーダンス</b> 差動 同相モード			11    1 650    1			*		kΩ  pF kΩ  pF
<b>開ループ・ゲイン</b> 開ループ電圧ゲイン(A <sub>oL</sub> ) 仕様温度範囲	$V_o = \pm 2V_v R_L = 100\Omega$	80 80	95		85 *	98		dB dB
<b>周波数応答</b> 閉ループ応答 ゲイン帯域幅積(GBP) スルーレート <sup>(1)</sup> 最低仕様温度 セトリングタイム: 0.01% 0.1% 1% スプリアスフリー・ダイナミック・レンジ(SFDR) 微分ゲイン誤差、3.58MHz、G = +2V/V 微分位相誤差、3.58MHz、G = +2V/V	$\begin{split} & f' f \mathcal{V} = +1 V / V \\ & f' f \mathcal{V} = +2 V / V \\ & f' f \mathcal{V} = +5 V / V \\ & f' f \mathcal{V} = +10 V / V \\ & \\ & \\ & \\ & \\ & \\ & \\ & \\ & \\ & \\$		400 150 45 21 380 340 13 11.5 3.5 92 0.007 0.008			* * * * * * * * * * * * * * * * * * *		MHz MHz MHz MHz V/μs V/μs ns ns dBc % degrees
出力 電圧出力 仕様温度範囲 電圧出力 仕様温度範囲 電流出力、+25 仕様温度範囲 閉ループ出力抵抗	無負荷 R <sub>L</sub> = 100Ω 0.1MHz、G = +1V/V	±3.0 ±2.5 ±40 ±35	±3.5 ±2.75 ±60 0.01		* ±50 ±40	* * ±65 *		V V MA mA
<b>電源</b> 仕様動作電圧 動作電圧範囲 無信号時電流 仕様温度範囲	T <sub>MIN</sub> ~ T <sub>MAX</sub>	±4.5	±5 ±20	±5.5 ±25 ±26	* ±16	*	* * *	V V mA mA
温度範囲 仕様 P、U、N、PB、UB、NB 熱抵抗 P、PB 8ピンDIP U、UB 8ピンSOP N、NB 5ピンSOT23	周囲温度 θ <sub>JA</sub> 、接合部-周囲間	-40	100 125 150	+85	*	* * *	*	/W /W /W /W

\*印の仕様は、OPA642P、U、Nと同じ値であることを示します。 注:(1)スルーレートは、出力電圧ステップが10%から90%に変化する速度です。

#### 絶対最大定格

電源	±6.0VDC
内部消費電力 <sup>(1)</sup>	.「熱の解析」の項を参照
差動入力電圧	±1.2V
入力電圧範囲	±V <sub>s</sub>
保存温度範囲:P、PB、U、UB、N、NB	–40 ~+125 <sup>°</sup>
リード温度(10秒間の半田付け)	+300
(SOP、3秒間の半田付け)	+260
接合部温度( T_ )	+175
注:(1)仕様のθ」」に基づくパッケージのディレーラ 大T」を守ることが必要です。	ティングが必要です。最



静電気放電はわずかな性能の低下から完全なデバイスの故障に 至るまで、様々な損傷を与えます。すべての集積回路は、適切な ESD保護方法を用いて、取扱いと保存を行うようにして下さい。 高精度の集積回路は、損傷に対して敏感であり、極めてわずかな パラメータの変化により、デバイスに規定された仕様に適合しな くなる場合があります。





モデル	パッケージ	パッケージ図 番号 <sup>(1)</sup>	温度範囲	パッケージの マーキング <sup>2)</sup>	<b>発注番号</b> (3)
OPA642U	8ピンSOP	182	-40 ~+85	OPA642U	OPA642U
OPA642UB	8ピンSOP	182	-40 ~+85	OPA642UB	OPA642UB
OPA642N	5ピンSOT-23	331	-40 ~+85	A42	OPA642N/250
					OPA642N/3K
OPA642NB	5ピンSOT-23	331	-40 ~+85	A42B	OPA642NB/250
					OPA642NB/3K
OPA642P	8ピン・プラスチックDIP	006	-40 ~+85	OPA642P	OPA642P
OPA642PB	8ピン・プラスチックDIP	006	-40 ~ +85	OPA642PB	OPA642PB

#### パッケージ情報/ご発注の手引き

注:(1)詳細図および寸法表は、データシートの巻末を参照して下さい。(2)8ピンSOPおよびDIPパッケージの "B" グレードは、ピン8の近くに "B" とマーキング されています。5ピンSOT-23の "B" グレードは、ピン3および4の近くに "B" とマーキングされています。(3)5ピンSOT-23は、テープリールでのみ供給されます (例えば、250個単位の "OPA642N/250"を発注すると、250個入りテープリール1本が納品されます。3000個単位の "OPA642N/3K" を発注すると、3000個入りテー プリール1本が納品されます)。

このデータシートに記載されている情報は、信頼しうるものと考えておりますが、不正確な情報や記載漏れ等に関して弊社は責任を負うものではありません。情 報の使用について弊社は責任を負えませんので、各ユーザの責任において御使用下さい。価格や仕様は予告なしに変更される場合がありますのでご了承下さい。 ここに記載されているいかなる回路についても工業所有権その他の権利またはその実施権を付与したり承諾したりするものではありません。弊社は弊社製品を生 命維持に関する機器またはシステムに使用することを承認しまたは保証するものではありません。

# 代表的性能曲線

























## 代表的性能曲線











### 代表的性能曲線













### 使用上の注意

#### 広帯域電圧帰還動作

OPA642の速度およびダイナミック・レンジ特性は、良好な設計 のための簡単な原則を実行することにより広範なアプリケーショ ン回路で容易に達成することができます。例えば、高調波歪を最 小限に抑え、滑らかな周波数応答を得るには、図1に示すような 適正な電源のデカップリングが欠かせません。このデータシート の以下のセクションで述べる適切なプリント基板のレイアウトお よびコンポーネントの慎重な選択により、すべてのアプリケー ションにおいてOPA642の性能を最大限に引き出すことができます。

代表的性能曲線の大部分でその基礎として使用されているゲイ ン+2の構成を図1に示します。大部分の曲線は、ドライブ・イン ビーダンスが50Ωの信号ソースとシャント負荷インピーダンスが 50Ωの測定装置を使用して特性を求めたものです。図1では、V<sub>1</sub> 端子の50Ωシャント抵抗がテスト・ジェネレータのソース・イン ビーダンスをマッチングし、V<sub>0</sub>端子の50Ω直列抵抗が測定装置の 負荷のマッチング抵抗になっています。一般に、データシートの 仕様は、出力ピン(図1のV<sub>0</sub>)の電圧スイングを基準にしていま す。直列およびシャントのマッチング抵抗の100Ω負荷は帰還 ネットワークの804Ωの負荷と合成され、OPA642の実効負荷は約 90Ωになります。



図1. ゲイン+2の高周波アプリケーションおよび特性評価回路 (PまたはUパッケージ)

#### 高性能ADCのバッファリング

高ダイナミック・レンジのA/Dコンパータから最大限の性能を 引き出すには、入力アンプのインターフェース回路の設計に細心 の注意を払うことが必要です。表紙のサンプル回路は、ダイナ ミック・レンジがきわめて高いA/Dコンパータとの標準的なAC結 合のインターフェースを示しています。周波数ドメインのアプリ ケーションでは、グランド(0V)を中心に対称にスイングする信号 レンジを使用して、最もリニアな領域でOPA642を動作させるこ とができます。次に、2Vp-pのスイングをプロッキング・コンデン サを通じてDCリファレンスのレベルにシフトします(コンパータ の内部リファレンス電圧から十分にデカップリングした抵抗デバ イダで作ります)。コンパータの定格スプリアスフリー・ダイナ ミック・レンジ(SFDR)への影響を無視するためには、アンプの SFDRが10dB以上であることが必要です。表紙のサンプルでは、 OPA642の挿入によるADS804の歪への影響は測定できず、5MHz のナイキスト入力信号で80dBのSFDRを達成しています。

8ピンSOPまたは8ピンDIPパッケージで歪を最小限に抑えるに は、ピン5および8に0.1µFのデカップリング・コンデンサを追加す ることが必要です。これを図1に示します。ピン5および8はそれ ぞれ内部でピン4および7(8ピン・オペアンプの標準電源ピン)に接 続されていますが、コンデンサの追加によりパッケージのリード 線のインダクタンスがデカップリングされ、2次高調波の抑止が 5MHzで約4dB改善されます。5ピンSOT-23パッケージではポン ド・ワイヤおよび電源リードがずっと短いため、2つの電源端子だ けで最善の歪性能が得られます。

ADCのバッファリングにOPA642を使用する場合は、ADC入力 にシャント・コンデンサを追加するとともに、アンプ出力の直列 抵抗を慎重に選択することが必要です。このRCネットワークの 選択は、ある程度、コンバータのモデルごとに経験的に決定され ます。ADS804のような高性能CMOS ADCの多くは、入力ピンの シャント・コンデンサにより性能が向上します。このコンデンサ は、サンプリングの過程で発生する過渡電流のためにソース・イ ンピーダンスを低くするものです。コンデンサの追加により SFDRが改善します。コンデンサの推奨値は、多くの場合コン バータのデータシートに記載されています。外部コンデンサは、 A/D入力の内部容量とともにOPA642にとって大きな容量性負荷 になります。その結果、直列分離抵抗を使用しない場合は、不要 なピーキングやアンプが不安定になる原因になります。CMOS A/D入力のDCバイアス電流は無視できるため、抵抗が全体のゲ インまたはオフセットの精度に影響することはありません。直列 抵抗の値を決める際には、代表的性能曲線の「R。対容量性負荷」 が参考になります。これにより、ADC入力のフラットな周波数応 答が確保されます。外部コンデンサの値を大きくすれば、直列抵 抗を小さくできます。また、この抵抗を固定して信号帯域を制限 すれば、コンパータ入力の高周波雑音を低減することができます。

#### ビデオ・ラインのドライブ

多くのビデオ配分システムは、75Ωの直列抵抗を使用してマッ チングした75Ωケーブルをドライブする設計になっています。 75Ωのマッチング負荷に対して正味のゲインを1とするために は、通常、アンプの電圧ゲインを+2に設定し、ケーブル両端の直 列およびシャントの75Ω抵抗から形成される電圧デバイダの6dB の減衰を補償することが必要です。

図1の回路で、すべての50Ω抵抗を75Ωに置き換えると、この要 件に当てはまります。アンプのゲインをさらに2.2まで上げ、標 準的な長いケーブル配線で増加するDC損失を回復することもし ばしば行われます。この変更では、図1のゲイン抵抗(R<sub>c</sub>)を402Ω から335Ωに小さくすることが必要です。いずれの場合も、 OPA642のゲインの平坦性および微分ゲイン/位相性能によりビデ オ配分アプリケーションで優れた成果が得られます。微分ゲイン および位相は、大信号出力レベル(コンポジット・ビデオ信号の輝 度情報)の変化に対するもので、カラー搬送周波数(NTSCシステ ムでは3.58MHz)の小信号ゲインおよび位相の全体的変化として 測定されます。OPA642は、標準的な1つの150Ωのマッチングさ れたビデオ・ケーブル負荷の場合、正のビデオ(負の同期)信号に ついて標準的な輝度の範囲で0.01%/0.01°の微分ゲイン/位相誤 差を示します。負のビデオ信号についても同様の性能が観測され ます。実際には、OPA642のリニアな高周波出力インピーダンス のため、ビデオ負荷が2つの場合にも同様の性能が得られます。

#### オペアンプ1個の差動アンプ

OPA642の電圧帰還アーキテクチャは、CMRが高いため、差動 アンプ構成で優れた性能を発揮します。図2に、標準的な構成を 示します。この設計では、まず最初にR<sub>2</sub>の値を200Ωから2kΩま での範囲から選択します。小さい値では、必要なR。が小さくな り、V。のソースおよびOPA642の出力の負荷が大きくなります。 大きい値では、出力雑音が増大し、基板やデバイスの寄生容量の 悪影響が大きくなります。R<sub>e</sub>の値の選択に続き、V<sub>e</sub>で必要な反転 ゲインが得られるようにR。を設定します。帯域幅は、ほぼゲイン 帯域幅積(GBP)を雑音ゲイン(1+R<sub>e</sub>/R<sub>c</sub>)で割った値によって設定 されます。正確な差動動作(すなわち良好なCMR)のためには、 R<sub>a</sub>/R<sub>a</sub>の比をR<sub>a</sub>/R<sub>a</sub>と等しくすることが必要です。通常は、最善の 方法としてR。およびR,の絶対値をそれぞれR。およびR。と等しく設 定します。これによりデバイダの抵抗が等しくなり、入力バイア ス電流の影響がキャンセルされます。しかし、ドライブ・ソース V,の負荷を調整するためにR。およびR,の値をスケーリングするこ とが便利なこともあります。ほとんどの場合、達成可能な低周波 CMRは、抵抗値の精度によって制限されます。帰還抵抗が0.003 %以上の精度でマッチングされない限り、回路全体のCMRが OPA642自体の90dBのCMRによって決まることはありません。 CMRのトリムが必要な場合は、R<sub>8</sub>を調整ポイントにすることを 推奨します。

#### オペアンプ3個の差動アンプ(計測トポロジー)

オペアンプ1個の差動アンプの基本的な欠点は、入力インピー ダンスが相対的に低いことです。差動入力に高いインピーダンス が必要な場合は、OPA642を差動段として使用して標準的な計測 アンプ(INA)のトポロジーを構成することができます。この例を 図3に示します。ここでは2個の入力アンプがパッケージされた デュアル・タイプの電圧帰還オペアンプ(OPA2650)を使用してい ます。このアプローチでは、2個のOPA642を追加するよりも基板 のスペース、コスト、電力が節約され、入力アンプの適度な負荷 によってきわめて良好な雑音および歪性能が得られます。この回 路では、4個のマッチングされた1kΩ抵抗のため出力までの同相 モード・ゲインが常に1になります。差動ゲインは(1+2R<sub>F1</sub>/R<sub>G</sub>)で 設定され、図3の値を使用した場合は2になります。差動からシン グル・エンドへの変換は、やはりOPA642の出力段で実行します。 高インピーダンス入力のため、V<sub>1</sub>およびV<sub>2</sub>ソースを終端すること も、差動アンプによりさらに負荷をかけずに必要に応じてイン ピーダンスをマッチングすることもできます。V<sub>1</sub>およびV<sub>2</sub>入力が すでに完全な差動になっている場合(信号トランスからの出力な ど)は、両者の間に1個のマッチング終端抵抗を使用することがで きます。ただし、V<sub>1</sub>およびV<sub>2</sub>入力には常に決まったDC信号路が 存在することが必要です。トランスの場合、接地したセンター タップ付きの2次側が最適なDC動作ポイントになります。



図2. 高速なアンプ1個の差動アンプ



図3. 広帯域なオペアンプ3個の差動アンプ

#### DACトランスインピーダンス・アンプ

高周波DDC DACには、現実の負荷に対してSFDR性能を保持 するため低歪の出力アンプが必要です。シングル・エンドの出力 ドライプ回路を図4に示します。この回路では、コンプリメンタ リ出力ドライブ信号の一方だけを使用します。図では、トランス インピーダンス段または"I-Vコンバータ"として設定された OPA642の仮想グランドの加算ノードに信号出力電流を接続して います。DACの未使用の電流出力はグランドに接続します。 DACの出力をグランド以外のコンプライアンス電圧に終端して動 作させる必要がある場合は、OPA642の非反転入力に適切な電圧 レベルを印加することができます。この回路のDCゲインは、R<sub>F</sub> に等しくなります。高周波ではDACの出力容量のためにOPA642 の雑音ゲインにゼロが発生し、閉ループ周波数応答のピーキング の原因になります。この雑音ゲインのピーキングを補償するに は、R<sub>F</sub>の両端にC<sub>F</sub>を追加します。フラットなトランスインピーダ ンスの周波数応答を得るには、この帰還ネットワークの極を次式 のように設定します。

 $1/2\pi R_{\rm F}C_{\rm F} = \sqrt{GBP/(4\pi R_{\rm F}C_{\rm D})}$ 

このとき、コーナー周波数 ƒ\_\_\_\_\_はほぼ次式の値になります。

 $f_{-3dB} = \sqrt{GBP/2\pi R_F C_D}$ 





#### アクティブ・フィルタ

OPA642は、広帯域およびユニティ・ゲインの安定性により、ほ とんどのアクティブ・フィルタのトポロジーで優れた性能を発揮 します。容量性の帰還を使用するトポロジーでは、ユニティ・ゲ インで安定な電圧帰還オペアンプが必要です。Sallen-Keyフィル タでは、単にRCネットワークの内側の非反転ゲイン段としてオ ペアンプを使用します。Sallen-Keyの回路には電流帰還または電 圧帰還オペアンプのどちらも使用できます。

Sallen-Keyのローパスフィルタの例を図5に示します。ここで は、OPA642の低周波ゲインを+2に設定しています。フィルタの コンポーネントの値は、5MHz、-3dBの帯域幅で最大限にフラッ トなパターワース応答が得られるように選択されています。この 構成では、OPA642による150MHz帯域幅の影響を補償するた め、抵抗値をわずかに調整しています。このフィルタは、ADCド ライバの推奨回路と組み合わせて適度な(2種)ナイキスト・フィル タリングを行い、ADC入力の雑音や帯域外成分を制限することが できます。このフィルタでは、ADS804などの高SFDRのA/Dコン バータ(12ビット、10MSPS、SFDR 80dB)で要求されるきわめて 低い高調波歪を実現することができます。



図5.5MHz**バターワース・ローパス・アクティブ・フィルタ** 

### 動作に関する推奨事項

#### 抵抗値の最適化

OPA642はユニティ・ゲインで安定な電圧帰還オペアンプである ため、帰還抵抗およびゲイン設定抵抗に広範な値を使用すること ができます。これらの値は、基本的にはダイナミック・レンジ(雑 音および歪)および寄生容量の問題によって制限されます。非反 転のユニティ・ゲイン・フォロワのアプリケーションでは、帰還端 子を直接短絡せず、25Ωの抵抗を接続することが必要です。これ により、反転入力の容量が出力ピンと分離され、周波数応答の平 坦性が改善されます。通常、帰還抵抗には200Ωから1kΩまでの値 を使用します。200Ωより小さい場合は、帰還ネットワークによ り出力の負荷が増加し、OPA642の高調波歪性能が低下します。 1kΩより大きい場合は、帰還抵抗両端の寄生容量(約0.2pF)によ リアンプの応答で予想外に帯域が制限される原因になります。

目安として $R_F$ および $R_G$ の並列の合成抵抗(図1を参照)を約200Ω 以下にします。合成インピーダンス $R_F$ || $R_G$ は、反転入力の容量と 作用して帰還ネットワークに極を追加し、したがって順方向の応 答にゼロを追加します。反転ノードの寄生容量の合計を2pFと仮 定した場合、 $R_F$ || $R_G$ <200Ωに保つことにより、この極が400MHz 以上に保持されます。この制限は、高ゲインで帰還抵抗 $R_F$ を数 kΩまで増大できることを意味します。これは、 $R_F$ および並列の 寄生容量によって形成される極が目的の周波数レンジに入らない 限り、許容することができます。

反転構成では、別の設計上の問題にも注意が必要です。R<sub>g</sub>は入 力抵抗になり、したがってドライブ・ソースの負荷インピーダン スになります。インピーダンスのマッチングが必要な場合、R<sub>g</sub>を 必要な終端値と等しく設定することができます。ただし、反転ゲ インが低い場合は、帰還抵抗の値がアンプ出力の大きな負荷にな ることがあります。例えば、入力マッチング抵抗(=R<sub>g</sub>)が50Ω で反転ゲインが2の場合は100Ωの帰還抵抗が必要になり、外部負 荷と並列な出力負荷として作用します。このような場合は、R<sub>g</sub>お よびR<sub>g</sub>の両方の値を大きくし、接地した第3の抵抗を使用して入 カインピーダンスをマッチングするようにします。合計の入力イ ンピーダンスは、R<sub>g</sub>および追加したシャント抵抗を並列に合成し た値になります。

#### 帯域幅対ゲイン

電圧帰還オペアンプでは、信号ゲインの増加につれて閉ループ 帯域幅が減少します。理論上、この関係は仕様に記載されたゲイ ン帯域幅積(GBP)によって示されます。理論的には、GBPを非反 転信号ゲイン(雑音ゲインまたはNGとも呼びます)で割ることに より、予測される閉ループ帯域幅が求められます。これは、実際 には、高ゲイン構成のように位相マージンが90°に近づくときだ け成立します。位相マージンが小さい低信号ゲインでは、ほとん どのアンプがより複雑な応答を示します。OPA642は、ゲイン2で 最もフラットな2次バターワース応答が得られるよう最適化され ています。OPA642は、この構成で約60°の位相マージンをもち、 標準的な150MHzの-3dB帯域幅を示します。位相マージンが60° のとき、閉ループ帯域幅はGBPを雑音ゲイン2で割って予測され る値より約√2 大きくなります。ゲインを大きくすると、位相 マージンが90°に近づき、帯域幅が予測値(GBP/NG)に接近しま す。ゲインが+10の場合、仕様の標準値として記載されている 21MHzの帯域幅は、簡単な式およびGBPの標準値210MHzから予 測される値と一致します。

#### 負荷のドライブ

OPA642は、2重終端された伝送ラインのような厳しい条件の負 荷をドライブするように最適化されています。50Ωのラインをド ライブするときは、ケーブルの直列の50Ωおよびケーブルの終端 の50Ω負荷が使用されます。このような条件では、ケーブルのイ ンピーダンスが広い周波数レンジにわたり抵抗として現れ、 OPA642にかかる全体の実効負荷は帰還ネットワークの抵抗と並 列の100Ωになります。仕様では、このような負荷条件で±2.5Vの スイングが保証されています(終端抵抗の位置ではスイングが ±1.25Vまで減小します)。仕様温度で保証された±35mAの出力ド ライブにより、この負荷に十分な電流ドライブのマージンが得ら れます。高インピーダンスの負荷をドライブするときは、より高 い電圧スイング(および低歪)を達成することができます。

通常、1つのビデオ負荷は、ドライブ・アンプにとって1500の 負荷に相当します(標準的な750ケーブル使用時)。OPA642は、 NTSC信号の場合、最大3つの並列ビデオ負荷(全負荷500)をサ ポートするのに十分な電圧および電流ドライブを提供します。負 荷が1つだけの場合には、0.007%/0.008 °のきわめて低いdG/dP 誤差を達成します。

#### 容量性負荷のドライブ

オペアンプの負荷としてごく一般的で最も厳しい条件は、容量 性負荷のドライブです。OPA642のような開ループ・ゲインが大き い高速なアンプは、容量性負荷を出力ピンに直接接続したときの 安定性の低下や閉ループ応答のピークにきわめて敏感です。容量 性負荷は、アンプの開ループ出力抵抗と作用してループに極を追 加し、そのために位相マージンが減少します。この問題について は、アプリケーション・ノートに各種の解決策が提案されていま す。基本的な問題が周波数応答の平坦性、パルス応答の忠実性ま たは歪にある場合は、アンプの出力と容量性負荷の間に直列抵抗 を挿入することにより帰還ループから容量性負荷を分離する方法 が最も簡単で有効です。この方法は、ループ応答から極を除去す るのではなく、極をシフトして高周波にゼロを追加します。追加 されたゼロは、容量性負荷の極の位相ラグをキャンセルするよう に作用し、位相マージンが増加して安定性が改善されます。 推奨されるR<sub>s</sub>対容量性負荷および負荷における周波数応答を代 表的性能曲線に示します。推奨抵抗を設定する基準は、負荷にお ける最大帯域幅のフラットな周波数応答です。出力ピンと負荷の 容量の間にパッシブ・ローパスフィルタがあるため、出力ピンの 応答自体に多少ピークがあり、RCネットワークのロールオフの 後にフラットになります。これはほとんどのアプリケーションで は問題になりませんが、負荷で必要な信号スイングがアンプのス イングの限界にきわめて近い場合はクリッピングが発生すること があります。このようなクリッピングは、周波数のピーキングが ステップ応答のオーパーシュートとして現れるパルス応答のアプ リケーションで最も発生しやすくなります。

寄生容量性負荷が2pFより大きくなると、OPA642の性能が低 下することがあります。長いプリント基板のパターン、ケーブル の不整合、複数デバイスの接続などの要因があると、すぐにこの 値を超えてしまいます。常にこれらの影響を考慮し、OPA642の 出力ピンのできるだけ近くに推奨される直列抵抗を追加して下さ い(「基板のレイアウトの指針」を参照)。

#### 歪性能

OPA642は、高周波および低ゲインできわめて低歪な信号を供 給することができます。代表的性能曲線に各種条件における標準 的な歪のプロットを示します。大部分のプロットは、ダイナミッ ク・レンジが100dBに制限されています。OPA642の歪は、信号レ ベルが0.5Vを超えるかまたは基本周波数が500kHzを超えるま で、-100dBcより大きくなりません。オーディオ帯域の歪は ≤ -120dBcになります。

ー般に、基本信号の周波数または電力が非常に高いレベルに達 するまでは、2次高調波が支配的な歪になり、3次高調波成分は無 視することができます。2次高調波に焦点を絞れば、負荷イン ピーダンスを大きくすることにより直接歪が改善されます。合計 の負荷には帰還ネットワークも含まれることに注意して下さい。

これは、非反転構成ではR<sub>F</sub>とR<sub>G</sub>の和になり、反転構成ではR<sub>F</sub>だ けになります(図1を参照)。出力電圧スイングを大きくすると、 高調波歪が直接増加します。一般に、出力スイングの6dBの増加 により2次高調波が12dB、3次高調波が18dB増加します。また、 ゲインを大きくしても2次高調波歪が増加します。出力電力およ び周波数が一定でも、ゲインの6dBの増加によって2次および3次 高調波が6dB増加します。さらに、周波数とともにループ・ゲイ ンがロールオフするため、基本周波数が高くなるにつれて歪も増 加します。逆に、支配的な開ループの極がある約3kHzまで周波 数を低くすると、歪が改善されます。2Vp-p、500Ω負荷、G = +2 の条件の場合、2次高調波歪は1MHzの-90dBcから始まり(代表的 性能曲線を参照)、20kHzで約-90dB -20log(1MHz/20kHz) =-124dBcになります。

OPA642は、3次高調波歪がきわめて低くなっています。このた め、代表的性能曲線に示すように、ツー・トーン3次相互変調イン ターセプトもきわめて良好です。このインターセプト曲線は、 50Ωのマッチング抵抗を通じてドライブするときの50Ω負荷で定 義され、RF MMICデバイスと直接比較することができます。こ のネットワークでは、出力ピンから負荷まで電圧スイングが6dB 減衰します。ADCのような高インピーダンス・デバイスの入力を OPA642で直接ドライブする場合は、この6dBの減衰を考慮しま せん。このような条件では、インターセプトが最小限6dBm増加 します。インターセプトは、2つの接近した周波数の相互変調ス プリアスを予測するために使用します。2つのテスト周波数f1お

よびf2を平均f<sub>0</sub>=(f<sub>1</sub>+f<sub>2</sub>)/2およびデルタ周波数△f=|f<sub>2</sub>-f<sub>1</sub>|/2で規 定する場合、2つの接近した3次スプリアス・トーンがf<sub>○</sub>±(3•△f)に 現れます。2つの等しいテスト・トーンの電力レベルとこれらの相 互変調スプリアスの電力レベルの差は、2(IM3-P。)で与えられ ます。IM3は代表的性能曲線から求めたインターセプト、Pっは2 つの接近したテスト周波数の一方の50Ω負荷におけるdBm単位の 電力レベルです。例えば、10MHz、ゲイン+2のOPA642の場合、 マッチングした50Ω負荷におけるインターセプトは46dBmになり ます。2つの周波数の完全なエンベロープが2Vp-pでなければなら ない場合は、各トーンが4dBmであることが必要です。このと き、3次相互変調スプリアス・トーンは、テスト・トーンの電力レ ベル(-80dBm)より2•(46-4)=84dBc小さくなります。この2Vp-p のツー・トーン・エンベロープを50Ωネットワークのマッチングの 損失や負荷なしにADCの入力に直接供給した場合、インターセプ トは少なくとも52dBmに増加します。同じ信号およびゲインの条 件で軽い負荷を直接ドライブする場合、スプリアス・トーンは 1Vp-pのテスト・トーンの信号レベルより少なくとも2 •(52-4)= 96dBc小さくなります。

#### 雑音性能

OPA642の超低高調波歪は、低入力雑音項によって補完されま す。入力換算電圧雑音および2つの入力換算電流雑音の項の組み 合わせにより、各種の動作条件で低出力雑音が得られます。すべ ての雑音項を含むオペアンプの雑音解析モデルを図6に示しま す。このモデルでは、すべての雑音項を雑音電圧または雑音電流 密度の項(nV/√HzまたはpA/√Hz)と考えます。



図6. オペアンプの雑音解析モデル

合計出力スポット雑音電圧は、各雑音項による出力雑音電圧の 二乗項の平方根として計算することができます。この計算では、 重ね合わせにより出力のすべての寄与する雑音電力を加算し、そ の平方根をとってスポット雑音電圧に戻します。この出力雑音電 圧の一般的な形式を図6の各項を使用して式1に示します。 式1

$$E_{O} = \sqrt{\left(E_{NI}^{2} + (I_{BN}R_{S})^{2} + 4kTR_{S}\right)G_{N}^{2} + (I_{BI}R_{F})^{2} + 4kTR_{F}G_{N}^{2}}$$

この式を雑音ゲイン( $G_N = 1 + R_F/R_G$ )で割ると、式2に示すよう に非反転入力における等価入力換算スポット雑音電圧が求められ ます。

$$E_{N} = \sqrt{E_{NI}^{2} + (I_{BN}R_{S})^{2} + 4kTR_{S} + (\frac{I_{BI}R_{F}}{G_{N}})^{2} + \frac{4kTR_{F}}{G_{N}}}$$

図1のOPA642の回路について上記の2つの式を計算すると、合 計出カスポット雑音電圧は6.7nV/√Hzに、等価入カスポット雑音 電圧は3.35nV/√Hzになります。

ナローバンド通信システムでは、アンプの雑音指数が問題にな ります。雑音指数は、合計入力換算電圧雑音の式(式2)を使用し て計算することができます。入力終端抵抗R<sub>T</sub>がソース・インピー ダンスとマッチするように設定された非反転構成(図1参照)につ いて式2のE<sub>N</sub>を使用したこの雑音指数の式を式3に示します。

$$NF = 10 \log \left[ 2 + \frac{E_N^2}{KTR_s} \right]$$

図1の回路について式3を計算すると、雑音指数は17.6dBになり ます。入力トランスによるカップリングを用いると、この雑音指 数を小さくすることができます。雑音のない電圧ゲインとより最 適なソース・インピーダンスが得られるブロードパンドのパルス・ トランスでは、雑音指数を最小限に抑えることができます。図1 の回路から作成した例を図7に示します。巻線比は、最適な雑音 指数に最も近い整数に設定しています。

この最適な巻線比は、式4により計算できます。

N<sub>OPT</sub> = 最も近い整数

$$\left(\sqrt{\mathsf{E}_{\mathsf{N}}/(\mathsf{I}_{\mathsf{BN}}\bullet(\mathsf{R}_{\mathsf{S}}/2))}\right) \qquad \texttt{\vec{x}4}$$

この最適な値は、選択したアンプおよび構成に大きく依存し ます。



図7. 雑音指数を小さくした回路

#### DCオフセットの制御

OPA642は、高開ループ・ゲイン、高同相モード除去、高電源除 去、低入力オフセット電圧およびバイアス電流オフセット誤差を 特長とし、優れたDC信号精度が得られます。各パッケージのハ イ・グレード(B)タイプは、1mV以下の入力オフセット電圧を実 現します。この低入力オフセット電圧の利点を最大限に活用する には、入力バイアス電流のキャンセルにも細心の注意を払うこと が必要です。OPA642の高速入力段は、入力バイアス電流が比較 的大きく(ピンに流れる標準値は25 $\mu$ A) 2つの入力電流間のマッ チング精度が非常に高くなっています(入力オフセット電流の標 準値は100nA)。合計出力オフセット電圧は、2つの入力から見た ソース・インピーダンスをマッチングさせることにより大幅に低 減することができます。例えば、図1の回路では50 $\Omega$ の終端抵抗 と非反転入力の間に175 $\Omega$ の直列抵抗を挿入することによりバイ アス電流をキャンセルすることができます。50 $\Omega$ のソース抵抗が DC結合されると、非反転入力のパイアス電流のソース・インピー ダンスが200 $\Omega$ に増加します。これは反転入力から見たインピー ダンス(R<sub>F</sub>||R<sub>G</sub>)と等しいため、出力までのパイアス電流のゲイン がキャンセルされ、出力の残留DC誤差の項としてオフセット電 流と帰還抵抗の積だけが残ります。402 $\Omega$ の帰還抵抗を使用する とき、この出力誤差は3 $\mu$ A・402 $\Omega$  = 1.2mV以下になります。

出力オフセットの微調整またはDC動作ポイントの調整が必要 なことがあります。オペアンプ回路のDCオフセットの制御には 各種の方法があります。ほとんどの方法は、最終的に帰還抵抗を 通じたDC電流の設定に還元されます。方法を選択する際には、 必要な信号路の周波数応答への影響を最小限に抑えることが重要 です。信号路を非反転にする場合は、反転加算信号のオフセット 制御が適しています。信号路を反転にする場合は、非反転入力の オフセット制御を検討することができます。DC結合の信号で は、一部の構成でDCオフセット信号がDC電流としてソースに戻 ることに注意する必要があります。オペアンプの反転入力で調整 を行うと、雑音ゲインや周波数応答の平坦性も変化する可能性が あります。図8に、信号周波数応答への影響を最小限に抑えたDC 結合信号路のオフセット調整の例を示します。この場合、入力が 反転ゲイン抵抗に加えられ、DC調整により追加の電流が反転 ノードに加算されます。この電流を設定する抵抗ネットワークは 信号路の抵抗よりずっと大きいため、この調整によるループ・ゲ インおよび周波数応答への影響が最小限に抑えられることが保証 されます。



図8. 反転ゲイン-2、出力オフセット調整付きのDC結合回路

#### 熱の解析

OPA642は、ほとんどの動作条件でヒートシンクが不要です。 最大許容内部消費電力は、下記のように最大接合部温度の要件に よって制限されます。最大接合部温度は、いかなる場合も+175 を超えることができません。

動作接合部温度(T<sub>J</sub>)は、T<sub>A</sub>+P<sub>D</sub>・ $\theta_{JA}$ で計算されます。合計内 部消費電力(P<sub>D</sub>)は、無信号時電力(P<sub>DD</sub>)と、負荷電力を供給する ために出力段で消費される電力(P<sub>DL</sub>)の和です。無信号時電力 は、規定された無負荷電源電流とデバイスにかかる全電源電圧の 積です。P<sub>DL</sub>は、必要な出力信号および負荷に依存しますが、接 地した抵抗性負荷の場合には、出力が一方の電源電圧(等しいパ イポーラ電源の場合)の1/2に等しい電圧に固定されているとき最 大になります。この条件の場合、P<sub>DL</sub>=V<sub>S</sub><sup>2</sup>/(4・R<sub>L</sub>)になります。 ただし、R<sub>1</sub>には帰還ネットワークの負荷も含まれます。

内部消費電力を決めるのは出力段の電力であり、負荷の電力 ではないことに注意して下さい。ワーストケースの例として、 +85 の最大仕様周囲温度で動作している図1の回路のOPA642N (SOT23-5パッケージ)について最大T」を計算します。P<sub>D</sub> = 10V・ 26mA + 5^2/(4・(100Ω || 804Ω))= 330mW。最大T」=+85 + 0.33 W・150 /W = 135 。

#### 基板のレイアウトの指針

OPA642のような高周波アンプから最高の性能を引き出すに は、基板のレイアウトの寄生容量や外付けコンポーネントの選択 について細心の注意を払うことが必要です。以下にそのための推 奨事項を列挙します。

- a)すべての信号I/OピンとACグランド間の寄生容量を最小限に抑 えます。出力ピンおよび反転入力ピンに寄生容量がある場合は 不安定になり、非反転入力に寄生容量がある場合はソース・イ ンピーダンスと作用して予想外に帯域が制限されます。不要な 容量を低減するには、すべてのグランド・プレーンおよび電源 プレーンについて信号I/Oピンの周囲に窓を開放することが必 要です。これ以外の領域のグランド・プレーンおよび電源プ レーンは、完全な状態のままにします。
- b) **定源ピンから0.1µFの高周波デカップリング・コンデンサまでの** 距離を最小限に抑えます(0.25インチ以下)。 グランド・プレー ンおよび電源プレーンのレイアウトは、信号1/0ピンと接近し ないようにします。ピンおよびデカップリング・コンデンサ間 のインダクタンスを最小限に抑えるため、電源およびグランド のパターン幅を狭くすることは避けて下さい。主電源ピン(ピ ン4および7)は、必ずこのコンデンサでデカップリングするこ とが必要です。ピン5および8のオプションの出力段電源ピンを 使用すると、高調波歪およびセトリングタイムをわずかに改善 することができます(8ピン・パッケージの場合)。さらに性能を 改善するには、これらのピンのすぐ近くに0.1µFのデカップリ ング・コンデンサを追加します。主電源ピンには低周波で有効 な大容量のデカップリング・コンデンサ(2.2µF~6.8µF) も使用 することが必要です。これは、デバイスから多少離して配置 し、プリント基板の同じ領域の複数のデバイス間で共有するこ とができます。
- c) OPA642の高周波性能は、外付けコンボーネントの選択と配置 を慎重に行うことによって保持されます。抵抗にはリアクタン スが非常に低いタイプのものを使用します。表面実装抵抗が最

も有効で、全体のレイアウトを小さくできます。金属皮膜およ びカーボン・コンポジションの軸方向にリード線が付いた抵抗 も良好な高周波性能が得られます。この場合も、リード線およ び基板のパターン長をできるだけ短くして下さい。高周波アプ リケーションには巻線タイプの抵抗を絶対に使用しないで下さ い。出力ピンおよび反転入力ピンは最も寄生容量に敏感なた め、帰還抵抗や直列出力抵抗を接続する場合は、常にピンので きるだけ近くに配置して下さい。他のネットワーク部品(非反 転入力の終端抵抗など、た、パッケージの近くに配置して下さ い。部品の両面取り付けが可能な場合は、帰還抵抗を基板裏側 のパッケージの真下で出力ピンおよび反転入力ピンの間に接続 してください。外付け抵抗と並列の寄生容量が小さい場合で も、抵抗値が過度に大きいと時定数が大きくなって性能が劣化 することがあります。良好な金属皮膜または表面実装抵抗で は、抵抗と並列の容量が約0.2pFになります。抵抗値が1.5kΩ以 上の場合、この寄生容量によって500MHz以下の位置に極およ びゼロが追加され、回路の動作に影響します。負荷のドライブ を考慮しながら、できるだけ小さい抵抗値を使用して下さい。 代表的性能曲線で使用している402Ωの帰還抵抗が設計の参考 になります。ユニティ・ゲイン・フォロワのアプリケーションで は、直接短絡させるよりも25Ωの帰還抵抗を使用することを推 奨します。この抵抗によって、反転入力の容量が出力ピンから 実質的に分離されます。抵抗を使用しない場合は、ゲインが+1 の周波数応答でわずかなピークが発生します。

d)ボード上の他の広帯域デバイスとは、短いパターンで直接接続 することもオンボードの伝送ラインで接続することもできま す。短い接続の場合は、パターンおよび次のデバイスの入力を 一体の容量性負荷と考えます。比較的広いパターン幅(50~ 100mil )を使用することが必要で、できればその周囲のグラン ド・プレーンおよび電源プレーンを開放します。全体の容量性 負荷を推定し、推奨されるR。対容量性負荷のプロットからR。を 設定して下さい。OPA642は公称値2pFの寄生負荷で動作する ように補償されているため、寄生容量性負荷が小さい場合 (<5pF)は、R。が不要なことがあります。信号ゲインの増加(無 負荷の位相マージンの増加)につれて、R。なしで許容される寄 生容量性負荷が大きくなります。長いパターンが必要で、2重 終端の伝送ラインに固有の6dBの信号損失が許容される場合 は、マイクロストリップまたはストリップラインの手法によっ てインピーダンスのマッチングがとれた伝送ラインを使用しま す。通常、ボードの50Ω環境は必要なく、実際には歪対負荷の プロットに示されているように高インピーダンス環境の方が歪 が改善されます。ボードの材質やパターンの寸法に基づいて決 まるボードのパターンの特性インピーダンスとともに、 OPA642の出力からのパターンにマッチング用直列抵抗を、相 手側デバイスの入力に終端シャント抵抗を使用します。終端イ ンピーダンスが相手側デバイスの入力インピーダンスとシャン ト抵抗の並列な組み合わせになることにも注意して下さい。全 体の実効インピーダンスをパターンのインピーダンスと一致さ せることが必要です。相手側デバイスが複数ある場合は、それ ぞれ直列抵抗とシャント終端抵抗をもった別々の伝送ラインと して扱うのが理想的です。2重終端ラインの6dBの減衰が許容 されない場合は、長いパターンをソース側だけ直列に終端する ことができます。この場合は、パターンを容量性負荷として扱 い、R<sub>x</sub>対容量性負荷のプロットに示すように直列抵抗の値を設 定します。このとき、2重終端ラインと同様の信号の完全性は 維持されません。相手側デバイスの入力インピーダンスが低い 場合は、終端インピーダンスの直列出力によって電圧デバイダ が形成されるため、信号がいくらか減衰します。

e) OPA642のような高速な部品にソケットを使用することは推奨 されません。ソケットによってリード長とピン間容量が増加す ると、きわめて厄介な寄生的ネットワークが形成され、滑らか で安定した周波数応答を得ることが難しくなります。OPA642 をボードに半田付けすることによって最善の結果が得られま す。DIPパッケージにソケットが必要な場合は、高周波フラッ シュ・マウント・ピン(マッケンジー・テクノロジ社の#710Cな ど)を使用すると良好な結果が得られます。

#### 入力および ESD 保護

OPA642は、超高速コンプリメンタリ・バイボーラ・プロセスを 使用して製造されています。微細加工のデバイスであるため、内 部接合部の降伏電圧は比較的低くなっています。この降伏電圧は 絶対最大定格の表に反映されています。図9に示すように、デバ イスのすべてのピンが電源に対して内部ESD保護ダイオードによ り保護されています。



図9. 内部ESD保護

これらのダイオードは、電源より高い入力オーバードライブ電 圧に対しても適度な保護を提供します。保護ダイオードは、標準 値で30mAの連続電流をサポートします。これより大きい電流が 流れる可能性がある場合(例えば±15V電源でOPA642をドライブ するシステム)は、2つの入力に電流制限用の直列抵抗を追加する ことが必要です。これらの抵抗に大きい値を使用すると雑音性能 と周波数応答の両方が低下するため、できるだけ小さい値を使用 します。

高い入力オーバードライブ信号は、正負入力間に高い差動電圧 を発生させる原因にもなります。この電圧が最大定格電圧の ±1.2Vを超える可能性がある場合は、2つの入力間に外付けの ショットキ保護ダイオードを追加することが必要です。この場合 も、ダイオードによって追加される容量のために雑音およびAC 性能が低下するため、必要な場合のみ使用するようにします。 図9に完全な機能を備えたOPA642の入力保護回路を示します。こ れは、図1の回路で入力に制限抵抗および入力間にショットキ・ク ランプ・ダイオードを追加したものです。これらの抵抗値は、雑 音および周波数応答の低下の制限、DCパイアス電流のキャンセ ル、およびオーバードライブ状態で流れる電流の制限を考慮して 選択されています。

### 設計ツール

### デモボード

OPA642の3種類のパッケージを使用した回路性能の初期評価を 支援するため、各種のプリント基板が用意されています。PDIP(P) および表面実装(U)タイプのパッケージは、OPA65xファミリ用 に開発されたボードを使用して評価することができます。デモ ボードについては、バー・ブラウンのフリーラインFAXまでお問 い合わせ下さい。

DEM-OPA65XP: OPA642PおよびOPA642PB用(8ピンPDIPパッケージ) DEM-OPA65XU: OPA642UおよびOPA642UB用(8ピンSOPパッケージ)

#### マクロモデル

アナログの回路やシステムの性能の解析には、SPICEを使用したコンピュータ・シミュレーションが役立ちます。寄生容量やインダクタンスが回路の性能に大きく影響するビデオやRF増幅回路では特に有効です。OPA642のSPICEモデルについては、バー・ プラウンのフリーラインFAXまでお問い合わせ下さい。









