

SpeedPLUS™

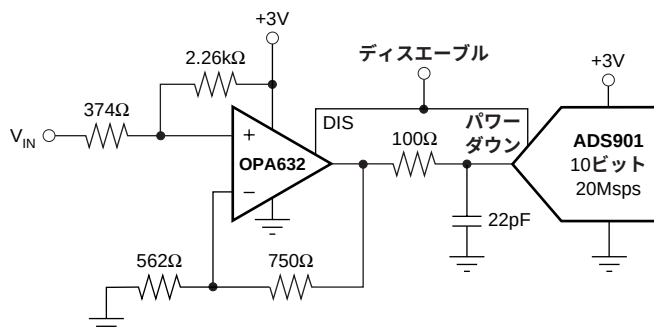
ローパワー、シングル電源 オペアンプ

特 長

- 高帯域：75MHz (G = +2)
- 低電源電流：6mA
- ゼロパワー・ディスエーブル (OPA632)
- +3Vおよび+5V動作
- グランドを含む入力レンジ
- 出力スイング：4.8V (+5V電源)
- 高スルーレート：100V/μs
- 低入力電圧雑音：6nV/√Hz
- パッケージ：SOP、SOT23

アプリケーション

- シングル電源ADC入力バッファ
- シングル電源ビデオ・ライン・ドライバ
- CCD画像処理チャンネル
- ローパワー超音波装置
- PLL積分器
- ポータブル家電製品



概 要

OPA631およびOPA632は、+3Vまたは+5Vのシングル電源動作用に設計されたローパワーの高速な電圧帰還型オペアンプです。±5Vまたは+10V電源の動作もサポートされています。入力レンジはグランド以下および正電源の1V以内まで拡張されています。コンプリメンタリ・コモン・エミッタ出力の使用により、グランドの30mV以内および正電源の130mV以内の出力スイングを実現します。また、出力ドライブ電流が大きく微分ゲインおよび位相誤差が小さいため、シングル電源の家庭用ビデオ製品にも最適です。

OPA631およびOPA632は、高いゲイン帯域幅(68MHz)とスルーレート(100V/μs)により低歪動作が確保されるため、3Vおよび5VのCMOSコンバータの入力バッファ段として理想的です。他のローパワーのシングル電源アンプと異なり、歪性能は信号スイングの減少につれて向上します。入力電圧雑音が6nVと低く、広いダイナミック・レンジ動作をサポートします。高速のディスエーブル・ラインを使用して、チャンネルを切り換えたりシステムの電力を低減することができます。ディスエーブル・ラインを“ハイ”にすることにより、消費電力をゼロにすることができます。

OPA631およびOPA632のパッケージは、工業標準の8ピンSOPで供給されます。OPA631は5ピンSOT23、OPA632は6ピンSOT23の超小型パッケージでも供給されます。さらに高いフルパワー帯域と低歪が必要な場合は、OPA634およびOPA635を検討して下さい。

関連製品

	シングル	デュアル
中速、ディスエーブルなし ディスエーブル付き	OPA631 OPA632	OPA2631 —
高速、ディスエーブルなし ディスエーブル付き	OPA634 OPA635	OPA2634 —

仕様：V_S = +5V

特に記述のない限り、T_A = +25°C、G = +2、R_F = 750Ω、R_L = 150ΩをV_S/2に接続します(図1参照)。

パラメータ	条件	OPA631U、N OPA632U、N				単位	最小/ 最大	テスト レベル ⁽¹⁾
		標準	保証					
			+25°C	+25°C	0°C～ 70°C			
AC性能(図1) 小信号帯域幅	G = +2、V _O ≤ 0.5Vp-p G = +5、V _O ≤ 0.5Vp-p G = +10、V _O ≤ 0.5Vp-p	75 16 7.6	50 12 5.6	40 10 4.2	32 8.5 3.7	MHz MHz MHz	min min min	B B B
ゲイン帯域幅積	G ≥ +10	68	51	40	36	MHz	min	B
ゲイン+1のピーキング	V _O ≤ 0.5Vp-p	5	—	—	—	dB	typ	C
スルーレート	G = +2、2Vステップ	100	64	52	47	V/μs	min	B
立ち上がり時間	0.5Vステップ	5.3	8.0	11	12.8	ns	max	B
立ち下がり時間	0.5Vステップ	5.4	7.5	10	11.6	ns	max	B
セトリングタイム(0.1%まで)	G = +2、1Vステップ	17	28	38	42	ns	max	B
スプリアスフリー・ダイナミック・レンジ	V _O = 2Vp-p、f = 5MHz	42	40	38	35	dBc	min	B
入力電圧雑音	f > 1MHz	6.0	6.8	7.6	7.9	nV/√Hz	max	B
入力電流雑音	f > 1MHz	1.9	2.6	2.9	3.6	pA/√Hz	max	B
NTSC微分ゲイン		0.5	—	—	—	%	typ	C
NTSC微分位相度		1.2	—	—	—	degrees	typ	C
DC性能								
開ループ電圧ゲイン	V _{CM} = 2.0V V _{CM} = 2.0V	62	56	50	46	dB	min	A
入力オフセット電圧		2.5	6	8	11	mV	max	A
平均オフセット電圧ドリフト		—	—	—	50	μV/°C	max	B
入力バイアス電流		11	21	27	40	μA	max	B
入力オフセット電流		0.3	1	1.3	2	μA	max	B
入力オフセット電流ドリフト		—	—	—	7	nA/°C	max	B
入力								
最小正入力電圧	入力換算	–0.5	–0.1	–0.1	–0.1	V	max	B
最大正入力電圧		4.0	3.7	3.7	3.5	V	min	A
同相モード除去比(CMRR)		74	70	68	60	dB	min	A
入力インピーダンス								
差動モード		10 2.1	—	—	—	kΩ pF	typ	C
同相モード	400 1.2	—	—	—	kΩ pF	typ	C	
出力								
最小正出力電圧	R _L = 1kΩ、2.5V R _L = 150Ω、2.5V R _L = 1kΩ、2.5V R _L = 150Ω、2.5V	0.03	0.06	0.09	0.12	V	max	B
		0.16	0.17	0.20	1.7	V	max	A
最大正出力電圧		4.87	4.8	4.7	4.6	V	min	B
		4.60	4.4	4.4	3.1	V	min	A
電流出力、ソース		80	25	20	5	mA	min	A
電流出力、シンク	90	38	24	10	mA	min	A	
短絡電流(出力を一方の電源に短絡)	100	—	—	—	mA	typ	C	
閉ループ出力インピーダンス	G = +2、f ≤ 100kHz	0.2	—	—	—	Ω	typ	C
ディスエーブル(OPA632のみ)								
オン電圧(“ロー” でインエーブル)	f = 5MHz、入力・出力間	1.0	1.0	1.0	1.0	V	min	A
オフ電圧(“ハイ” でディスエーブル)		3.7	3.8	4.0	4.2	V	max	A
オン・ディスエーブル電流(DISピン)		70	110	120	120	μA	max	A
オフ・ディスエーブル電流(DISピン)		0	—	—	—	μA	typ	C
ディスエーブル無信号時電流		0	20	25	30	μA	max	A
ディスエーブル時間		100	—	—	—	ns	typ	C
インエーブル時間		60	—	—	—	ns	typ	C
オフ・アイソレーション		70	—	—	—	dB	typ	C
電源								
最小動作電圧	V _S = +5V V _S = +5V 入力換算	—	2.7	2.7	2.7	V	min	A
最大動作電圧		—	10.5	10.5	10.5	V	max	A
最大無信号時電流		6	6.4	6.7	6.9	mA	max	A
最小無信号時電流		6	5.8	5.5	4.8	mA	min	A
電源除去比(PSRR)		59	52	49	48	dB	min	A
熱特性								
仕様U、N	U 8ピンSOP N 5ピンSOT23、6ピンSOT23	–40～+85				°C	typ	C
熱抵抗		125				°C/W	typ	C
		150				°C/W	typ	C

注：(1)テストレベル：(A)25°Cで100%テスト。特性評価およびシミュレーションによる全温度範囲の制限値。(B)特性評価およびシミュレーションによる制限値。(C)標準値。参考としてのみ。

仕様：V_S = +3V

特に記述のない限り、T_A = +25°C、G = +2、R_L = 150ΩをV_S/2に接続します(図2参照)。

パラメータ	条件	OPA631U、N OPA632U、N			単位	最小/ 最大	テスト レベル ⁽¹⁾
		標準	保証				
		+25°C	+25°C	0°C～ 70°C			
AC性能(図2)							
小信号帯域幅	G = +2、V _O ≤ 0.5Vp-p	61	45	35	MHz	min	B
	G = +5、V _O ≤ 0.5Vp-p	15	11	9	MHz	min	B
	G = +10、V _O ≤ 0.5Vp-p	7.7	4.6	4.0	MHz	min	B
ゲイン帯域幅積	G ≥ +10	63	47	34	MHz	min	B
ゲイン+1のピーキング	V _O ≤ 0.5Vp-p	5	—	—	dB	typ	C
スルーレート	1Vステップ	95	52	46	V/μs	min	B
立ち上がり時間	0.5Vステップ	5.6	9	11.3	ns	max	B
立ち下がり時間	0.5Vステップ	5.6	9	11.3	ns	max	B
セトリングタイム(0.1%まで)	1Vステップ	40	63	85	ns	max	B
スプリアスフリー・ダイナミック・レンジ	V _O = 1Vp-p、f = 5MHz	44	37	34	dBc	min	B
入力電圧雑音	f > 1MHz	6.2	7.0	7.8	nV/√Hz	max	B
入力電流雑音	f > 1MHz	2.0	2.6	2.9	pA/√Hz	max	B
DC性能							
開ループ電圧ゲイン		60	54	50	dB	min	A
入力オフセット電圧		0.5	3.5	4	mV	max	A
平均オフセット電圧ドリフト		—	—	45	μV/°C	max	B
入力バイアス電流	V _{CM} = 1.0V	12	21	26	μA	max	B
入力オフセット電流	V _{CM} = 1.0V	0.3	1	1.3	μA	max	B
入力オフセット電流ドリフト		—	—	2	nA/°C	max	B
入力							
最小正入力電圧		−0.5	−0.3	−0.1	V	max	B
最大正入力電圧		2	1.75	1.3	V	min	A
同相モード除去比(CMRR)	入力換算	72	66	65	dB	min	A
入力インピーダンス							
差動モード		10 2.1	—	—	kΩ p	typ	C
同相モード		400 1.2	—	—	kΩ p	typ	C
出力							
最小正出力電圧	R _L = 1kΩ、1.5V	0.03	0.05	0.05	V	max	A
	R _L = 150Ω、1.5V	0.05	0.15	0.16	V	max	A
最大正出力電圧	R _L = 1kΩ、1.5V	2.95	2.85	2.84	V	min	A
	R _L = 150Ω、1.5V	2.85	2.66	2.60	V	min	A
電流出力、ソース		55	21	14	mA	min	A
電流出力、シンク		55	21	14	mA	min	A
短絡電流(出力を一方の電源に短絡)		80	—	—	mA	typ	C
閉ループ出力インピーダンス	図2、f < 100kHz	0.2	—	—	Ω	typ	C
ディセーブル(OPA632のみ)							
オン電圧(“ロー”でイネーブル)		1.0	1.0	1.0	V	min	A
オフ電圧(“ハイ”でディセーブル)		1.7	1.8	1.8	V	max	A
オン・ディセーブル電流(DISピン)		66	100	110	μA	max	A
オフ・ディセーブル電流(DISピン)		0	—	—	μA	typ	C
ディセーブル無信号時電流		0	20	25	μA	max	A
ディセーブル時間		100	—	—	ns	typ	C
イネーブル時間		60	—	—	ns	typ	C
オフ・アイソレーション	f = 5MHz、入力・出力間	70	—	—	dB	typ	C
電源							
最小動作電圧		—	2.7	2.7	V	min	A
最大動作電圧		—	10.5	10.5	V	max	A
最大無信号時電流	V _S = +3V	5.3	5.7	6.2	mA	max	A
最小無信号時電流	V _S = +3V	5.3	5.0	4.8	mA	min	A
電源除去比(PSRR)	入力換算	57	50	48	dB	min	A
熱特性							
仕様U、N		−40～+85			°C	typ	C
熱抵抗							
U 8ピンSOP		125			°C/W	typ	C
N 5ピンSOT23、6ピンSOT23		150			°C/W	typ	C

注：(1)テストレベル：(A)25°Cで100%テスト。特性評価およびシミュレーションによる全温度範囲の制限値。(B)特性評価およびシミュレーションによる制限値。(C)標準値。参考としてのみ。

このデータシートに記載されている情報は、信頼しうるものと考えておりますが、不正確な情報や記載漏れ等に関して弊社は責任を負うものではありません。情報の使用について弊社は責任を負いませんので、各ユーザの責任において御使用下さい。価格や仕様は予告なしに変更される場合がありますのでご了承下さい。ここに記載されているいかなる回路についても工業所有権その他の権利またはその実施権を付与したり承諾したりするものではありません。弊社は弊社製品を生命維持に関する機器またはシステムに使用することを承認または保証するものではありません。

絶対最大定格

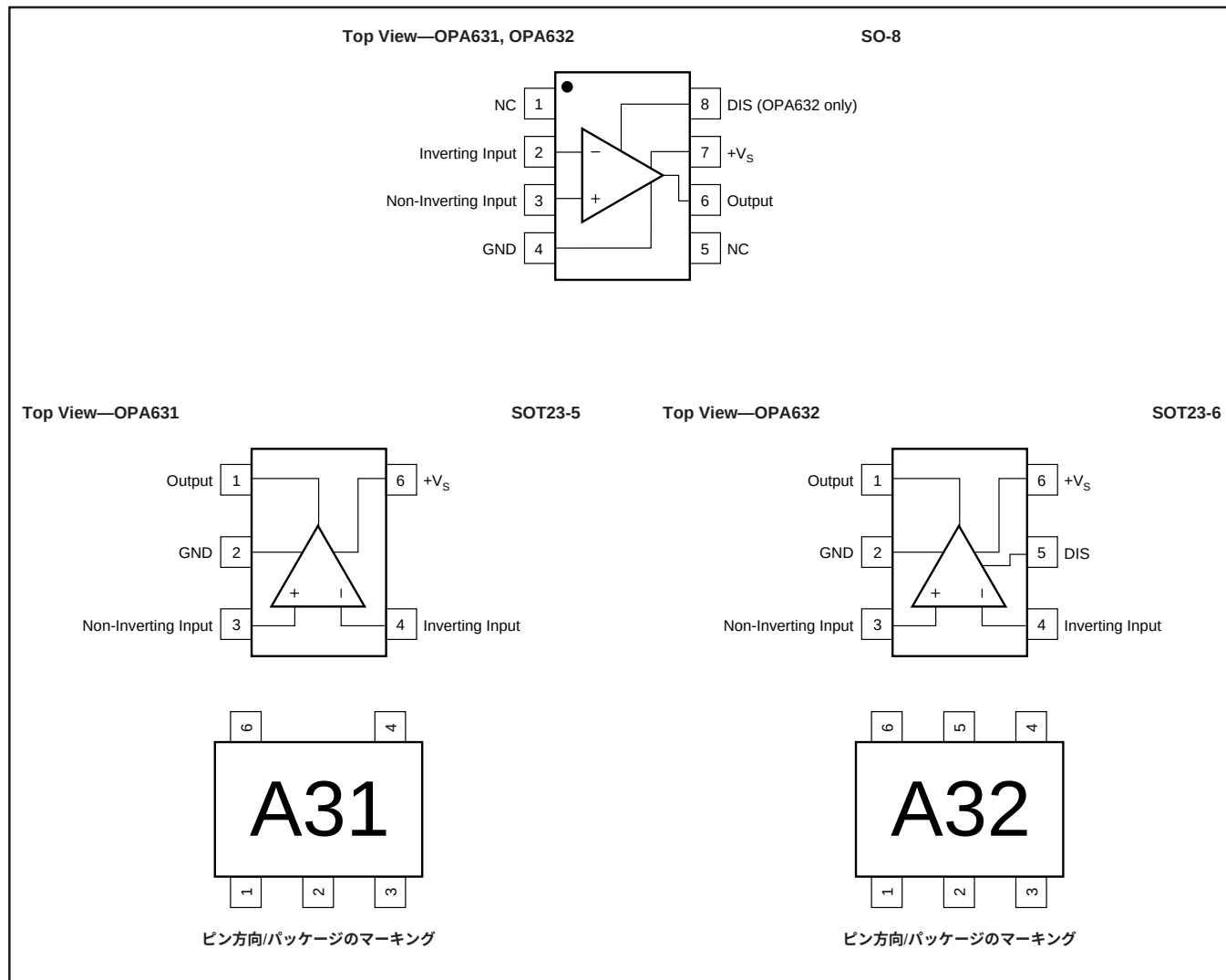
電源	+11V _{DC}
内部消費電力	「熱の解析」の項を参照
差動入力電圧	±1.2V
入力電圧範囲	-0.5~+V _S +0.3V
保存温度範囲：P、U、N	-40°C~+125°C
リード温度（10秒間の半田付け）	+300°C
接合部温度（T _J ）	+175°C



静電気放電対策

静電気放電はわずかな性能の低下から完全なデバイスの故障に至るまで、様々な損傷を与えます。すべての集積回路は、適切なESD保護方法を用いて、取扱いと保存を行うようにして下さい。高精度の集積回路は、損傷に対して敏感であり、極めてわずかなパラメータの変化により、デバイスに規定された仕様に適合しなくなる場合があります。

ピン配置



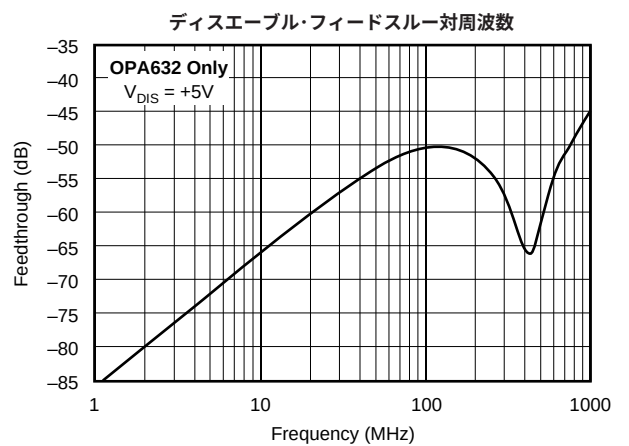
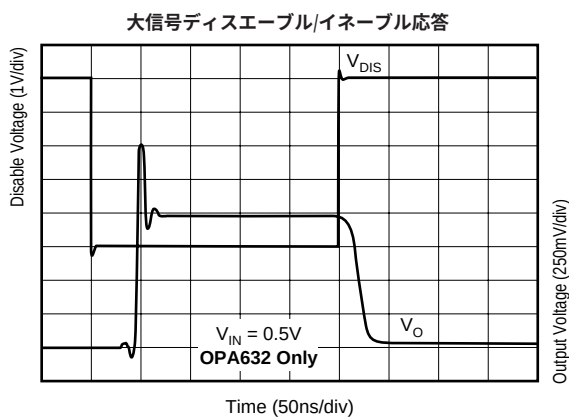
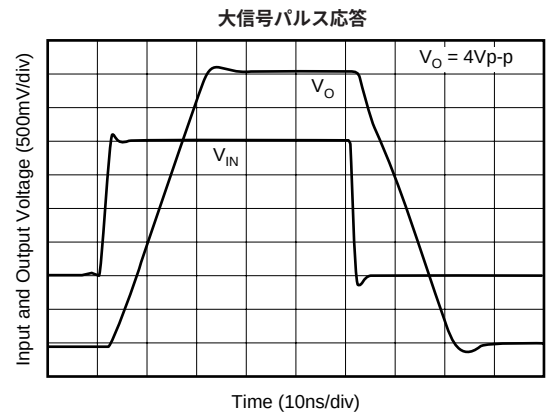
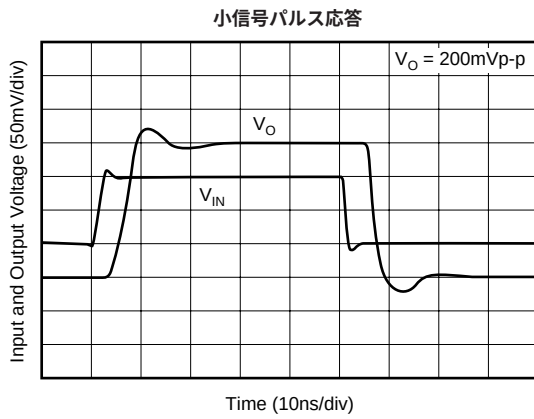
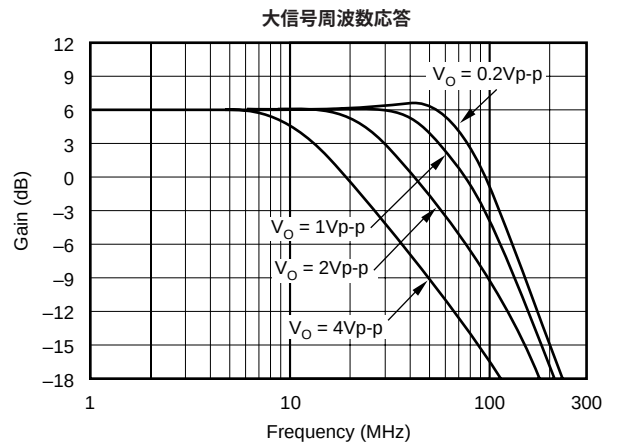
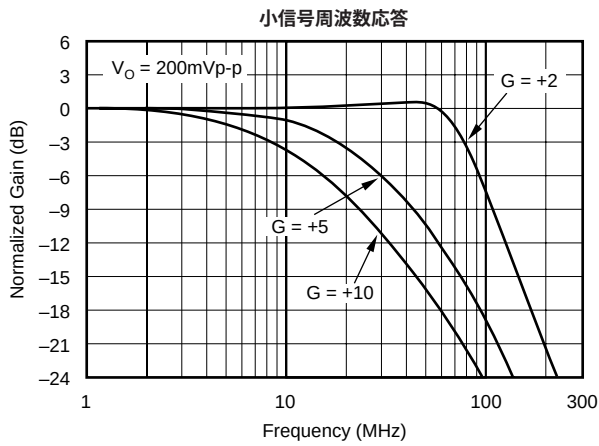
パッケージ情報/御発注の手引き

モデル	パッケージ	パッケージ図番号 ⁽¹⁾	仕様温度範囲	パッケージのマーキング	発注番号 ⁽²⁾	供給時の状態
OPA631U	8ピンSOP	182	-40°C~+85°C	OPA631U	OPA631U	マガジン
OPA631U	8ピンSOP	182	-40°C~+85°C	OPA631U	OPA631U/2K5	テーブリール
OPA631N	5ピンSOT23	331	-40°C~+85°C	A31	OPA631N/250	テーブリール
OPA631N	5ピンSOT23	331	-40°C~+85°C	A31	OPA631N/3K	テーブリール
OPA632U	8ピンSOP	182	-40°C~+85°C	OPA632U	OPA632U	マガジン
OPA632U	8ピンSOP	182	-40°C~+85°C	OPA632U	OPA632U/2K5	テーブリール
OPA632N	6ピンSOT23	332	-40°C~+85°C	A32	OPA632N/250	テーブリール
OPA632N	6ピンSOT23	332	-40°C~+85°C	A32	OPA632N/3K	テーブリール

注：（1）詳細図および寸法表は、データシートの巻末を参照して下さい。（2）スラッシュ（/）が付記されたモデルは、表示数量のテーブリールでのみ供給されます（例えば、/3Kはリール1本あたり3,000個入りのデバイスであることを示します）。“OPA632N/3K”を発注すると、3,000個入りテーブリール1本が納品されます。

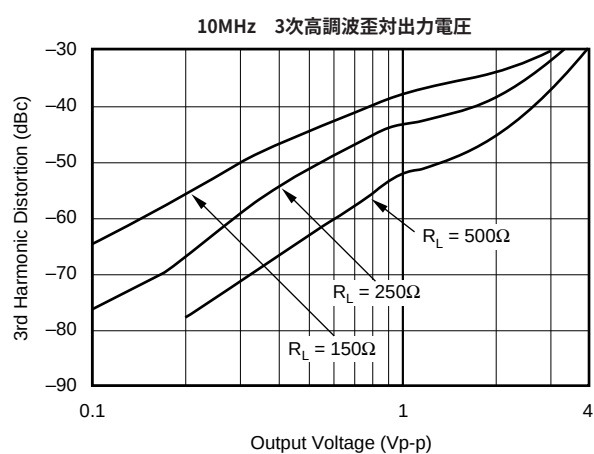
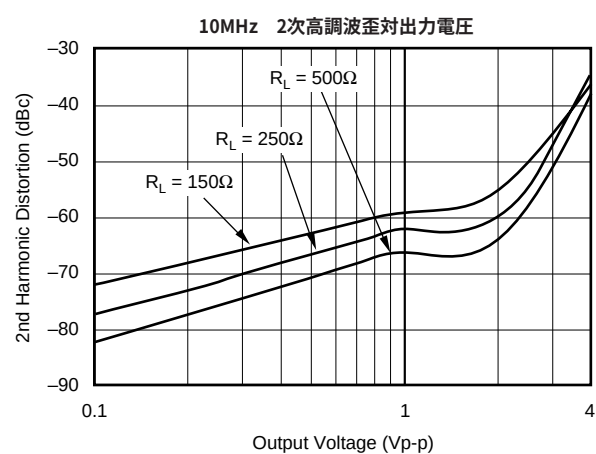
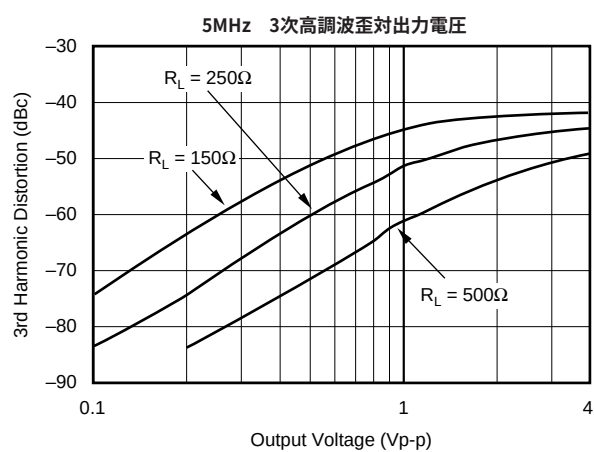
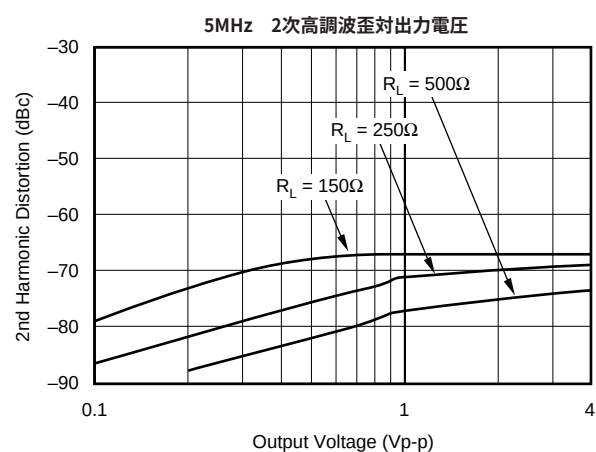
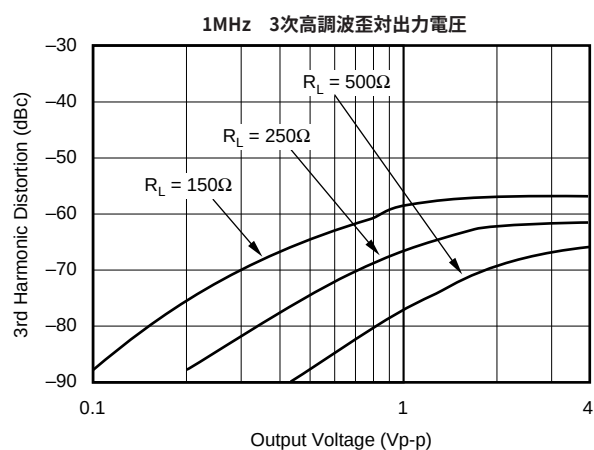
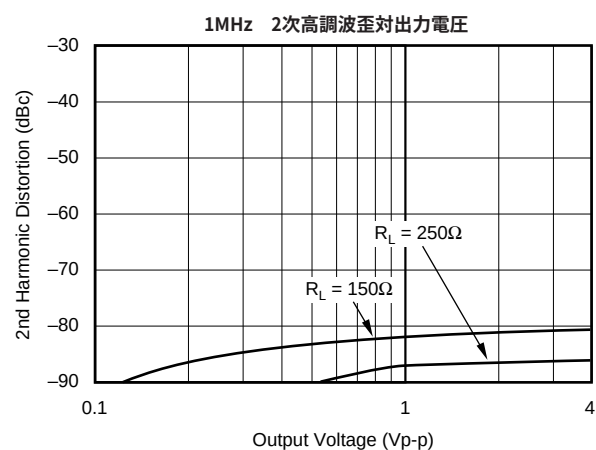
代表的性能曲線：V_S = +5V

特に記述のない限り、T_A = +25°C、G = +2、R_F = 750Ω、R_L = 150ΩをV_S/2に接続します(図1参照)。



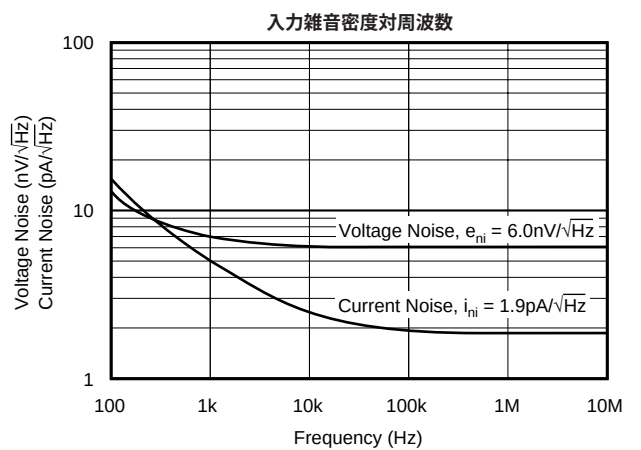
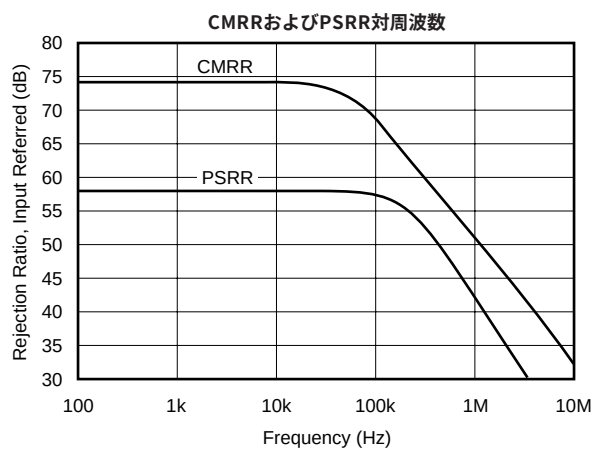
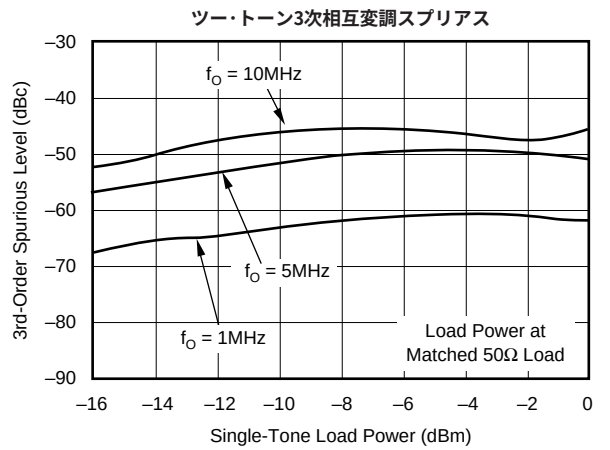
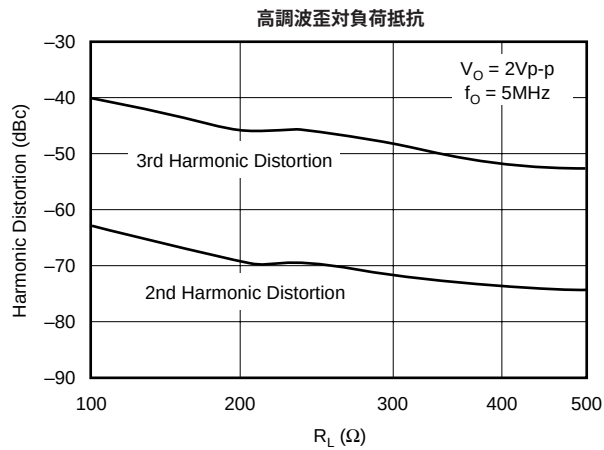
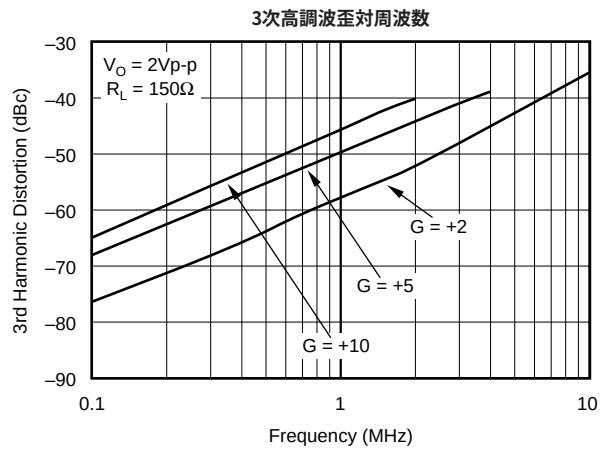
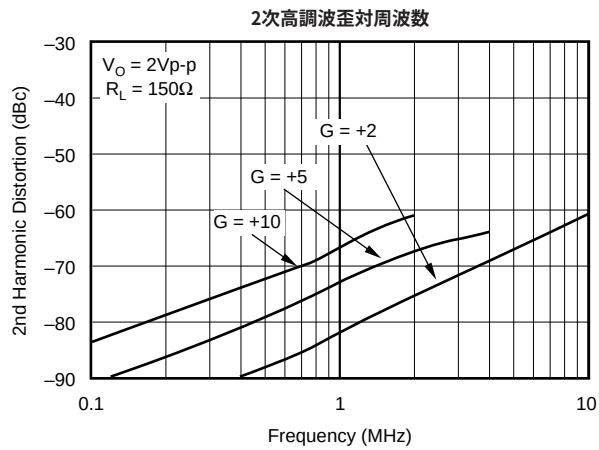
代表的性能曲線：V_s = +5V

特に記述のない限り、T_A = +25°C、G = +2、R_F = 750Ω、R_L = 150ΩをV_S/2に接続します(図1参照)。



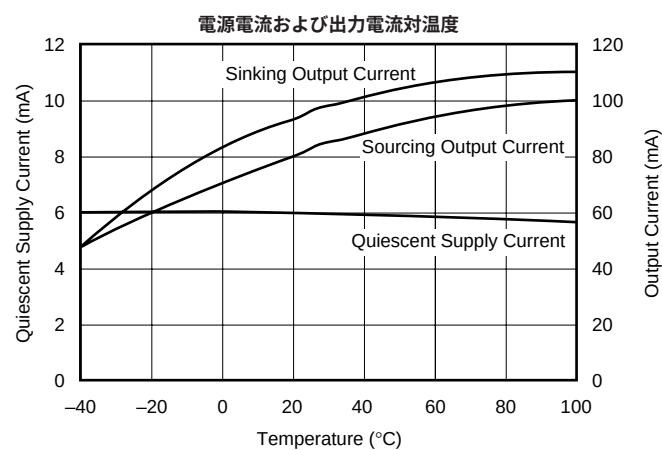
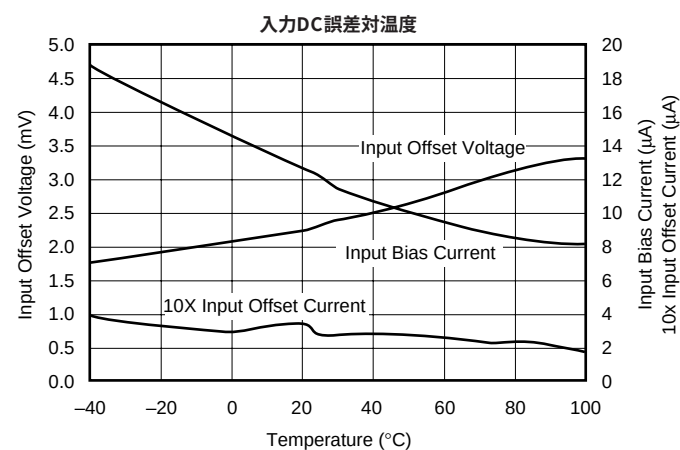
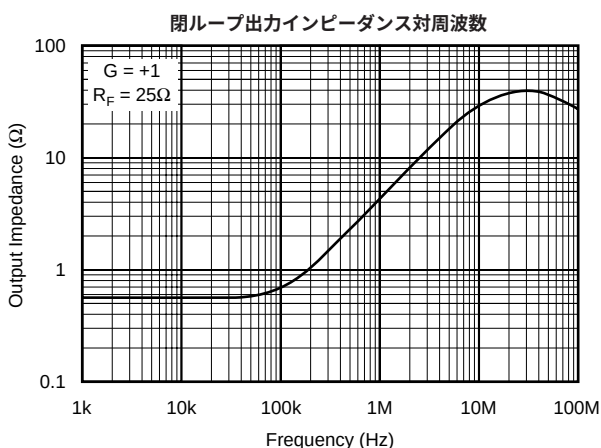
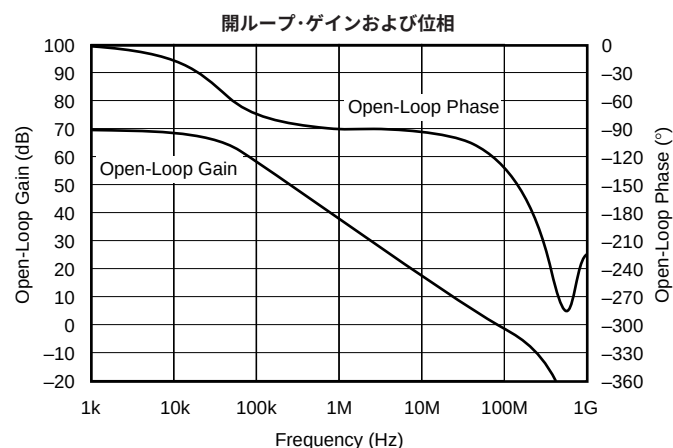
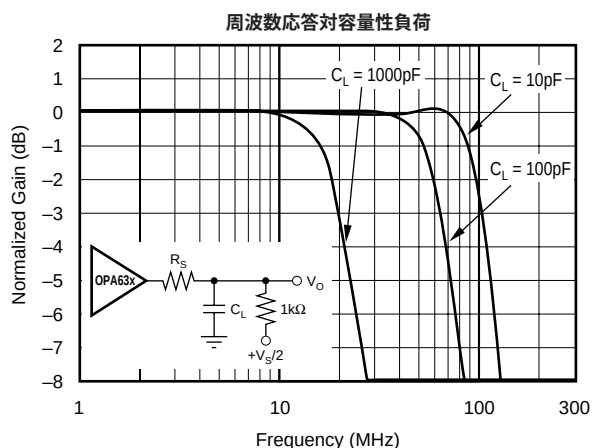
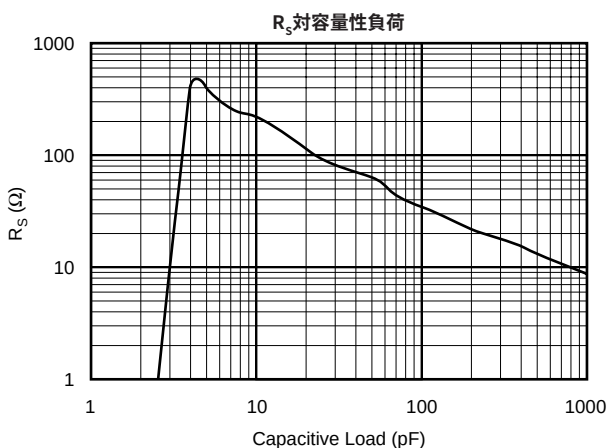
代表的性能曲線：V_s = +5V

特に記述のない限り、T_A = +25°C、G = +2、R_F = 750Ω、R_L = 150ΩをV_S/2に接続します(図1参照)。



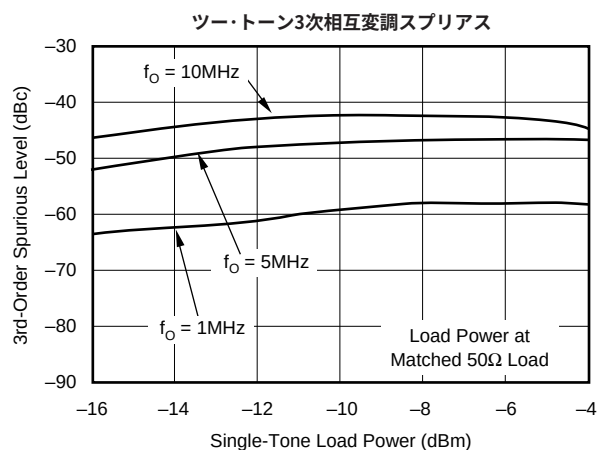
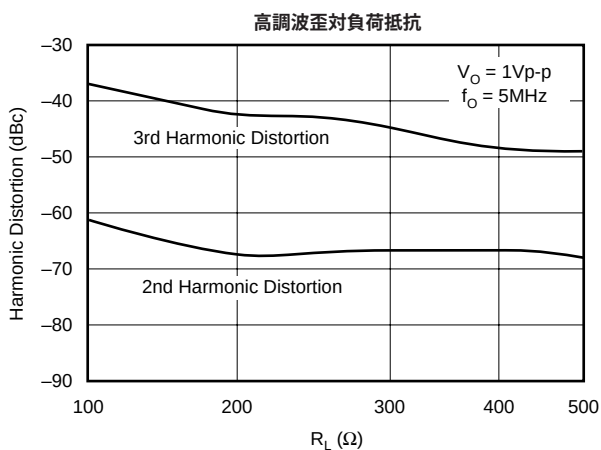
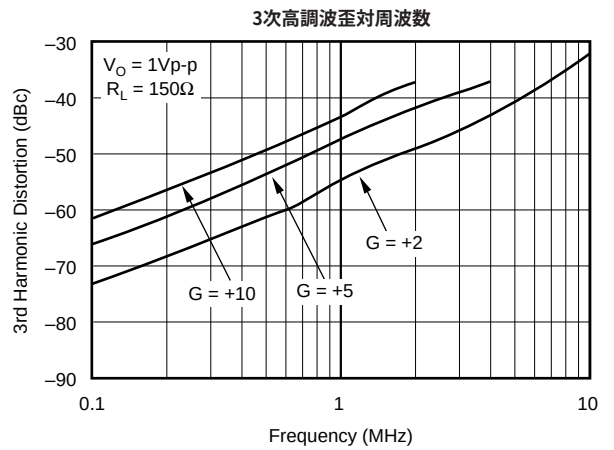
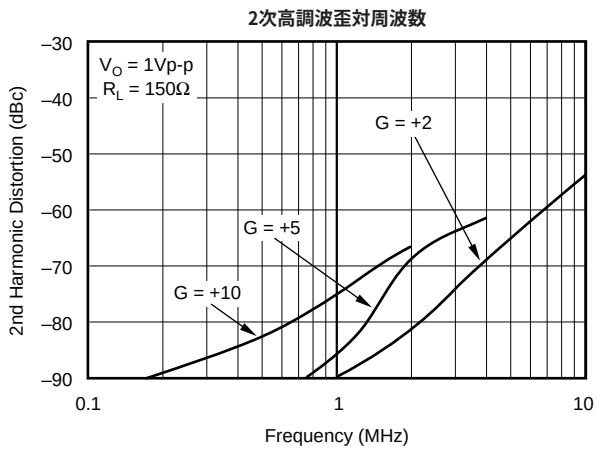
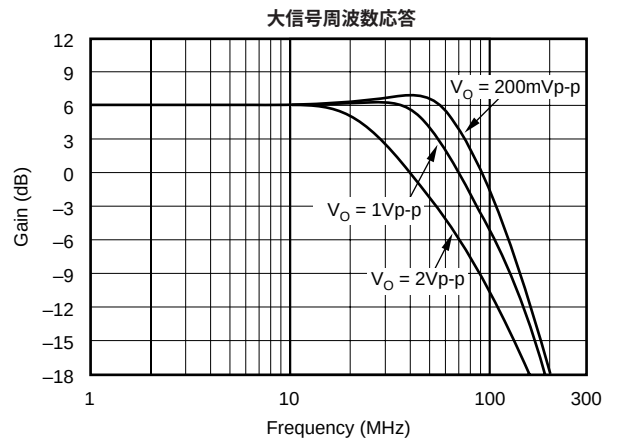
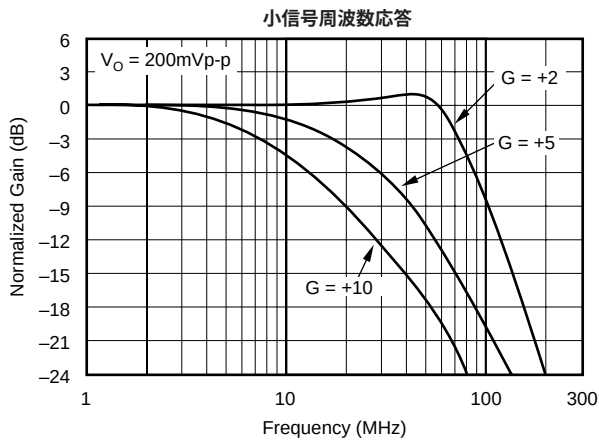
代表的性能曲線：V_s = +5V

特に記述のない限り、T_A = +25°C、G = +2、R_F = 750Ω、R_L = 150ΩをV_S/2に接続します(図1参照)。



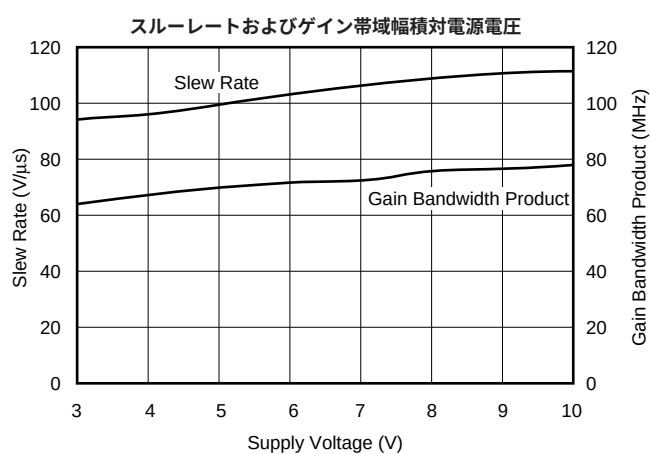
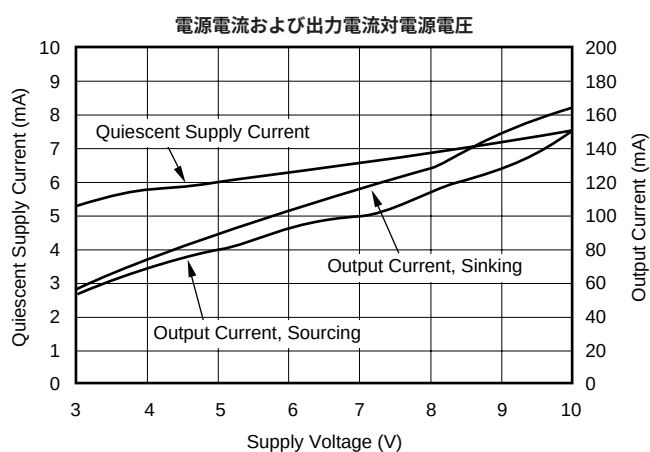
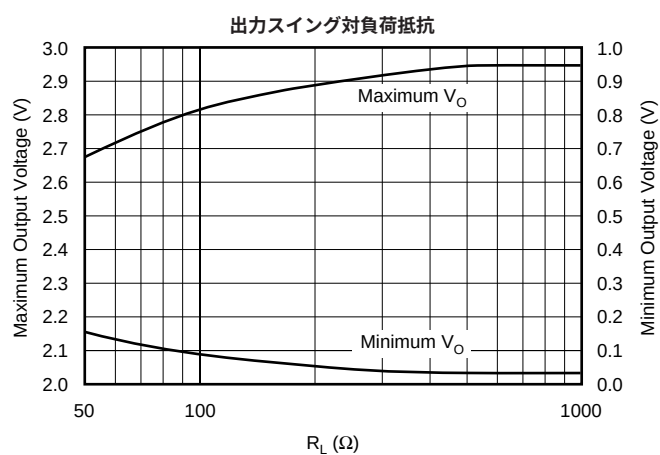
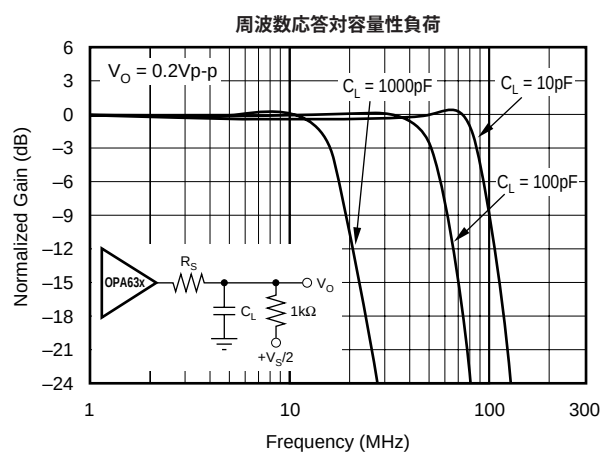
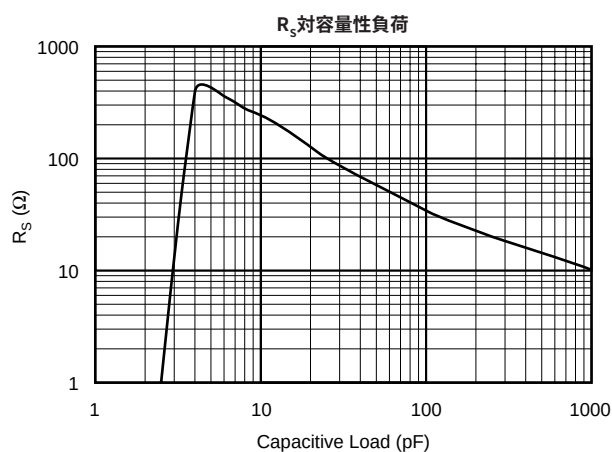
代表的性能曲線：V_s = +3V

特に記述のない限り、T_A = +25°C、G = +2、R_F = 750Ω、R_L = 150ΩをV_s/2に接続します(図2参照)。



代表的性能曲線：V_s = +3V

特に記述のない限り、T_A = +25°C、G = +2、R_F = 750Ω、R_L = 150ΩをV_s/2に接続します(図2参照)。



使用上の注意

広帯域電圧帰還動作

OPA631およびOPA632は、シングル電源動作(+3Vから+5V)用に設計されたユニティ・ゲインで安定な高速の電圧帰還型オペアンプです。入力段は、グランド以下および正電源の1.0V以内の入力電圧をサポートします。コンプリメンタリ・コモン・エミッタ出力段により、グランドの30mV以内および正電源の130mV以内の出力スイングを実現します。OPA631およびOPA632は、広い範囲の抵抗性負荷で安定動作するように補償されています。OPA632の内部ディスエーブル回路は、ディスエーブル時にシステムの電力を最小限に抑えるために使用します。

図1に、+5Vの仕様および代表的性能曲線に使用したゲイン+2のAC結合の構成を示します。テスト用に入力インピーダンスを50Ωに設定し、抵抗をグランドに接続しています。仕様に記載されている電圧スイングは、直接入出力ピンで測定しています。図1の回路の場合、高周波における出力の合計実効負荷は150Ω || 1500Ωになります。ディスエーブル・ピン(OPA632のみ)は、CMOSインバータなどの低インピーダンス・ソースでドライブする必要があります。非反転入力1.50kΩ抵抗により同相モード・バイアス電圧が得られます。これらの並列合成抵抗は反転入力抵抗と等しく、出力のDCオフセットが最小限に抑えられます。

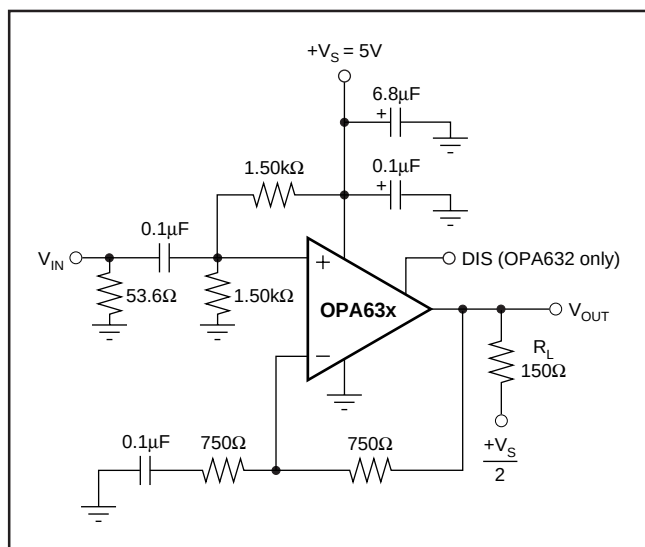


図1. AC結合された信号(抵抗性負荷を電源の中心に接続)

図2に、+3Vの仕様および代表的性能曲線に使用したゲイン+2のDC結合の構成を示します。テスト用に入力インピーダンスを50Ωに設定し、抵抗をグランドに接続しています。厳密には“レール・ツー・レール”の設計ではありませんが、優れた性能を維持しながら、きわめて近い動作を実現しています。+3Vのシングル電源では、帯域幅61MHzで2.9Vp-pを出力します。入力374Ωおよび2.26kΩ抵抗によってV_INがレベル・シフトされ、V_IN = 0のときにV_OUTが許容出力電圧範囲に入っています。容量性負荷のドライブについては代表的性能曲線を参照して下さい。

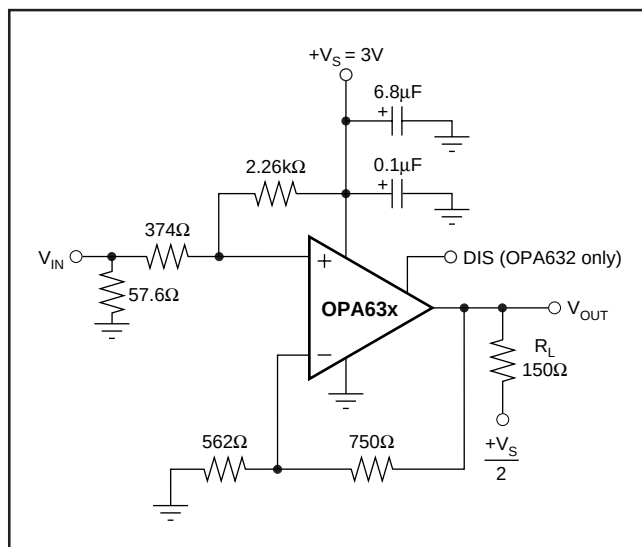


図2. DC結合された信号(抵抗性負荷を電源の中心に接続)

シングル電源ADCコンバータのインターフェース

表紙に、DC結合のシングル電源ADCドライバ回路を示します。最近の多くのシステムでは、ADCとそのドライバの両方に+3V電源の機能が必要になっています。OPA632は、このような条件のアプリケーションで優れた性能を発揮します。入出力電圧範囲が広く、低歪のため、この図に示すADS901のようなコンバータをサポートします。入力レベル・シフト回路は、0Vから0.5VまでのV_INで1Vから2Vまでの出力電圧をADS901に供給できるように設計されています。OPA632とADS901には、どちらも省電力化が必要なシステムのために電力を低減する同じ極性のピンがあります。

DCレベルのシフト

図3に、入力レベルをシフト・アップして必要な出力電圧範囲が得られるようにするDC結合の非反転アンプを示します。必要な信号ゲイン(G)と、V_INがその範囲の中心にあるときにV_OUTをシフト・アップしなければならない量(ΔV_OUT)が決まると、最良のDCオフセットが得られる抵抗値が次式から求められます。

$$NG = G + \Delta V_{OUT}/V_S$$

$$R_1 = R_4/G$$

$$R_2 = R_4/(NG - G)$$

$$R_3 = R_4/(NG - 1)$$

ここで

$$NG = 1 + R_4/R_3 \text{ (雑音ゲイン)}$$

$$V_{OUT} = (G)V_{IN} + (NG - G)V_S$$

V_INとV_OUTが規定された入力電圧および出力電圧の範囲内にあることを確認して下さい。

表紙の回路は、このタイプのアプリケーションのよい例です。この回路は、+3V電源を使用したときに0Vから0.5VまでのV_INで1Vから2VまでのV_OUTを出力するように設計されています。これは、G = 2.00、ΔV_OUT = 1.50V - G · 0.25V = 1.00Vであることを意味します。上記の式に代入すると、NG = 2.33、R_1 = 375Ω、R_2 = 2.25kΩ、R_3 = 563Ωになります。抵抗は、最も近い標準値に変更されています。

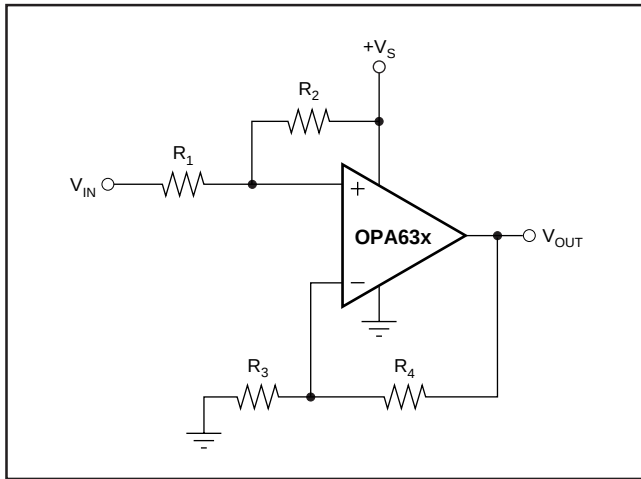


図3. DCレベル・シフト回路

ピークを低減した非反転アンプ

図4に低ゲインのピークを低減した非反転アンプを示します。OPA631またはOPA632の雑音ゲイン(NG)が高くなるように抵抗 R_C で補償し、DCゲインを変えずにAC応答のピークを低減します(R_C がない場合の $G=+1$ の標準値は5dB)。 V_{IN} は、オペアンプなどの低インピーダンス・ソースであることが必要です。雑音を低減するため、抵抗の値は小さくします。 R_T と R_F の両方を使用することにより、寄生インピーダンスの影響が最小限に抑えられます。

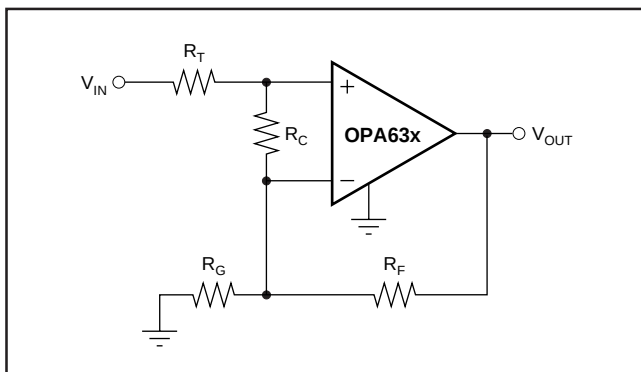


図4. 補償した非反転アンプ

雑音ゲインは次のように計算できます。

$$G_1 = 1 + \frac{R_F}{R_G}$$

$$G_2 = 1 + \frac{R_T + R_F/G_1}{R_C}$$

$$NG = G_1 G_2$$

$R_T = R_F = 20.0\Omega$ 、 $R_C = 40.2\Omega$ を選択することにより、ユニティ・ゲイン・バッファを設計することができます(R_G は使用しません)。この場合、雑音ゲインが2になるため、 $G=+2$ の特性曲線と同様の応答になります。一般にフラットな周波数応答が得られますが、帯域幅は小さくなります。

設計ツール

デモボード

OPA631およびOPA632を使用した回路の性能の初期評価を支援するため、各パッケージに対応する2種類のPCボードが用意されています。

モデル	パッケージ	ボード部品番号
OPA63xU OPA63xN	8ピンSOP 5ピンSOT23 6ピンSOT23	DEM-OPA68xU DEM-OPA6xxN

これらのボードについては、パー・ブラウンのフリーライン FAXあてにお問い合わせ下さい。

動作に関する推奨事項

抵抗値の最適化

OPA631およびOPA632は電圧帰還型オペアンプであるため、帰還抵抗およびゲイン設定抵抗に広範な値を使用することができます。これらの値は、基本的にはダイナミック・レンジ(雑音および歪)および寄生容量の問題によって制限されます。非反転のユニティ・ゲイン・フォロワのアプリケーションでは、帰還端子を直接短絡せず、 25Ω の抵抗を接続することが必要です(図4参照)。これにより、反転入力容量が出力ピンと分離され、周波数応答の平坦性が改善されます。通常、 $G > 1$ のアプリケーションでは帰還抵抗に 200Ω から $1.5k\Omega$ までの値を使用します。 200Ω より小さい場合は、帰還ネットワークにより出力の負荷が増加し、高調波歪性能が低下します。 $1.5k\Omega$ より大きい場合は、帰還抵抗の寄生容量(約 $0.2pF$)によりアンプの応答で予想外に帯域が制限される原因になります。

目安として R_F および R_G の並列の合成抵抗(図1)を約 400Ω 以下にします。合成インピーダンス $R_F \parallel R_G$ は、反転入力容量と作用して帰還ネットワークに極を追加し、したがって順方向の応答にゼロを追加します。反転ノードの寄生容量の合計を $3pF$ と仮定した場合、 $R_F \parallel R_G < 400\Omega$ に保つことにより、この極が $130MHz$ 以上に保持されます。この制限は、高ゲインで帰還抵抗 R_F を数 $k\Omega$ まで増大できることを意味します。これは、 R_F および並列の寄生容量によって形成される極が目的の周波数レンジに入らない限り、許容することができます。

帯域幅対ゲイン：非反転動作

電圧帰還型オペアンプでは、信号ゲインの増加につれて閉ループ帯域幅が減少します。理論上、この関係は仕様に記載されたゲイン帯域幅積(GBP)によって示されます。理論的には、GBPを非反転信号ゲイン(雑音ゲインまたはNGとも呼びます)で割ることにより、予測される閉ループ帯域幅が求められます。これは、実際には、高ゲイン構成のように位相マージンが 90° に近づくときだけ成立します。位相マージンが小さい低ゲイン(帰還係数は増加)では、ほとんどの高速アンプがより複雑な応答を示します。OPA631およびOPA632は、非反転ゲイン2でわずかにピークのある応答が得られるように補償されています(図1)。この結果、標

準ゲイン+2の帯域幅は、GBPの68MHzを2で割って予測される値よりはるかに大きい75MHzになります。ゲインを大きくすると、位相マージンが90°に近づき、帯域幅が予測値(GBP/NG)に接近します。ゲインが+10の場合、仕様に表示されている帯域幅の標準値7.6MHzは、簡単な式およびGBPの標準値から予測される帯域幅と近い値になっています。

OPA631およびOPA632は、電源を+5Vから+3Vに変えても帯域幅の減少はわずかです。これは、電源ピン間の合計電源電圧が変化しても内部バイアス制御回路がほぼ一定の無信号時電流を保持するためです。

反転アンプ動作

OPA631およびOPA632は汎用の広帯域電圧帰還型オペアンプであるため、一般的なすべてのオペアンプのアプリケーション回路に使用することができます。図5に、代表的な反転回路の構成を示します。入出力インピーダンスと信号ゲインは図1の回路と同じです。反転動作は最もよく使用される動作の一つで、性能面でいくつかの利点があります。反転構成では、スルーレートと歪が向上します。また、ヘッドルームの問題なしに入力を $V_s/2$ にバイアスすることができます。カップリング・コンデンサやバイアス調整抵抗を使用して、出力電圧を独立に出力電圧範囲内に移動することもできます。

反転構成では、3つの主要な設計上の問題に注意することが必要です。第1は、ゲイン抵抗(R_G)が信号チャンネルの入力インピーダンスの一部になることです。入力インピーダンスのマッチング(ケーブル、ツイスト・ペア、長い基板のパターンなどの伝送ラインの導体を通じて信号が結合するときに有効です)が必要な場合、 R_G を必要な終端値と等しく設定し、必要なゲインが得られるように R_F を調整することができます。これは最も単純なアプローチで、最適な帯域幅と雑音性能が得られます。ただし、反転ゲインが低い場合は、帰還抵抗の値がアンプ出力の大きな負荷になることがあります。反転ゲインが2の場合、入力マッチング用の R_G を50Ωにすると、 R_M は不要になりますが100Ωの帰還抵抗が

必要になります。これには、50Ωのソース・インピーダンスで雑音ゲインが2に等しくなる(上記の非反転回路と同じ)興味ある利点がありますが、アンプ出力には外部負荷と並列に100Ωの帰還抵抗が存在することになります。

一般に、帰還抵抗は200Ωから1.5kΩの範囲に制限する必要があります。この場合は、図5に示すように R_F と R_G の両方の値を大きくし、接地した第3の抵抗(R_M)を使用して入力インピーダンスをマッチングするようにします。合計の入力インピーダンスは、 R_G と R_M を並列に合成した値になります。

第2の主要な問題は、前の段落でも触れたように、信号のソース・インピーダンスが雑音ゲインの式の一部になり帯域幅に影響することです。図5の例では、 R_M の値が50Ωの外部ソース・インピーダンスと並列に合成され、実効ドライブ・インピーダンスが $50\Omega \parallel 576\Omega = 26.8\Omega$ になります。このインピーダンスは、雑音ゲインの計算で R_G と直列に追加されます。この値は、上記のように R_M を使用しない場合に2になるのに対して、図5では2.87になります。このため、図5のゲイン-2の回路では図1のゲイン+2の回路より帯域幅が小さくなります。

反転アンプの設計における第3の重要な問題は、非反転入力のパイアス電流キャンセル抵抗(R_T の並列合成抵抗 = 263Ω)の設定です。この抵抗を反転ノードから見た合計DC抵抗と等しく設定した場合、入力バイアス電流による出力DC誤差は(入力オフセット電流)・ R_F まで低減します。図5で50Ωのソース・インピーダンスがDC結合される場合、反転入力とソース間のグランドまでの合計の抵抗は401Ωになります。これを帰還抵抗と並列に合成すると、この例で使用されている $R_T = 263\Omega$ になります。この抵抗によって追加される高周波雑音と電源フィードスルーを低減するには、 R_T をコンデンサでバイパスします。 $R_T < 400\Omega$ であれば、その雑音の寄与は最小限に抑えられます。

OPA631およびOPA632では、寄生容量によるピークを抑えるために R_T の値を50Ω以上にする必要があります。非反転入力をグランドに直接短絡すると、非常に高い周波数で入力段が不安定になるおそれがあります。

出力電流および出力電圧

OPA631およびOPA632は、きわめて優れた出力電圧機能を備えています。+25°Cで無負荷の場合、標準の出力電圧は各電源レールの130mV以内までスイングします。保証されているスイングの制限値は、各レールの400mV以内です($V_s = +5V$)。

仕様の全温度範囲にわたる出力電圧および電流の最小値は、温度下限のワースト・ケースのシミュレーションによって設定されます。出力電流および電圧は、コールド・スタート時のみ、保証の欄に記載された値まで低下します。出力トランジスタが電力を供給するにつれて、その接合部温度が上昇するため、 V_{BE} は減少し(使用可能な出力電圧スイングは増加)、電流ゲインは増加します(使用可能な出力電流は増加)。定常状態の動作では、出力段の接合部温度が仕様の最小動作周囲温度より高くなるため、使用可能な出力電圧および電流は、常に仕様の全温度範囲に記載された値より大きくなります。

出力段の最大の直線性を維持するため、出力短絡保護はありません。通常、大部分のアプリケーションには出力に直列マッチング抵抗があり、この抵抗の出力側がグランドに短絡した場合に内部消費電力が制限されるため、これは問題になりません。

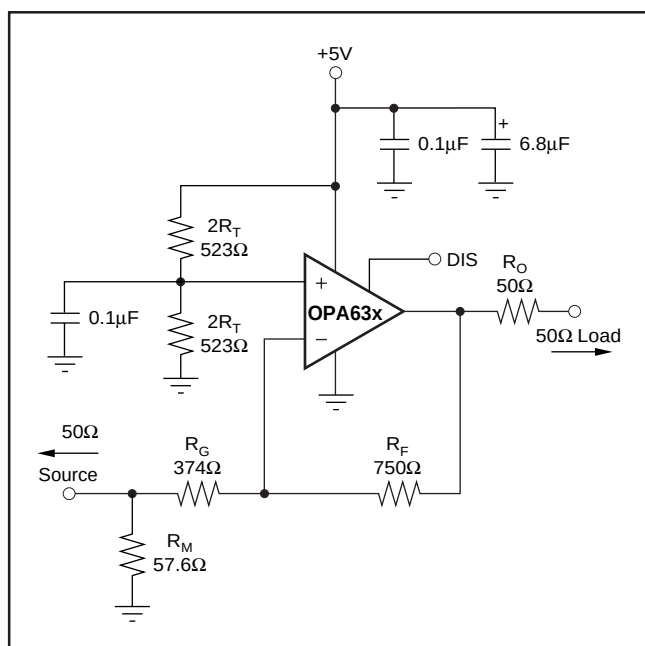


図5. ゲイン-2の回路の例

容量性負荷のドライブ

オペアンプの負荷としてきわめて一般的で最も厳しい条件は、容量性負荷のドライブです。A/Dコンバータの入力には、A/Dの直線性を向上するために追加される外部キャパシタンスなど、しばしば容量性負荷が使用されます。OPA631およびOPA632のような開ループ・ゲインが大きい高速なアンプは、容量性負荷を出力ピンに直接接続したときの安定性の低下や閉ループ応答のピークにきわめて敏感です。基本的な問題が周波数応答の平坦性、パルス応答の忠実性または歪にある場合は、アンプの出力と容量性負荷の間に直列抵抗を挿入することにより帰還ループから容量性負荷を分離する方法が最も簡単で有効です。

推奨される R_S と容量性負荷および負荷における周波数応答を代表的性能曲線に示します。寄生容量性負荷が2pFより大きくなると、OPA631およびOPA632の性能が低下することがあります。長いプリント基板のパターン、ケーブルの不整合、複数デバイスの接続などの要因があると、すぐにこの値を超えてしまいます。常にこれらの影響を考慮し、出力ピンのできるだけ近くに推奨される直列抵抗を追加して下さい(「基板のレイアウトの指針」を参照)。

この R_S 抵抗を設定する基準は、負荷における最大帯域幅のフラットな周波数応答です。ゲインが+2の場合、容量性負荷がなくても出力ピンの周波数応答には既にわずかなピークがあり、負荷の応答をフラットにするためには比較的高い R_S の値が必要です。雑音ゲインの増加によっても、ピークは小さくなります(図4参照)。

歪性能

OPA631およびOPA632は、150Ωの負荷で良好な歪性能を備えています。他のソリューションと比較して、小さい負荷や+3Vのシングル電源では特に優れた性能が得られます。一般に、3次高調波が支配的な歪になります。3次高調波に焦点を絞れば、負荷インピーダンスを大きくすることにより直接歪が向上します。合計の負荷には帰還ネットワークも含まれることに注意して下さい。これは、非反転構成(図1)では R_F と R_G の和になり、反転構成では R_F だけになります。

雑音性能

通常、高スルーレートのユニティ・ゲインで安定な電圧帰還型オペアンプでは、入力雑音電圧の性能を犠牲にして高いスルーレートを達成します。しかし、OPA631およびOPA632の入力雑音電圧は、6.0nV/√Hzと類似のアンプよりずっと低くなっています。入力換算電圧雑音および2つの入力換算電流雑音の項(1.9pA/√Hz)の組み合わせにより、各種の動作条件で低出力雑音が得られます。すべての雑音項を含むオペアンプの雑音解析モデルを図6に示します。このモデルでは、すべての雑音項を雑音電圧または雑音電流密度の項(nV/√HzまたはpA/√Hz)と考えます。

合計出力スポット雑音電圧は、各雑音項による出力雑音電圧の二乗項の平方根として計算することができます。この出力雑音電圧の一般的な形式を図6の各項を使用して式1に示します。

式1

$$E_O = \sqrt{(E_{NI}^2 + (I_{BN}R_S)^2 + 4kTR_S)NG^2 + (I_{BI}R_F)^2 + 4kTR_FNG}$$

この式を雑音ゲイン($NG = (1 + R_F/R_G)$)で割ると、式2に示すように非反転入力における等価入力換算スポット雑音電圧が求められます。

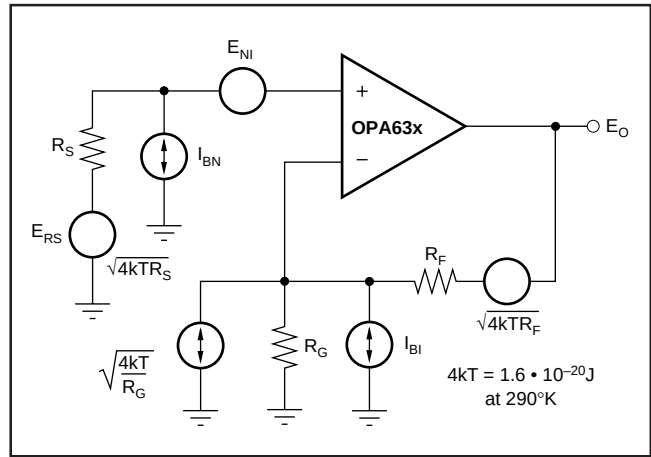


図6. 雑音解析モデル

式2

$$E_N = \sqrt{E_{NI}^2 + (I_{BN}R_S)^2 + 4kTR_S + \left(\frac{I_{BI}R_F}{NG}\right)^2 + \frac{4kTR_F}{NG}}$$

図1の回路とコンポーネントについて上記の2つの式を計算すると、合計出力スポット雑音電圧は13.1nV/√Hzに、合計等価入力スポット雑音電圧は6.6nV/√Hzになります。これには抵抗によって追加される雑音も含まれます。この合計入力換算スポット雑音電圧は、オペアンプのみの電圧雑音の6.0nV/√Hzの仕様を大きく上回るものではありません。これは、各オペアンプ入力のインピーダンスが前に推奨した最大値400Ωまでに制限され、入力の変衰が低いときの場合です。抵抗による雑音が相対的に小さいため、図5の反転構成でバイアス電流キャンセル抵抗(R_I)に追加されているコンデンサのデカップリングは不要です。

DCの精度およびオフセットの制御

広帯域の電圧帰還型オペアンプのバランスのとれた入力段は、広範なアプリケーションで良好なDC精度を可能にします。OPA631およびOPA632の電源電流は調整により類似製品よりもユニット間の偏差が低く抑えられています。高速な入力段には比較的大きい入力バイアス電流が必要ですが(各入力ピンの標準値は11μA)、電流間のマッチング精度を高くすることにより、この電流によって発生する出力のDC誤差を低減できます。これは、2つの入力から見たDCソース抵抗をマッチングさせることにより行います。ワーストケースの+25°Cの入力オフセット電圧と電流の仕様で図1の構成(DC入力抵抗がマッチングされている)の値を計算すると、ワーストケースの出力オフセット電圧が次式のように求められます。(NG = DCの非反転信号ゲイン)

$$\begin{aligned} & \pm(NG \cdot V_{OS(MAX)} \pm (R_F \cdot I_{OS(MAX)})) \\ &= \pm(1 \cdot 6.0mV) \pm (750\Omega \cdot 2.0\mu A) \\ &= \pm 6.8mV = \text{図1の出力オフセット範囲} \end{aligned}$$

出力オフセットの微調整またはDC動作ポイントの調整が必要があります。オペアンプ回路のDCオフセットの制御には各種の方法があります。ほとんどの方法は、帰還抵抗を通じたDC電流の追加を基本としています。オフセット調整方法を選択する際には、必要な信号路の周波数応答への影響を考慮することが重要です。信号路を非反転にする場合は、信号ソースとの相互作用を避けるため、反転加算信号のオフセット制御が適しています。信号路を反転にする場合は、非反転入力のオフセット制御を

検討することができます。信号路の抵抗よりずっと大きい抵抗値を使用して、反転入力ノードにDCオフセット調整電流を加えます。これにより、調整回路によるループ・ゲインおよび周波数応答への影響が最小限に抑えられることが保証されます。

ディスエーブル動作

OPA632にはオプションのディスエーブル機能があり、システムの電力を低減したり簡単なチャンネル切り換え動作を実現することができます。ディスエーブルするには、制御ピンを“ハイ”にアサートします。図7に簡略化したディスエーブル制御機能の内部回路を示します。

通常動作ではDISピンと50kΩ抵抗を通じてQ1のベース電流が供給されます。

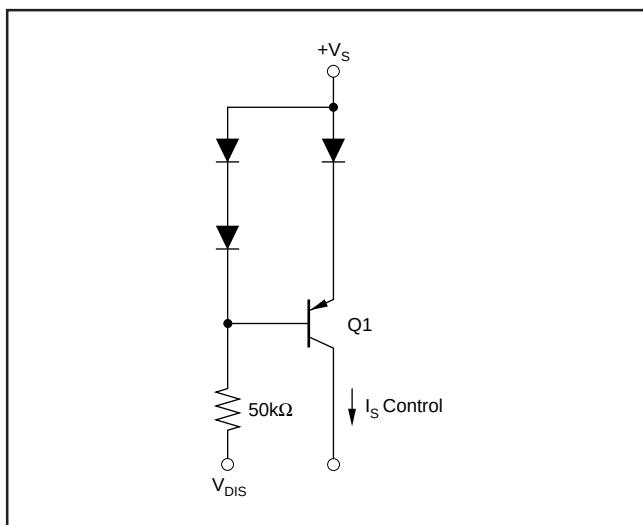


図7. 簡略化したディスエーブル制御回路 (OPA632)

ディスエーブル動作では、ディスエーブル・モードのオン/オフ切り換え時の出力グリッチが重要なパラメータになります。このグリッチにはDIS制御ラインのトランジション・エッジ・レート (dv/dt) が影響します。高速なロジック・ラインとDISピンの間に簡単なRCフィルタを追加すると、グリッチが低減されます。きわめて高速なトランジション・ロジックを使用している場合は、1kΩの直列抵抗を接続すると、十分なロジック・レベルのスイングを確保しながらDISピンの寄生入力容量だけで十分な帯域制限が得られます。

熱の解析

最大許容内部消費電力は、下記のように最大接合部温度の要件によって制限されます。最大接合部温度は、いかなる場合も175°Cを超えることができません。

動作接合部温度 (T_J) は、 $T_A + P_D \cdot \theta_{JA}$ で計算されます。合計内部消費電力 (P_D) は、無信号時電力 (P_{DQ}) と、負荷電力を供給するために出力段で消費される電力 (P_{DL}) の和です。

無信号時電力は、規定された無負荷電源電流とデバイスにかかる全電源電圧の積です。 P_{DQ} は、必要な出力信号および負荷に依存しますが、電源の中心電圧 ($V_S/2$) に接続した抵抗性負荷の場合は、出力が $V_S/4$ または $3V_S/4$ に等しい電圧に固定されているとき最大になります。この条件の場合、 $P_{DQ} = V_S^2 / (16 \cdot R_L)$ になりま

す。 R_L には帰還ネットワークの負荷も含まれます。

内部消費電力を決めるのは出力段の電力であり、負荷の電力ではないことに注意して下さい。

ワーストケースの例として、電源の中心電圧の150Ωの負荷をドライブし、+85°Cの最大仕様周囲温度で動作している図1の回路のOPA632 (6ピンSOT23パッケージ) について最大 T_J を計算します。

$$P_D = 10V \cdot 6.9mA + 5^2 / (16 \cdot (150\Omega \parallel 1500\Omega)) = 80mW$$

$$\text{最大 } T_J = +85^\circ\text{C} + (0.08W \cdot 150^\circ\text{C/W}) = 97^\circ\text{C}$$

この値はまだ仕様の最大接合部温度より低いですが、システムの信頼性のためにさらに低い保証された接合部温度が必要なこともあります。最大の内部消費電力は、負荷の要件のために電流が高出力電圧で出力に流れ込む場合、または低出力電圧で出力から供給される場合に発生します。これにより、出力トランジスタの内部電圧降下を通じて大きな電流が流れます。

基板のレイアウトの指針

OPA631およびOPA632のような高周波アンプから最高の性能を引き出すには、基板のレイアウトの寄生容量や外付けコンポーネントの選択について細心の注意を払う必要があります。以下に最高の性能を引き出すための推奨事項を記載します。

- すべての信号I/OピンとACグラウンド間の寄生容量を最小限に抑えます。出力ピンおよび反転入力ピンに寄生容量がある場合は不安定になり、非反転入力に寄生容量がある場合はソース・インピーダンスと作用して予想外に帯域が制限されます。不要な容量を低減するには、すべてのグラウンド・プレーンおよび電源プレーンについて信号I/Oピンの周囲に窓を開放することが必要です。ボード上のこれ以外の領域では、グラウンド・プレーンおよび電源プレーンを完全な状態のままにします。
- 電源ピンから0.1μFの高周波デカップリング・コンデンサまでの距離を最小限に抑えます (0.25インチ以下)。グラウンド・プレーンおよび電源プレーンのレイアウトは、信号I/Oピンと接近しないようにします。ピンおよびデカップリング・コンデンサ間のインダクタンスを最小限に抑えるため、電源およびグラウンドのパターン幅を狭くすることは避けて下さい。電源ピンは、必ずこのコンデンサでデカップリングすることが必要です。パイポーラ動作では、2つの電源の間にオプションの電源デカップリング・コンデンサ (0.1μF) を使用すると、2次高調波歪の性能が向上します。主電源ピンには低周波で有効な大容量のデカップリング・コンデンサ (2.2μF – 6.8μF) も使用することが必要です。これは、デバイスから多少離して配置し、プリント基板の同じ領域の複数のデバイス間で共有することができます。
- 高周波性能は、外付けコンポーネントの選択と配置を慎重に行うことによって保持されます。抵抗にはリアクタンスが非常に低いタイプのものを使用します。表面実装抵抗が最も有効で、全体のレイアウトを小さくできます。金属皮膜およびカーボン・コンポジションの軸方向にリード線が付いた抵抗も良好な高周波性能が得られます。この場合も、リード線および基板のパターン長をできるだけ短くして下さい。高周波アプリケーションには巻線タイプの抵抗を絶対に使用しないで下さい。出力ピンおよび反転入力ピンは最も寄生容量に敏感なため、帰還抵抗や直列出力抵抗を接続する場合は、常にピンのできるだけ近くに配置して下さい。他のネットワーク部品 (非反転入力の終端抵抗など) も、パッケージの近くに配置して下さい。部品

の両面取り付けが可能な場合は、帰還抵抗を基板裏側のパッケージの真下で出力ピンおよび反転入力ピンの間に接続してください。外付け抵抗と並列の寄生容量が小さい場合でも、抵抗値が過度に大きいと時定数が大きくなって性能が劣化することがあります。良好な金属皮膜または表面実装抵抗では、抵抗と並列の容量が約0.2pFになります。抵抗値が1.5kΩ以上の場合、この寄生容量によって500MHz以下の位置に極おびゼロが追加され、回路の動作に影響します。負荷のドライブを考慮しながら、できるだけ小さい抵抗値を使用して下さい。代表的性能曲線で使用している750Ωの帰還抵抗が設計の参考になります。ユニティ・ゲイン・フォロワのアプリケーションについては図4を参照して下さい。

- d) ボード上の他の広帯域デバイスとは、短いパターンで直接接続することもオンボードの伝送ラインで接続することもできます。短い接続の場合は、パターンおよび次のデバイスの入力を一体の容量性負荷と考えます。比較的広いパターン幅(50milから100mil)を使用することが必要で、できればその周囲のグラウンド・プレーンおよび電源プレーンを開放します。全体の容量性負荷を推定し、推奨される R_s 対容量性負荷のプロットから R_s を設定して下さい。OPA631およびOPA632は公称値2pFの寄生負荷で動作するように補償されているため、寄生容量性負荷が小さい場合(< 5pF)は、 R_s が不要なことがあります。信号ゲインの増加(無負荷の位相マージンの増加)につれて、 R_s なしで許容される寄生容量性負荷が大きくなります。長いパターンが必要で、2重終端の伝送ラインに固有の6dBの信号損失が許容される場合は、マイクロストリップまたはストリップラインの手法によってインピーダンスのマッチングがとれた伝送ラインを使用します。通常、ボード上では50Ω環境は必要なく、実際には歪対負荷のプロットに示されているように高インピーダンス環境の方が歪が改善されます。ボードの材質やパターンの寸法に基づいて決まるボードのパターンの特性インピーダンスとともに、OPA631およびOPA632の出力からのパターンにマッチング用直列抵抗を、相手側デバイスの入力に終端シャント抵抗を使用します。終端インピーダンスが相手側デバイスの入力インピーダンスとシャント抵抗の並列な組み合わせになることにも注意して下さい。全体の実効インピーダンスをパターンのインピーダンスと一致させる必要があります。

2重終端ラインの6dBの減衰が許容されない場合は、長いパターンをソース側だけ直列に終端することができます。この場合は、パターンを容量性負荷として扱い、 R_s 対容量性負荷のプロットに示すように直列抵抗の値を設定します。このとき、2重終端ラインと同様の信号の完全性は維持されません。相手側デバイスの入力インピーダンスが低い場合は、終端インピーダンスの直列出力によって電圧デバイダが形成されるため、信号がいくらか減衰します。

- e) 高速な部品にソケットを使用することは推奨されません。ソケットによってリード長とピン間容量が増加すると、きわめて厄介な寄生的ネットワークが形成され、滑らかで安定した周波数応答を得ることが難しくなります。OPA631およびOPA632をボードに半田付けすることによって最善の結果が得られます。

入力およびESD保護

OPA631およびOPA632は、超高速コンプリメンタリ・バイポーラ・プロセスを使用して製造されています。微細加工のデバイスであるため、内部接合部の降伏電圧は比較的低くなっています。この降伏電圧は絶対最大定格の表に反映されています。図8に示すように、デバイスのすべてのピンが電源に対して内部ESD保護ダイオードにより保護されています。

これらのダイオードは、電源より高い入力オーバードライブ電圧に対しても適度な保護を提供します。保護ダイオードは、標準値で30mAの連続電流をサポートします。これより大きい電流が流れる可能性がある場合(例えば±15V電源を使用したデバイスでOPA631およびOPA632をドライブするシステム)は、2つの入力に電流制限用の直列抵抗を追加することが必要です。これらの抵抗に大きい値を使用すると雑音性能と周波数応答の両方が低下するため、できるだけ小さい値を使用して下さい。

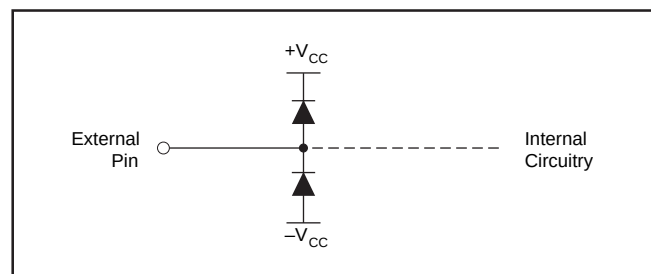
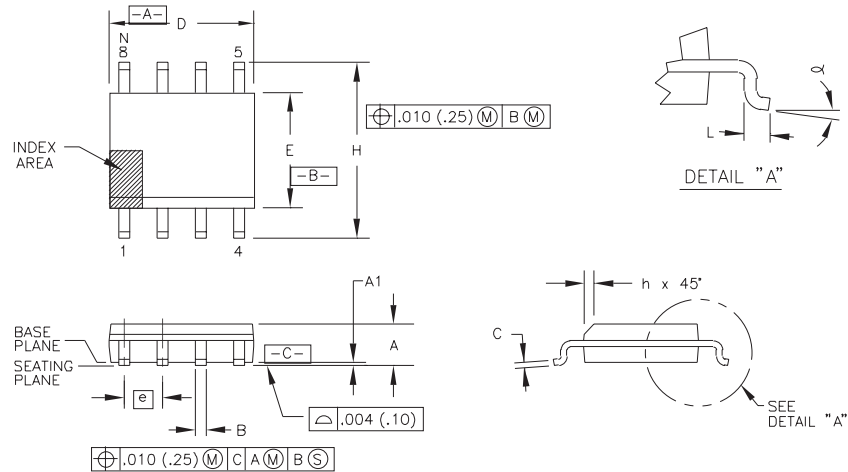


図8. 内部ESD保護

外観

パッケージ番号182-8ピンSOP



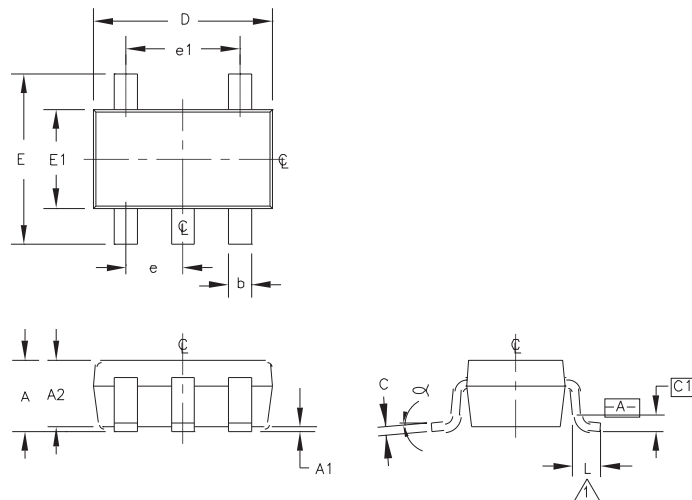
DIM	INCHES		MILLIMETERS		NOTE	DIM	INCHES		MILLIMETERS		NOTE
	MIN.	MAX.	MIN.	MAX.			MIN.	MAX.	MIN.	MAX.	
A	.0532	.0688	1.35	1.75							
A1	.004	.0098	0.10	0.23							
B	.013	.020	0.33	0.51	7						
C	.0075	.0098	0.20	0.25							
D	.189	.1968	4.80	4.98	2						
E	.1497	.1574	3.80	4.00	3						
e	.050	BASIC	1.27	BASIC							
H	.2284	.244	5.80	6.20							
h	.0099	.0196	0.25	0.50	4						
L	.016	.050	0.41	1.27	5						
N	8		8		6						
α	0°	8°	0°	8°							

- NOTES:
1. DIMENSIONING AND TOLERANCING PER ANSI Y14.5M-1982.
 2. DIMENSION D DOES NOT INCLUDE MOLD FLASH, PROTRUSIONS OR GATE BURRS. MOLD FLASH, PROTRUSIONS AND GATE BURRS SHALL NOT EXCEED .006 IN. (0.15 mm) PER SIDE.
 3. DIMENSION E DOES NOT INCLUDE INTER-LEAD FLASH OR PROTRUSIONS. INTER-LEAD FLASH AND PROTRUSIONS SHALL NOT EXCEED .010 IN. (0.25 mm) PER SIDE.
 4. THE CHAMFER ON THE BODY IS OPTIONAL. IF IT IS NOT PRESENT,

5. L IS THE LENGTH OF TERMINAL FOR SOLDERING TO A SUBSTRATE.
6. N IS THE NUMBER OF TERMINAL POSITIONS.
7. THE LEAD WIDTH B, AS MEASURED .014 IN. (0.36 mm) OR GREATER ABOVE THE SEATING PLANE, SHALL NOT EXCEED A MAXIMUM VALUE OF .024 IN. (0.61 mm).
8. LEAD TO LEAD COPLANARITY SHALL BE LESS THAN .004 IN. (0.10 mm) FROM SEATING PLANE.

PACKAGE NUMBER: ZZ182 REV.: H
JEDEC NUMBER: MS-012-AA

パッケージ番号331-5ピンSOT23

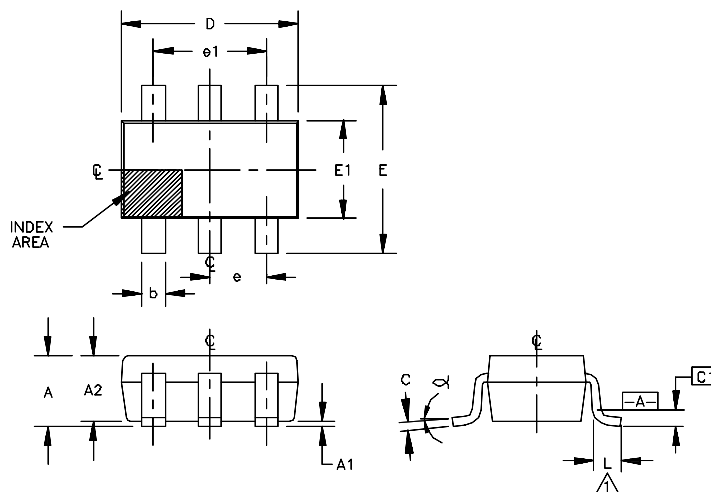


DIM	INCHES		MILLIMETERS		NOTE	DIM	INCHES		MILLIMETERS		NOTE
	MIN.	MAX.	MIN.	MAX.			MIN.	MAX.	MIN.	MAX.	
A	.035	.057	0.90	1.45							
A1	.000	.006	0.00	0.15							
A2	.035	.051	0.90	1.30							
b	.010	.020	0.25	0.50							
C	.003	.008	0.08	0.20							
C1	.007	BASIC	0.20	BASIC							
D	.110	.118	2.80	3.00							
E	.102	.118	2.60	3.00							
E1	.059	.069	1.50	1.75							
e	.037	REF	0.95	REF							
e1	.075	REF	1.90	REF							
L	.014	.022	0.35	0.55	1						
N	5		5		4						
α	0°	10°	0°	10°							

- NOTES:
1. FOOT LENGTH MEASURED AT INTERCEPT POINT BETWEEN DATUM A AND LEAD SURFACE.
 2. PACKAGE OUTLINE EXCLUSIVE OF MOLD FLASH AND METAL BURR.
 3. PACKAGE OUTLINE INCLUSIVE OF SOLDER PLATING.
 4. N IS THE MAXIMUM QUANTITY OF LEAD POSITIONS.

PACKAGE NUMBER: ZZ331 REV.: C
JEDEC NUMBER: NONE

パッケージ番号332-6ピンSOT23



DIM	INCHES		MILLIMETERS		N
	MIN.	MAX.	MIN.	MAX.	
A	.035	.057	0.90	1.45	
A1	.000	.006	0.00	0.15	
A2	.035	.051	0.90	1.30	
b	.010	.020	0.25	0.50	
C	.003	.008	0.08	0.20	
C1	.007	BASIC	0.20	BASIC	
D	.110	.118	2.80	3.00	
E	.102	.118	2.60	3.00	
E1	.059	.069	1.50	1.75	
e	.037	REF	0.95	REF	
e1	.075	REF	1.90	REF	
L	.014	.022	0.35	0.55	1
N	6		6		5
α	0°	10°	0°	10°	

NOTES:

1. FOOT LENGTH MEASURED AT INTERCEPT POINT BETWEEN DATUM A AND LEAD SURFACE.
2. PACKAGE OUTLINE EXCLUSIVE OF MOLD FLASH AND METAL BURR.
3. PACKAGE OUTLINE INCLUSIVE OF SOLDER PLATING.
4. A VISUAL INDEX FEATURE MUST BE LOCATED WITHIN THE CROSS-HATCHED AREA.
5. N IS THE MAXIMUM QUANTITY OF LEAD POSITIONS.

PACKAGE NUMBER: ZZ332
JEDEC NUMBER: NONE

REV.: C