

SpeedPlus™ トリプル広帯域、 電流帰還型ディスエーブル機能付きオペアンプ

特 長

- 広帯域+5V電源動作：225MHz (G = +2)
- ユニティ・ゲイン安定動作：280MHz (G = 1)
- 大出力電流：150mA
- 出力電圧スイング：±4.0V
- 高スルーレート：2100V/μs
- 低電源電流：6mA(1チャンネルにつき)
- ディスエーブル時の低消費電流：300μA(1チャンネルにつき)
- 改良型高周波数ピンアウト

アプリケーション

- 広帯域計測アンプ
- 広帯域ビデオ・バッファ
- 高速画像処理信号チャンネル
- 携帯型機器
- ADCバッファ
- RGBアンプ
- アクティブフィルタ
- ケーブル・ドライバ

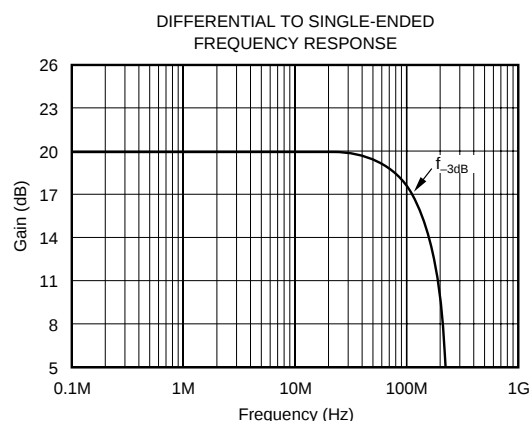
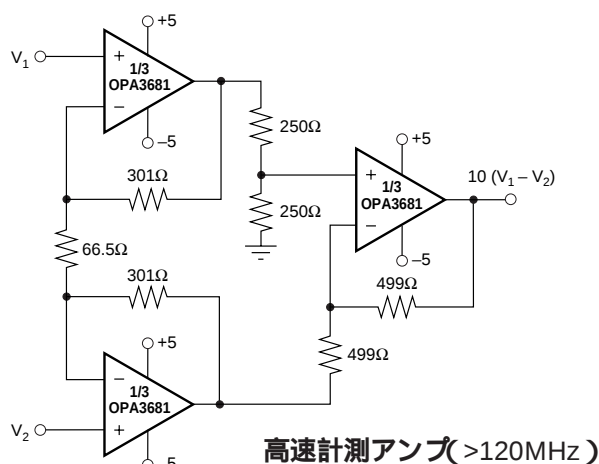
OPA3681関連製品

	シングル	デュアル	トリプル
電圧帰還型	OPA680	OPA2680	OPA3680
電流帰還型	OPA681	OPA2681	OPA3681
固定ゲイン	OPA682	OPA2682	OPA3682

概 要

OPA3681は、従来のオペアンプと比較して性能が大幅に改善され、まったく新しい性能レベルを達成したトリプル広帯域電流帰還型オペアンプです。6mA(1チャンネルにつき)という非常に低い電源電流で動作しながら、高いスルーレート、フルパワー帯域幅特性など従来ではより大きな電源電流でしか実現できなかった性能を備えています。新しい出力段アーキテクチャを採用し、最小限のヘッドルーム電圧および低クロスオーバー歪みで高レベルの電流を出力します。これらの優れた特性により、比類のないシングル電源動作が可能です。OPA3681は、+5Vのシングル電源で動作し、その場合でも100mAを超えるドライブ電流能力と150MHzの広帯域動作で1Vから4Vまでの範囲の出力電圧スイング特性を備えています。OPA3681の優れた特長は、RGBライン・ドライバやシングル電源動作のADC入力ドライバのアプリケーションに理想的です。

OPA3681の6mA(1チャンネルにつき)という低電源電流は+25℃で正確に調整されています。この電流調整に加え、温度ドリフトも非常に低く抑えられているため、同等性能の製品と比較して低い値の最大電源電流が保証されます。オプションのディスエーブル制御ピンを使用すれば、システムの消費電力をさらに低減することができます。ディスエーブル・ピンをオープンにするか、またはHIGH状態に保持すると、OPA3681は通常の動作を行ないます。このピンをLOWレベルに引き込むと、OPA3681の電源電流は300μA(1チャンネルにつき)以下に低減されると同時に、出力はハイ・インピーダンス状態に入ります。この機能を消費電力の節減またはビデオMUXアプリケーションに利用することができます。



仕様： $V_S = \pm 5V$

特に記述のない限り、 $R_F = 499\Omega$ 、 $R_L = 100\Omega$ 、 $G = +2$ (AC性能のみの場合には図1を参照)です。

パラメータ	条件	OPA3681E、U						テスト レベル ⁽¹⁾		
		標準	保証							
		+25	+25 ⁽²⁾	0 ~ 70 ⁽³⁾	-40 ~ +85 ⁽³⁾	単位	最小/ 最大			
AC性能(図1) 小信号帯域幅(V _o = 0.5Vp-p)	G = +1、R _F = 549Ω G = +2、R _F = 499Ω G = +5、R _F = 365Ω G = +10、R _F = 182Ω	280 220 185 125	220	210	190	MHz MHz MHz MHz	Typ Min Typ Typ	C B C C		
0.1dBのゲイン平坦性が得られる帯域幅 G = +1時のピーキング・レベル	G = +2、V _o = 0.5Vp-p R _F = 453、V _o = 0.5Vp-p	90 0.4				50 2	45 4	MHz dB	Min Max	B B
大信号帯域幅 スルーレート	G = +2、V _o = 5Vp-p G = +2、4Vステップ	150 2100				1600	1600	1200	MHz V/μs	Typ Min
立ち上がり/立ち下がり時間	G = +2、V _o = 0.5Vステップ G = +2、5Vステップ	1.7 2.0	ns ns	Typ Typ	C C					
セトリングタイム(0.02%) (0.1%)	G = +2、V _o = 2Vステップ G = +2、V _o = 2Vステップ	12 8	ns ns	Typ Typ	C C					
高調波歪み 2次高調波	G = +2、f = 5MHz、V _o = 2Vp-p R _L = 100Ω	-75				dBc	Typ	C		
	R _L ≥ 500Ω	-81				dBc	Typ	C		
3次高調波	R _L = 100Ω	-80				dBc	Typ	C		
	R _L ≥ 500Ω	-95				dBc	Typ	C		
入力電圧ノイズ	f > 1MHz	2.2	3.0	3.4	3.6	nV/√ Hz	Max	B		
非反転入力電流ノイズ	f > 1MHz	12	14	15	15	pA/√ Hz	Max	B		
反転入力電流ノイズ	f > 1MHz	15	18	18	19	pA/√ Hz	Max	B		
微分ゲイン	G = +2、NTSC、V _o = 1.4Vp、R _L = 150Ω R _L = 37.5Ω	0.001 0.005				% %	Typ Typ	C C		
微分位相	G = +2、NTSC、V _o = 1.4Vp、R _L = 150Ω R _L = 37.5Ω	0.01 0.05				deg deg	Typ Typ	C C		
クロストーク	入力換算、f = 5MHz、全チャンネル間	-55				dBc	Typ	C		
DC性能 ⁽⁴⁾ 開ループ・トランスインピーダンス・ゲイン(Z _{OL})	V _o = 0V、R _L = 100Ω	100	56	56	56	kΩ	Min	A		
入力オフセット電圧	V _{CM} = 0V	±1.3	±5	±6.5	±7.5	mV	Max	A		
平均オフセット電圧ドリフト	V _{CM} = 0V			+35	+40	μV/	Max	B		
非反転入力バイアス電流	V _{CM} = 0V	+30	+55	±65	±85	μA	Max	A		
平均非反転入力バイアス電流ドリフト	V _{CM} = 0V			-400	-450	nA/	Max	B		
反転入力バイアス電流	V _{CM} = 0V	±10	±40	±50	±55	μA	Max	A		
平均反転入力バイアス電流ドリフト	V _{CM} = 0V			-125	-150	nA/	Max	B		
入力 同相モード入力範囲 ⁽⁵⁾		±3.5	±3.4	±3.3	±3.2	V	Min	A		
同相モード除去(CMR)	V _{CM} = 0V	52	47	46	45	dB	Min	A		
非反転入力インピーダンス		100 2				kΩ pF	Typ	C		
反転入力抵抗の最小値(R _i)	開ループ	42				Ω	Typ	C		
出力 電圧出力シング	無負荷	±4.0	±3.8	±3.7	±3.6	V	Min	A		
	R _L = 100Ω	±3.9	±3.7	±3.6	±3.3	V	Min	A		
電流出力、ソース	V _o = 0	+190	+160	+140	+80	mA	Min	A		
電流出力、シンク	V _o = 0	-150	-135	-130	-80	mA	Min	A		
開ループ出力インピーダンス	G = +2、f = 100kHz	0.03				Ω	Typ	C		
ディスエーブル機能(LOWでディスエーブル) パワーダウン時の電源電流(+V _S)	V _{DIS} = 0、全チャンネル	-900				μA	Typ	C		
ディスエーブル時間		100				ns	Typ	C		
イネーブル時間		25				ns	Typ	C		
オフ時アイソレーション	G = +2、5MHz	70				dB	Typ	C		
ディスエーブル時の出力容量		4				pF	Typ	C		
ターンオン時のグリッチ	G = +2、R _L = 150Ω、V _{IN} = 0	±50				mV	Typ	C		
ターンオフ時のグリッチ	G = +2、R _L = 150Ω、V _{IN} = 0	±20				mV	Typ	C		
イネーブル電圧		3.3	3.5	3.6	3.7	V	Min	A		
ディスエーブル電圧		1.8	1.7	1.6	1.5	V	Max	A		
制御ピンの入力バイアス電流(DIS)	V _{DIS} = 0、各チャンネル	100	160	160	160	μA	Max	A		
電源 仕様動作電圧		±5				V	Typ	C		
最大動作電圧範囲			±6	±6	±6	V	Max	A		
最大無信号時電流(3チャンネル)	V _S = ±5V	18	19.2	19.5	19.8	mA	Max	A		
最小無信号時電流(3チャンネル)	V _S = ±5V	18	16.8	16.5	15.0	mA	Min	A		
電源変動除去比(-PSRR)	入力換算	58	52	50	49	dB	Min	A		
温度範囲 仕様動作範囲：E、U		-40 ~ +85					Typ	C		
熱抵抗値、θ _{JA} E 16ピンSSOP		100				/W	Typ	C		
U 16ピンSOP		100				/W	Typ	C		

注：(1)テストレベル：(A)+25 で100%テストを実施。特性評価テストとシミュレーションによって全温度の制限値を設定。(B)特性評価テストとシミュレーションによって制限値を設定。(C)標準値は参考用としてのみ使用。(2)接合部温度 = 仕様保証温度範囲における+25 の周囲温度。(3)接合部温度 = 仕様保証全温度範囲における下限の周囲温度：接合部温度 = 仕様保証全温度範囲における上限の周囲温度+23 。

(4)ノードから出力される電流の極性を正とします。 V_{CM} は入力同相モード電圧です。(5) $\pm CMIR$ の制限値としてCMR仕様の最小値よりも3dB以上低いレベルでテストを実施。(6)太字はテストレベルAを示しています。

仕様：V_S = +5V

特に記述のない限り、R_F = 499Ω、R_L = 100Ω(V_S/2に対して)、G = +2(AC性能のみの場合には図2を参照)です。

パラメータ	条件	OPA3681E、U						テスト レベル ⁽¹⁾
		標準	保証					
			+25	+25 ⁽²⁾	0 ~ +70 ⁽³⁾	-40 ~ +85 ⁽³⁾	単位	
AC性能(図2)								
小信号帯域幅(V _O = 0.5Vp-p)	G = +1、R _F = 549Ω	250				MHz	Typ	C
	G = +2、R _F = 499Ω	225	180	140	110	MHz	Min	B
	G = +5、R _F = 365Ω	180				MHz	Typ	C
	G = +10、R _F = 182Ω	165				MHz	Typ	C
0.1dBのゲイン平坦性が得られる帯域幅	G = +2、V _O < 0.5Vp-p	100	50	35	23	MHz	Min	B
G = +1時のピーキング・レベル	R _F = 649Ω、V _O < 0.5Vp-p	0.4	2	4		dB	Max	B
大信号帯域幅	G = +2、V _O = 2Vp-p	200				MHz	Typ	C
スルーレート	G = +2、2Vステップ	830	700	680	570	V/μs	Min	B
立ち上がり/立ち下がり時間	G = +2、V _O = 0.5Vステップ	1.5				ns	Typ	C
	G = +2、V _O = 2Vステップ	2.0				ns	Typ	C
セトリングタイム(0.02%)	G = +2、V _O = 2Vステップ	14				ns	Typ	C
(0.1%)	G = +2、V _O = 2Vステップ	9				ns	Typ	C
高調波歪み	G = +2、f = 5MHz、V _O = 2Vp-p							
2次高調波	R _L = 100Ω to V _S /2	-75				dBc	Typ	C
	R _L ≥ 500Ω to V _S /2	-79				dBc	Typ	C
3次高調波	R _L = 100Ω to V _S /2	-68				dBc	Typ	C
	R _L ≥ 500Ω to V _S /2	-70				dBc	Typ	C
入力電圧ノイズ	f > 1MHz	2.2	3	3.4	3.6	nV/√Hz	Max	B
非反転入力電流ノイズ	f > 1MHz	12	14	14	15	pA/√Hz	Max	B
反転入力電流ノイズ	f > 1MHz	15	18	18	19	pA/√Hz	Max	B
DC性能 ⁽⁴⁾								
開ループ・トランスインピーダンス・ゲイン(Z _{OL})	V _O = V _S /2、R _L = 100Ω to V _S /2	100	60	53	51	kΩ	Min	A
入力オフセット電圧	V _{CM} = 2.5V	±1	±5	±6.0	±7	mV	Max	A
平均オフセット電圧ドリフト	V _{CM} = 2.5V			+15	+20	μV/	Max	B
非反転入力バイアス電流	V _{CM} = 2.5V	+40	+65	+75	+95	μA	Max	A
平均非反転入力バイアス電流ドリフト	V _{CM} = 2.5V			-300	-350	nA/	Max	B
反転入力バイアス電流	V _{CM} = 2.5V	±5	±20	±25	±35	μA	Max	A
平均反転入力バイアス電流ドリフト	V _{CM} = 2.5V			-125	-175	nA/	Max	B
入力								
正入力電圧の最小値 ⁽⁵⁾		1.5	1.6	1.7	1.8	V	Max	A
正入力電圧の最大値 ⁽⁵⁾		3.5	3.4	3.3	3.2	V	Min	A
同相モード除去(CMR)	V _{CM} = V _S /2	51	45	44	44	dB	Min	A
非反転入力インピーダンス		100 2				kΩ pF	Typ	C
反転入力抵抗の最小値(R _I)	開ループ	44				Ω	Typ	C
出力								
正出力電圧の最大値	無負荷	4	3.8	3.7	3.5	V	Min	A
	R _L = 100Ω、2.5V	3.9	3.7	3.6	3.4	V	Min	A
正出力電圧の最小値	無負荷	1	1.2	1.3	1.5	V	Max	A
	R _L = 100Ω、2.5V	1.1	1.3	1.4	1.6	V	Max	A
電流出力、ソース	V _O = V _S /2	150	110	110	60	mA	Min	A
電流出力、シンク	V _O = V _S /2	-110	-75	-70	-50	mA	Min	A
閉ループ出力インピーダンス	G = +2、f = 100kHz	0.03				Ω	Typ	C
ディセーブル機能(LOWでディセーブル)								
パワーダウン時の電源電流(+V _S)	V _{DIS} = 0、全チャンネル	-750				μA	Typ	C
ディセーブル時間		100				ns	Typ	C
イネーブル時間		25				ns	Typ	C
オフ時アイソレーション	G = +2、5MHz	65				dB	Typ	C
ディセーブル時の出力容量		4				pF	Typ	C
ターンオン時のグリッチ	G = +2、R _L = 150Ω、V _{IN} = V _S /2	±50				mV	Typ	C
ターンオフ時のグリッチ	G = +2、R _L = 150Ω、V _{IN} = V _S /2	±20				mV	Typ	C
イネーブル電圧		3.3	3.5	3.6	3.7	V	Min	A
ディセーブル電圧		1.8	1.7	1.6	1.5	V	Max	A
制御ピンの入力バイアス電流(D _{IS})	V _{DIS} = 0、各チャンネル	100				μA	Typ	C
電源								
仕様シングル電源動作電圧		5				V	Typ	C
シングル電源動作電圧の最大値			12	12	12	V	Max	A
最大無信号時電流(3チャンネル)	V _S = +5V	14.4	15.9	16.2	16.2	mA	Max	A
最小無信号時電流(3チャンネル)	V _S = +5V	14.4	12.3	11.1	10.8	mA	Min	A
電源変動除去比(+PSRR)	入力換算	48				dB	Typ	C
温度範囲								
仕様動作範囲：E、U		-40 ~ +85					Typ	C
熱抵抗値、θ _{JA}								
E 16ピンSSOP		100				/W	Typ	C
U 16ピンSOP		100				/W	Typ	C

注：(1)テストレベル(A)+25 で100%テストを実施。特性評価テストとシミュレーションによって全温度の制限値を設定。(B)特性評価テストとシミュレーションによって制限値を設定。(C)標準値は参考用としてのみ使用。(2)接合部温度 = 仕様保証温度範囲における+25 の周囲温度。(3)接合部温度 = 仕様保証全温度範囲における下限の周囲温度：接合部温度 = 仕様保証全温度範囲における上限の周囲温度+23。(4)ノードから出力される電流の極性を正とします。V_{CM}は入力同相モード電圧です。(5)±CMIRの制限値としてCMR仕様の最小値よりも3dB以上低いレベルでテストを実施。(6)太字はテストレベルAを示しています。

絶対最大定格

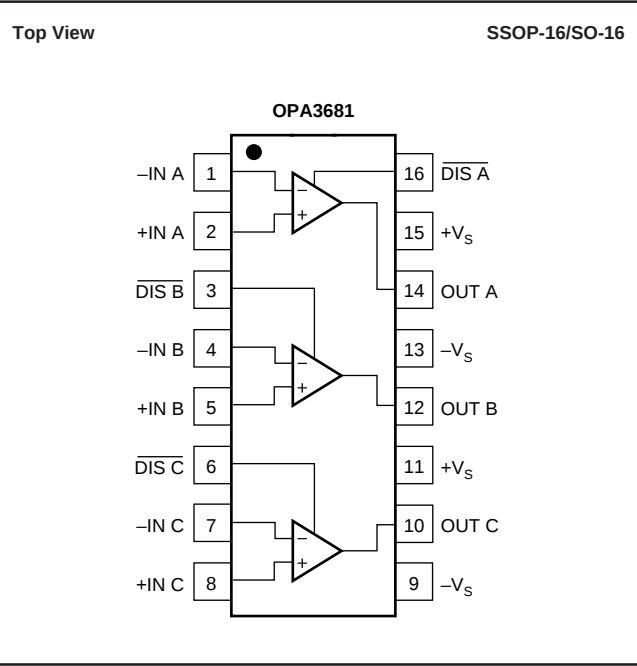
電源	±6.5VDC
内部消費電力 ⁽¹⁾	熱解析の項を参照
差動入力電圧	±1.2V
入力電圧範囲	±V _S
保存温度範囲：E、U	-40 ~ +125
リード温度(10秒間の半田付け)	+300
接合部温度(T _J)	+175

注：(1)パッケージは仕様に規定された熱抵抗 θ_{JA} によりディレーツされなければなりません。最大接合部温度を守らなければなりません。

 静電気放電対策

静電気放電はわずかな性能の低下から完全なデバイスの故障に至るまで、様々な損傷を与えます。すべての集積回路は、適切なESD保護方法を用いて、取扱いと保存を行うようにして下さい。高精度の集積回路は、損傷に対して敏感であり、極めてわずかなパラメータの変化により、デバイスに規定された仕様に適合しなくなる場合があります。

ピン配置



パッケージ情報/御発注の手引き

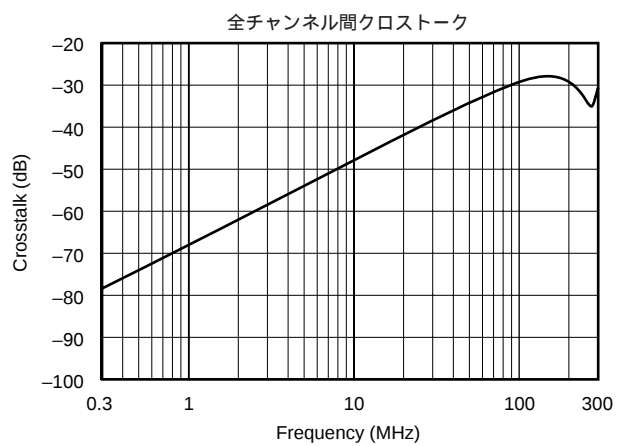
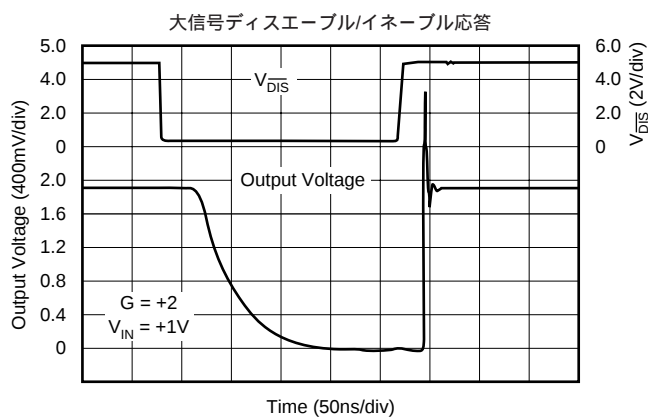
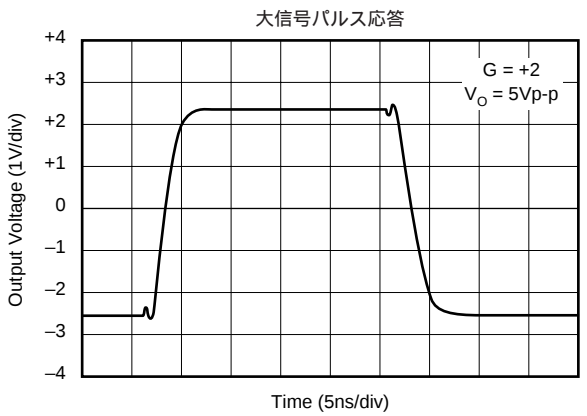
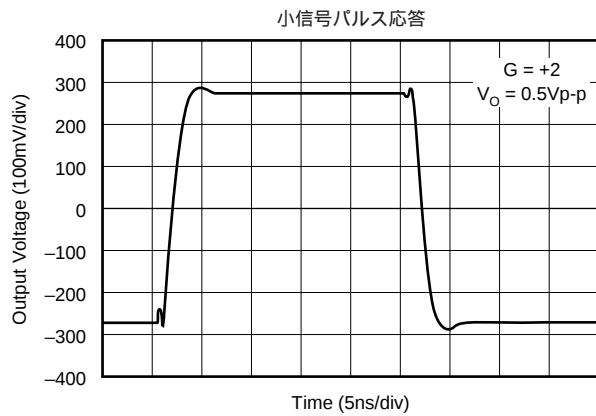
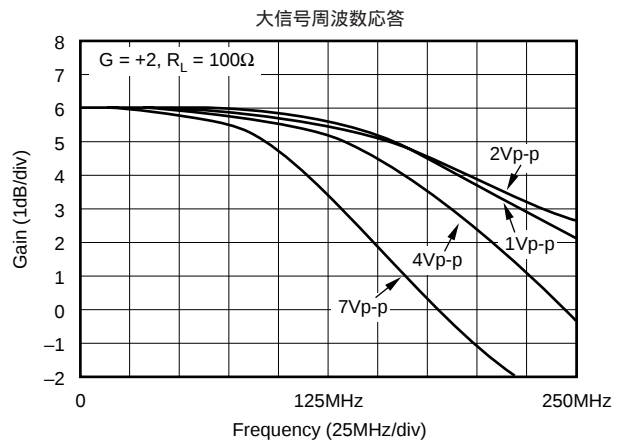
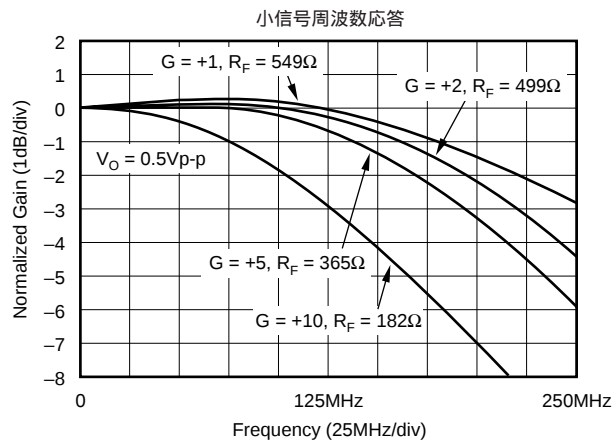
モデル	パッケージ	パッケージ図 番号 ⁽¹⁾	仕様温度範囲	パッケージの マーキング	発注番号 ⁽²⁾	発注時の形態
OPA3681E	16ピンSSOP	322	-40 ~ +85	OPA3681E	OPA3681E/250	テーブリール
OPA3681E	16ピンSSOP	322	-40 ~ +85	OPA3681E	OPA3681E/2K5	テーブリール
OPA3681U	16ピンSOP	265	-40 ~ +85	OPA3681U	OPA3681U	マガジン
OPA3681U	16ピンSOP	265	-40 ~ +85	OPA3681U	OPA3681U/2K5	テーブリール

注：(1)詳細図および寸法表は、データシートの巻末を参照してください。(2)スラッシュ(/)の付いたモデルは、その後に示される数量を単位として、テーブリールでのみ供給されます(たとえば、/2K5は2,500個で1リールであることを示します)。「OPA3681E/2K5」をご発注の場合、2,500個入りのテーブリールが1本納入されます。

このデータシートに記載されている情報は、信頼しうるものと考えておりますが、不正確な情報や記載漏れ等に関して弊社は責任を負うものではありません。情報の使用について弊社は責任を負えませんが、各ユーザの責任において御使用下さい。価格や仕様は予告なしに変更される場合がありますのでご了承下さい。ここに記載されているいかなる回路についても工業所有権その他の権利またはその実施権を付与したり承諾したりするものではありません。弊社は弊社製品を生命維持に関する機器またはシステムに使用することを承認しまたは保証するものではありません。

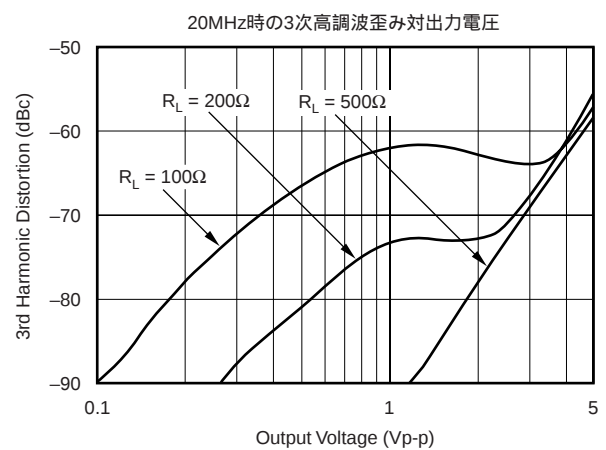
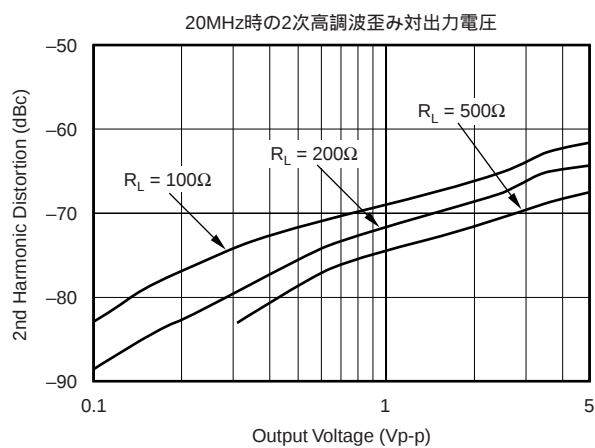
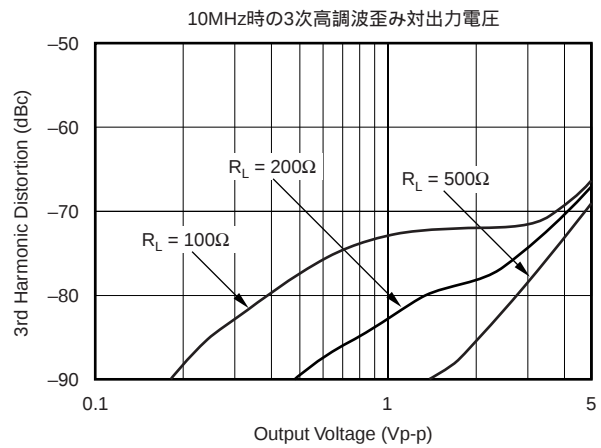
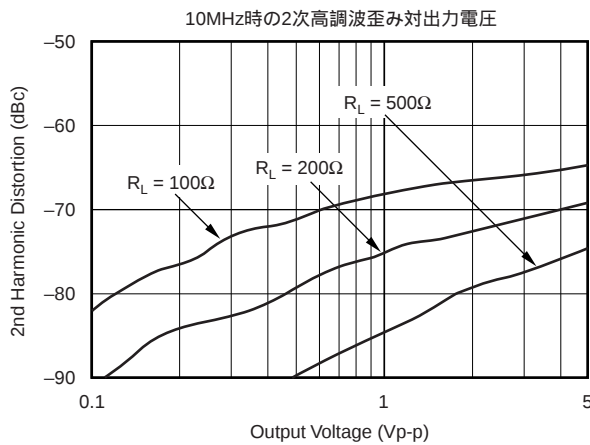
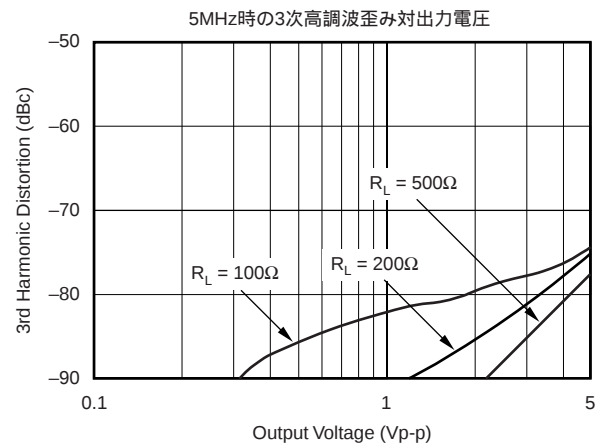
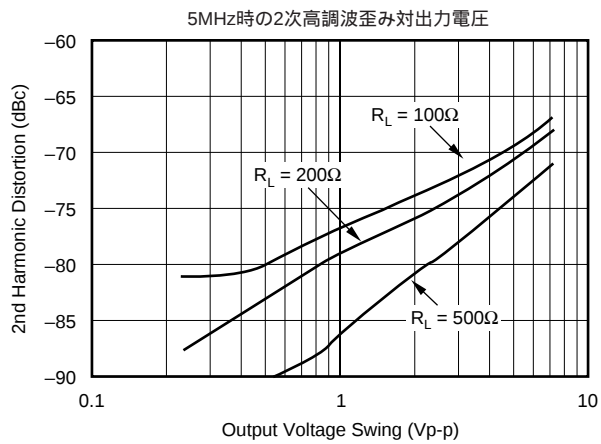
代表的性能曲線： $V_S = \pm 5V$

特に記述のない限り、 $G=+2$ 、 $R_F = 499\Omega$ 、 $R_L = 100\Omega$ です(図1を参照してください)。



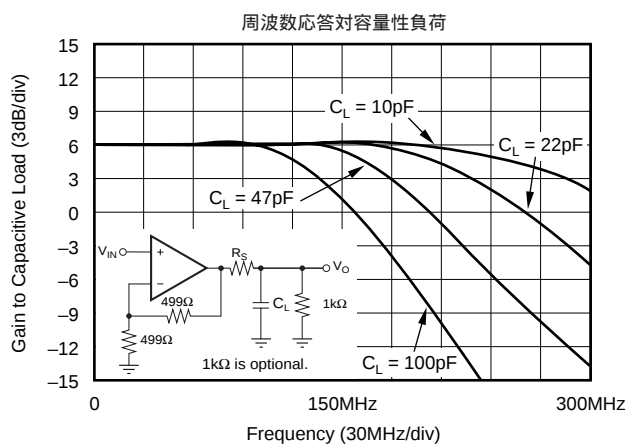
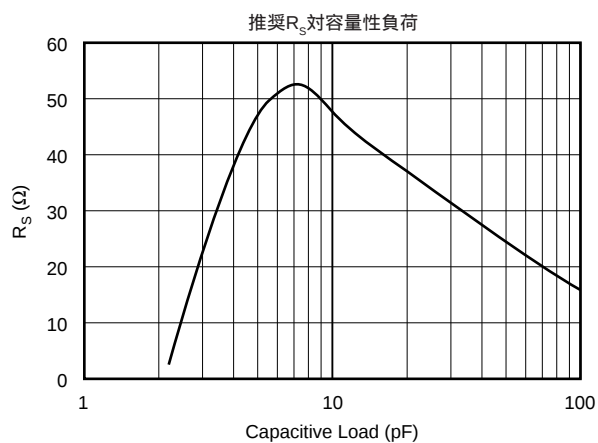
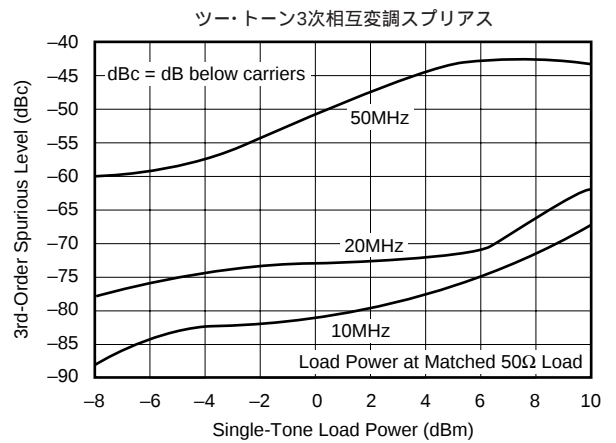
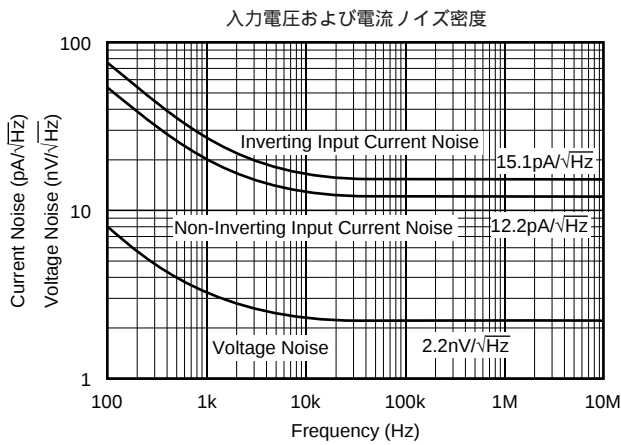
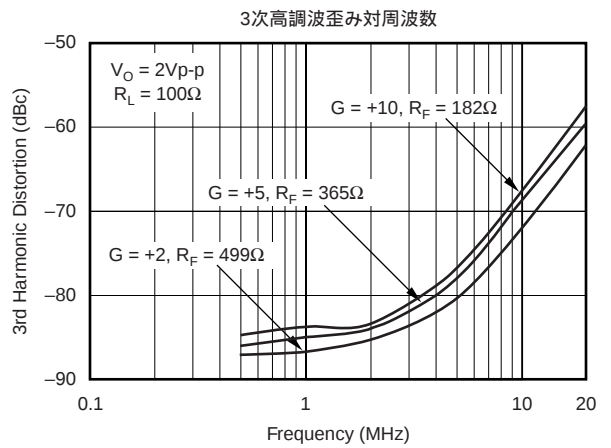
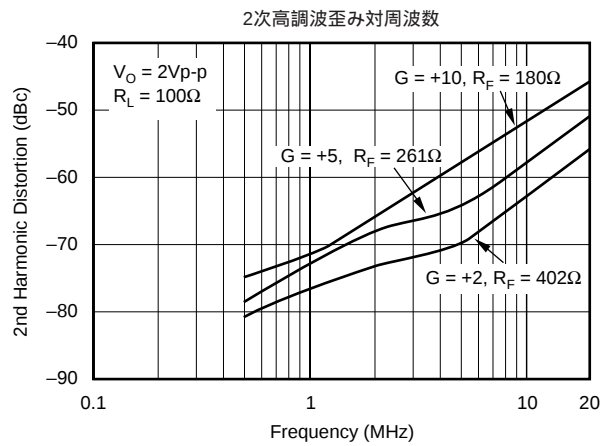
代表的性能曲線： $V_S = \pm 5V$

特に記述のない限り、 $G = +2$ 、 $R_F = 499\Omega$ 、 $R_L = 100\Omega$ です(図1を参照してください)。



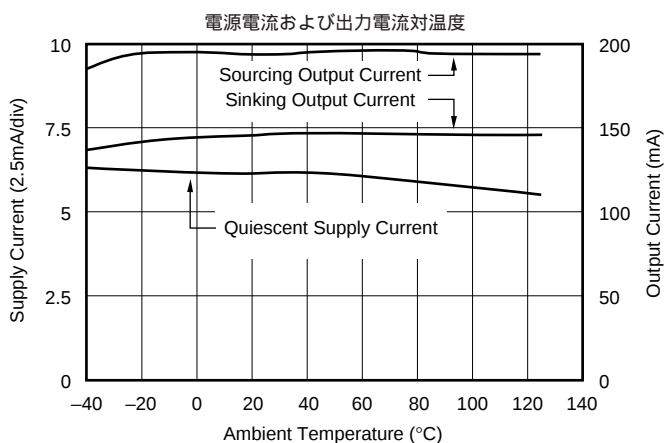
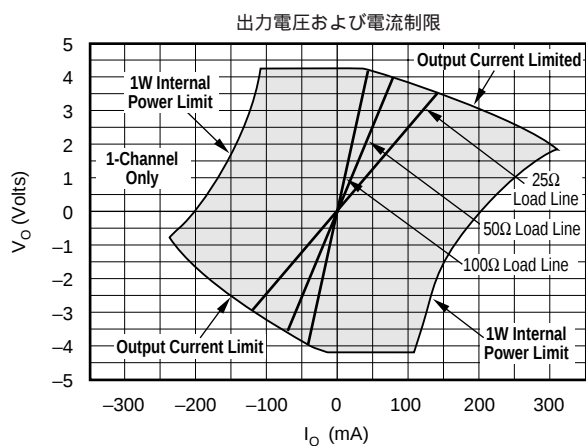
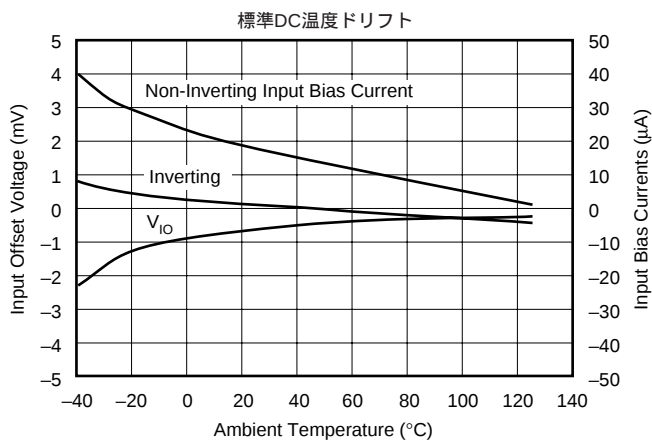
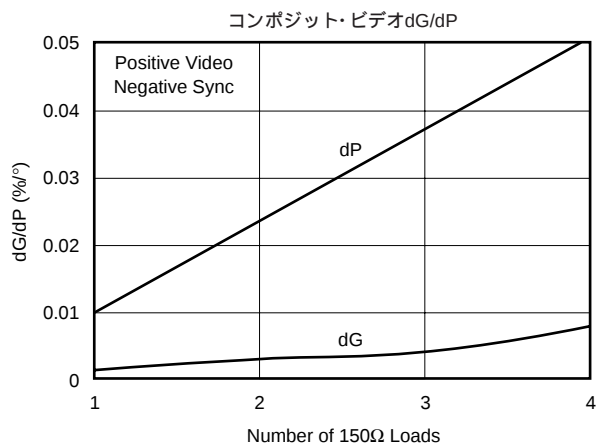
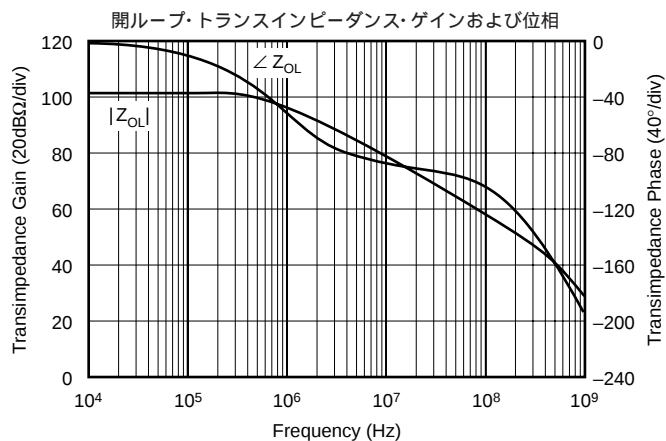
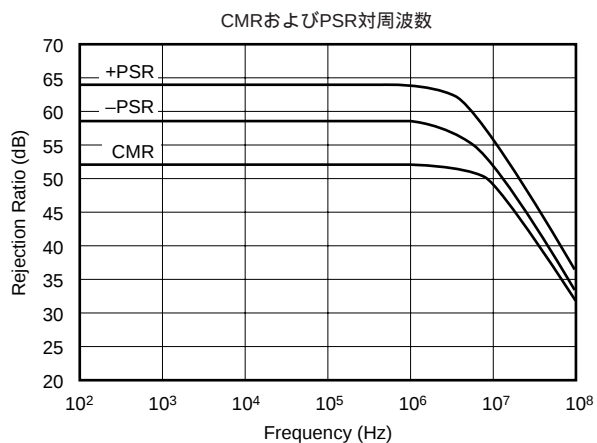
代表的性能曲線： $V_S = \pm 5V$

特に記述のない限り、 $G = +2$ 、 $R_F = 499\Omega$ 、 $R_L = 100\Omega$ です(図1を参照してください)。



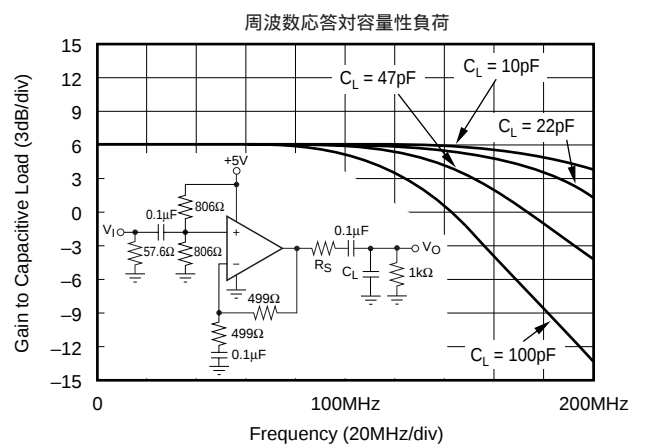
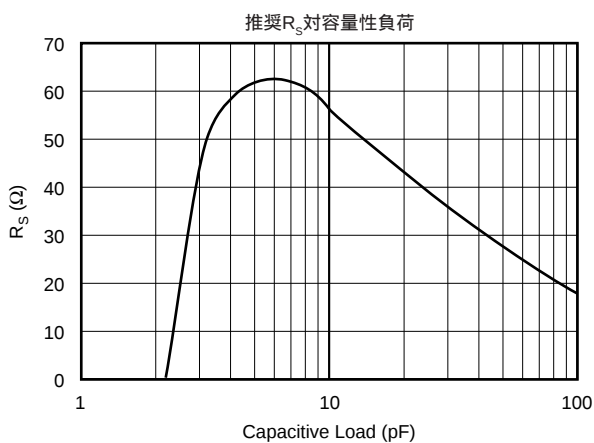
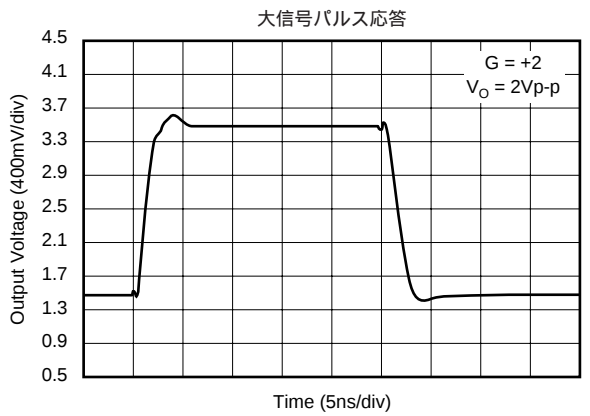
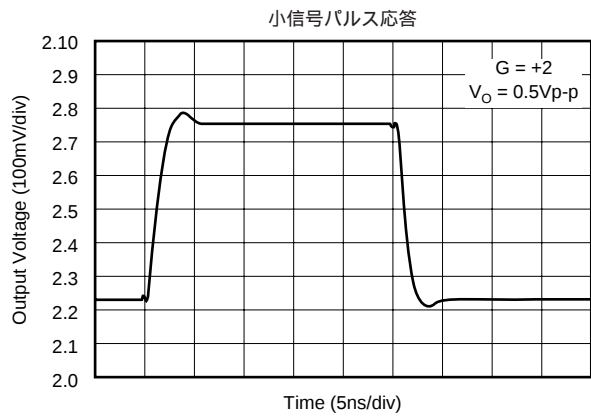
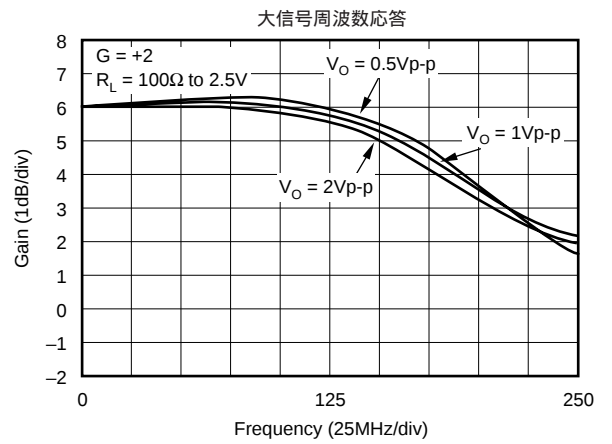
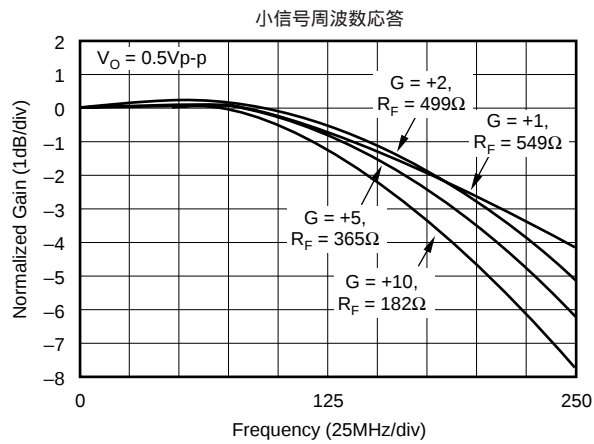
代表的性能曲線： $V_S = \pm 5V$

特に記述のない限り、 $G = +2$ 、 $R_F = 499\Omega$ 、 $R_L = 100\Omega$ です(図1を参照してください)。



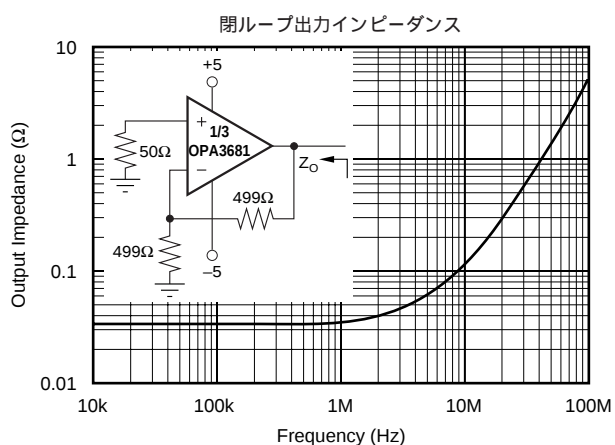
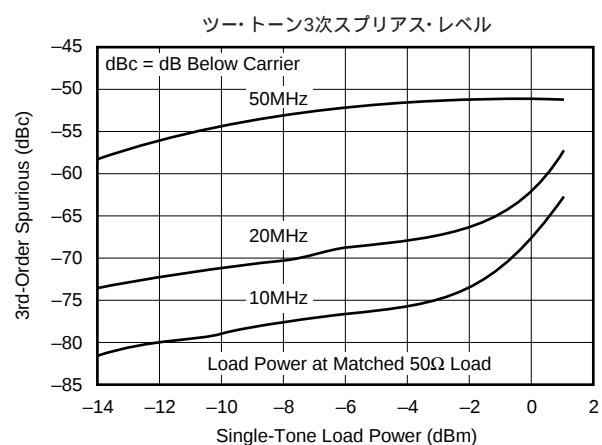
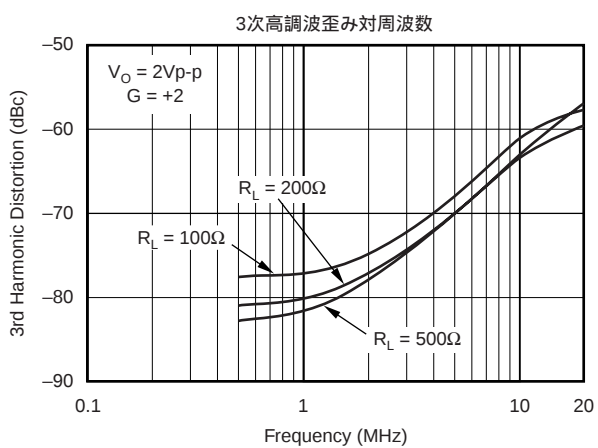
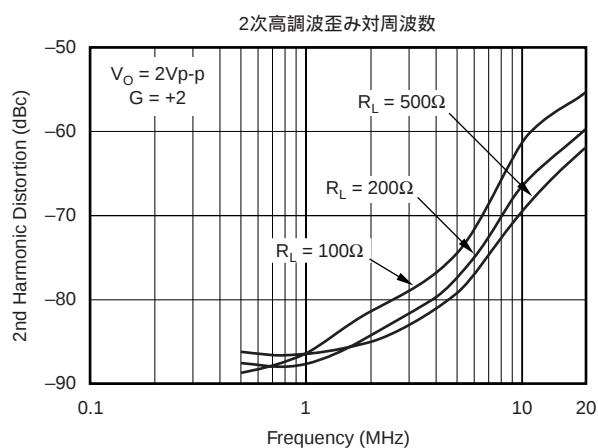
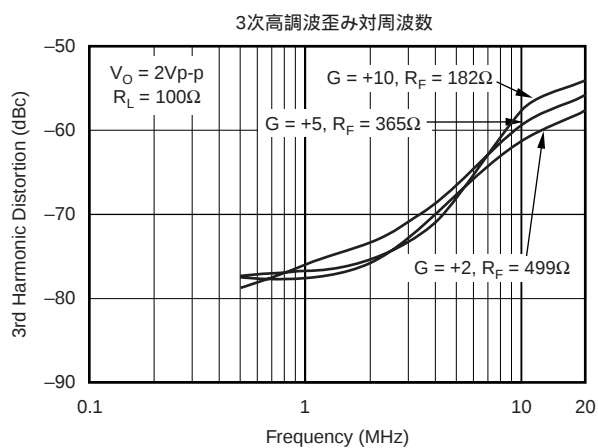
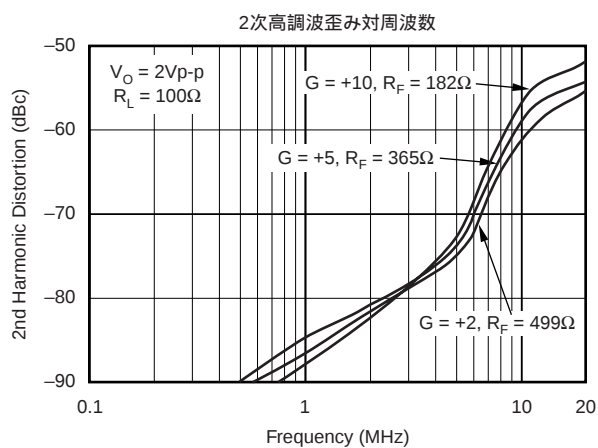
代表的性能曲線： $V_S = +5V$

特に記述のない限り、 $G = +2$ 、 $R_F = 499\Omega$ および $R_L = 100\Omega$ (図1を参照してください)。



代表的性能曲線： $V_S = +5V$

特に記述のない限り、 $G = +2$ 、 $R_F = 499\Omega$ および $R_L = 100\Omega$ (図1を参照してください)。



使用に関する説明

広帯域電流帰還動作

OPA3681は、高直線性でハイパワーな出力段回路を備えた広帯域電流帰還型オペアンプで、優れたAC性能を発揮します。OPA3681の無信号時電流はわずか6mA(1チャンネルにつき)という低いレベルに抑えられており、正および負の各電源レールの1V電位以内までスイングする能力を備え、室温における出力電流は135mAを超える高い値が保証されています。このように、最小限のヘッドルーム条件で高レベルの電流を出力すると同時に電源電圧とまったく無関係のバイアシングが可能なので、優れたシングル(+5V)電源動作が確保されます。OPA3681は、+5Vのシングル電源動作時で200MHzを超える広帯域幅性能が保証され、100Ωの抵抗負荷に対して2Vp-pの出力をドライブできます。従来から使用されてきたブースト出力段アンプの場合には通常、出力電流がゼロを通過するときにクロスオーバー歪み性能が大幅に劣化する厄介な問題がありました。OPA3681では同等のパワー・ゲインで、従来型アンプと比較して大幅に優れた直線性の維持を達成しています。電圧帰還型オペアンプに対し電流帰還型オペアンプの優れた点は、AC性能(帯域幅と歪み)が信号ゲインの設定に比較的依存しないことです。

±5V電源時の仕様テストと代表的性能曲線の作成に使用したDC結合のゲイン+2、デュアル電源動作のOPA3681の基本回路構成を図1に示します。この回路では、試験のため入力とグランド間に抵抗を接続して入力インピーダンスを50Ωに設定し、また直列の出力抵抗を使用して出力インピーダンスを50Ωに設定しています。仕様に示されている電圧スイングは入力と出力の各ピン上で直接に測定していますが、負荷パワー(dBm)はマッチングのとれた50Ω負荷で測定されています。図1の回路の場合、実効負荷の合計値は $100\Omega \parallel 998\Omega$ です。ディスエーブル制御ライン(DIS)は通常、アンプの正常な動作を保证するためにオープン状態しておきます。図1の回路では、1個のオプション部品を使用しています。つまり、グランド間に配置する通常の電源デカップリング用

コンデンサに加えて、2個の電源ピン間に0.1μFのコンデンサが配置されています。実際にPC基板のレイアウト設計を実施する際にこのオプションのコンデンサを追加すると、一般的に2次高調波歪みが3dBから6dB程度改善されます。

+5V電源時の仕様テストと代表的性能曲線の作成に使用したAC結合のゲイン+2、シングル電源動作のOPA3681の基本回路構成を図2に示します。OPA3681は「レール・ツー・レール」設計のオペアンプではありませんが、非常に広帯域幅の他の電流帰還型オペアンプと比較すると、入力電圧および出力電圧に必要とされるヘッドルームは最小限で済みます。150MHzを超える帯域幅で+5Vのシングル電源動作を行い、そのときの出力電圧スイング・レベルは3Vp-pです。広帯域でのシングル電源動作の場合に重要となる必要条件は、入力と出力の信号スイング・レベルを入力と出力両方で許容可能な電圧範囲内に維持することです。図2の回路では、+5V電源から簡単な構成の抵抗分圧器(2個の806Ω抵抗)を使用して入力ミッドポイント・バイアスを設定しています。入力信号はミッドポイント電圧バイアスにAC結合されます。入力電圧は正と負の各電源ピンの1.5V以内までスイングできるので、各電源ピン間を中心として2Vp-pの入力信号範囲が確保されます。テストに使用する入力インピーダンスのマッチング抵抗(57.6Ω)は、並列構成のバイアス分圧器ネットワークを回路に配置する際に50Ωの入力マッチングが得られるように設定されています。ゲイン抵抗(R_G)はAC結合されるので、DCゲインが+1の回路が構成されることになり、出力上にも入力DCバイアス電圧(2.5V)が印加されます。再び説明しますが、+5Vのシングル電源動作では出力電圧は正と負の各電源ピンの1V以内までスイングできると同時に、75mAを超える電流の出力が可能です。特性評価回路では、100Ωのミッドポイント・バイアス負荷を使用しています。OPA3681に使用している新しい出力段回路は+5V電源動作時の3次高調波歪みの図に示すように、最小限のクロスオーバー歪みレベルでこのミッドポイント負荷に対して非常に大きなバイポーラ電流を出力する能力を備えています。

* レール・ツー・レールは日本モトローラ社の登録商標です。

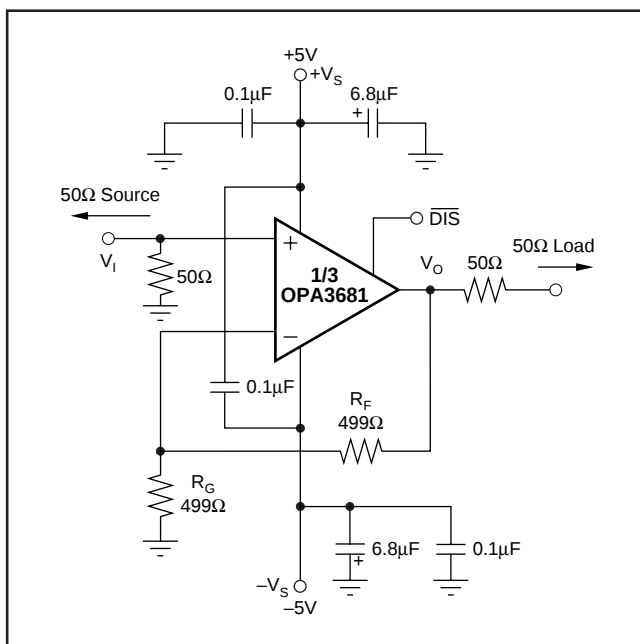


図1. DC結合、G = +2、バイポーラ電源動作の仕様評価およびテスト回路

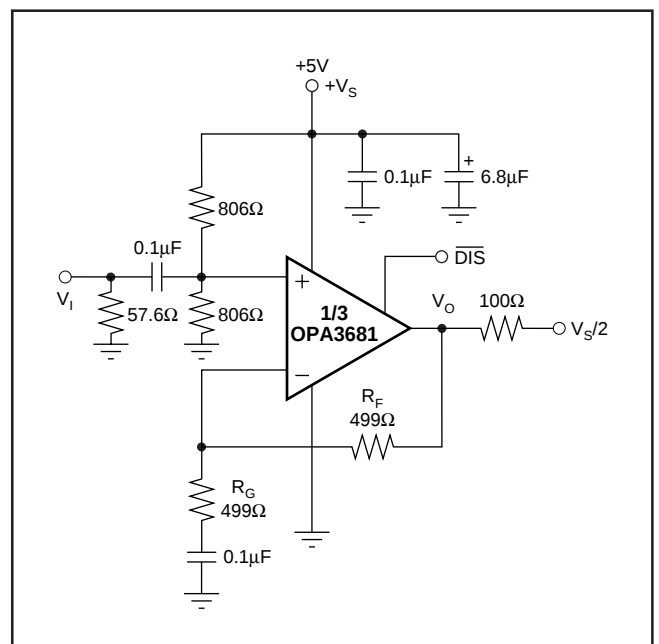


図2. AC結合、G = +2、シングル電源動作の仕様評価およびテスト回路

トリプルADCバッファ・チャンネル

OPA681ファミリーは、単一電源による広帯域ADCドライブに最適です。広い帯域幅で高いゲインが要求される場合は、電流帰還オペアンプが理想的です。+5V単一電源で150MHz以上のフルパワー帯域幅にわたり3V_{p-p}という広い出力スイングが得られ、現在CMOSパイプラインADCで一般に要求される2V_{p-p}の入力レンジに適しています。図3に、超高速量子化チャンネルの3つのチャンネルを示します。ここでは、OPA3681を使って、8ビット、80MSPSのCMOSコンバータADS831を3個ドライブしています。各入力には50Ωのゲイン抵抗にAC結合され、この抵抗は高周波数において50Ωのインピーダンス・マッチングとしても機能します。各コンバータのV_{CM}をアンプの非反転入力に接続することにより、アンプの入力と出力の中心がADC同相モード入力電圧に設定されます。このV_{CM}は、コンバータの入力のスイング中心点として機能します。ADS831は差動入力で動作できるため、 $\overline{\text{IN}}$ 入力にドライブすると、アプリケーションが反転ゲイン-6で動作している場合でも正味の非反転信号チャンネルが提供されます。ADS831のもう一方の入力もこのV_{CM}に接続され、入力信号の中心点をV_{CM}に等しくしています。300Ωの帰還抵抗はこの構成では

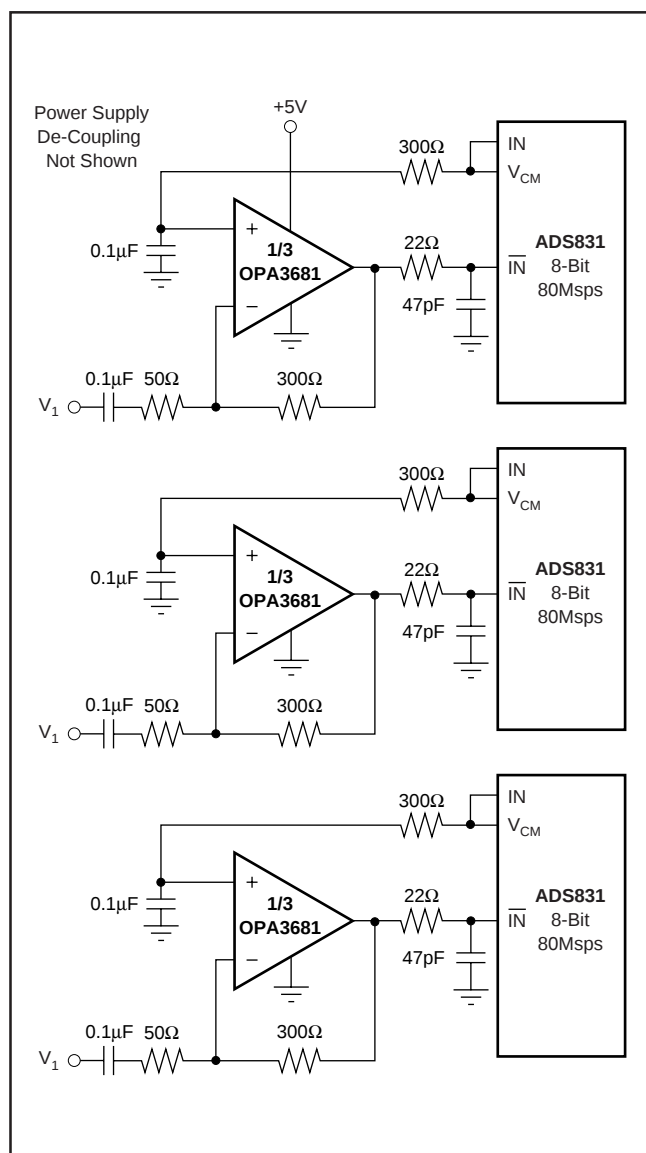


図3. ADCドライバ

出力負荷となります。このアプリケーションでは、OPA3681の高調波歪によってコンバータのSFDR性能が劣化することはありません。

広帯域RGBマルチプレクサ

OPA3681は、単純な超広帯域の2×1 RGBマルチプレクサの実現に最適です。この単純な「ワイヤードORビデオ・マルチプレクサ」は、図4に示す回路を使って簡単に実現できます。

この回路は2つのOPA3681を使用し、各パッケージには、可能な2つのソースのどちらか一方から、RGB成分に対応する3つのピ

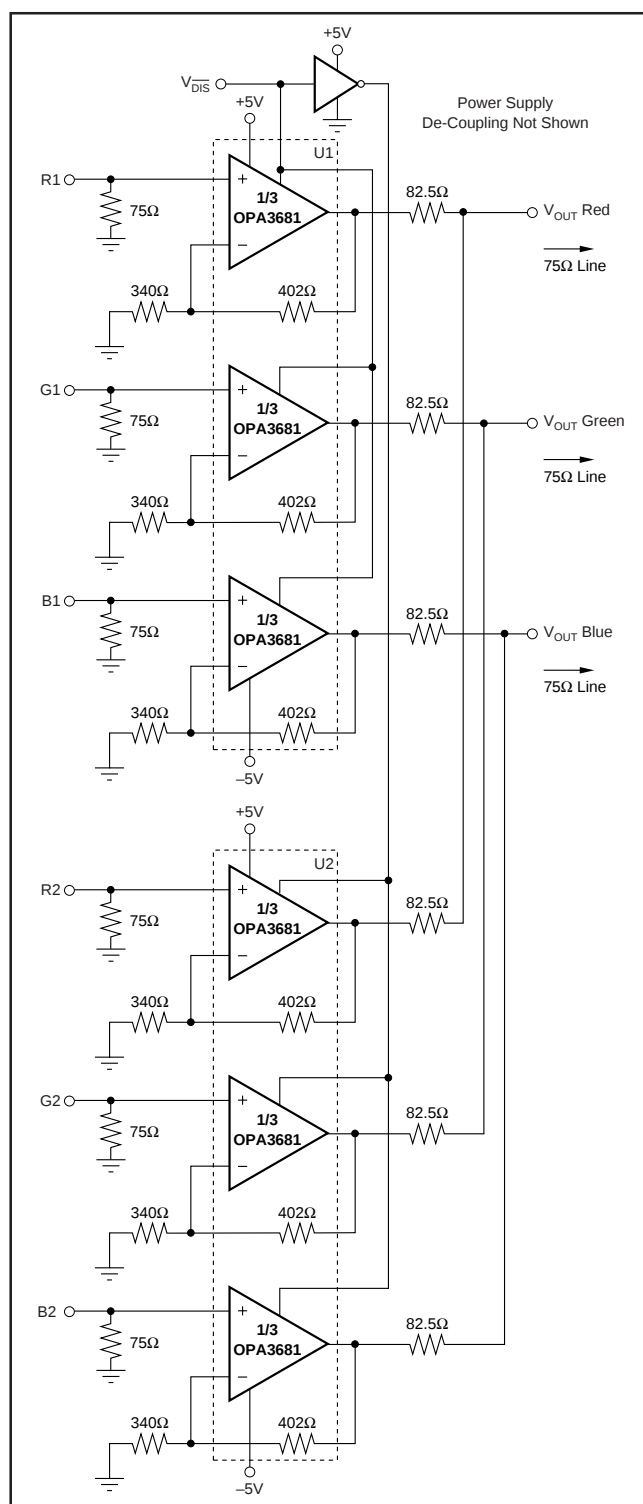


図4. 広帯域2×1RGBマルチプレクサ

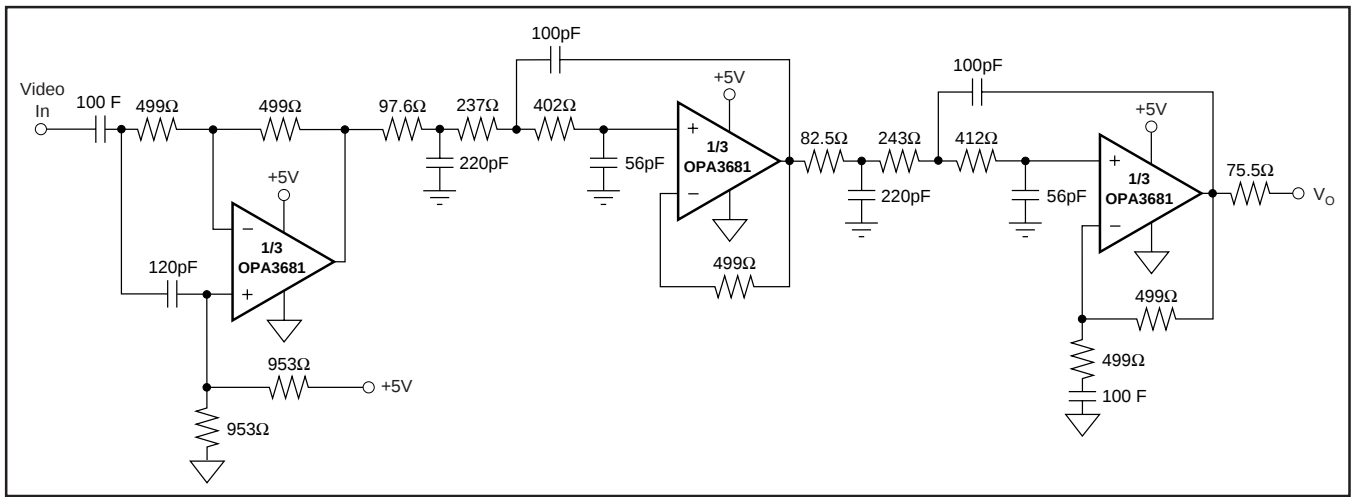


図5. フィルタ回路図

ビデオ信号が入力されます。それぞれの非反転入力、標準的なビデオ・ソース・インピーダンスとのマッチングのために75Ωで終端されています。チャンネル間の切り替えにはディスエーブル制御が使用され、一方のパッケージの3つすべての V_{DIS} 入力にロジック制御ラインを直接供給し、その反転を他方のパッケージの3つの V_{DIS} 入力に供給しています。ディスエーブル機能はメーク・ビフォア・ブレイクとして設計されているため(遷移時に出力がフローティングしないように)、3本のRGBラインに対する可能な2つの各出力は制限抵抗を通して接続されています。この82.5Ωの抵抗は、切り替え時に2つの出力間の電流を制限します。各出力にはディスエーブルされたチャンネルがあり、その帰還および出力ネットワークが出力部で接続され、75Ωケーブルに出ていく信号が少し減衰します。ゲインおよび出力のマッチング抵抗(82.5Ω)は、マッチングされた負荷に対して+1の信号ゲインを得るために少し大きく設定され、ケーブルに75Ωの出力インピーダンスを提供します。「ディスエーブル動作」の項に、一方のチャンネルに対して接地入力を使用した場合のオン/オフ切り替えグリッチが示されています。これは、通常±50mV以下です。2つの入力を切り替える場合(図4参照)、「メーク・ビフォア・ブレイク」のディスエーブル・タイミングによって、出力ラインは常にどちらか一方のアンプの制御下に置かれます。この場合、0V入力での切り替えグリッチは20mV未満まで低下します。

ビデオDAC復元フィルタ

広帯域電流帰還オペアンプは、パッシブRC回路網で固定ゲイン・ブロックとして使用することにより、高速アクティブフィルタを実現するために理想的な要素となります。その帯域幅は対ゲインで比較的一定なので、実際のフィルタの極間の相互作用が小さくなり、アンプに必要なゲインが得られます。図5にビデオDAC復元フィルタの例を示します。

図5の遅延等化フィルタは、DACの $\sin(x)/x$ 応答を補償し、エリヤシング・アーチファクトを最小化します。これは、+5V単一電源動作、DACサンプリング・レート13.5MSPS、カットオフ周波数5.5MHzに対して設計されています。

1個目のオペアンプはビデオDAC出力と最初のフィルタ部をそれぞれからバッファリングします。最初のフィルタ部はグループ遅延を等化します。2番目と3番目のフィルタ部は6次のローパスフィルタ応答を提供し、DACの $\sin(x)/x$ 応答を補償します。フィルタ応答は図6のようになります。

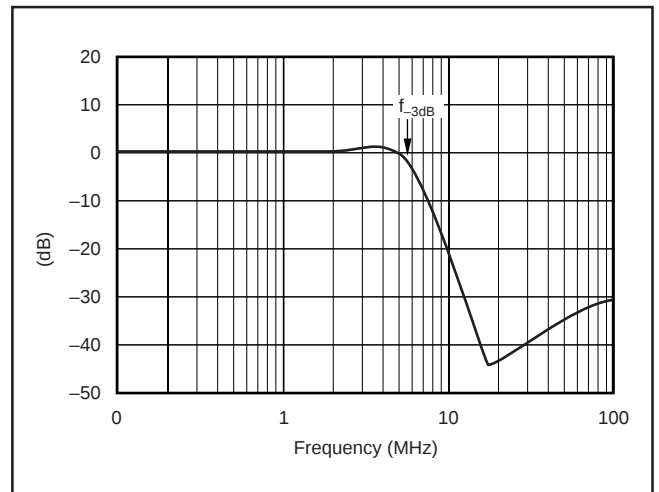


図6. DAC復元フィルタの応答

ハイパワーxDSLライン・ドライバ

新たに発展してきた広帯域アクセス技術によって、出力段ドライバに対する要求が重要なものになっています。いくつかの高周波製品は、特にVDSLにおいて、スペクトル上で上流周波数帯域を下流周波数帯域から分離するためにパッシブ・バンドパス・フィルタを必要としました。図7にこの可能な実現例の1つとして、シングルエンド・フィルタを使用し、トランスに差動プッシュ/プル・ドライブを与える例を示します。アナログ・フロントエンド(AFE)からのDAC出力は、一般に複雑なフィルタ・インピーダンスからの分離を必要とします。第1段は、DACに対する固定終端 R_T とともに調整可能ゲイン(R_G を使用)を提供します。これは、歪の観点から、フィルタの特性インピーダンスを増加させるのに非常に便利です。これにより、第1段アンプ出力における負荷が減少し、一般に3次の項が直接改善され、2次の項にもいくらかの改善が見られます。図7では、フィルタの特性インピーダンスを100Ωと仮定しています。フィルタは100Ωのソース抵抗から、反転アンプ・チャンネルの入力ゲイン抵抗によって形成される100Ωの負荷へとドライブされます。もう一方の非反転入力50Ωの直列抵抗によって分離されます。これは主に、その入力をフィルタの帯域外ソース・インピーダンスから分離するためです。この例では、出力段は差動ゲイン8に設定されています。バンドパス・フィルタの出力からラインへの合計のゲインは $4 \cdot n$ になります(n

はトランスの巻線比)。図7の回路でOPA3681を使うことにより、ハイパワー・レベルで非常に広い帯域幅が可能になります。出力が実際にはフィルタによって帯域制限されていることに注意してください。OPA3681によって提供される大きな性能上の余裕のおかげで、フィルタ帯域幅内で非常に高いダイナミック・レンジが実現されます。

広帯域差動アンプ

このデータシートの表紙にある差動アンプ(3アンプ計測トポロジ)は、このトリプル電流帰還オペアンプを応用した一般的なアプリケーションです。2つの入力段アンプは、比較的高い差動ゲイン10に構成されています。この入力段の帰還抵抗値を小さくすることにより、このような高ゲイン設定においても120MHz以上の帯域幅が提供されます。信号は入力段の高インピーダンスの非反転入力に与えられます。差動ゲインは、表紙に示される値を使って、 $(1 + 2R_F/R_G) = 10$ で設定されています。3番目のアンプは、標準的な単一オペアンプの差動段において、差動からシングルエンドへの変換を行います。OPA3681の3番目の広帯域電流帰還オペアンプを使って構築されたこの差動段は、電圧帰還部分を使った場合に比べて、DCではCMRRが低くなりますが、高周波数ではCMRRが高くなります。抵抗値調整を行わない測定では、DCで約75dB、10MHzでは55dB以上のCMRR(入力換算)が得られました。入力段アンプに対して良好な歪性能を維持するため、各出力での負荷をマッチングする一方で、ゲイン1と出力段の差動特性を達成しています。DCでのCMRRを改善するには、出力段アンプの非反転入力でグランドへの抵抗を調整してください。

広帯域プログラブル・ゲイン

3つの入力すべてに1つのソースから接続し、3つの出力すべてを接続して共通の負荷をドライブすると、超広帯域のプログラブル・ゲイン機能を実現できます。図8にこのアプリケーションの一例として、3つのチャンネルがその出力ピンに対してゲイン2、4、8に設定された例を示します。二重終端された50Ω負荷をドライブすると、マッチングされた負荷に対してユーザが選択可能な

1、2、4のゲインが提供されます。帰還抵抗値は、各チャンネルの最大フラット帯域幅に対して最適化されています。これにより、ほぼ一定の200MHz以上の帯域幅が3つのゲイン設定のどれに対しても得られます。設定したいゲインの選択は、ディスエーブル制御ラインを使って3つの可能なアンプのうち1つをアクティブ・チャンネルとして選択することで行います。ゲイン選択時の遷移中に2つ以上の出力がオンになったときに出力段の電流を制限するため、各出力段のループの中に10Ωの抵抗が追加されています。そのために、図8に示す100Ωの全体負荷に対して得られる最大の出力電圧スイングが約±3.2Vに減少しています。しかし、これによってチャンネル切り替え時にサージ電流から回路が保護されます。各非反転入力に20Ωの直列抵抗は、ソースから入力寄生容量を分離する働きをします。

動作に関する推奨事項

帯域幅の最適化に必要な抵抗値の設定

OPA3681のような電流帰還型オペアンプでは、外付け抵抗の値を正しく調整すると、信号ゲイン設定範囲でほとんど一定の帯域幅の維持が可能です。この事実は代表的性能曲線で示しています。すなわち、ゲインを大きくしても、小信号帯域幅の減少はほんのわずかに過ぎません。代表的性能曲線では、各ゲイン設定毎にそれぞれ帰還抵抗の値を変更していることも示しています。電流帰還型オペアンプを使用した回路の反転入力側に接続する抵抗の値は周波数応答補償用の要素として扱うことが可能で、また抵抗値の比によって信号ゲインが設定されます。OPA3681の小信号周波数応答解析回路を図9に示します。

この電流帰還型オペアンプ・モデルの主要要素は下記の通りです。

α → 非反転入力と反転入力間のバッファ・ゲイン

R_i → バッファの出力インピーダンス

I_{ERR} → 帰還誤差電流信号

$Z(s) \rightarrow I_{ERR}$ から V_o までの周波数依存の開ループ・トランスインピーダンス・ゲイン

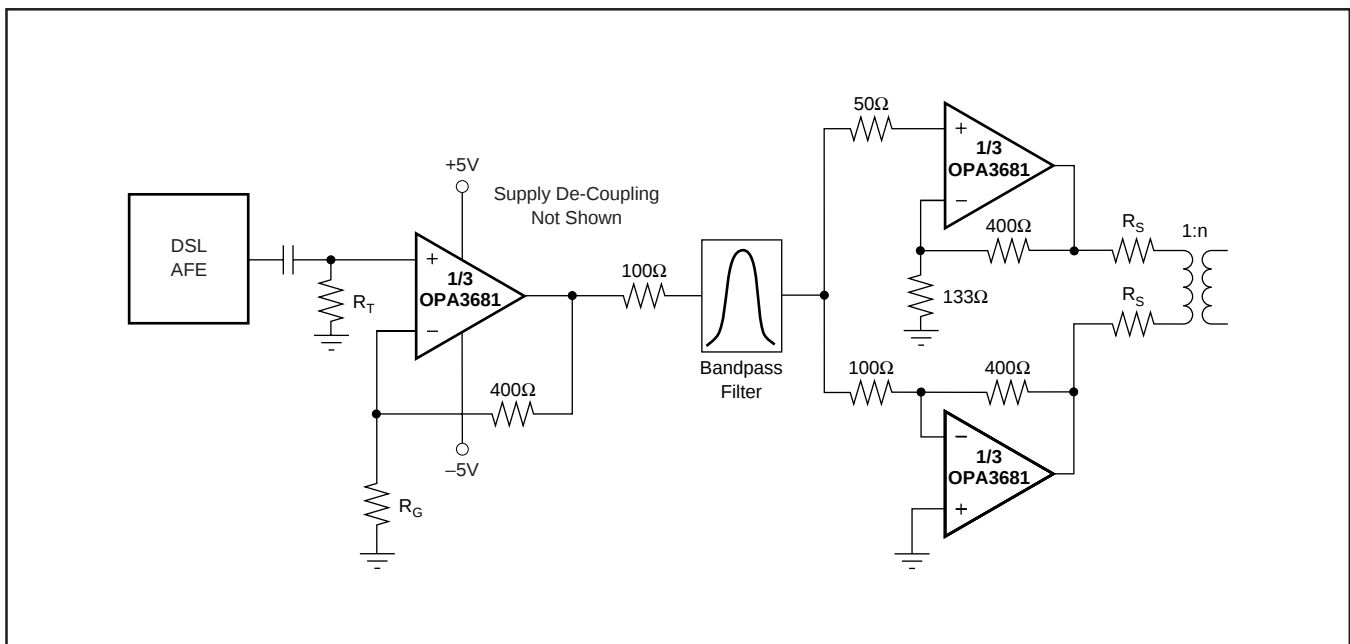


図7. シングルエンドから差動に変換するxDSLライン・ドライバ

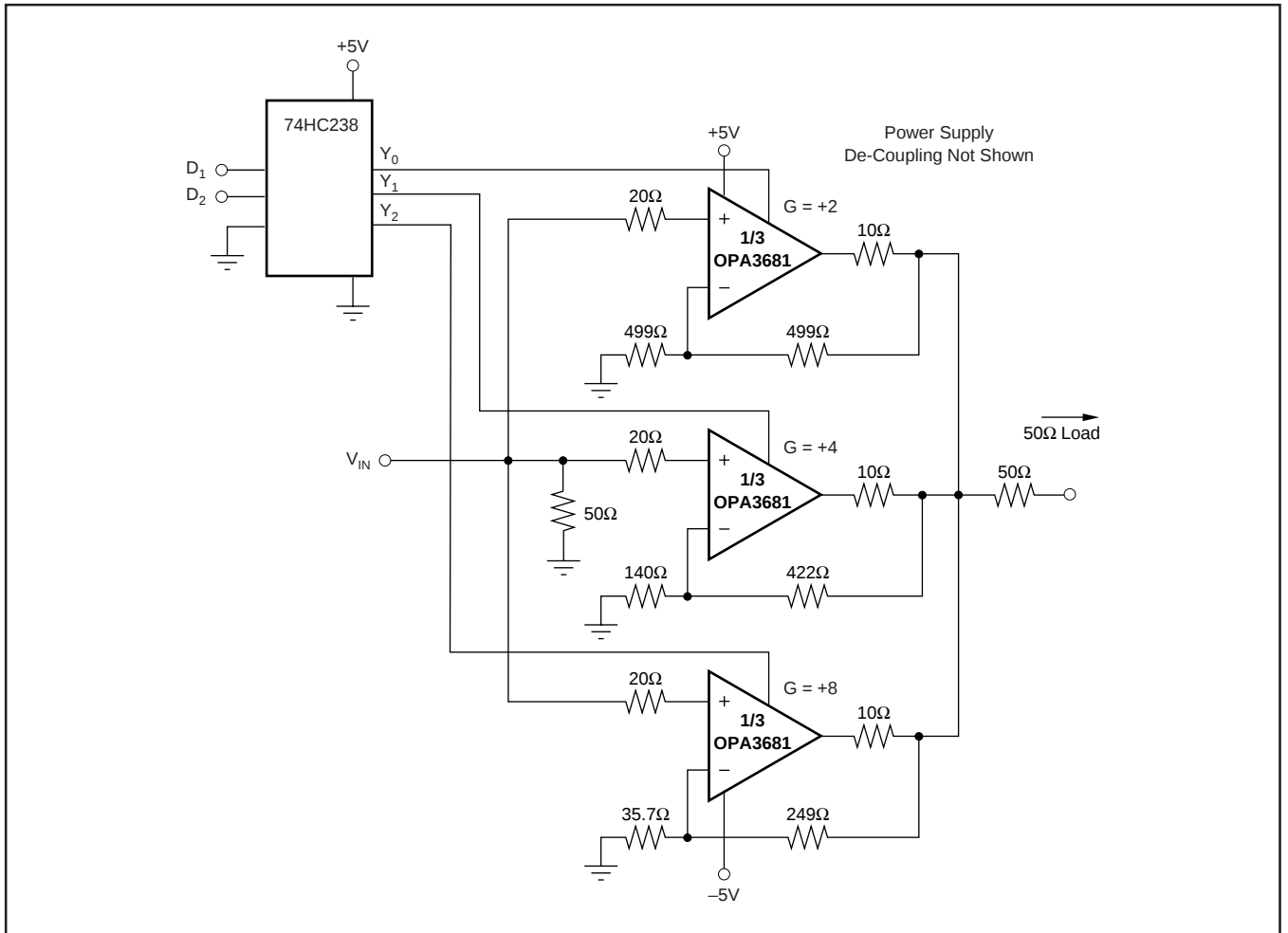


図8. 広帯域プログラマブル・ゲイン

バッファ・ゲインは一般的に1.00に非常に近い値で、通常は信号ゲインについて検討する際には無視します。しかし、1個のオペアンプで差動アンプ回路を構成する場合には、このバッファ・ゲインによってCMRRの値が決定されます。バッファ・ゲイン α の値が1.0よりも小さい場合には、 $CMRR = -20 \times \log(1 - \alpha)$ dBになります。

バッファの出力インピーダンス R_i は帯域幅コントロール方程式の中で極めて重要な要素となります。OPA3681の R_i 標準値は約42Ωです。

電流帰還型オペアンプは反転入力ノードにおける誤差電流をセンスし(電圧帰還型オペアンプの場合には差動入力誤差電圧をセンス)、内部の周波数依存のトランスインピーダンス・ゲインを通してこの誤差電流を出力に送ります。この開ループ・トランスインピーダンス応答性は、代表的性能曲線として示しています。この曲線は、電圧帰還型オペアンプの開ループ電圧ゲイン性能曲線と類似しています。図9に示す回路の伝達関数を展開すると、下記の式1が成り立ちます。

$$\frac{V_o}{V_i} = \frac{\alpha \left(1 + \frac{R_F}{R_G} \right)}{R_F + R_i \left(1 + \frac{R_F}{R_G} \right) + \frac{Z(s)}{1 + \frac{R_F}{R_G}}} = \frac{\alpha NG}{1 + \frac{R_F + R_i NG}{Z(s)}} \quad \left[NG \equiv \left(1 + \frac{R_F}{R_G} \right) \right]$$

式1

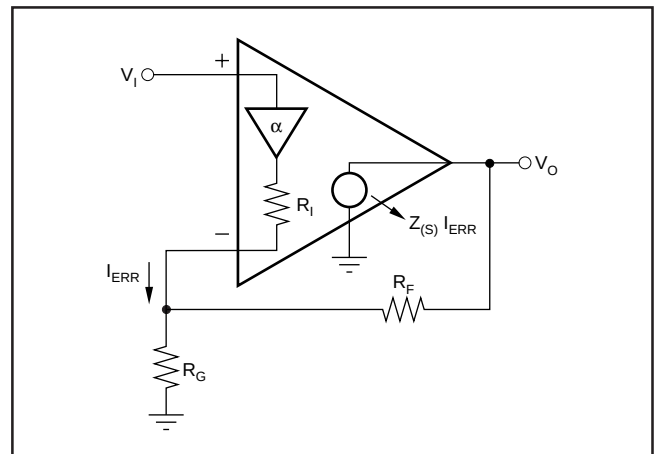


図9. 電流帰還の伝達関数解析回路

有限の開ループ・ゲインから発生する誤差を分母に表記するループ・ゲイン・フォーマットでこの式を書いています。 $Z(s)$ の値がすべての周波数において無限であると仮定すれば、式1の分母は1に簡約され、分子に表記する必要な理想の信号ゲインが得られます。式1の分母に示す分数によって周波数応答が決定されます。これをループ・ゲイン式として表わした式2を下記に示します。

$$\frac{Z(s)}{R_F + R_i NG} = \text{ループ・ゲイン} \quad \text{式2}$$

$20 \times \log(R_F + NG \times R_i)$ の曲線を開ループ・トランスインピーダンスの図の一番上の部分に書けば、この2つの曲線の差がある一定の周波数におけるループ・ゲインになります。最終的に $Z_{(s)}$ は、ループ・ゲインが1に減少する(曲線が交差する)点で式2の分母と等しくなるようにロールオフします。この等しくなる点は式1で求められるアンプの開ループ周波数応答がロールオフし始める点で、電圧帰還型オペアンプの場合のノイズ・ゲインが開ループ電圧ゲインと等しくなる周波数とまったく同じです。ここでの相違点は、式2の分母に示すトータル・インピーダンスを必要な信号ゲイン(またはNG)からいくらか独立して制御できることです。

OPA3681では $\pm 5V$ 電源、 $NG = 2$ および $R_F = 499\Omega$ の動作条件で可能な限り平坦な周波数応答性が得られるよう内部で補償されています。式2の(帰還トランスインピーダンスである)分母の数値を求めると、 589Ω の最適値が得られます。信号ゲインの変化に応じて、帰還トランスインピーダンスにおける $NG \times R_i$ 項の関与度が変化しますが、 R_F の値を調整することでトータル的には一定の値に維持可能です。信号ゲイン範囲において R_F の最適値を求める概算式を式3として下記に示します。

$$R_F = 589\Omega - NG R_i \quad \text{式3}$$

必要とする信号ゲインは大きくなるので、この式から R_F が最終的には負になることも予測されます。 R_G の値を 20Ω の最小値に維持することで、多少主観的な限界値を設定することも可能です。 R_F の値が極端に低ければ、入力バッファ段と出力段の両方が負荷となり、実際には帯域幅が減少します。 $\pm 5V$ のデュアル電源および $+5V$ のシングル電源動作時での R_F 推奨値対 NG の曲線を図10に示します。図10に示す数値が最適な回路設計に着手する上で参考になります。

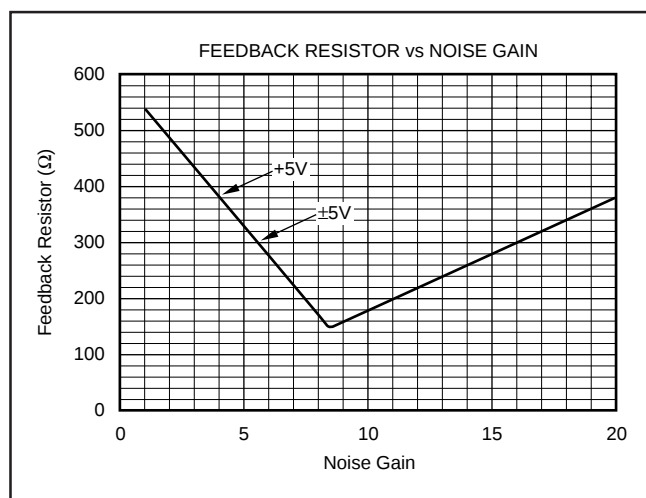


図10. 帰還抵抗の推奨値対ノイズ・ゲイン

アンプの反転入力インピーダンスの合計値を使用することで、開ループ信号帯域幅の調整が可能です。反転入力とサミング・ジャンクションの間に1本の直列抵抗を挿入すると、帰還インピーダンス(式2の分母)が大きくなり、帯域幅が減少します。OPA3681の内部バッファ出力インピーダンスは、非反転入力端子から見られる信号源インピーダンスによる影響を多少ですが受けます。信号源抵抗の値を高くすると R_i の値が高くなる影響があり、これによって帯域幅が下がります。高い値の抵抗を使用して

非反転入力ミッドポイント・バイアスを生成するシングル電源動作のアプリケーションでは電源リップルの除去、非反転入力ノイズ電流の分岐および図9に示す R_i の高周波数値を最小限に抑える目的でデカップリング・コンデンサの使用が不可欠です。

反転アンプ動作

OPA3681は汎用の広帯域電圧帰還型オペアンプなので、広範囲なオペアンプ・アプリケーション回路の設計に利用することができます。帰還素子(例えば積分器、トランスインピーダンス、一部のフィルタなど)にかなりの柔軟性が必要なトリプル・オペアンプ・アプリケーションの場合には、ユニティ・ゲイン安定動作の電圧帰還型オペアンプOPA2680(デュアル)をご検討ください。OPA2680では帰還抵抗が電圧帰還型オペアンプの補償素子として使用されています。広帯域反転動作(そして特に加算)は、OPA3681に非常に適した動作です。図11の回路で使用したI/Oインピーダンスと信号ゲインを反転回路構成に適用した標準的な反転回路を図11に示します。

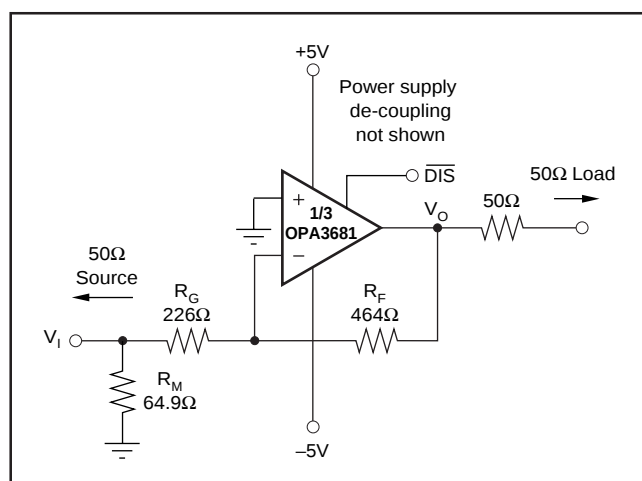


図11. ゲインを-2に設定した反転構成回路

反転構成では、2つの重要な設計上の留意点に注意することが必要です。最初の留意点は、ゲイン抵抗(R_G)が信号チャンネル入力インピーダンスの一部を形成する点です。入力インピーダンスのマッチングが必要であれば(これはケーブル、ツイスト・ペア配線、長いIPC基板トレース配線またはその他の伝送線路を通して信号が結合するときに常に役立ちます)、通常はグランド間にマッチング抵抗を追加することが必要です。一般的に、 R_G 自体は必要な入力インピーダンスに設定されることはありません。この抵抗値と必要なゲイン設定によって、周波数応答の観点からはまったく適していない R_F の値が設定されるからです。信号源の入力インピーダンスの合計値は、 R_G と R_M を並列に接続した抵抗値に等しくなります。

2番目の留意点は、既に前のセクションで触れたとおり、信号源インピーダンスがノイズ・ゲイン式の一部を形成し、式1を通して帯域幅に多少の影響を及ぼす点です。

図11に示す抵抗の値は(図1から) R_F の値を多少小さくすることによってこの点を考慮し、図11のノイズ・ゲイン($NG = 2.82$)について帯域幅の最適化を再び行っています。例えば図11に示す回路の場合、抵抗 R_M の値が外部の 50Ω 信号源インピーダンスと並列に結合して、 $50\Omega \parallel 64\Omega = 28.1\Omega$ の有効駆動インピーダンスが得ら

れます。ノイズ・ゲイン(NG)を計算するためには、このインピーダンスを R_G に直列に追加します。その結果として求められるNGの値は2.82となります。この値と図10の R_F 値および45Ωの反転入力インピーダンスを式3に代入して、589Ωの最適値にほとんど等しい帰還トランスインピーダンスを得ます。

バイポーラ電源の反転アプリケーションにおける非反転入力とはグラウンドに直接接続する点に注意してください。出力でバイアス電流誤差をキャンセルするため、非反転入力とグラウンド間にさらに抵抗を追加接続することが推奨される場合があります。電流帰還型オペアンプの入力バイアス電流は通常、大きさはまたは極性のどちらもマッチングされていません。図11の回路でOPA3681の非反転入力とグラウンド間に抵抗を接続すると、その入力のバイアス電流とノイズ電流に対して実際にゲインが追加されることとなりますが、入力バイアス電流のマッチングがとれていないので、出力DC誤差が減少しません。

出力電流および電圧

OPA3681は低コストのモノリシック・オペアンプとしては卓越した高い出力電圧および電流能力を達成しています。+25℃時の無負荷条件下で、出力電圧は標準的に正と負の各電源レールの1V以内までスイングします。出力電圧スイングの保証制限値は各電源レールの1.2V以内までと規定されています。15Ωの負荷(試験負荷の最小値)に対して、±135mA以上の電流を出力することが保証されています。一般的なことですが、前述の仕様では電圧と電流の制限値をそれぞれ別個に切り離して扱っています。数多くのアプリケーションでこれは電圧×電流、すなわちV・I積として回路の動作に関連します。代表的性能曲線「出力電圧および電流制限」を参考にしてください。このグラフのX軸とY軸はそれぞれゼロ電圧時の出力電流制限値とゼロ電流時の出力電圧制限値を示しています。この図は4象限となっているので、OPA3681の出力ドライブ能力がより詳細に表わされています。この図では1Wの最大許容消費電力の「安全動作領域」によって境界範囲が設定されている点に注意してください。プロット上に重畳された抵抗負荷ラインは、出力能力または1Wの消費電力限界値を超えないでOPA3681が25Ω負荷に対して±2.5Vあるいは50Ω負荷に対して±3.5Vの出力電圧をドライブする能力を備えていることを示しています。100Ωの負荷ライン(標準の試験回路負荷)は、標準仕様の表に示しているように±3.9Vの完全な出力スイング能力を示しています。

動作温度範囲における出力電圧および電流の最小規定値は、最低の規定温度でのワーストケースのシミュレーションによって設定されます。コールド・スタートアップ時だけに限り、出力電流および電圧が保証仕様表に示している規定値まで減少します。出力トランジスタからパワーが伝達されると、接合部温度が上昇し、その V_{BE} が減少します(有効な出力電圧スイング・レベルが高くなります)。また、トランジスタの電流ゲインが高くなります(有効な出力電流レベルが高くなります)。定常時の動作時には、出力電流および電圧の有効値は動作温度仕様表に示している規定値よりも常に高くなります。その理由は、出力段の接合部温度が動作周囲温度として規定されている最小値よりも高くなるからです。

出力段において可能な限り高い直線性を維持するために、出力短絡保護回路は使用されていません。これによって通常、問題が起るようなことはありません。つまり、ほとんどのアプリケーションでは出力側に直列のマッチング抵抗が用意されているから

です。この抵抗の出力側がグラウンドに短絡されても、内部消費電力が制限されます。しかし、出力ピンを隣接した電源ピンに直接的に短絡接続すると、ほとんどの場合、アンプが破壊される結果になります。短絡保護をさらに行う必要がある場合には、電源リードに値の小さな直列抵抗を追加してください。重い出力負荷条件下では、これにより有効な出力電圧スイング・レベルが下がります。各電源リードに5Ωの直列抵抗を追加することで出力短絡時に内部消費電力が1W以下に制限されると同時に、最高で100mAまでの必要な負荷電流に対して有効な出力電圧スイング・レベルの減少はわずか0.5Vに過ぎません。これらの電源電流制限用抵抗を電源ピンに付加した場合は、0.1μFの電源デカップリング用コンデンサを必ず配置してください。

容量性負荷のドライブ

容量性負荷はオペアンプを使用する際に最も注意すべき問題で、しかも非常に一般的に発生する負荷条件の一つです。A/Dコンバータの入力が容量性負荷となる場合があります。すなわち、A/Dコンバータの直線性を改善させるために、外部コンデンサの追加が推奨されることがあります。OPA3681のような高速で高い開ループ・ゲインのアンプは、その出力ピン上に直接的に容量性負荷がかかると、これが原因で安定性が下がり、開ループ応答性に容易にピーキングが発生します。アンプの開ループ出力抵抗値について考慮すると、容量性負荷によって信号経路に極が追加され、これによって位相マージンが減少します。適切な部品を外付けすることによりこの問題を解消するためのいくつかの方法が推奨されています。周波数応答の平坦性、信号パルス応答の忠実性および/または低歪みの維持が重要な課題である場合、最も簡単でしかも効果的な方法はアンプの出力と容量性負荷の間に直列に分離抵抗を接続し帰還ループから容量性負荷を分離することです。この方法によりループ応答から極が除去されるようなことはありませんが、極を高い周波数にシフトし、ゼロを追加します。追加されたゼロは容量性負荷極から位相遅れをキャンセルする作用を行うので、位相マージンが大きくなるとともに安定性が改善されます。

推奨の R_G 対容量性負荷の関係と、その結果として得られる負荷における周波数応答性を代表的性能曲線に示します。寄生の容量性負荷が2pFよりも高くなると、OPA3681の性能が劣化し始めます。PC基板の長いトレース配線、マッチングされていないケーブル、そして複数個のデバイス接続が要因となってこの値を容易に超えてしまう可能性があります。常にこの影響について十分配慮し、推奨の直列抵抗をOPA3681の出力ピンに可能な限り近づけて配置するようにしてください(「回路基板のレイアウト設計に関する考慮事項」の項を参照)。

歪み性能

OPA3681は、±5V電源動作時の100Ω負荷に対して優れた歪み性能を発揮します。OPA3681は、より軽い負荷に対して優れた歪み性能を発揮し、必要に応じて+5Vのシングル電源でも動作します。一般的に基本波が非常に高い周波数またはパワーレベルに達するまで、歪みは2次高調波によって支配され、3次高調波成分はほとんど無視できます。2次高調波に焦点を当てた場合、負荷インピーダンスを高くすれば直接的に歪み性能が改善されます。トータル負荷には帰還ネットワークが含まれている点に留意してください。非反転構成の場合(図1)これは $R_F + R_G$ の和となり、反転

構成の場合には R_F だけの値になります。さらに、(バイポーラ動作のときに)電源ピン間に電源デカップリング用のコンデンサ(0.1 μ F)を追加すると、2次高調波歪み性能が多少改善されます(3dBから6dB程度)。

ほとんどのオペアンプでは、出力電圧スイングのレベルを高くすると、これに応じて直接的に高調波歪みが増加します。代表的性能曲線では、2次高調波歪みが予測される2倍の割合よりも少し低い割合で増加し、また3次高調波歪みが予測される3倍の割合よりも少し低い割合で増加していることをそれぞれ示しています。テスト・パワーを2倍にすると、これと2次高調波成分との差は6dBの期待値よりも小さな値に減少し、また、これと3次高調波成分との差は12dBの期待値よりも小さな値に減少します。これは、2トーンの3次相互変調スプリアス(IM3)応答曲線でも同様に見られます。出力パワーが低レベルのときに、3次スプリアス・レベルは極端に低くなります。基本信号のパワーが非常に高いレベルに達する場合であっても、出力段ではこれらを低いレベルに保持し続けます。代表的性能曲線に示すように、スプリアス相互変調パワーは従来から利用されてきたインターセプト・モデルで予測されるようには増加しません。基本パワー・レベルの増加に応じて、ダイナミック・レンジは大幅には下がりません。20MHzをセンター周波数とした2トーンの場合、50 Ω のマッチング負荷に対して10dBm/トーンを適用すると(すなわち、負荷における各トーンについて2Vp-pの電圧スイングで、出力ピン全体の2トーン・エンベロープには8Vp-pの電圧スイングが必要)、テスト・トーン・パワーと3次相互変調スプリアス・パワー間の差として62dBcの値が代表的性能曲線から確認されます。この非常に優れた性能は、より低い周波数帯域での動作時にはさらに大きく改善されます。

ノイズ性能

広帯域電流帰還型オペアンプの出力ノイズは一般的に、同等性能の電圧帰還型オペアンプの出力ノイズよりも高くなる傾向があります。しかしOPA3681には電圧ノイズ項と電流ノイズ項との間の非常に優れたバランス性能があり、低い出力ノイズ性能を達成しています。反転電流ノイズ(15pA/ $\sqrt{\text{Hz}}$)は従来製品よりも大幅に低く、しかも入力電圧ノイズ(2.2nV/ $\sqrt{\text{Hz}}$)もほとんどのユニティ・ゲイン安定動作の広帯域電圧帰還型オペアンプよりも低くなっています。この低い入力電圧ノイズの維持に関連して、非反転入力電流ノイズが高くなっています(12pA/ $\sqrt{\text{Hz}}$)。非反転入力ノードから見られるAC信号源インピーダンスの値が100 Ω 以下であれば、この電流ノイズがトータルの出力ノイズの増加に及ぼす主要因になることはありません。オペアンプの入力電圧ノイズと2つの入力電流ノイズ項の組み合わせによって、各種の幅広い動作条件下で低い出力ノイズ性能が確保されます。すべてのノイズ項を含んだオペアンプのノイズ解析モデルを図12に示します。このモデルではすべてのノイズ項が含まれており、nV/ $\sqrt{\text{Hz}}$ またはpA/ $\sqrt{\text{Hz}}$ を単位としたノイズ電圧または電流密度項に分類されています。

出力スポット・ノイズ電圧の合計値は、すべての出力電圧ノイズ項の二乗和平方根として算出できます。図12に示す各項を使用して出力ノイズ電圧の値を求める一般式を式4として示します。

$$E_O = \sqrt{(E_{NI}^2 + (I_{BN}R_S)^2 + 4kTR_S) NG^2 + (I_{BI}R_F)^2 + 4kTR_F NG} \quad \text{式4}$$

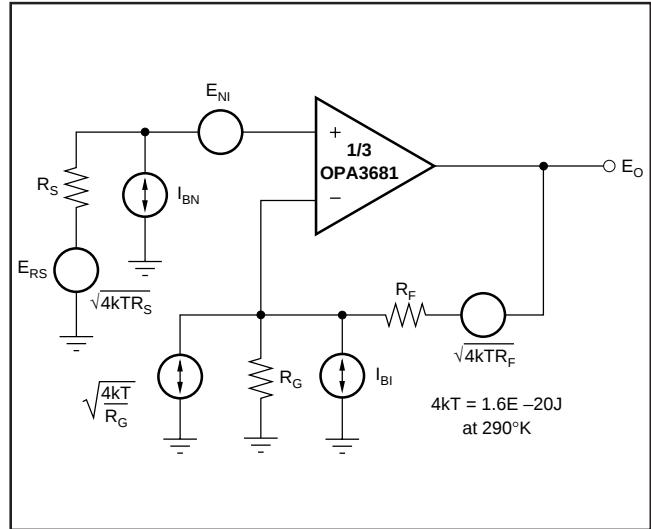


図12. オペアンプのノイズ解析モデル

この式をノイズ・ゲイン($NG = (1 + R_F/R_G)$)で除算すると、式5で示すようにアンプの非反転入力における入力換算スポット・ノイズ電圧の等価値が求められます。

式5

$$E_N = \sqrt{E_{NI}^2 + (I_{BN}R_S)^2 + 4kTR_S + \left(\frac{I_{BI}R_F}{NG}\right)^2 + \frac{4kTR_F}{NG}}$$

図1に示しているOPA3681の回路と使用部品の値についてこれら2つの式から解を求めると、出力スポット・ノイズ電圧の合計値として8.4nV/ $\sqrt{\text{Hz}}$ および入力スポット・ノイズ電圧の等価合計値として4.2nV/ $\sqrt{\text{Hz}}$ の各値が求められます。この入力換算スポット・ノイズ電圧の合計値は、オペアンプの電圧ノイズのみに関して規定されている2.2nV/ $\sqrt{\text{Hz}}$ 仕様値よりも高くなっています。これは、反転電流ノイズ $\times$ 帰還抵抗値の値の分だけノイズが出力に加わっているからです。(既に推奨したように)ゲインの高い回路構成で帰還抵抗の値を小さくすれば、式5で求められる入力換算電圧ノイズの合計値はオペアンプ自体の電圧ノイズ値である2.2nV/ $\sqrt{\text{Hz}}$ に近づきます。例えば、 $R_F = 182\Omega$ の条件でゲイン+10の回路を構成する場合の入力換算電圧ノイズの合計値は2.4nV/ $\sqrt{\text{Hz}}$ になります。

DC精度とオフセット制御

OPA3681のような電流帰還型オペアンプは高ゲイン設定で非常に高い帯域幅性能を発揮し、高速信号パルス・セトリング動作が可能です。同時に高DC精度を達成することはできません。仕様に入力オフセット電圧が高速の電圧帰還型オペアンプの場合と匹敵することが示されています。しかし、2つの入力バイアス電流は多少高くなっており、マッチングも行われていません。ほとんどの電圧帰還型オペアンプの場合にはバイアス電流キャンセル技術が非常に効果的ですが、広帯域電流帰還型オペアンプの場合には、一般的にこのような技術を適用しても出力のDCオフセットは低減されません。2つの入力バイアス電流のレベルと極性に相関性がまったくないので、出力に影響を及ぼす誤差を低減するために各入力から見られる信号源インピーダンスのマッチングをとっても効果はまったくありません。+25におけるワーストケースの入力オフセット電圧と電流の仕様を使用して図1の回路を評価すると、ワーストケースの出力オフセット電圧は下記の値に等しくなります。

$$\pm (NG \times V_{OS(MAX)}) + (I_{BI} \times R_S / 2 \times NG) \pm (I_{BI} \times R_F)$$

ここで、NG = 非反転信号ゲインです。

$$= \pm (2 \times 5.0\text{mV}) + (55\mu\text{A} \times 25\Omega \times 2) \pm (499\Omega \times 40\mu\text{A})$$

$$= \pm 10\text{mV} + 2.75\text{mV} \pm 20\text{mV}$$

$$= -27.25\text{mV} \rightarrow +32.75\text{mV} \text{に等しい値になります。}$$

ディスエーブル動作

OPA3681にはシステムの消費電力低減または簡単なチャンネル・マルチプレクシング動作のどちらかを目的として使用可能なディスエーブル機能がオプションとして用意されています。DIS制御ピンを無接続状態にすれば、OPA3681は通常の動作を行います。ディスエーブル機能を実行するときには、この制御ピンをLOWにアサートする必要があります。ディスエーブル制御機能の簡略化内部回路を図13に示します。

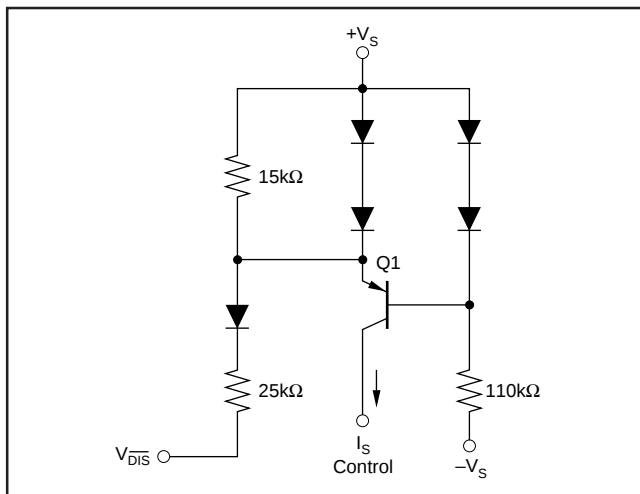


図13. ディスエーブル制御機能の簡略化回路

通常の動作時にはトランジスタQ1のベース電流が110kΩの抵抗を通して供給されるため、エミッタ電流により15kΩの抵抗に発生する電圧降下はQ1のエミッタに接続された2個のダイオードをターンオンするまでには至りません。V_{DIS}がLOWレベルに引き込まれると、15kΩ抵抗を通して追加電流がさらに引き込まれ、その結果としてこれら2個のダイオードがターンオンします(≈100μA)。この時点でV_{DIS}からさらに引き出された電流は、Q1のエミッタ - ベース間電圧を約0Vに保持する2個のダイオードを通過します。この動作によりQ1から出力されるコレクタ電流が遮断され、アンプがターンオフします。ディスエーブル動作モード時の電源電流は図13の回路動作に必要な電流だけに過ぎません。この追加回路は、ターンオン時間をターンオフ時間よりも高速にします(メイク・ピフォア・ブレイク)。

ディスエーブル動作モードに設定すると、出力と入力各ノードがハイ・インピーダンス状態に入ります。OPA3681を+1のゲインで動作させる場合には、これによって出力側のインピーダンスが非常に高くなり(4pF || 1MΩ)、非常に高い信号絶縁性能が確保されます。OPA3681を+1よりも高いゲインで動作させる場合には、トータルの帰還ネットワーク抵抗値(R_F + R_G)が出力側で見られるインピーダンスとして現れますが、依然として回路の順方向および逆方向の絶縁性能は高いレベルに維持されます。アンプを反転構成にすると、入力と出力は帰還ネットワーク抵抗(R_F + R_G)

を通して接続されるので、入力と出力間の絶縁性能が比較的劣化する結果になります。

ディスエーブル動作モード時に重要となる1つのパラメータは、ディスエーブル・モードと通常動作との切替え時に発生する出力グリッチです。入力信号が0Vのときに図1の回路で発生するグリッチの特性を図14に示します。DISピン電圧とともに、出力ピンのグリッチ波形をこの図では示しています。

DIS制御ラインの遷移エッジ・レート(dv/dt)によって、このグリッチ特性は左右されます。図14では、グリッチの振幅レベルの減少が観測されなくなるまでエッジ・レートを下げています。より高速なロジック・ラインからV_{DIS}ピンに簡単な構成のRCフィルタ回路を追加することで、図に示す約1V/nsの最大スルーレートが達成できます。

遷移時間が極度に高速のロジックを使用する場合には、ロジック・ゲートとV_{DIS}入力ピンの間に直列に2kΩ抵抗を接続すると、V_{DIS}ピン上の寄生入力容量のみを使用しただけの十分な帯域幅制限が行われるとともに、十分なロジック・レベル・スイングも保証されます。

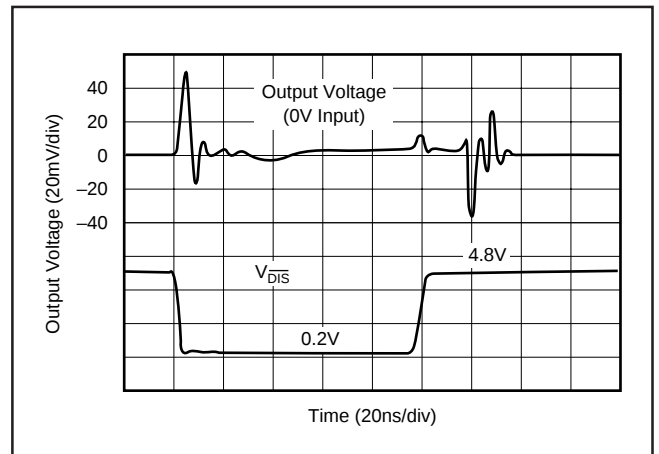


図14. ディスエーブル/イネーブル・グリッチ波形

熱解析

OPA3681は高い出力パワー能力を備えているので、極端な動作条件下ではヒートシンクまたは強制的なエアフローが必要になります。下記に説明するように、最大許容接合部温度によって内部消費電力の最大許容値が設定されます。接合部温度の最大値が+175℃を超えてはなりません。

動作接合部温度(T_J)はT_A + P_D × θ_{JA}の式から求められます。内部消費電力(P_D)の合計値は、無信号時の消費電力(P_{DQ})と出力段で負荷パワーを供給するために消費される追加電力(P_{DL})の和です。無信号時の消費電力は、無負荷時の電源電流とデバイスの電源電圧の合計値を単に乗算した値です。(P_{DL})は必要な出力信号と負荷に応じて変動しますが、グランド接続の抵抗性負荷の場合には、出力が各電源電圧(まったく等しいバイポーラ電源の場合)の1/2に等しい電圧に固定されているときに最大になります。この条件下でR_Lに帰還ネットワーク負荷が含まれる場合、P_{DL} = V_S² / (4 × R_L)となります。

内部消費電力を決定するのは出力段における消費電力であって、負荷に対する消費電力ではない点に注意してください。

ワーストケースの例として、+85℃の最大仕様周囲温度で動作

し、グラウンド接続された20Ωの抵抗負荷を+2.5Vに対し、3つの出力をすべてドライブする図1の回路でOPA3681(16ピンSOP)を使用した場合の接合部温度 T_j の最大値を計算してみます。

$$P_D = 10V \times 19.2mA + 3 \times [5^2 / (4 \times (20\Omega \parallel 998\Omega))] = 1.15W$$
$$T_j \text{の最大値} = +85 + (1.15 \times 100 / W) = 200$$

このワーストケースの条件は、絶対的に仕様最大接合部温度を超えてしまいます。通常このように極端なケースはあまり起こりません。内部消費電力に対しては細心の注意を払うことが必要です。極端な条件下では、エアフローを考慮することが必要です。

回路基板のレイアウト設計に関する考慮事項

OPA3681のような高周波数動作のアンプから最適性能を引き出すには、回路基板レイアウトの寄生容量や外付け部品の選択について細心の注意を払うことが必要です。以下にプリント回路基板のレイアウト設計および部品の選択について推奨事項を記載します。

a) すべての信号I/OピンとACグラウンド間の寄生容量を最小限に抑えます。出力ピンと反転入力ピンに寄生容量が存在すると動作が不安定になり、非反転入力上に寄生容量があると、信号源インピーダンスと相互作用を起こして予想外に帯域幅が制限されることになります。不要な容量を低減するには、信号I/Oピン周囲のすべてのグラウンド・プレーンおよび電源プレーンについてこれらのピンの周囲に窓を開放することが必要です。これ以外の領域のグラウンド・プレーンと電源プレーンは、完全な状態のままにしておきます。

b) 電源ピンから0.1μFの高周波数デカップリング・コンデンサまでの距離を最小限に抑えます(0.25インチ以下)。グラウンド・プレーンと電源プレーンのレイアウトは、これらのピンで信号I/Oピンと接近しないように注意します。ピンとデカップリング・コンデンサ間のインダクタンスを最小限に抑えるために、電源とグラウンドのパターン幅を狭くすることは避けてください。(ピン4および7上の)電源接続は必ずこれらのコンデンサを使用してデカップリングします。2つの電源(バイポーラ動作の場合)間にオプショとして用意した電源デカップリング用コンデンサを配置すると、2次高調波歪み性能が改善されます。より低い周波数で有効な容量のもっと大きなデカップリング・コンデンサ(2.2μF ~ 6.8μFまでの容量)もメインの電源ピンに接続します。これらのコンデンサはデバイスから多少離して配置し、PC基板の同じ領域に実装されている複数のデバイ間で共有することができます。

c) OPA3681の高周波数性能は、外付け部品の選択と配置を慎重に行うことによって維持されます。抵抗にはリアクタンスの非常に低いタイプを使用します。表面実装抵抗が最も効果的で、全体の回路レイアウトを小さくできます。金属皮膜型またはカーボン・コンボジット軸方向リード線型抵抗も良好な高周波数性能が得られます。これらのリード線とPC基板の配線トレースも同様に可能な限り短くしてください。高周波数アプリケーションには巻線タイプの抵抗を絶対に使用しないでください。出力ピンと反転入力ピンは寄生容量の影響を最も受けやすいので、帰還抵抗や直列出力抵抗を接続する場合には、常に出力ピンに可能な限り近づけて配置してください。非反転入力終端抵抗などの他のネットワーク部品も同様に、パッケージに近接させて配置してください。

い。部品の両面実装が可能であれば、帰還抵抗をパッケージの裏面の出力ピンと反転入力ピン間に直接的に実装して下さい。既に説明したように、周波数応答性は主として帰還抵抗の値によって決まります。この値を大きくすると帯域幅が下がり、逆にこの値を小さくするとピーク・レベルの大きな周波数応答性が得られます。±5V電源および+2のゲイン設定条件の特性仕様に適用している499Ωの帰還抵抗はよいスターティング・ポイントです。ユニティ・ゲイン・フォロア・アプリケーションでは直接的に短絡するのではなく、549Ωの帰還抵抗の使用が推奨される点に注意してください。電流帰還型オペアンプの場合には、ユニティ・ゲイン・フォロア構成の場合であっても、安定性を制御するためには帰還抵抗が必要になります。

d) 回路基板上の他の広帯域デバイスとの接続には、短いパターンを直接的に使用するか、またはオンボードの伝送ラインを使用してください。短い配線接続では、パターンと隣接デバイスの入力を一体の容量性負荷と考えます。比較的広いパターン幅(50 ~ 100ミル)を使用することが必要で、可能であればその周囲のグラウンド・プレーンと電源プレーンを開放します。全体の容量性負荷を求めて、推奨 R_s 対容量性負荷のプロット図から R_s の値を設定してください。OPA3681は公称値2pFの寄生容量負荷で動作するように補償されているので、小さい寄生容量性負荷(<5pF)に対しては R_s は必要ありません。長いパターンが必要で、両側終端の伝送ラインに固有の6dBの信号損失が許容される場合には、マイクロストリップまたはストリップ・ラインの手法によってインピーダンス・マッチングのとれた伝送ラインを使用します。回路基板上では50Ωによる終端は必要なく、実際には歪み対負荷のプロット図に示しているように高インピーダンス負荷の方が歪みが改善されます。回路基板の材質や必要なパターンの寸法に基づいて決まる回路基板パターンの特性インピーダンスとともに、OPA3681の出力からのパターンにマッチング用直列抵抗を使用し、相手側デバイスの入力に終端シャント抵抗を使用します。終端インピーダンスが相手側デバイスのシャント抵抗と入力インピーダンスの並列な組み合わせになる点にも注意してください。この全体の実効インピーダンスをパターンのインピーダンスと一致するように設定することが必要です。OPA3681は高い電圧および電流出力能力を備えているので、複数の接続先デバイスをそれぞれ直列抵抗とシャント終端抵抗をもった別々の伝送ラインとして扱うことが可能です。2重終端伝送ラインの6dBの減衰損失が許容できない場合には、長いパターンをソース側だけ直列に終端することが可能です。この場合にはパターンを容量性負荷として扱い、推奨 R_s 対容量性負荷のプロット図に示しているように直列抵抗の値を設定してください。ただし、2重終端ラインと同様の信号の完全性は維持されません。接続先デバイスの入力インピーダンスが低ければ、終端インピーダンスに対して直列の出力によって形成される分圧器によって信号がある程度減衰します。

e) OPA3681のような高速デバイスにソケットの使用は推奨できません。ソケットの使用によってリード長と各ピン間の容量が増加することになり、これが原因で極めて厄介な寄生ネットワークが形成され、平坦で安定した周波数応答性を確保することがほとんど困難になります。回路基板上にOPA3681を半田付けすると、最良の結果が得られます。

入力およびESD保護

OPA3681は非常に高速のコンプリメンタリ・バイポーラ・プロセスで製造されています。この非常に微細なデバイスは内部接合部のブレークダウン電圧が比較的強く抑えられています。このブレークダウン電圧は絶対最大定格で規定されています。デバイスのピンはすべて図15に示すように、電源に対する内部ESD保護用のダイオードによって保護されています。

これらのダイオードは、電源電圧を超える入力オーバドライブ電圧に対する適切な保護も行います。保護ダイオードは30mAの連続電流をサポートできます。これよりも高いレベルの電流が発生する可能性がある場合には(例えば、OPA3681に対してドライブをかける $\pm 15\text{V}$ 電源動作部品を使用するシステムなど)、2個の入力間に直列に電流制限用抵抗を追加することが必要です。これらの抵抗の値は可能な限り低くしてください。高い値の抵抗を使用すると、ノイズ性能と周波数応答性が劣化します。

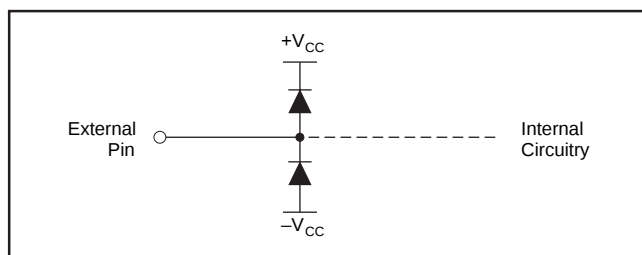


図15. 内部ESD保護回路

デモボード

OPA3681の初期評価を支援するいくつかのPCボードが用意されています。各ボードを下表に示します。

デモボード	パッケージ	モデル
DEM-OPA368xE DEM-OPA368xU	16ピンSSOP 16ピンSOP	OPA3681E OPA3681U

デモボードについては、パー・ブラウンのフリーラインFAXまでお問い合わせください。

SPICEモデル

アナログ回路およびシステムの性能解析を実施する際に、SPICEを利用した回路性能のコンピュータ・シミュレーションが役立つ場合があります。この方法は、寄生容量やインダクタンスが周波数応答に影響を与えるOPA3681のようなハイスピード・アクティブ・デバイスに特に有効です。OPA3681用のSPICEモデルについては、パー・ブラウンのフリーラインFAXまでお問い合わせください。SPICEモデルは各種の幅広い動作条件下で小信号ACおよび過渡性能を予測する上で非常に役立つツールです。ただし、異なるパッケージ・タイプの小信号AC性能をそれぞれ識別することができないため、高調波歪みや dG/dP 特性の評価に際しては高い期待はできません。

