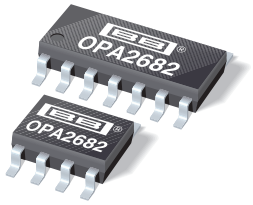
BURR-BROWN®

先端技術の融合と創造



OPA2682

SpeedPlus™ デュアル、広帯域、固定ゲイン ディスエーブル機能付きバッファ・アンプ

特　長

- 内部固定ゲイン：+2または±1
- 高帯域(G = +2)：240MHz
- 低電源電流：6mA(1チャンネル)
- 低ディスエーブル電流：320μA(1チャンネル)
- 大出力電流：150mA
- 出力電圧スイング：±4.0V
- ±5Vまたは単一+5V電源

アプリケーション

- 広帯域ビデオ・ライン・ドライバ
- ビデオ・マルチプレクサ
- マルチライン・ビデオDA
- ポータブル計測装置
- ADCバッファ
- アクティブ・フィルタ

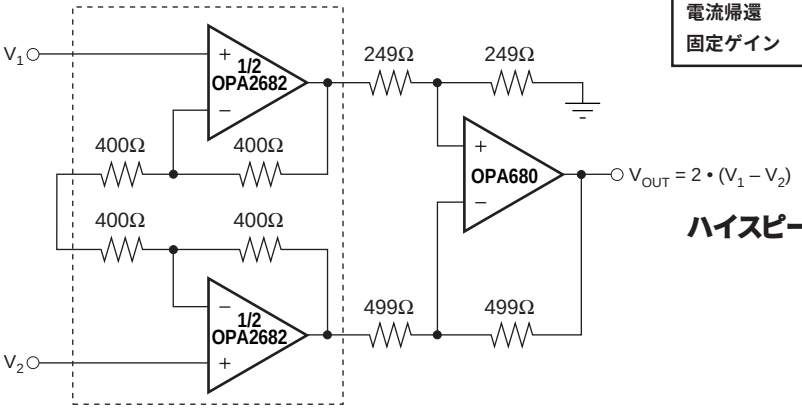
概　要

OPA2682は、使いやすい広帯域固定ゲイン型のデュアル・バッファ・アンプです。外部の接続に従って、固定ゲイン+2のビデオ・バッファまたはゲイン±1電圧バッファを内部抵抗回路を使って提供します。OPA2682は、6mA(1チャンネル)という非常に低い電源電流で動作しながら、通常はずっと高い電源電流でしか得られないようなスルーレートと出力電力を実現します。また、新しい出力段アーキテクチャにより、最小限のヘッドルームとクロスオーバー歪で大出力電流を供給するため、優れた単一電源動作が得られます。+5V単一電源を使用した場合、OPA2682は100mAを超えるドライブ電流と200MHzの帯域幅で1Vから4Vの出力スイングを提供します。これらの機能の組み合わせにより、OPA2682はRGBライン・ドライバまたは単一電源ADC入力ドライバとして理想的です。

OPA2682の6mA(1チャンネル)という低い電源電流は25℃で精密にトリムされています。このトリムに加え、温度変化によるドリフトも小さいため、室温での公称電源電流だけを示す競合製品よりも低い最大電源電流が保証されます。オプションのディスエーブル制御ピンを使用すれば、システム電力をさらに低減することができます。このディスエーブル・ピンをオープンにするか“ハイ”に維持すると、通常の動作が行われます。このピンを“ロー”にすると、OPA2682の電源電流は320μA(1チャンネル)以下に減少し、出力はハイ・インピーダンス状態になります。この機能は、省電力化のために、またはビデオ・マルチプレクサ・アプリケーションに対して使用できます。

OPA2682関連製品

	シングル	デュアル	トリプル
電圧帰還	OPA680	OPA2680	OPA3680
電流帰還	OPA681	OPA2681	OPA3681
固定ゲイン	OPA682	OPA2682	OPA3682



ハイスピード計測差動アンプ

仕様：$V_S = \pm 5V$

特に記述のない限り、G = +2(–INを接地)、R_L = 100Ω(AC性能のみ図1)です。

パラメータ	条件	OPA2682U, N 標準 +25°C	保証[1] +25°C	0°C～70°C	–40°C～+85°C	単位	最小/最大	テストレベル[2]
AC性能(図1)								
小信号帯域幅(V_O < 0.5Vp-p)	G = +1	330				MHz	min	C
	G = +2	240	220	210	190	MHz	min	B
	G = –1	220				MHz	typ	C
0.1dBのゲイン平坦性が得られる帯域幅	G = +2, V_O < 0.5Vp-p	150	50	45	45	MHz	min	B
+1ゲインのピーク	V_O < 0.5Vp-p	0.8	2	4		dB	max	B
大信号帯域幅	G = +2, V_O = 5Vp-p	210				MHz	typ	C
スルーレート	G = +2, 4V ステップ	2100	1600	1600	1200	V/µs	min	B
立ち上がり/立ち下がり時間	G = +2, V_O = 0.5V ステップ	1.7				ns	typ	C
	G = +2, V_O = 5V ステップ	2.0				ns	typ	C
セトリングタイム(0.02%まで)	G = +2, V_O = 2V ステップ	12				ns	typ	C
(0.1%まで)	G = +2, V_O = 2V ステップ	8				ns	typ	C
高調波歪	G = +2, f = 5MHz, V_O = 2Vp-p							
2次高調波	R_L = 100Ω	–63				dBc	typ	C
	R_L = ≥ 500Ω	–81				dBc	typ	C
3次高調波	R_L = 100Ω	–78				dBc	typ	C
	R_L = ≥ 500Ω	–95				dBc	typ	C
入力電圧雑音	f > 1MHz	2.2	3.0	3.4	3.6	nV/√Hz	max	B
非反転入力電流雑音	f > 1MHz	12	14	15	15	pA/√Hz	max	B
反転入力電流雑音	f > 1MHz	15	18	18	19	pA/√Hz	max	B
微分ゲイン	NTSC, R_L = 150Ω	0.001				%	typ	C
	NTSC, R_L = 37.5Ω	0.008				%	typ	C
微分位相	NTSC, R_L = 150Ω	0.01				deg	typ	C
	NTSC, R_L = 37.5Ω	0.05				deg	typ	C
チャンネル間クロストーク	f = 5MHz	–70				dBc	typ	C
DC性能[3]								
ゲイン誤差	G = +1	±0.2				%	typ	C
	G = +2	±0.3	–2.5, +1.5			%	man	A
	G = –1	–1.0				%	typ	C
内部R_FおよびR_G								
最大		400	480	510	520	Ω	max	A
最小		400	320	310	290	Ω	min	A
平均ドリフト			0.13	0.13	0.13	%/°C	max	B
入力オフセット電圧	V_{CM} = 0V	±1.3	±5	±6.5	±7.5	mV	max	A
平均オフセット電圧ドリフト	V_{CM} = 0V			+35	+40	µV/°C	max	B
非反転入力バイアス電流	V_{CM} = 0V	+30	+55	±65	±85	µA	max	A
平均非反転入力バイアス電流ドリフト	V_{CM} = 0V			–400	–400	nA/°C	max	B
反転入力バイアス電流	V_{CM} = 0V	±10	±40	±50	±55	µA	max	A
平均反転入力バイアス電流ドリフト	V_{CM} = 0V			–125	–150	nA/°C	max	B
入力								
同相モード入力レンジ		±3.5	±3.4	±3.3	±3.2	V	min	B
非反転入力インピーダンス		100 || 2				kΩ || pF	typ	C
出力								
電圧出力スイング	無負荷	±4.0	±3.8	±3.7	±3.6	V	min	A
	100Ω負荷	±3.9	±3.7	±3.6	±3.3	V	min	A
電流出力、ソース		+190	+160	+140	+80	mA	min	A
シンク		–150	–135	–130	–80	mA	min	A
閉ループ出力インピーダンス	G = +2, f = 100kHz	0.03					typ	C

このデータシートに記載されている情報は、信頼し得るものと考えておりますが、不正確な情報や記載漏れ等に関して弊社は責任を負うものではありません。情報の使用について弊社は責任を負えませんので、各ユーザーの責任において御使用下さい。価格や仕様は予告なしに変更される場合がありますのでご了承下さい。ここに記載されているいかなる回路についても工業所有権その他の権利またはその実施権を付与したり承諾したりするものではありません。弊社は弊社製品を生命維持に関する機器またはシステムに使用することを承認しまたは保証するものではありません。

仕様：V_S = ±5V（続き）

特に記述のない限り、G = +2(–INを接地)、R_L = 100Ω(AC性能のみ図1)です。

パラメータ	条件	OPA2682U,N 標準 +25°C	保証[1] +25°C	0°C～70°C	–40°C～+85°C	単位	最小/最大	テストレベル[2]
ディスエーブル/パワーダウン(DISピン)	14ピンSOPのみ							
パワーダウン電源電流(+V_S)	$V_{\overline{DIS}}$ = 0、両チャンネル	–600				µA	typ	C
ディスエーブル時間		100				ns	typ	C
イネーブル時間		25				ns	typ	C
オフアイソレーション	G = 2, 5MHz	70				dB	typ	C
ディスエーブル時出力容量		4				pF	typ	C
オン時グリッチ	G = +2, R_L = 150Ω	±50				mV	typ	C
オフ時グリッチ	G = +2, R_L = 150Ω	±20				mV	typ	C
イネーブル電圧		3.3	3.5	3.6	3.7	V	min	A
ディスエーブル電圧		1.8	1.7	1.6	1.5	V	max	A
制御ピン入力バイアス電流($\overline{DIS}$)	$V_{\overline{DIS}}$ = 0、各チャンネル	100	160	160	160	µA	max	A
電源								
仕様動作電圧		±5				V	typ	C
最大動作電圧レンジ			±6	±6	±6	V	max	A
最大無信号時電流	V_S = ±5V	6	6.4	6.5	6.6	mA/chan	max	A
最小無信号時電流	V_S = ±5V	6	6.4	6.5	5.0	mA/chan	min	A
電源除去比(–PSRR)	入力換算	56	50	48	47	dB	min	A
温度範囲								
仕様：U, N		–40～+85				°C	typ	C
熱抵抗、θ_{JA}								
U 8ピンSOP		125				°C/W	typ	C
N 14ピンSOP		100				°C/W	typ	C

注：(1)低温度制限値および25°Cでの保証仕様については、接合部温度 = 周囲温度です。高温度制限値での保証仕様については、接合部温度 = 周囲温度+23°Cです。(2)テストレベル：(A)25°Cで100%テストを実施。特性評価とシミュレーションによって全温度範囲の制限値を設定。(B)特性評価とシミュレーションによって制限値を設定。(C)標準値は参考用としてのみ使用。(3)ノードから出る電流を正と考えます。V_{CM}は入力同相モード電圧です。

仕様:V_S = +5V

特に記述のない限り、G = +2(0.1μFを介して–INを接地)、V_{CM} = 2.5Vに対してR_L = 100Ω(AC性能のみ図2)です。

パラメータ	条件	OPA2682U,N 標準 +25°C	保証[1] +25°C	0°C～70°C	–40°C～+85°C	単位	最小/最大	テストレベル[2]
AC性能(図2)								
小信号帯域幅(V_O < 0.5Vp-p)	G = +1	290				MHz	min	C
	G = +2	220	180	140	110	MHz	min	B
	G = –1	200				MHz	typ	C
0.1dBのゲイン平坦性が得られる帯域幅	G = +2, V_O<0.5Vp-p	100	50	35	23	MHz	min	B
+1ゲイン時のピーク	V_O<0.5Vp-p	0.4	2	4		dB	max	B
大信号帯域幅	G = +2, V_O = 2Vp-p	210				MHz	typ	C
スルーレート	G = +2, 2V ステップ	830	700	680	570	V/μs	min	B
立ち上がり/立ち下がり時間	G = +2, V_O = 0.5V ステップ	1.5				ns	typ	C
	G = +2, V_O = 2V ステップ	2.0				ns	typ	C
セトリング時間(0.02%まで)	G = +2, V_O = 2V ステップ	14				ns	typ	C
(0.1%まで)	G = +2, V_O = 2V ステップ	9				ns	typ	C
高調波歪	G = +2, f = 5MHz, V_O = 2Vp-p							
2次高調波	R_L = 100Ω～V_S/2	–61				dBc	typ	C
	R_L = ≥500Ω～V_S/2	–69				dBc	typ	C
3次高調波	R_L = 100Ω～V_S/2	–69				dBc	typ	C
	R_L = ≥500Ω～V_S/2	–73				dBc	typ	C
入力電圧雑音	f > 1MHz	2.2	3.0	3.4	3.6	nV/√Hz	max	B
非反転入力電流雑音	f > 1MHz	12	14	14	15	pA/√Hz	max	B
反転入力電流雑音	f > 1MHz	15	18	18	19	pA/√Hz	max	B
DC性能[3]								
ゲイン誤差	G = +1	±0.2				%	typ	C
	G = +2	±0.3	–2.5, +1.5			%	max	A
	G = –1	–1.0				%	typ	C
内部R_FおよびR_G								
最大		400	480	510	520	Ω	min	B
最小		400	320	310	290	Ω	max	B
平均ドリフト			0.13	0.13	0.13	%/°C	max	B
入力オフセット電圧	V_{CM} = 2.5V	±1	±5	±6	±7	mV	max	A
平均オフセット電圧ドリフト	V_{CM} = 2.5V			+15	+20	μV/°C	max	B
非反転入力バイアス電流	V_{CM} = 2.5V	+40	+65	±75	±95	μA	max	A
平均非反転入力バイアス電流ドリフト	V_{CM} = 2.5V			–300	–350	nA/°C	max	B
反転入力バイアス電流	V_{CM} = 2.5V	±5	±20	±25	±35	μA	max	A
平均反転入力バイアス電流ドリフト	V_{CM} = 2.5V			–125	–175	nA/°C	max	B
入力								
最小正入力電圧		1.5	1.6	1.7	1.8	V	min	B
最大正入力電圧		3.5	3.4	3.3	3.2	V	max	B
非反転入力インピーダンス		100 || 2				kΩ || pF	typ	C
出力								
最大正出力電圧	無負荷	4.0	3.8	3.7	3.5	V	min	A
	R_L = 100Ω	3.9	3.7	3.6	3.4	V	min	A
最小正出力電圧	無負荷	1.0	1.2	1.3	1.5	V	min	A
	R_L = 100Ω	1.1	1.3	1.4	1.6	V	min	A
電流出力、ソース		+150	+110	+110	+60	mA	min	A
シンク		–110	–75	–70	–50	mA	min	A
出力インピーダンス	G = +2, f = 100kHz	0.03				Ω	typ	C

仕様：V_S = +5V(続き)

特に記述のない限り、G = +2(0.1μFを介して–INを接地)、V_{CM} = 2.5Vに対してR_L = 100Ω(AC性能のみ図2)です。

パラメータ	条件	OPA2682U,N 標準 +25°C	保証(1) +25°C	0°C～70°C	–40°C～+85°C	単位	最小/最大	テストレベル(2)
ディスエーブル/パワーダウン($\overline{DIS}$ピン)	14ピンSOPのみ							
パワーダウン電源電流(+V_S)	$V_{\overline{DIS}}$ = 0V、両チャンネル	–540				μA	typ	C
ディスエーブル時間		100				ns	typ	C
イネーブル時間		25				ns	typ	C
オフアイソレーション	G = 2, 5MHz	65				dB	typ	C
ディスエーブル時出力容量		4				pF	typ	C
オン時グリッチ	G = +2, R_L = 150Ω, V_{IN} = V_{CM}	±50				mV	typ	B
オフ時グリッチ	G = +2, R_L = 150Ω, V_{IN} = V_{CM}	±20				mV	typ	B
イネーブル電圧		3.3	**3.5**	3.6	3.7	V	min	A
ディスエーブル電圧		1.8	**1.7**	1.6	1.5	V	max	A
制御ピン入力バイアス電流($\overline{DIS}$)	$V_{\overline{DIS}}$ = 0V、各チャンネル	100				μA	typ	C
電源								
仕様に規定された単一電源動作電圧		5				V	typ	C
最大単一電源動作電圧			**12**	12	12	V	max	A
最大無信号時電流	V_S = ±5V	4.8	**5.3**	5.4	5.4	mA/chan	max	A
最小無信号時電流	V_S = ±5V	4.8	**4.1**	3.7	3.6	mA/chan	min	A
電源除去比(–PSRR)	入力換算	48				dB	typ	C
温度範囲								
仕様：U,N		–40～+85				°C	typ	C
熱抵抗、θ_{JA}								
U 8ピンSOP		125				°C/W	typ	C
N 14ピンSOP		100				°C/W	typ	C

注：(1)低温度制限値および25°Cでの保証仕様については、接合部温度 = 周囲温度です。高温度制限値での保証仕様については、接合部温度 = 周囲温度+23°Cです。(2)テストレベル：(A)25°Cで100%テストを実施。特性評価とシミュレーションによって全温度範囲の制限値を設定。(B)特性評価とシミュレーションによって制限値を設定。(C)標準値は参考用としてのみ使用。(3)ノードから出る電流を正と考えます。V_{CM}は入力同相モード電圧です。

絶対最大定格

電源電圧	±6.5V_{DC}
内部消費電力(1)	「熱の解析」を参照
差動入力電圧	±1.2V
入力電圧範囲	±V_S
保存温度範囲	–40°C～+125°C
リード温度(10秒間の半田付け)	+300°C
接合部温度(T_J)	+175°C

注：(1)仕様のθ_{JA}に基づいてパッケージをディレーティングする必要があります。最大T_Jを超えないようにして下さい。

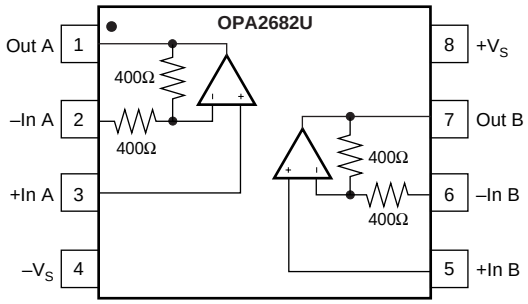
静電気放電対策

静電気放電はわずかな性能の低下から完全なデバイスの故障に至るまで、様々な損傷を与えます。すべての集積回路は、適切なESD保護方法を用いて、取扱いと保存を行うようにして下さい。高精度の集積回路は、損傷に対して敏感であり、極めてわずかなパラメータの変化により、デバイスに規定された仕様に適合しなくなる場合があります。

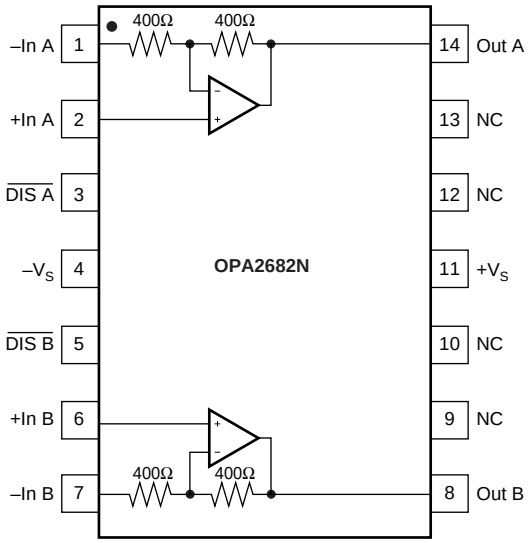
ピン配置

Top View

8ピンSOP



14ピンSOP



NC = No Connection

パッケージ情報/ご発注の手引き

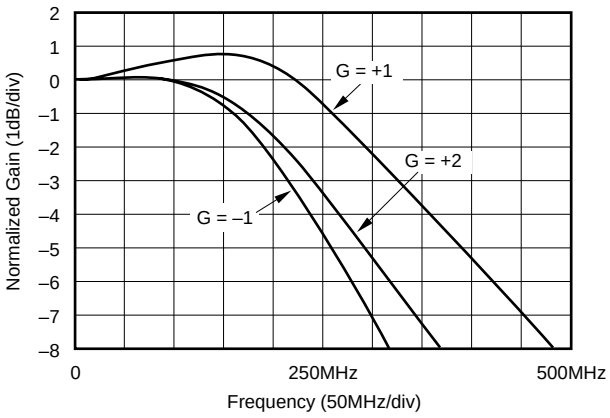
モデル	パッケージ	パッケージ図番号(1)	温度範囲	パッケージのマーキング	発注番号(2)	供給時の状態
OPA2682U	8ピンSOP	182	–40°C～+85°C	OPA2682U	OPA2682U	マガジン
OPA2682U	8ピンSOP	182	–40°C～+85°C	OPA2682U	OPA2682U/2K5	テープリール
OPA2682N	14ピンSOP	235	–40°C～+85°C	OPA2682N	OPA2682N	マガジン
OPA2682N	14ピンSOP	235	–40°C～+85°C	OPA2682N	OPA2682N/2K5	テープリール

注：(1)詳細図および寸法表は、データシートの巻末を参照して下さい。(2)スラッシュ(/)の付いたモデルは、その後に示される数量を単位として、テープリールでのみ供給されます(たとえば、/2K5は2,500個で1リールであることを示します)。「OPA2682U/2K5」をご注文の場合、2,500個入りのテープリールが1本納入されます。

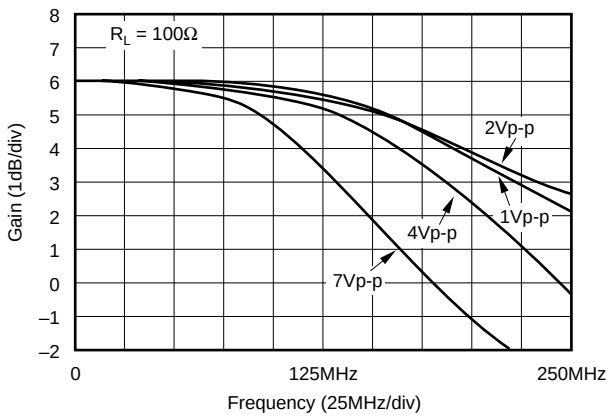
代表的性能曲線:$V_S = \pm 5V$

特に記述のない限り、G = +2、R_L = 100Ωです(図1を参照)。

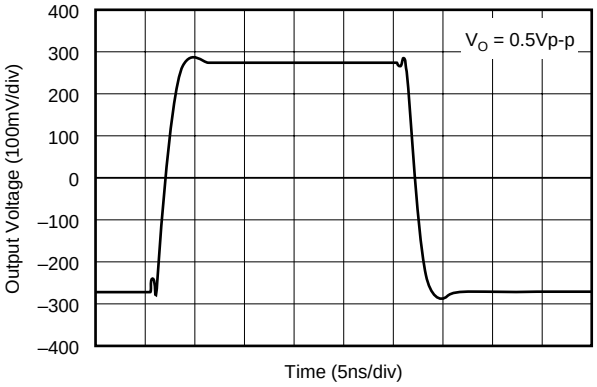
小信号周波数応答



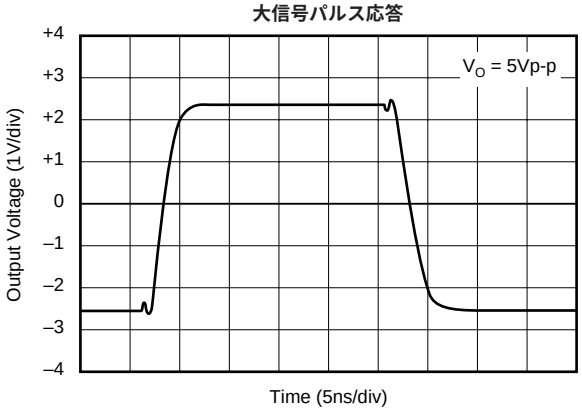
大信号周波数応答



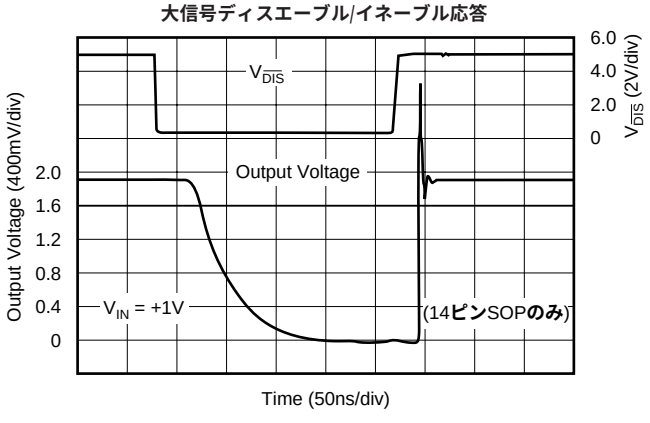
小信号パルス応答



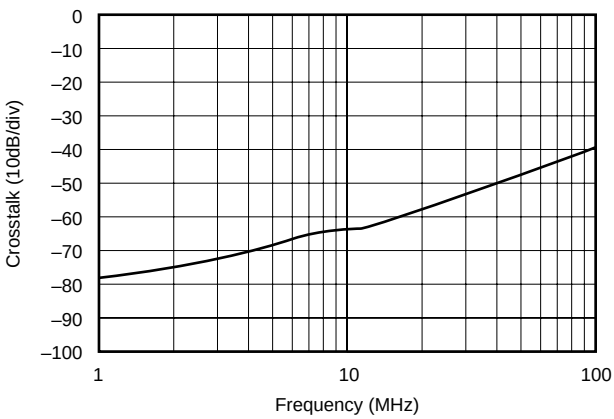
大信号パルス応答



大信号ディスエーブル/イネーブル応答



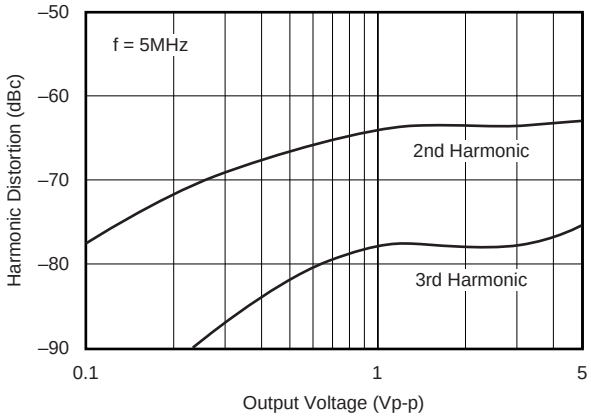
チャンネル間クロストーク



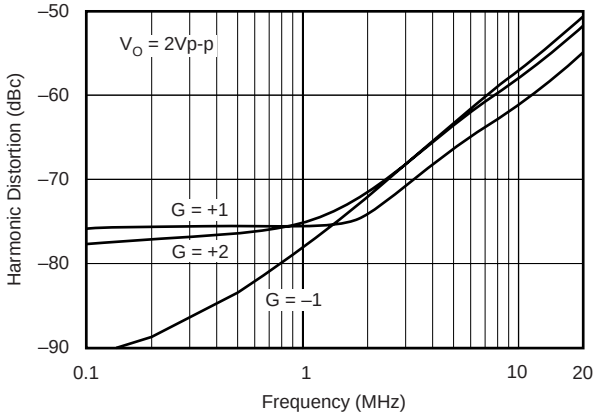
代表的性能曲線：$V_s = \pm 5V$

特に記述のない限り、G = +2、R_L = 100Ωです（図1を参照）。

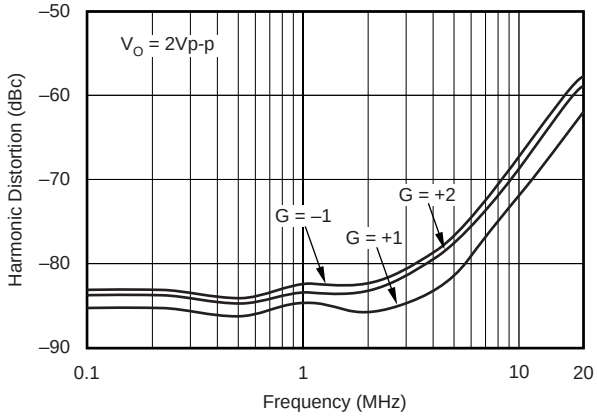
高調波歪対出力電圧



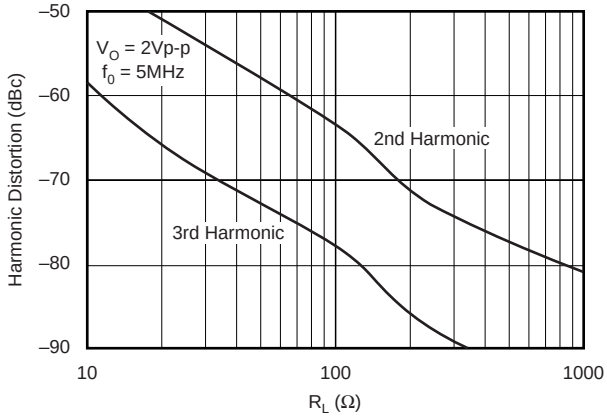
2次高調波歪対出力電圧



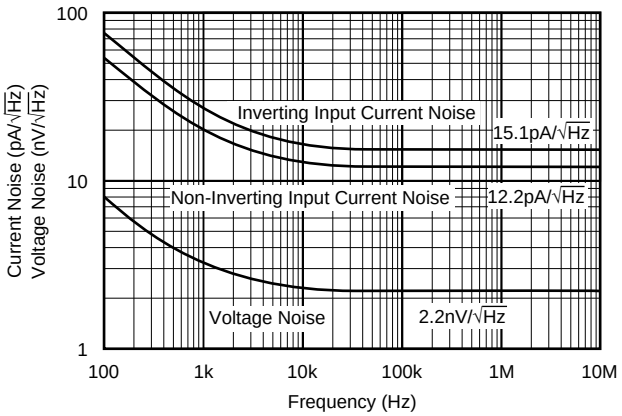
3次高調波歪対出力電圧



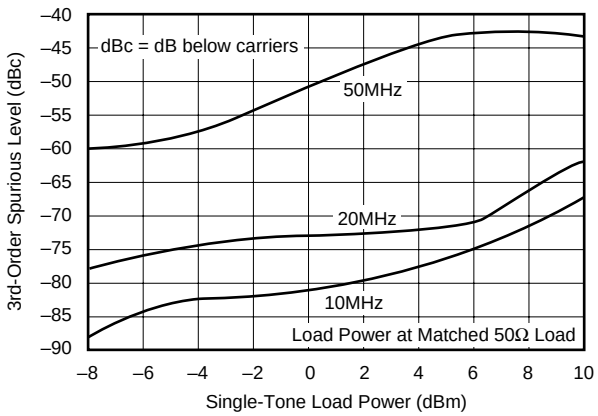
高調波歪対出力電圧



入力電圧雑音密度および
入力電流雑音密度



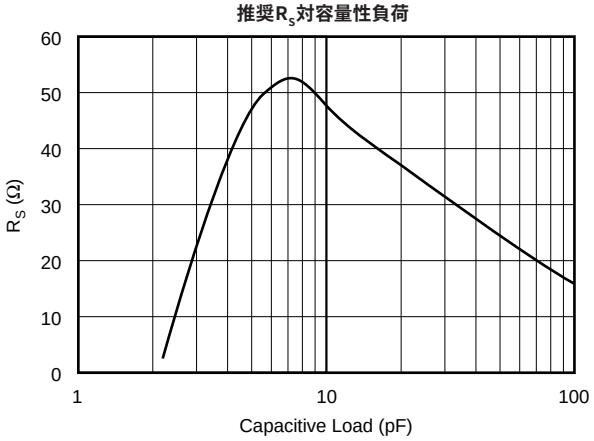
ツー・トーン3次相互変調スプリアス



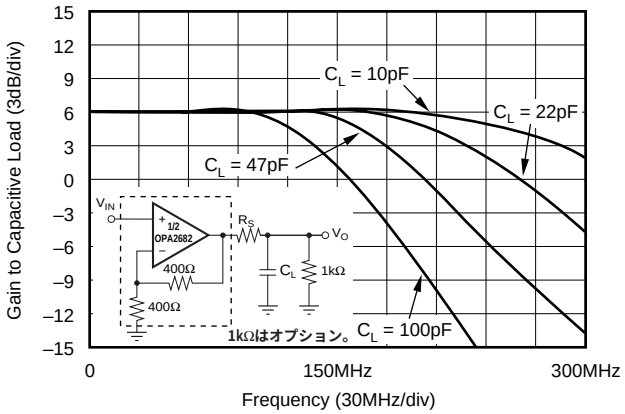
代表的性能曲線：$V_S = \pm 5V$

特に記述のない限り、G = +2、R_L = 100Ωです（図1を参照）。

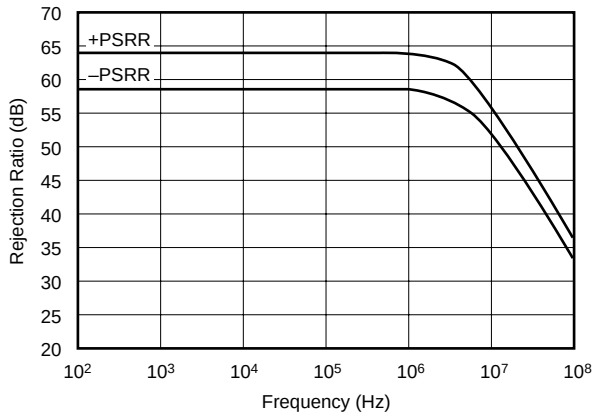
推奨R_S対容量性負荷



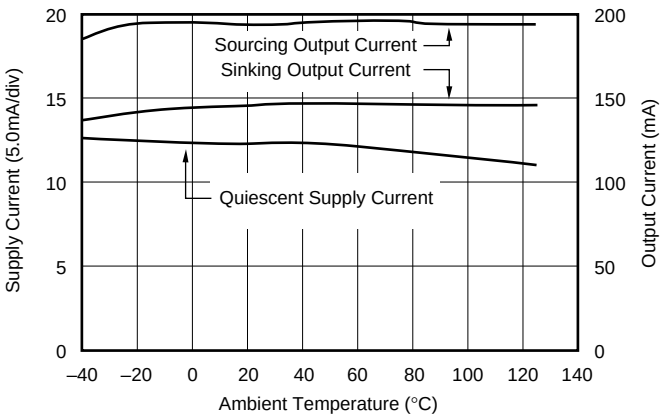
周波数応答対容量性負荷



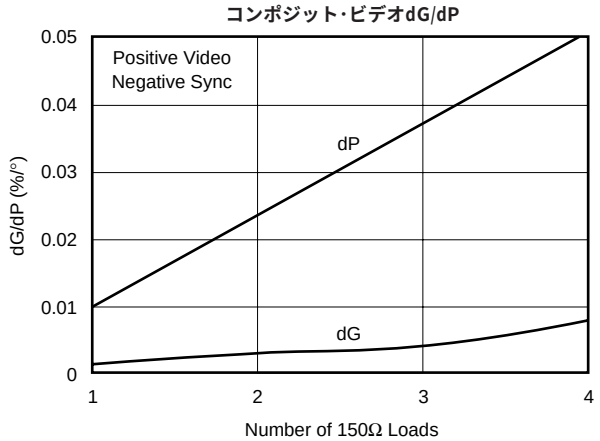
電源除去比対周波数



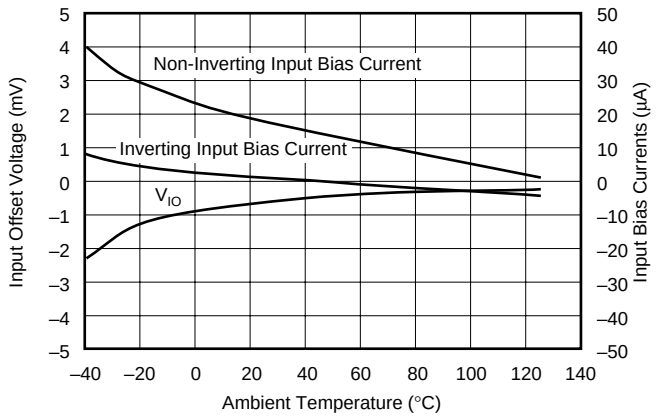
電源電流および出力電流対温度



コンポジット・ビデオdG/dP



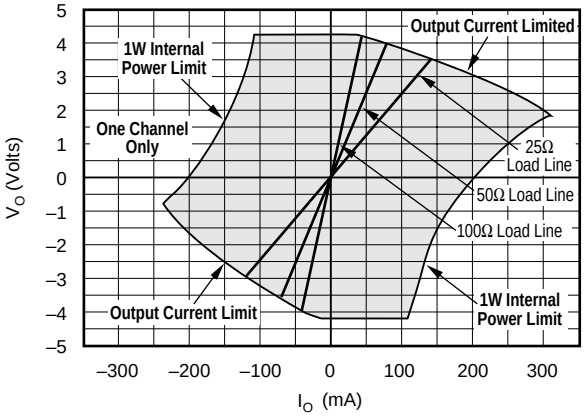
標準DCドリフト対温度



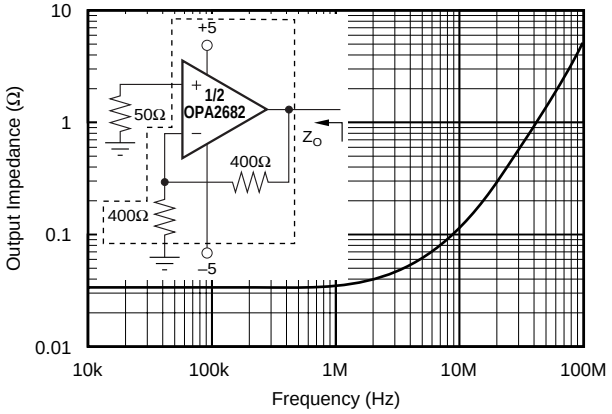
代表的性能曲線：V_S = ±5V

特に記述のない限り、G = +2、R_L = 100Ωです（図1を参照）。

出力電圧および出力電流制限値



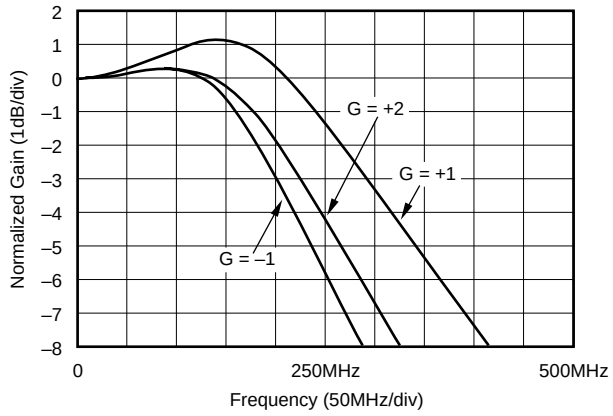
閉ループ出力インピーダンス



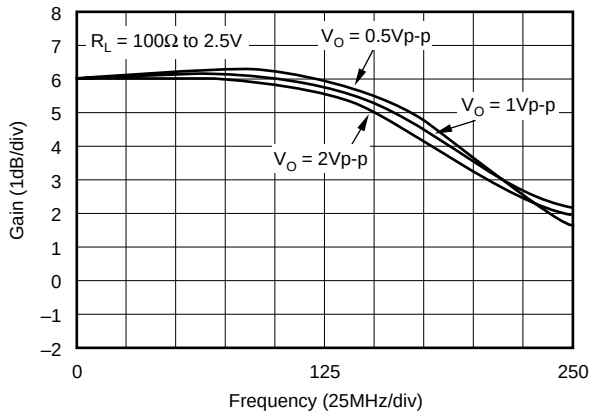
代表的性能曲線: V_S = +5V

特に記述のない限り、G = +2、V_{CM} = +2.5Vに対してR_L = 100Ωです(図2を参照)。

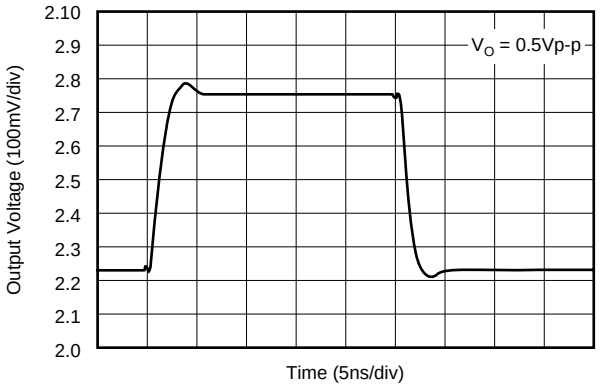
小信号周波数応答



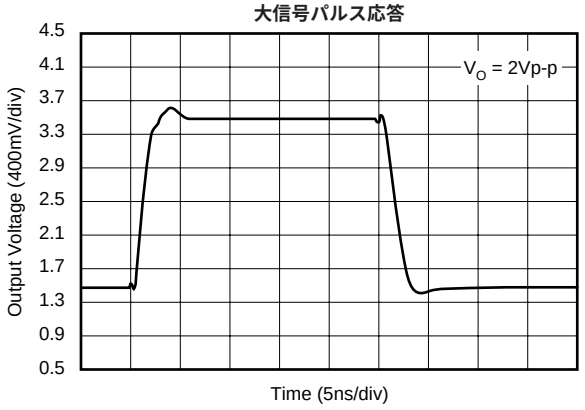
大信号周波数応答



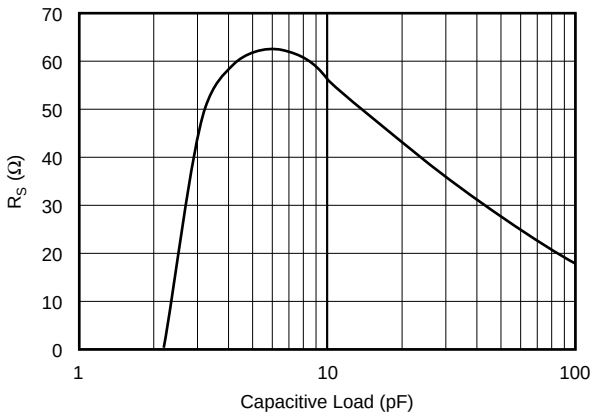
小信号パルス応答



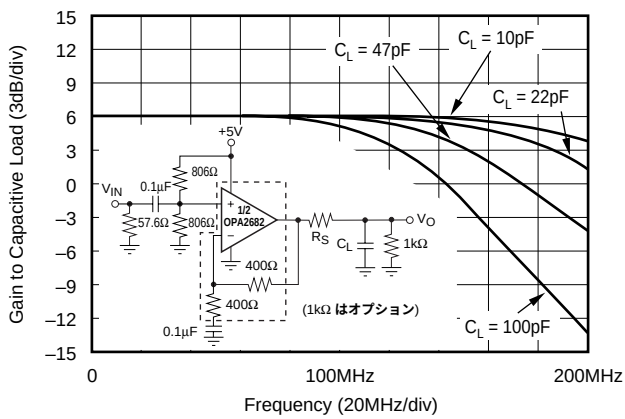
大信号パルス応答



推奨R_S対容量性負荷



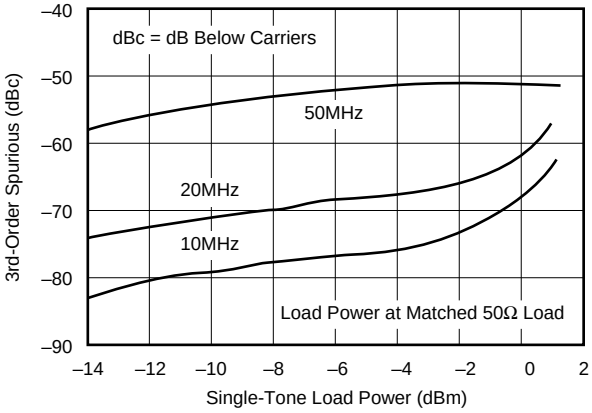
周波数応答対容量性負荷



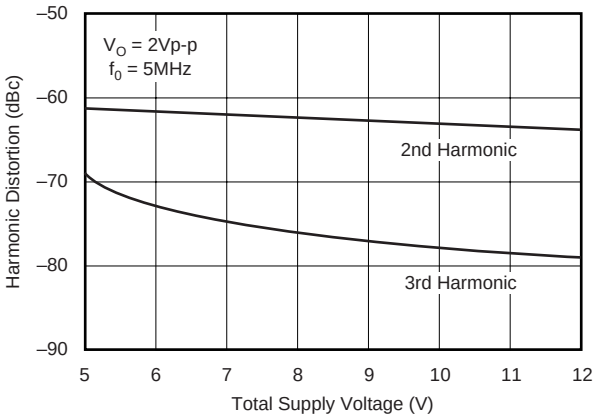
代表的性能曲線：V_S = +5V

特に記述のない限り、G = +2、V_{CM} = +2.5Vに対してR_L = 100Ωです（図2を参照）。

ツー・トーン、3次スプリアス・レベル



高調波歪対電源電圧



使用上の注意

広帯域バッファ動作

OPA2682は、広帯域電流帰還オペアンプの優れたAC性能を、直線性の高い高電力出力段とともに提供します。内部抵抗R_FおよびR_Gにより、外部抵抗を使用せずに+2、+1、–1の3種類のゲインを簡単に選択することができます。OPA2682は、室温で6mA(1チャンネル)という低い無信号時電流で、一方の電源レールから1V以内の範囲にスイングし、135mA(保証値)を超える電流を供給します。この低い出力ヘッドルーム条件と電源から独立したバイアスにより、優れた単一(+5V)電源動作が得られます。単一+5V電源を使用して、OPA2682は200MHz以上の帯域幅で100Ωの抵抗に2Vp-p出力をドライブします。従来の電流昇圧出力段アンプでは、一般に出力電流がゼロを通過するときの大きなクロスオーバ歪が問題となりました。OPA2682はそれに匹敵する電力ゲインをずっと良好な直線性で達成します。電圧帰還型アンプと比べて、内部電流帰還型アンプの最大の利点はAC性能(帯域幅および歪)が信号ゲインから比較的独立していることです。

図1に、±5Vの仕様と代表的性能曲線の測定に使用される、DC結合でゲインが+2のデュアル電源回路の構成を示します。テストのために、対グランド抵抗を使って入力インピーダンスが50Ωに設定され、直列出力抵抗を使って出力インピーダンスが50Ωに設定されています。仕様に示される電圧スイングは、入力および出力ピンで直接測定されたものであり、負荷電力(dBm)はマッチングされた50Ω負荷で定義されます。図1の回路の場合、合計の有効負荷は100Ω || 800Ω = 89Ωになります。ディスエーブル制御ライン($\overline{DIS}$)は標準ではオープン(14ピンSOPのみ)にして、通常のアンプ動作を保証します。通常の対グランドの電源デカップリング・コンデンサに加えて、2本の電源ピンの間に0.1μFのコンデンサを接続することができます。このオプションの追加コンデンサにより、2次高調波歪性能が一般に3dBから6dB向上します。

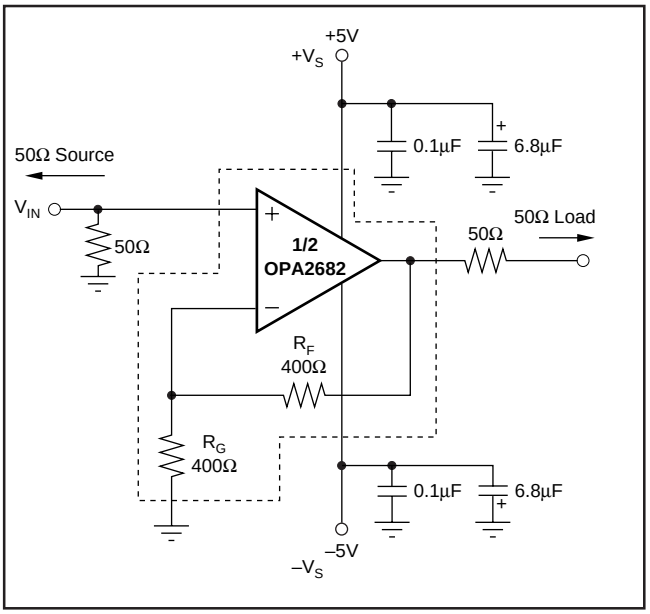


図1. DC結合、G = +2、バイポーラ電源の仕様とテスト回路

図2には、+5Vの仕様と代表的性能曲線の測定に使用される、AC結合でゲインが+2の単一電源回路の構成を示します。「レール・ツー・レール」設計ではないにもかかわらず、OPA2682は他固定ゲインバッファ・アンプに比べて、最小限の入出力電圧ヘッドルームしか必要としません。単一+5V電源によって、150MHz以上の帯域幅で3Vp-pの出力スイングを供給します。広帯域単一電源動作で重要な要件は、入力と出力の両方で入出力信号スイングを使用可能な電圧範囲内に保持することです。図2の回路では、+5V電源から単純な抵抗性分圧回路を使って入力中心バイアスを確立しています(2つの806Ω抵抗)。そして、入力信号がこの中心電圧バイアスにAC結合されます。入力電圧は各電源ピンから1.5V以内の範囲にスイングし、電源ピンの間に中心を持つ2Vp-pの入力信号レンジが得られます。テストに使用されている入力インピーダンス・マッチング抵抗(57.6Ω)は、バイアス分圧回路の並列コンビネーションが含まれるときに50Ωの入力マッチングを得るように調整されています。ゲイン抵抗(R_G)はAC結合され、回路に+1のDCゲインを与えます。これにより、入力DCバイアス電圧(2.5V)が出力上でも得られます。単一+5V電源では、出力電圧は各電圧ピンから1V以内の範囲にスイングすることができ、75mAを超える出力電流を供給します。この特性評価回路では、中心バイアスに対して厳しい100Ω負荷が使用されています。OPA2682で使用される新しい出力段は、+5V電源の3次高調波歪のグラフに示されるように、最小のクロスオーバ歪でこの中心負荷に大きなバイポーラ出力電流を供給できます。

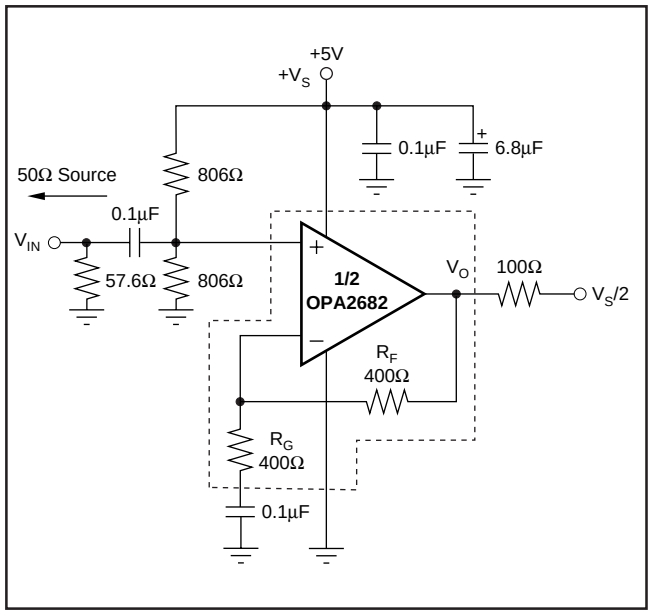


図2．AC結合、G = +2、単一電源の仕様とテスト回路

ハイスピード計測アンプ

OPA2682をベースにした計測アンプをデータシートの表紙に示します。この回路の差動ゲインは2.0です。入力は高インピーダンスで、各入力での対グランド値はわずか1pFです。OPA2682の出力の負荷は、最高の高調波歪みを達成するため同じ値となっています。

差動ADCドライバ

図3の回路は、シングルエンド入力をADS823コンバータを駆動させるための差動信号に変換しています。同相モード・バイアスにはADCのリファレンス電圧に接続された簡単な抵抗分圧回路を使用します。上位オペアンプのR_Gを非反転入力に接続すると、非反転入力用のバイアス電流のパスができます。この接続により、両方のオペアンプが同じ値に近いノイズ・ゲインで動作するため、歪み性能も改善します

マルチプレクスされたビデオ・アンプ

図4に示すマルチプレクスされたビデオ・アンプは2つの出力信号を「OR接続」により1つにします。OPA2682Nの「メイク・ビフォア・ブレーク」ディスエーブル特性により、出力は常に正常を保ちます。大きなスイッチング・グリッチを避けるには、ビデオ信号の同期時またはリトレース時にチャンネル切り替えを行います。2つの入力はこの時ほぼ等しくなっています。出力が常に安定しているため、2つの0V入力用のスイッチング・グリッチは20mV以下になります。この回路では、標準ビデオ信号レベルを使用したときに非選択チャンネルの入力間での最大差動電圧が±1.2Vを超えないことが保証されます。

チャンネル間のスイッチングが行われている間、2つの出力抵抗がお互いからの出力を絶縁します。ディスエーブルされたアンプの帰還ネットワークは出力インピーダンスの一部を形成し、出力信号を少しだけ減衰させます。68.1Ωがこの減衰を補償し、ケーブルに良好なバックマッチングを供給します(戻り損失＞20dB)。

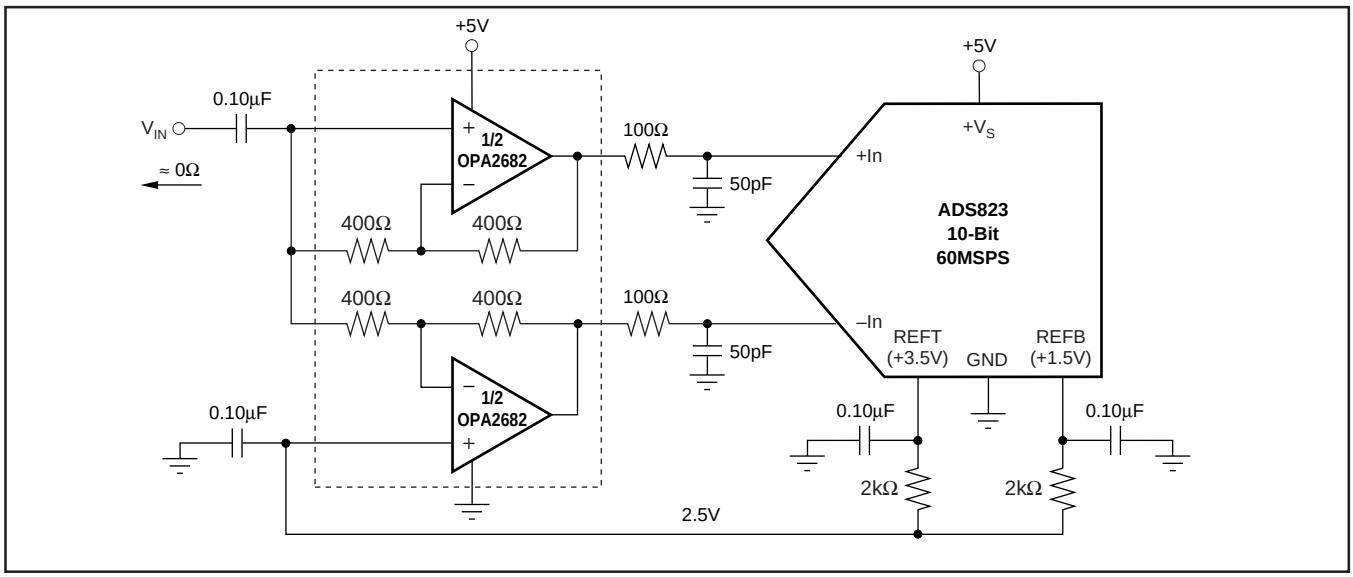


図3. 広帯域、AC結合、単一電源A/Dドライバ

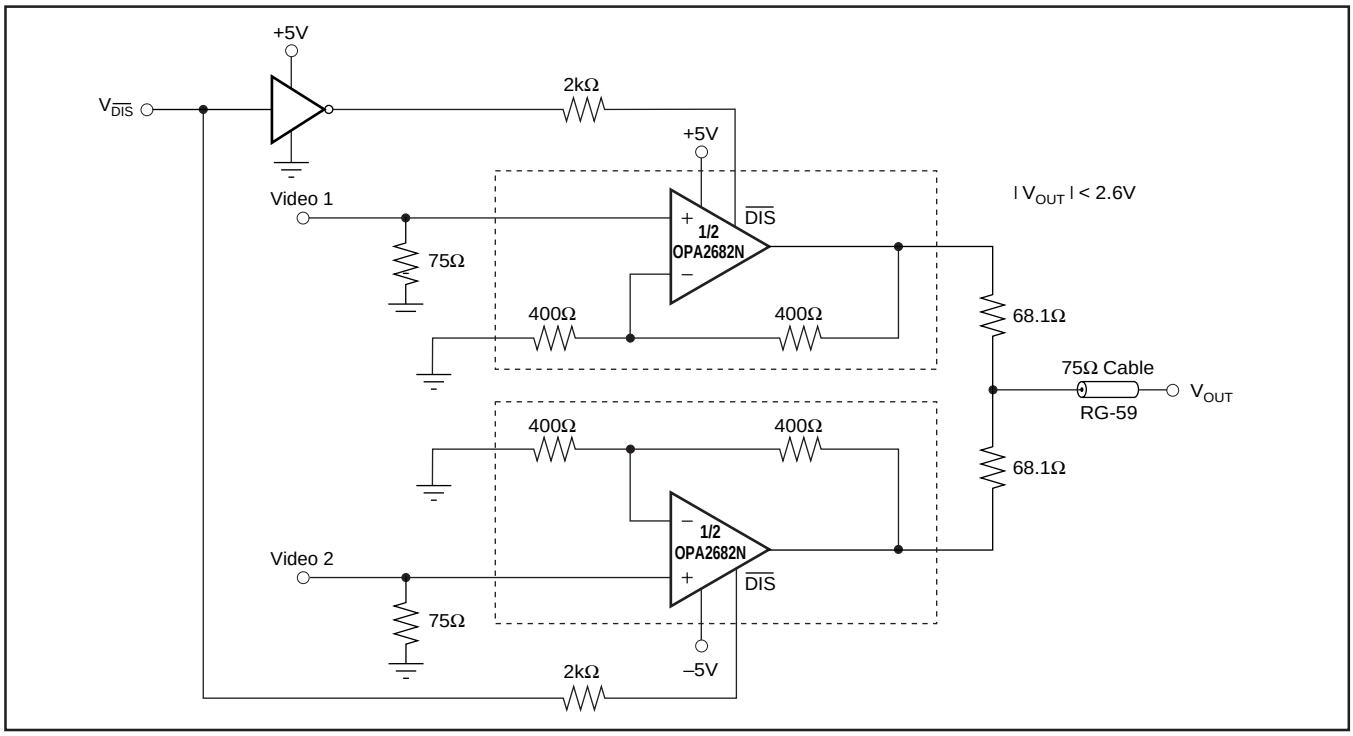


図4. 2チャンネル・ビデオ・マルチプレクサ(14ピンSOPのみ)

AC結合された差動ローパスフィルタ

図5の回路では、20MHzで–3dB帯域幅と、シングル+5V電源でパスバンドのリップルが0.5dBの3次チェビシェフ・ローパスフィルタを実現しています。このフィルタは固定ゲイン1以上のアンプを使用したKRCアクティブフィルタ・トポロジに基づいています。OPA2682はこのタイプのフィルタに適したアンプです。オペアンプの寄生の影響を補償するため、部品の値は変更してあります。

デザインイン・ツール

デモボード

OPA2682を使用した回路性能の初期評価を助けるために、いくつかのプリント基板が供給されています。次の表に、各基板に関する情報をまとめています。

モデル	パッケージ	基板部品番号
OPA2682U OPA2682N	8ピンSOP 14ピンSOP	DEM-OPA268xU DEM-OPA268xN

デモボードについては、バー・ブラウンのフリーラインFAXまでお問い合せ下さい。

マクロモデル

SPICEを使った回路性能のコンピュータ・シミュレーションは、アナログ回路やシステムの性能解析にしばしば有用です。これは特に、寄生容量や寄生インダクタンスが回路性能に大きな影響を与える可能性があるビデオおよびRFアンプ回路に対して有効です。これらのモデルは、さまざまな動作条件下で小信号のACおよび過渡性能を予測するのに役立ちます。高調波歪や温度特性、dG/dϕ特性の予測にはそれほど役立ちません。各モデルは、小信号AC性能についてパッケージ・タイプ間の区別は行いません。

動作上の注意

ゲイン設定

OPA2682のゲイン設定は非常に簡単です。+2のゲインを設定する場合は、–INピンを接地して+INピンを信号でドライブします。+1のゲインを設定する場合は、–INピンをオープンにして+INピンを信号でドライブします。–1のゲインを設定する場合は、+INピンを接地して–INピンを信号でドライブします。内部抵抗値が温度およびプロセスによって変化するため、外部抵抗を使ってゲインを変更することはお勧めしません。

出力電流および出力電圧

OPA2682の出力電圧および出力電流の能力は、低コストのモノリシック・オペアンプでは卓越したものです。25℃の無負荷条件下で、出力電圧は一方の電源レールに対して標準で1V以内の範囲でスイングします。保証スイング制限値は一方のレールから1.2V以内です。15Ωの負荷(最小被試験負荷)に対して、±135mA以上を供給することが保証されています。

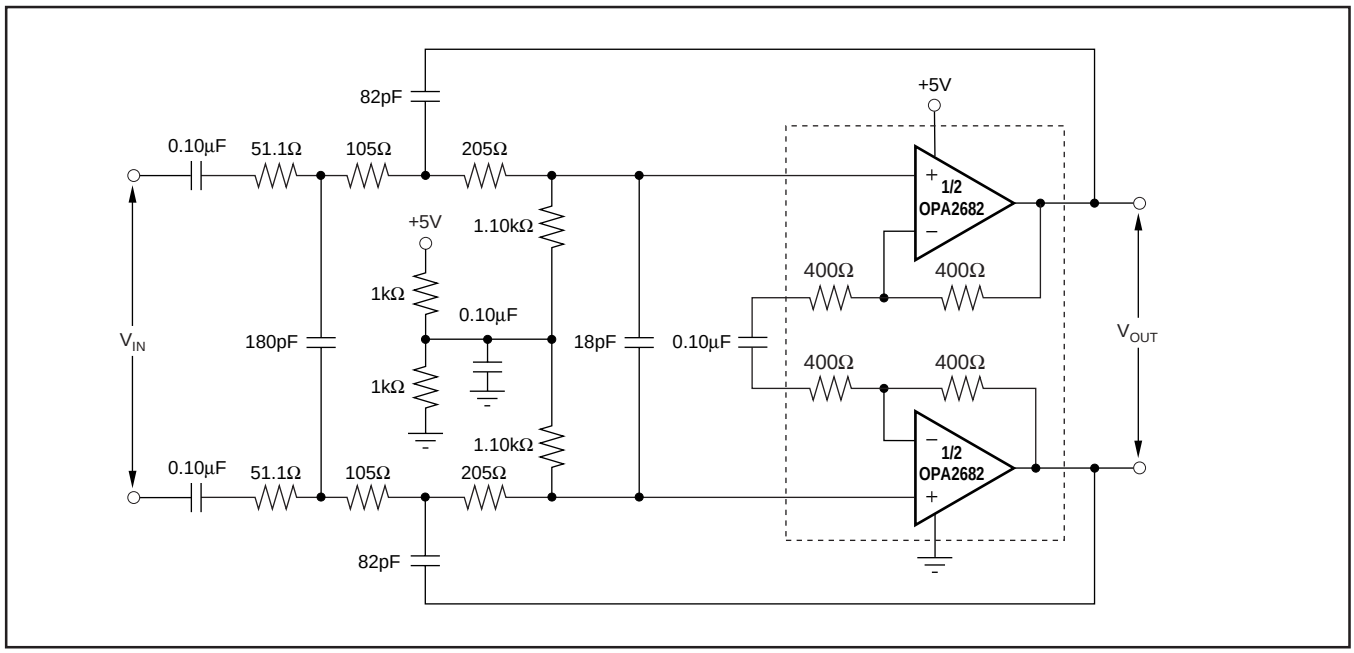


図5. 単一電源、3次差動チェビシェフ・ローパスフィルタ

上記の仕様は電圧と電流の制限値を別々に考慮しています。多くのアプリケーションでは、電圧×電流、つまりVI積の方が回路動作に密接に関わってきます。代表的性能曲線の「出力電圧および出力電流制限値」のグラフを参照して下さい。このグラフのX軸とY軸はそれぞれゼロ電圧出力電流制限値とゼロ電流出力電圧制限値を示しています。グラフが最大内部消費電力1Wの「安全動作領域」で囲まれていることに注意すれば、この4つの象限はOPA2682の出力ドライブ能力をより詳細に示すことがわかります。このグラフ上に抵抗負荷直線を重ね合わせると、OPA2682は25Ωでは±2.5V、50Ωでは±3.5Vを、出力能力またはシングルチャンネルでの1W消費制限を超えることなくドライブできることが示されます。100Ωの負荷直線(標準テスト回路負荷)は、代表的仕様に示される±3.9Vの最大出力スイング能力を示しています。

温度に対する最小仕様出力電圧および出力電流は、低温の極限値でのワーストケース・シミュレーションによって設定されています。コールド・スタート時のみ、出力電流および出力電圧が保証表に示す値まで減少します。出力トランジスタが電力を供給すると、接合部温度が上昇して、V_{BE}が減少し(使用可能な出力電圧スイングが大きくなる)、電流ゲインが増加(使用可能な出力電流が増加)します。定常状態動作では、使用可能な出力電圧および出力電流は、対温度仕様に示される値よりも常に大きくなります。これは、出力段の接合部温度が最小仕様動作周囲温度よりも高いためです。

出力段の直線性を最高に保つために、出力短絡保護は設けられていません。ほとんどのアプリケーションでは出力に直列マッチング抵抗を接続して、この抵抗の出力側が地絡した場合に内部消費電力を制限するため、通常は問題ありません。ただし、出力ピンがそれと隣接する正電源ピン(8ピン・パッケージの場合)に直接短絡されると、ほとんどの場合アンプが破壊されます。短絡保護を追加する必要がある場合は、電源ピンに小さな値の直列抵抗を接続することを考えて下さい。これにより、大きな出力負荷の場合は、使用可能な出力電圧スイングが小さくなります。各電源ピンに5Ωの直列抵抗を接続すると、出力短絡時の内部消費電力が1W以下に減少し、100mAまでの任意の負荷電流に対して使用可能な出力電圧スイングは0.5Vだけ減少します。これらの電流制限抵抗の後には、必ず0.1μFの電源デカップリング・コンデンサを直接電源ピンに配置して下さい。

容量性負荷のドライブ

オペアンプに対して最も厳しくかつ非常に良く見られる負荷条件が容量性負荷です。容量性負荷がA/Dコンバータの入力であることはしばしばです。これには、A/D直線性の改善のために推奨される場合がある追加の外部容量も含まれます。OPA2682のような高速アンプは、容量性負荷が直接出力ピン上に存在するときの安定性の低下と閉ループ応答のピークによって、大きな影響を受けます。アンプの開ループ出力抵抗を考慮すると、容量性負荷は信号路上に新たな極を導入し、これが位相のマージンを減少させる場合があります。この問題に対しては、いくつかの外部ソリューションが提案されています。フラットな周波数応答、パルス応答の忠実度、および(または)歪性能が重要である場合は、最も単純で最も効果的なソリューションは、アンプ出力と容量性負荷の間に直列絶縁抵抗を挿入して帰還ループから容量性負荷を分離することです。これはループ応答から極を除去はしませんが、それをシフトして高い周波数にゼロを追加します。追加されたゼロは容量性負荷極の位相遅れを取り消す働きをし、位相マージンを増やして安定性を改善します。

代表的性能曲線に、「推奨R_S対容量性負荷」と負荷での周波数応答の結果が示されています。2pFを超える寄生容量性負荷があると、OPA2682の性能が劣化し始める可能性があります。プリント基板パターンが長い場合、ケーブルがマッチングされていない場合、および複数のデバイスに接続されている場合は、簡単にこの値を超えてしまいます。常にこの影響を慎重に考慮し、推奨直列抵抗をOPA2682の出力ピンのできるだけ近くに追加して下さい(「基板のレイアウトの指針」を参照)。

歪性能

OPA2682は、±5V電源で100Ω負荷に対して良好な歪性能を示します。他のソリューションと比較して、OPA2682は軽い負荷および(または)単一+5V電源という条件下で抜群の性能を発揮します。一般に、基本信号が非常に高い周波数または電力レベルに達するまで、歪の原因のほとんどは2次高調波であり、3次高調波成分は無視できます。負荷インピーダンスを増加することで2次高調波歪を直接改善できます。全体の負荷には帰還回路が含まれることに注意して下さい。これは、非反転構成(図1)ではR_FとR_Gの和であり、反転構成では単にR_Fとなります。また、2つの電源ピン(バイポーラ動作の場合)の間に電源デカップリング・コンデンサ(0.1μF)を追加すると、2次歪が少し(3dB～6dB)改善されます。

ほとんどのオペアンプでは、出力電圧スイングの増加が高調波歪の増加に直接つながります。代表的性能曲線を見ると、2次高調波は2倍(予想値)よりやや低い割合で増加し、3次高調波は3倍(予想値)よりやや低い割合で増加しています。テスト電力が2倍になると、それと2次高調波との差は6dB(予想値)よりも少ない値だけ減少し、3次高調波との差は12dB(予想値)よりも少ない値だけ減少します。これは、ツー・トーン3次相互変調スプリアス(IM3)応答曲線でも示されています。3次スプリアス・レベルは低出力電力レベルでは極端に低くなります。出力段では、基本電力が非常に高いレベルに達した場合でも、3次スプリアス・レベルを引き続き低く維持します。代表的性能曲線に示されるように、スプリアス相互変調電力は従来のインタセプト・モデルによって予測されるようには増加しません。基本電力レベルが増加しても、ダイナミック・レンジが大きく減少することはありません。2つのトーンの中心が20MHzで、マッチングされた50Ω負荷に対して10dBm/トーンの場合(つまり、負荷の各トーンに対して2Vp-pであり、出力ピンでの全体の2トーン・エンベロープに対して8Vp-pが要求される場合)について、代表的性能曲線にはテスト・トーン電力レベルと3次相互変調スプリアス・レベルの間に62dBcの差が示されています。この優れた性能は、低い周波数で動作する際にはさらに向上します。

雑音性能

OPA2682は電圧雑音項と電流雑音項をうまくバランスさせて、低出力雑音を実現しています。反転電流雑音(15pA/√Hz)は以前のソリューションに比べて大きく減少し、入力電圧雑音(2.2nV /√Hz)は、ほとんどの安定したユニティ・ゲイン広帯域電圧帰還オペアンプよりも低くなっています。この低い入力電圧雑音は、非反転入力電流雑音の高さ(12pA/√Hz)と引き換えに実現されました。非反転ノードから見たACソース・インピーダンスが100Ω未満であれば、この電流雑音は出力雑音全体に対して大きな割合は占めません。オペアンプの入力電圧雑音項と2つの入力電流雑音項を結合した結果、さまざまな動作条件下で低い出力雑音が実現されます。図6に、すべての雑音項を含むオペアンプ雑音解析モデルを示します。このモデルでは、すべての雑音項をnV/√HzまたはpA /√Hzの雑音電圧/電流密度としています。

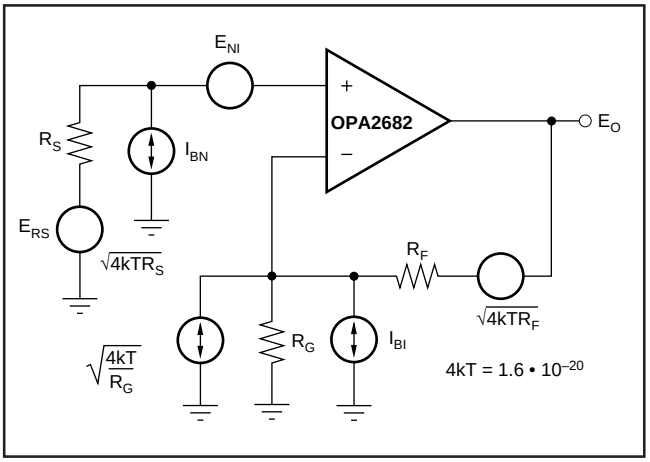


図6．雑音モデル

全体の出力スポット雑音電圧は、すべての出力雑音電圧因子の2乗の和の平方根として計算されます。式1は、図6に示される項を使った出力雑音電圧の一般形を示すものです。

$$E_O = \sqrt{\left(E_{NI}^2 + (I_{BN}R_S)^2 + 4kTR_S\right)NG^2 + (I_{BI}R_F)^2 + 4kTR_FNG} \quad (1)$$

この式を雑音ゲイン(NG = (1+R_F/R_G))で割ると、非反転入力における等価入力換算スポット雑音電圧が得られます。これを式2に示します。

$$E_N = \sqrt{E_{NI}^2 + (I_{BN}R_S)^2 + 4kTR_S + \left(\frac{I_{BI}R_F}{NG}\right)^2 + \frac{4kTR_F}{NG}} \quad (2)$$

図1に示されるOPA2682の回路と部品値に対してこれら2つの式を評価すると、全体の出力スポット雑音電圧として8.7nV/√Hz、全体の等価入力スポット雑音電圧として4.4nV/√Hzが得られます。この全体の入力換算スポット雑音電圧は、オペアンプ電圧雑音のみに対する仕様の2.2nV/√Hzよりも高い値です。これは、反転電流雑音と帰還抵抗の積によって出力に加えられた雑音を反映しています。

DC精度

OPA2682は高ゲインで優れた帯域幅を提供し、パルスのセトリング時間は高速ですが、DC精度は中程度でしかありません。代表的仕様には、高速電圧帰還アンプに匹敵する入力オフセット電圧が示されています。しかし、2つの入力バイアス電流はいくぶん高めで、マッチングされていません。バイアス電流を打ち消す技術を使っても、OPA2682の出力DCオフセットは減少しません。2つの入力バイアス電流が大きさと極性の両方で無関係であるため、各入力から見たソース・インピーダンスをマッチングして出力に加えられる誤差を低減しても効果はありません。ワーストケースの+25°C入力オフセット電圧と2つの入力バイアス電流を使って図1の構成を評価すると、ワーストケースの出力オフセット範囲は次の式で与えられます。

$\pm(NG \cdot V_{OS(MAX)}) + (I_{BN} \cdot R_S/2 \cdot NG) \pm (I_{BI} \cdot R_F)$

ここでNG = 非反転信号ゲイン

$= \pm(2 \cdot 5.0mV) + (55\mu A \cdot 25\Omega \cdot 2) \pm (480\Omega \cdot 40\mu A)$

$= \pm 10mV + 2.8mV \pm 19.2mV$

$= -26.4mV \rightarrow +32.0mV$

非反転入力から見た抵抗をできるだけ小さくすると、最高のDCオフセット性能が得られます。

ディスエーブル動作(14ピンSOPのみ)

OPA2682Nはオプションでディスエーブル機能を提供し、これを使ってシステムの電力を低減したり、簡単なチャンネル・マルチプレクシング動作を実現したりできます。$\overline{DIS}$制御ピンをオープンにしておくと、OPA2682Nは通常の動作を行います。ディスエーブルするには、この制御ピンを“ロー”にします。図7に、ディスエーブル制御機能の内部回路を単純化して示します。

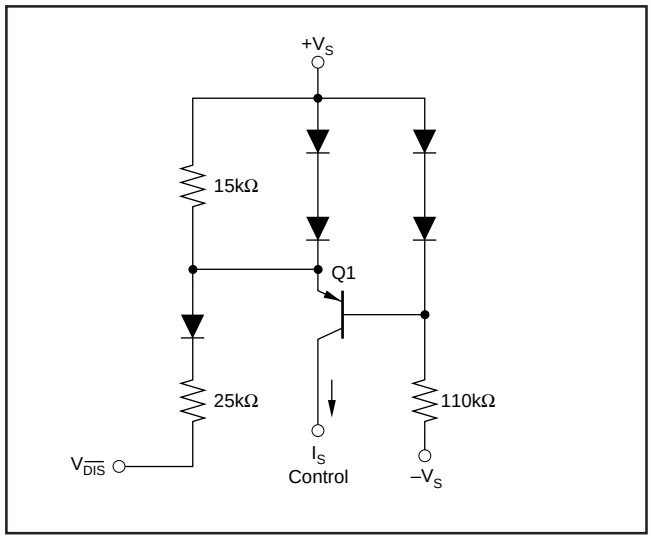


図7．単純化したディスエーブル制御回路

通常の動作では、Q1へのベース電流は110kΩの抵抗を通じて供給され、15kΩの抵抗を通じて供給されるエミッタ電流が設定する電圧降下は、Q1のエミッタ内の2つのダイオードをオンにするには不十分です。$V_{\overline{DIS}}$が“ロー”になると、15kΩの抵抗を通じて追加の電流が流れ、最終的にこの2つのダイオードをオンにします(≈100μA)。この時点で、$V_{\overline{DIS}}$からさらに流れた電流はこれらのダイオードに流れ込み、Q1のエミッタ・ベース間電圧をほぼ0Vに保ちます。これによりQ1からのコレクタ電流が遮断され、アンプがオフになります。ディスエーブル・モードにおける電源電流は、図7の回路の動作に必要な分だけです。追加の回路によって、オンがオフよりも早く行われることが保証されます(メーク・ビフォア・ブレーク)。

ディスエーブルされると、出力ノードと入力ノードはハイ・インピーダンス状態になります。OPA2682Nが+1のゲインで動作している場合、出力でのインピーダンスが非常に高くなり(4pF ||1MΩ)、信号の分離も優れています。+2より大きなゲインで動作している場合は、全体の帰還回路抵抗($R_F + R_G$)は出力側を振り返って見たインピーダンスとなりますが、回路の入出力間の分離はそれでも非常に優れています。ゲイン−1として構成された場合は、入力と出力が帰還回路抵抗($R_F + R_G$)を介して接続され、入出力間の分離は劣化します。

ディスエーブル動作における1つの重要なパラメータは、ディスエーブル・モードと通常モードの間で切り替えるときの出力グリッチです。図8に、図1の回路で入力信号を0Vに設定したときの出力グリッチを示しています。出力ピンにおけるグリッチ波形が$\overline{DIS}$ピンの電圧とともに示されています。

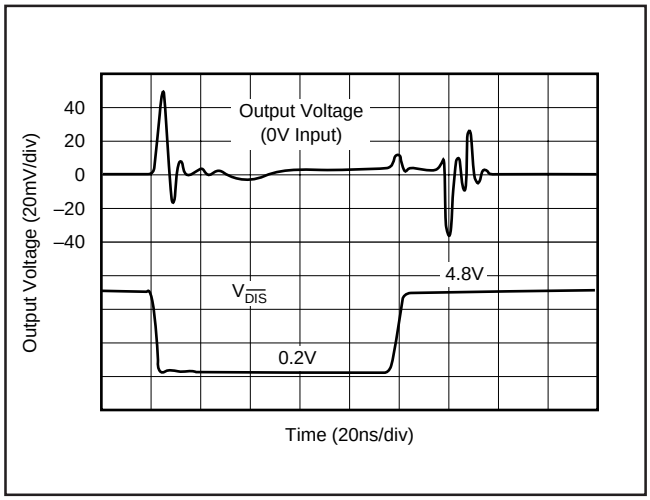


図8．ディスエーブル/イネーブル・グリッチ

$\overline{DIS}$制御ラインの遷移エッジ・レート(dV/dt)がこのグリッチに影響します。図8のグラフでは、グリッチ振幅にそれ以上の減少が見られなくなるまでエッジ・レートを減少させています。この約1V/nsの最大スルーレートは、より高速のロジック・ラインから$V_{\overline{DIS}}$ピンに簡単なRCフィルタを追加することで実現できます。極端に高速な遷移ロジックを使用した場合、ロジック・ゲートと$\overline{DIS}$入力ピンの間に2kΩの直列抵抗を接続することで、$\overline{DIS}$ピン上の寄生入力容量だけを使って十分な帯域制限が提供され、なおかつ十分なロジック・レベル・スイングが確保されます。

熱の解析

OPA2682は高い出力電力を提供するため、極端な動作条件のもとではヒートシンクまたは強制空冷が必要になる場合があります。必要な最大接合部温度に従って、最大許容内部消費電力が次のように設定されます。いかなる場合でも、最大接合部温度が175℃を超えてはなりません。

動作接合部温度(T_J)は、$T_A + P_D \times \theta_{JA}$で与えられます。全体の内部消費電力($P_D$)は、無信号時電力($P_{DQ}$)と出力段で負荷電力を供給するのに消費される追加電力(P_{DL})との和です。無信号時電力は、単に仕様の無負荷電源電流に部品全体の電源電圧を掛けたものです。P_{DL}は必要な出力信号および負荷によって異なりますが、接地された抵抗性負荷に対しては、出力がどちらかの電源電圧の1/2に等しい電圧に固定されているときに最大となります(等値バイポーラ電源の場合)。この条件で、$PDL = V_S^2 / (4 \times R_L)$となります($R_L$は帰還回路負荷も含む)。

内部消費電力を決定するのは出力段における電力であって、負荷における電力ではないことに注意して下さい。

ワーストケースの例として、図1の回路のOPA2682U(8ピンSOP)が最大仕様周囲温度の+85℃で動作しDC + 2.5Vに対して接地された100Ω負荷をドライブ場合の最大T_Jを計算します。

$$P_D = 10V \times 13.2mA + 2[5^2/ (4 \times (20\Omega \,||\, 800\Omega)] = 273mW$$
$$最大T_J = +85℃ + (0.27W \times 125℃/W) = 119℃$$

このワーストケースの条件は、100Ω負荷ではT_Jの最大定格内におさまりますが、これより重い負荷の場合、175℃の最大接合部温度定格を超えてしまいます。内部消費電力には十分注意してください。強制空気冷却が必要な場合もあります。

基板のレイアウトの指針

OPA2682のような高周波アンプで最適な性能を達成するためには、基板レイアウトの寄生容量と外部部品の種類に慎重な配慮が必要です。性能を最適化するために、次の指針が推奨されます。

a）すべての信号I / OピンとACグランド間の寄生容量を最小限に抑えます。出力ピンの寄生容量は不安定の原因になり、非反転入力に寄生容量がある場合はソース・インピーダンスと作用して予想外に帯域が制限されます。不要な容量を低減するには、すべてのグランド・プレーンおよび電源プレーンについて信号I / Oピンの周囲に窓を開放することが必要です。上のこれ以外の領域では、グランド・プレーンおよび電源プレーンを完全な状態のままにします。

b）電源ピンから0.1μFの高周波デカップリング・コンデンサまでの距離を最小限に抑えます(0.25インチ以下)。グランド・プレーンおよび電源プレーンのレイアウトは、信号I / Oピンと近接しないように注意します。ピンおよびデカップリング・コンデンサ間のインダクタンスを最小限に抑えるため、電源およびグランドのパターン幅を狭くすることは避けて下さい。電源ピン(ピン4とピン7)は、必ずこのコンデンサでデカップリングすることが必要です。2つの電源(バイポーラ動作の場合)間にオプションで電源デカップリング・コンデンサを接続すると、2次高調波歪性能が改善されます。また、主電源ピンには低周波で有効な大容量のデカップリング・コンデンサ(2.2μF～6.8μF)を使用する

ことが必要です。これは、デバイスから多少離して配置し、プリント基板の同じ領域の複数のデバイス間で共有することができます。

c）OPA2682の高周波性能は、外付けコンポーネントの選択と配置を慎重に行うことによって保持されます。抵抗にはリアクタンスが非常に低いタイプを使用します。表面実装抵抗が最も効果的で、全体のレイアウトを小さくできます。金属皮膜型またはカーボン･コンポジションの軸方向にリード線がついた抵抗も良好な高周波性能が得られます。この場合も、リード線および基板のパターン長をできるだけ短くして下さい。高周波アプリケーションには巻線タイプの抵抗を絶対に使用しないで下さい。他のネットワーク部品(非反転入力の終端抵抗など)も、パッケージの近くに配置して下さい。

d）基板上の他の広帯域デバイスとは、短いパターンで直接接続することもオンボードの伝送ラインで接続することもできます。短い接続の場合は、パターンおよび隣接のデバイスの入力を一体の容量性負荷と考えます。比較的広いパターン幅(50mil～100mil)を使用することが必要で、できればその周囲のグランド･プレーンおよび電源プレーンを開放します。全体の容量性負荷を推定し、推奨されるR_S対容量性負荷のプロットからR_Sを設定して下さい。OPA2682は公称値2pFの寄生負荷で動作するように補償されているため、寄生容量性負荷が小さい場合(5pF以下)はR_Sは必要ありません。長いパターンが必要で、2重終端の伝送ラインに固有の6dB信号損失が許容される場合は、マイクロストリップまたはストリップラインの手法によってインピーダンスのマッチングがとれた伝送ラインを使用します。回路基板上では50Ωによる終端は必要なく、実際には歪対負荷のプロットに示されるように、高インピーダンス負荷の方が歪が改善されます。基板の材質やパターンの寸法に基づいて決まる回路基板のパターンの特性インピーダンスとともに、OPA2682の出力からのパターンにマッチング用直列抵抗を、相手側デバイスの入力に終端シャント抵抗を使用します。終端インピーダンスが相手側デバイスの入力インピーダンスとシャント抵抗の並列な組み合わせになる点にも注意して下さい。全体の実効インピーダンスをパターンのインピーダンスと一致させることが必要です。OPA2682は高出力電圧および高出力電流を提供するため、複数の相手側デバイスをそれぞれ独自の直列およびシャント終端を持つ別々の伝送ラインとして扱うことができます。2重終端伝送ラインの6dBの減衰が許容されない場合は、長いパターンをソース側だけ直列に終端することができます。この場合は、パターンを容量性負荷として扱い、R_S対容量性負荷のプロットに示すように直列抵抗の値を設定します。このとき、2重終端ラインと同様の信号の整合性を保持されません。相手側デバイスの入力インピーダンスが低い場合は、終端インピーダンスの直列出力によって電圧デバイダが形成されるため、信号がいくらか減衰します。

e）OPA2682のような高速部品にソケットを使用することは推奨できません。ソケットによってリード長とピン間容量が増加することになり、これが原因できわめて厄介な寄生ネットワークが形成され、平坦で安定した周波数応答を確保することがほとんど困難になります。OPA2682を基板に半田付けすることで最良の結果が得られます。

入力とESD保護

OPA2682は、超高速コンプリメンタリ･バイポーラ･プロセスを使用して製造されています。この非常に微細なデバイスは、内部接合部のブレークダウン電圧が比較的低くなっています。このブレークダウン電圧は絶対最大定格の表に反映されています。デバイスのピンはすべて図9に示すように電源に対する内部ESD保護用のダイオードによって保護されています。

これらのダイオードは、電源を超える入力オーバードライブ電圧に対する適切な保護も行います。保護ダイオードは標準で30mAの連続電流に耐えます。それ以上の電流が考えられる場合(例えば、±15V電源部品でOPA2682をドライブするシステムの場合など)は、2つの入力に電流制限直列抵抗を追加する必要があります。これらの抵抗値が高いと雑音性能と周波数応答の両方が劣化するため、抵抗値はできるだけ低くして下さい。

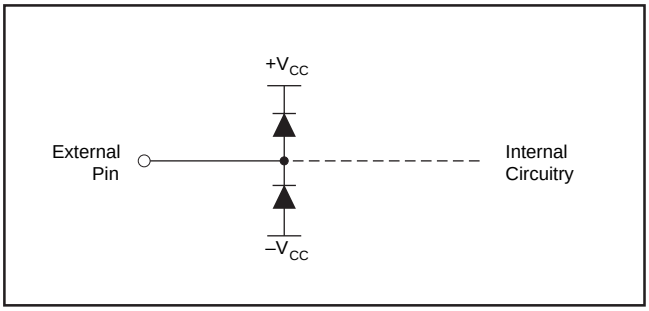
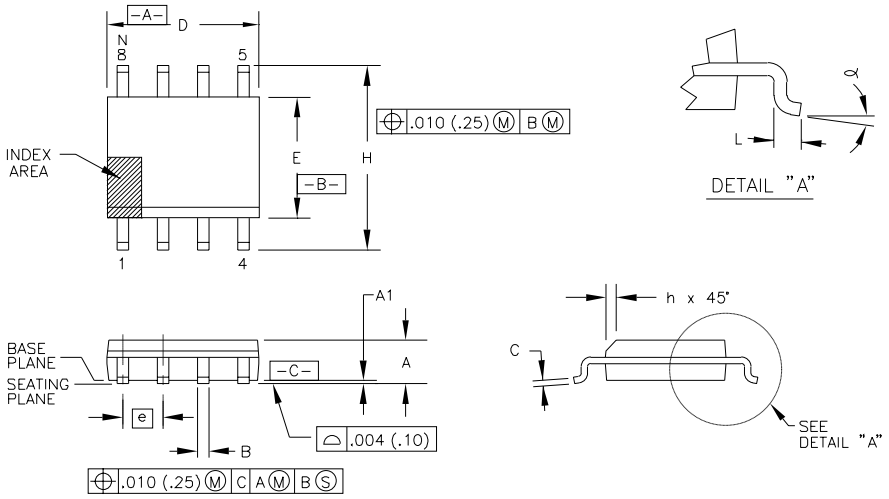


図9．内部ESD保護

外観

パッケージ番号182－8ピンSOP

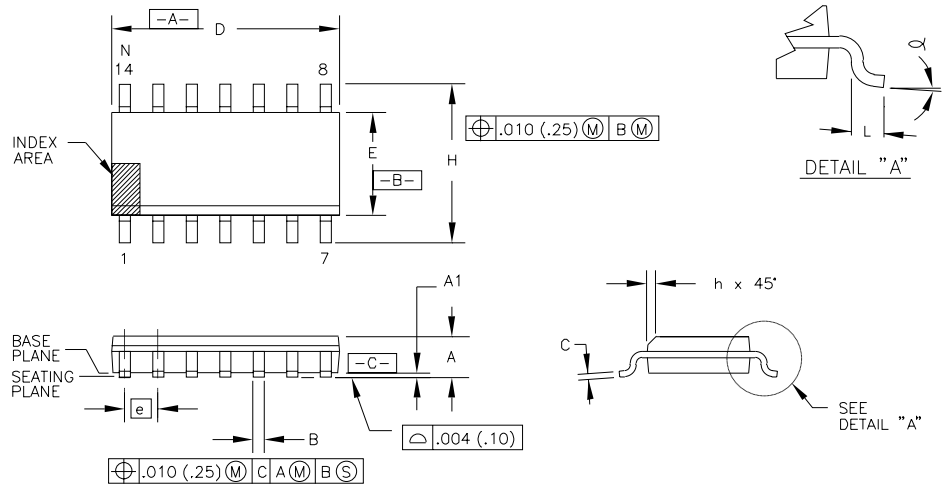


DIM	INCHES		MILLIMETERS		NOTE
	MIN.	MAX.	MIN.	MAX.	
A	.0532	.0688	1.35	1.75	
A1	.004	.0098	0.10	0.23	
B	.013	.020	0.33	0.51	7
C	.0075	.0098	0.20	0.25	
D	.189	.1968	4.80	4.98	2
E	.1497	.1574	3.80	4.00	3
e	.050 BASIC		1.27 BASIC		
H	.2284	.244	5.80	6.20	
h	.0099	.0196	0.25	0.50	4
L	.016	.050	0.41	1.27	5
N	8		8		6
∝	0°	8°	0°	8°	

NOTES:
1. DIMENSIONING AND TOLERANCING PER ANSI Y14.5M－1982.
2. DIMENSION D DOES NOT INCLUDE MOLD FLASH, PROTRUSIONS OR GATE BURRS. MOLD FLASH, PROTRUSIONS AND GATE BURRS SHALL NOT EXCEED .006 IN. (0.15 mm) PER SIDE.
3. DIMENSION E DOES NOT INCLUDE INTER－LEAD FLASH OR PROTRUSIONS. INTER－LEAD FLASH AND PROTRUSIONS SHALL NOT EXCEED .010 IN. (0.25 mm) PER SIDE.
4. THE CHAMFER ON THE BODY IS OPTIONAL. IF IT IS NOT PRESENT, A VISUAL INDEX FEATURE MUST BE LOCATED WITHIN THE CROSS－HATCHED AREA.
5. L IS THE LENGTH OF TERMINAL FOR SOLDERING TO A SUBSTRATE.
6. N IS THE NUMBER OF TERMINAL POSITIONS.
7. THE LEAD WIDTH B, AS MEASURED .014 IN. (0.36 mm) OR GREATER ABOVE THE SEATING PLANE, SHALL NOT EXCEED A MAXIMUM VALUE OF .024 IN. (0.61 mm).
8. LEAD TO LEAD COPLANARITY SHALL BE LESS THAN .004 IN. (0.10 mm) FROM SEATING PLANE.

PACKAGE NUMBER: ZZ182	REV.: H
JEDEC NUMBER: MS－012－AA	

パッケージ番号235－14ピンSOP



DIM	INCHES		MILLIMETERS		NOTE
	MIN.	MAX.	MIN.	MAX.	
A	.0532	.0688	1.35	1.75	
A1	.004	.0098	0.10	0.25	
B	.013	.020	0.33	0.51	7
C	.0075	.0098	0.19	0.25	
D	.3367	.3444	8.55	8.75	2
E	.1497	.1574	3.80	4.00	3
e	.050 BASIC		1.27 BASIC		
H	.2284	.244	5.80	6.20	
h	.0099	.0196	0.25	0.50	4
L	.016	.050	0.40	1.27	5
N	14		14		6
∝	0°	8°	0°	8°	

NOTES:
1. DIMENSIONING AND TOLERANCING PER ANSI Y14.5M－1982.
2. DIMENSION D DOES NOT INCLUDE MOLD FLASH, PROTRUSIONS OR GATE BURRS. MOLD FLASH, PROTRUSIONS AND GATE BURRS SHALL NOT EXCEED .006 IN. (0.15 mm) PER SIDE.
3. DIMENSION E DOES NOT INCLUDE INTER－LEAD FLASH OR PROTRUSIONS. INTER－LEAD FLASH AND PROTRUSIONS SHALL NOT EXCEED .010 IN. (0.25 mm) PER SIDE.
4. THE CHAMFER ON THE BODY IS OPTIONAL. IF IT IS NOT PRESENT, A VISUAL INDEX FEATURE MUST BE LOCATED WITHIN THE CROSS－HATCHED AREA.
5. L IS THE LENGTH OF TERMINAL FOR SOLDERING TO A SUBSTRATE.
6. N IS THE NUMBER OF TERMINAL POSITIONS.
7. THE LEAD WIDTH B, AS MEASURED .014 IN. (0.36 mm) OR GREATER ABOVE THE SEATING PLANE, SHALL NOT EXCEED A MAXIMUM VALUE OF .024 IN. (0.61 mm).
8. LEAD TO LEAD COPLANARITY SHALL BE LESS THAN .004 IN. (0.10 mm) FROM SEATING PLANE.

PACKAGE NUMBER: ZZ235	REV.: E
JEDEC NUMBER: MS－012－AB	

©BBJ991103K