

700MHz、デュアル電圧帰還型オペアンプ

特 長

- 広帯域バッファ：700MHz ($G = +1$)
- 広帯域ライン・ドライバ：200MHz ($G = +2$)
- 大出力電流：140mA
- 低電源電流：5.5mA/チャンネル
- 低 $dG/d\phi$ ：0.05%/0.03°
- 高スルーレート：335V/ μ sec
- 電源電圧： $\pm 3V \sim \pm 6V$

アプリケーション

- A/Dドライバ
- 民生用ビデオ
- アクティブフィルタ
- パルス遅延回路
- AD8056またはEL2210への低コストでのアップグレード

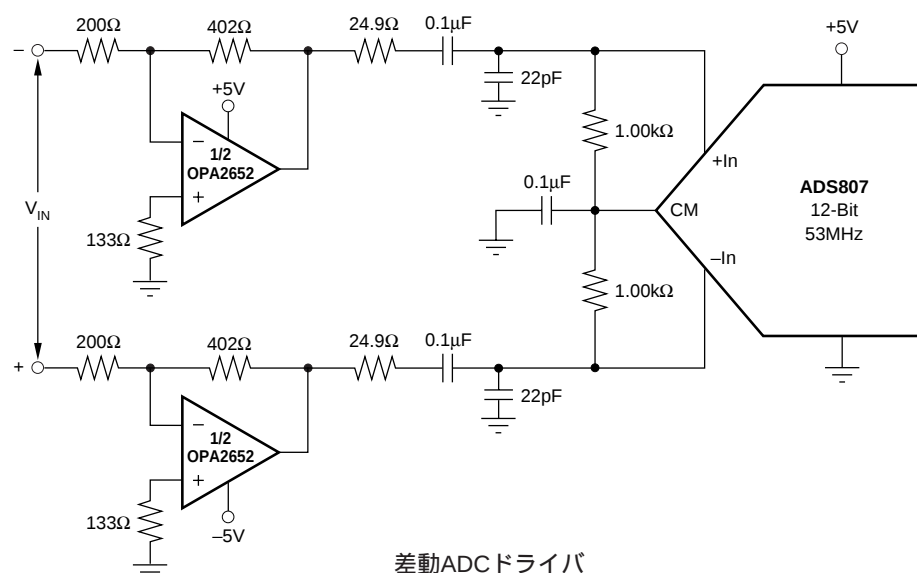
概 要

OPA2652はローコスト、広帯域のデュアル電圧帰還型アンプで、ローコスト化が要求されるアプリケーションに最適です。200MHzという高ゲイン帯域幅積で、無信号時電流はわずか5.5mA/チャンネルです。 $\pm 5V$ 電源で動作するように設計されていますが、出力電流140mAで $+6V \sim +12V$ の単一電源によるアプリケーションもサポートしています。クラシックな差動入力および電圧帰還設計により、アクティブフィルタ、積分器、トランスインピーダンス・アンプ、差動レシーバなど、幅広いアプリケーションに利用できます。

OPA2652は、ユニティ・ゲインで安定するように内部補償されています。ユニティ・ゲイン・バッファとして卓越した帯域幅(700MHz)を持ち、ピークはほとんどありません(標準で0dB)。わずか1.5mVの入力オフセット電圧と300nAの入力オフセット電流で優れたDC精度が得られます。

関連製品

シングル	デュアル	トリプル	クワッド	備考
OPA650	OPA2650	—	OPA4650	$\pm 5V$ 仕様
OPA680	OPA2680	OPA3680	—	$+5V$ 対応
OPA631	OPA2631	—	—	$+3V$ 対応
OPA634	OPA2634	—	—	$+3V$ 対応



差動ADCドライバ

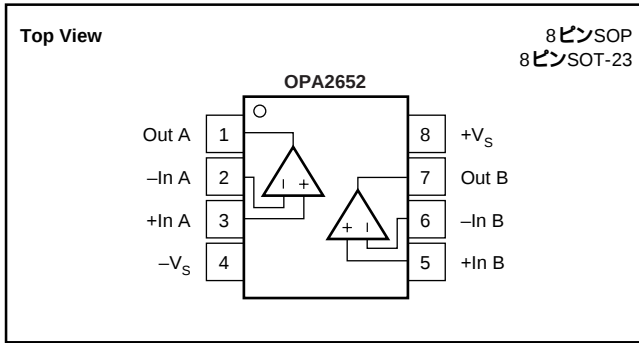
仕様：V_S = ±5V

特に記述のない限り、T_A = +25、G = +2、R_F = 402Ω、R_L = 100Ωです。AC性能についての図1および図2を参照して下さい。

パラメータ	条件	OPA2652U、E				単位	最小/最大	テストレベル ¹⁾
		標準	保証					
			+25	+25 ⁽²⁾	0 ~ 70 ⁽³⁾			
AC性能	(図1および図2)							
小信号帯域幅	G = +1、R _F = 25Ω、V _O = 200mVp-p	700				MHz	typ	C
	G = +2、V _O = 200mVp-p	200				MHz	typ	C
	G = +5、V _O = 200mVp-p	45				MHz	typ	C
ゲイン帯域幅積	G ≥ +10	200				MHz	typ	C
0.1dBのゲイン平坦性が得られる帯域幅	V _O = 200mVp-p	50				MHz	typ	C
+1ゲイン時のピーク	G = +1、R _F = 25Ω、V _O = 200mVp-p	0				dB	typ	C
スルーレート	4Vステップ	335				V/μs	typ	C
立ち上がり/立ち下がり時間	200mVステップ	2.0				ns	typ	C
	4Vステップ	10				ns	typ	C
大信号帯域幅	V _O = 4Vp-p	50				MHz	typ	C
SFDR	V _O = 2Vp-p、5MHz	66				dB	typ	C
入力電圧ノイズ	f > 1MHz	8				nV/√Hz	typ	C
入力電流ノイズ	f > 1MHz	1.4				pA/√Hz	typ	C
微分ゲイン誤差	NTSC、R _L = 150Ω	0.05				%	typ	C
微分位相誤差	NTSC、R _L = 150Ω	0.03				degrees	typ	C
チャンネル間クロストーク	f = 5MHz	-100				dBc	typ	C
DC性能 ⁽⁴⁾	V _{CM} = 0V							
開ループ電圧ゲイン		63	56	55	54	dB	min	A
入力オフセット電圧		±1.5	±7			mV	max	A
平均オフセット・ドリフト				5	7	μV/	max	B
入力バイアス電流		4	15	20	25	μA	max	A
入力バイアス電流ドリフト						μA/	max	B
入力オフセット電流		±0.3	±1.0	±1.4	±2.0	μA	max	A
入力オフセット電流ドリフト						μA/	max	B
入力 ⁽⁴⁾								
同相モード入力レンジ		±4.0	±3.0	±2.8	±2.7	V	min	A
同相モード除去比		95	75			dB	min	A
入力インピーダンス	V _{CM} = 0V							
差動		35 1				kΩ pF	typ	C
同相モード		18 1				MΩ pF	typ	C
出力								
電圧出力スイング	1kΩ負荷	±3.0	±2.8			V	min	A
	100Ω負荷	±2.5	±2.2			V	min	A
出力電流、ソース	V _O = 0V	140	100	85	75	mA	min	A
出力電流、シンク	V _O = 0V	140	100	85	75	mA	min	A
閉ループ出力インピーダンス	f < 100kHz	0.06				Ω	typ	C
電源								
仕様動作電圧		±5				V	typ	C
最大動作電圧			±6	±6	±6	V	max	A
最大無信号時電流	両チャンネルの合計	11	13.2	14	15.5	mA	max	A
最小無信号時電流	両チャンネルの合計	11	8.8	8	7.5	mA	min	A
電源除去比(-PSRR)	入力換算	58	54			dB	min	A
温度特性								
仕様動作温度範囲	U、Eパッケージ	-40 ~ +85					typ	C
熱抵抗、θ _{JA}	接合部・周囲間							
U 8ピンSOP		125				/W	typ	C
E 8ピンSOT-23		150				/W	typ	C

注：(1)テストレベル：(A) 25 で100%試験を実施。特性評価試験とシミュレーションによって全温度の制限値を設定。(B)特性評価試験とシミュレーションによって制限値を設定。(C)標準値は参考用としてのみ使用。(2)接合部温度 = 仕様保証温度範囲における25 の周囲温度。(3)接合部温度 = 仕様保証全温度範囲における下限の周囲温度：接合部温度 = 仕様保証全温度範囲における上限の周囲温度+23。(4)ノードから出力される電流の極性を正とします。V_{CM}は入力同相モード電圧です。

ピン配置



静電気放電対策

静電気放電はわずかな性能の低下から完全なデバイスの故障に至るまで、様々な損傷を与えます。すべての集積回路は、適切なESD保護方法を用いて、取扱いと保存を行うようにして下さい。高精度の集積回路は、損傷に対して敏感であり、極めてわずかなパラメータの変化により、デバイスに規定された仕様に適合しなくなる場合があります。

絶対最大定格

電源電圧	±6.5V
内部消費電力	「熱解析」を参照
差動入力電圧	±1.2V
入力電圧範囲	±V _S
保存温度範囲	-40 ~ +125
リード温度(8ピンSOP)	+260
接合部温度(T _j)	+175
ESD定格(人体モデル)	2000V
(マシン・モデル)	200V

パッケージ情報/ご発注の手引き

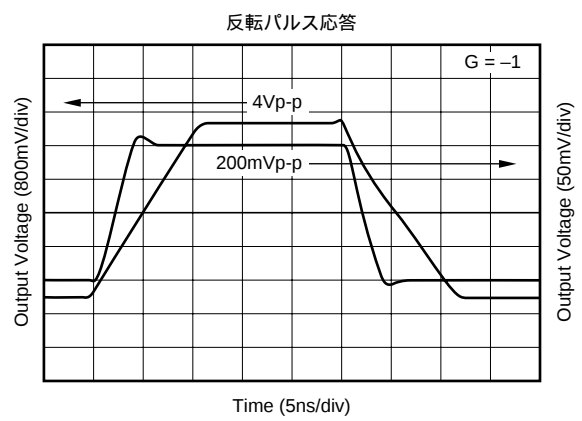
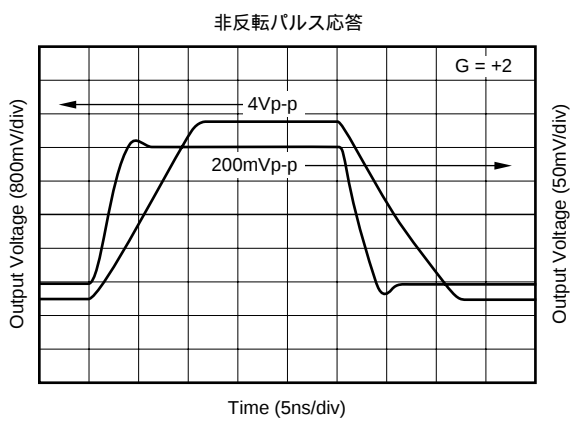
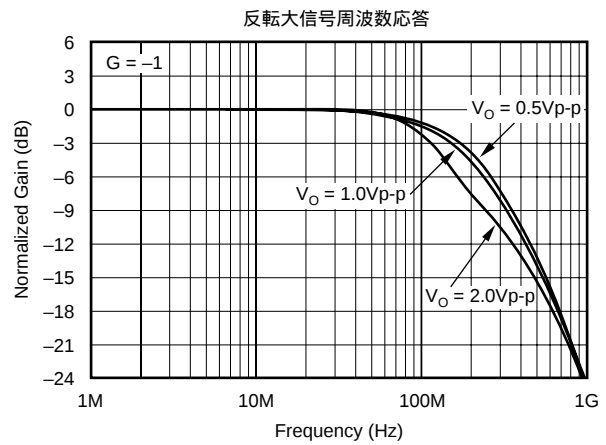
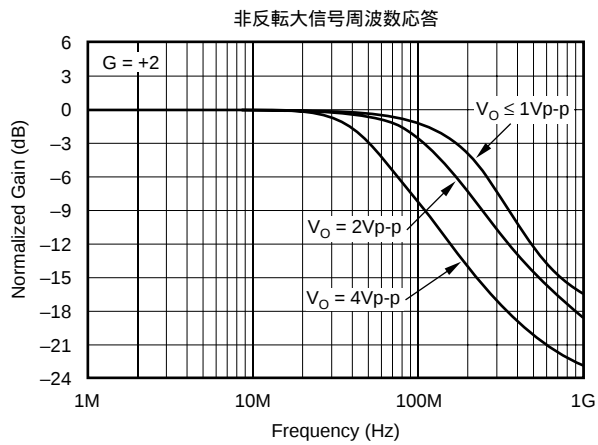
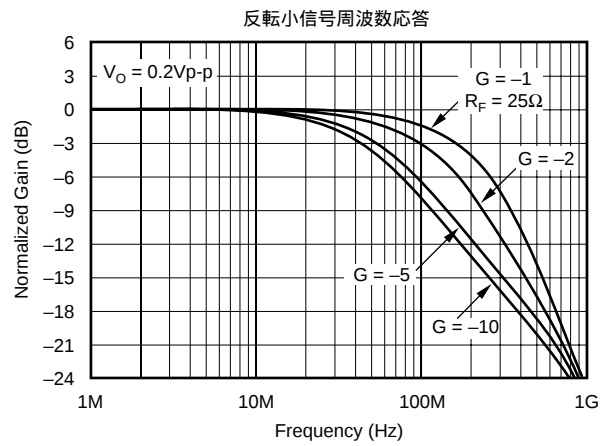
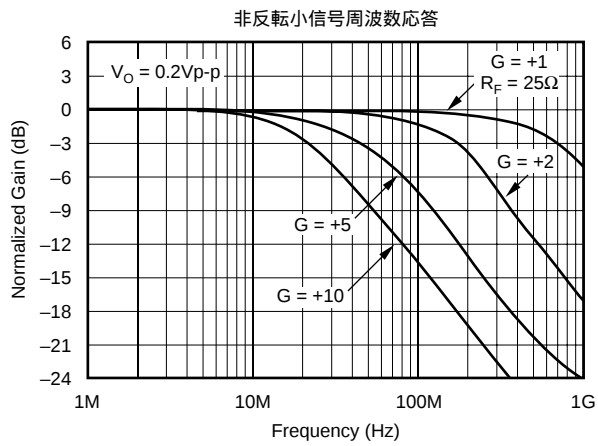
モデル	パッケージ	パッケージ図番号	仕様温度範囲	パッケージ・マーキング	発注番号 ⁽¹⁾	供給時の状態
OPA2652U	8ピンSOP	182	-40 ~ +85	OPA2652U	OPA2652U	マガジン
OPA2652U	8ピンSOP	182	-40 ~ +85	OPA2652U	OPA2652U/2K5	テーブリール
OPA2652E	8ピンSOT-23	348	-40 ~ +85	C52	⁽²⁾	—

注：(1)スラッシュ(/)の付いたモデルは、その後に示される数量を単位として、テーブリールでのみ供給されます(たとえば、/2K5は2,500個で1リールであることを示します)。「OPA2652U/2K5」をご注文の場合、2,500個入りのテーブリールが1本納入されます。(2)2000年第3四半期発売予定です。

このデータシートに記載されている情報は、信頼し得るものと考えておりますが、不正確な情報や記載漏れ等に関して弊社は責任を負うものではありません。情報の使用について弊社は責任を負えませんので、各ユーザーの責任において御使用下さい。価格や仕様は予告なしに変更される場合がありますのでご了承下さい。ここに記載されているいかなる回路についても工業所有権その他の権利またはその実施権を付与したり承諾したりするものではありません。弊社は弊社製品を生命維持に関する機器またはシステムに使用することを承認しまたは保証するものではありません。

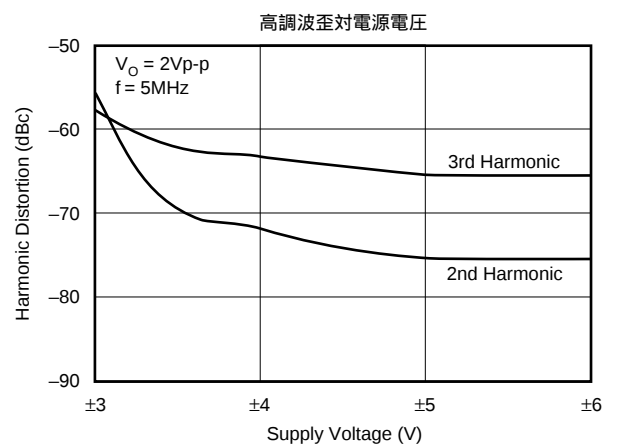
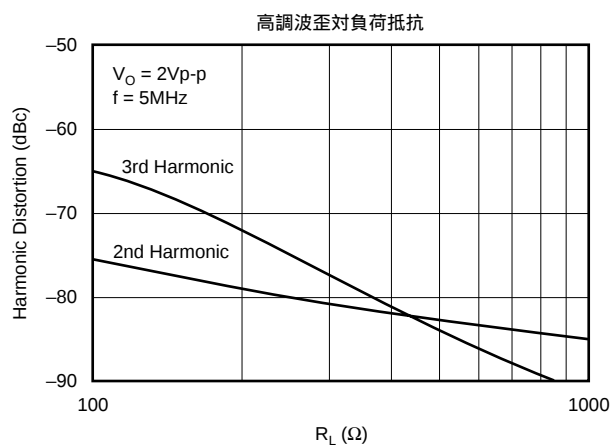
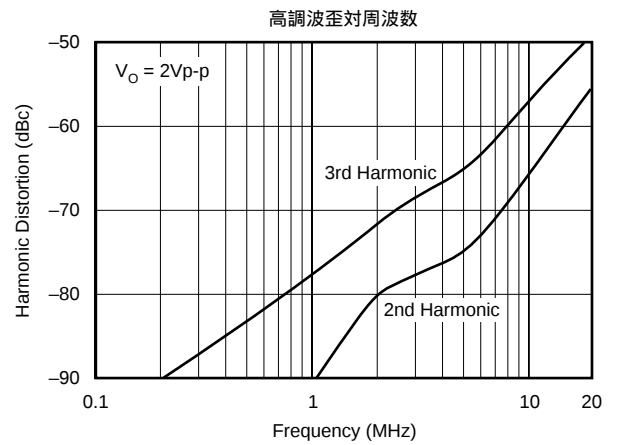
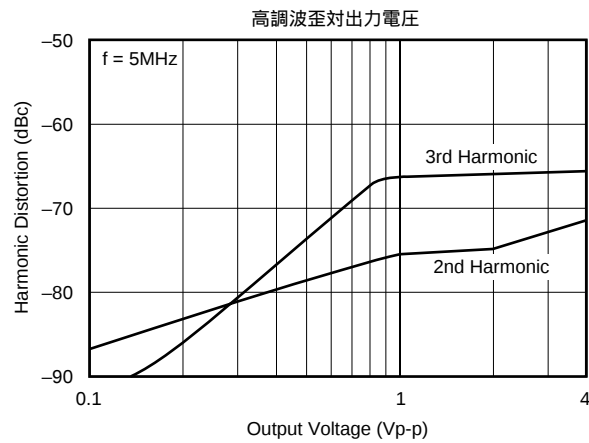
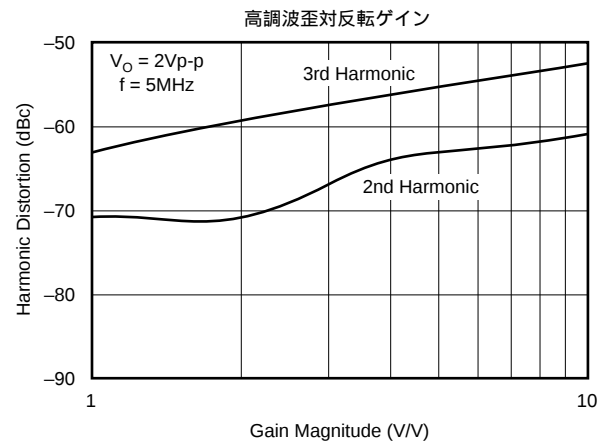
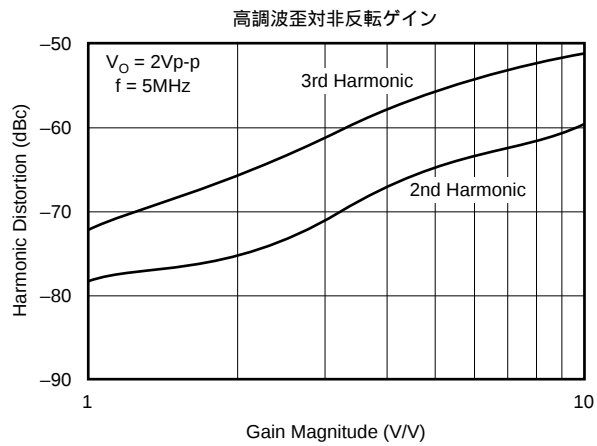
代表的性能曲線： $V_S = \pm 5V$

特に記述のない限り、 $T_A = +25^\circ\text{C}$ 、 $G = +2$ 、 $R_F = 402\Omega$ 、 $R_L = 100\Omega$ です。図1および図2を参照して下さい。



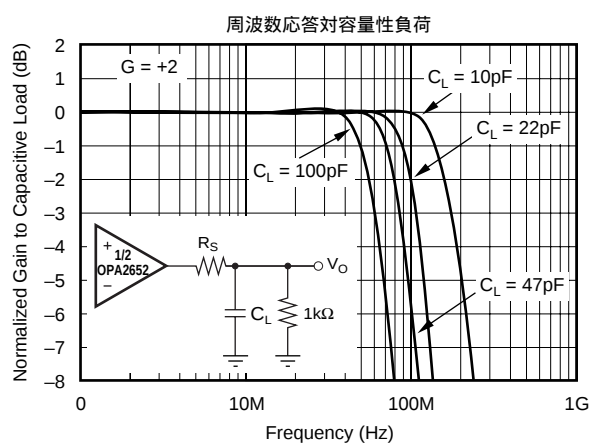
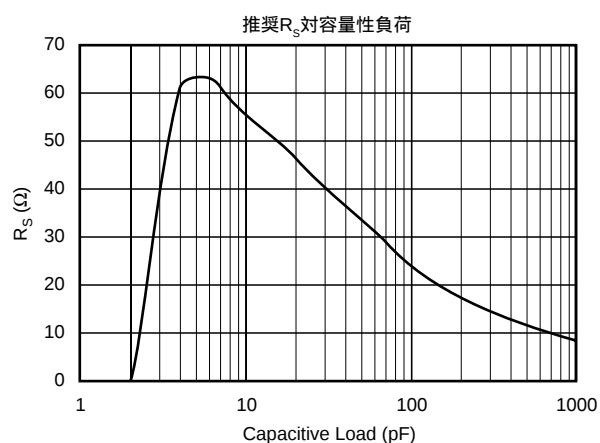
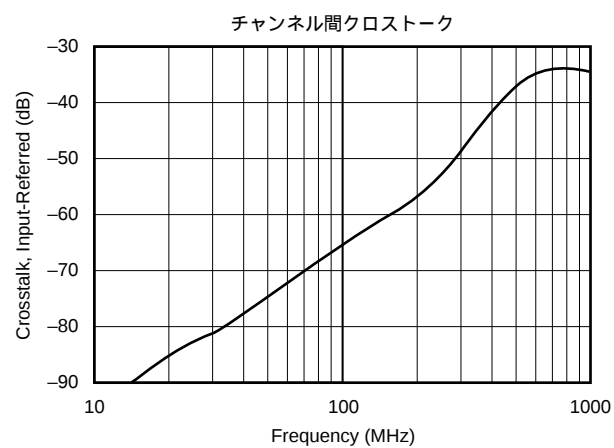
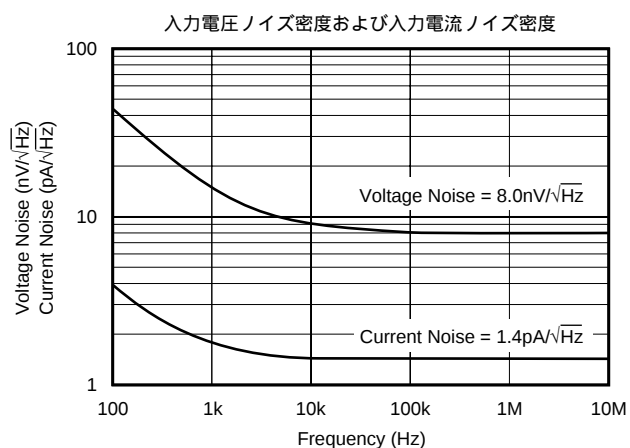
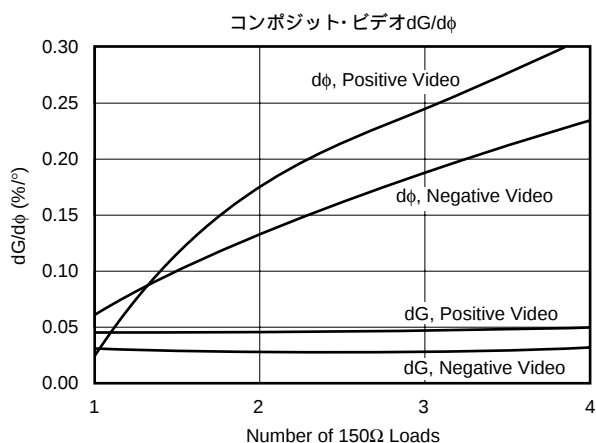
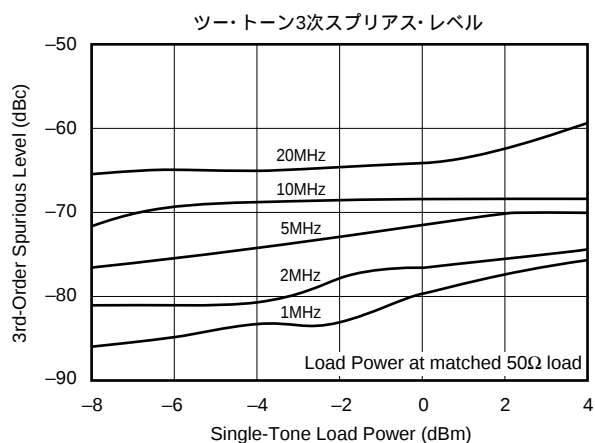
代表的性能曲線： $V_S = \pm 5V$

特に記述のない限り、 $T_A = +25$ 、 $G = +2$ 、 $R_F = 402\Omega$ 、 $R_L = 100\Omega$ です。図1および図2を参照して下さい。



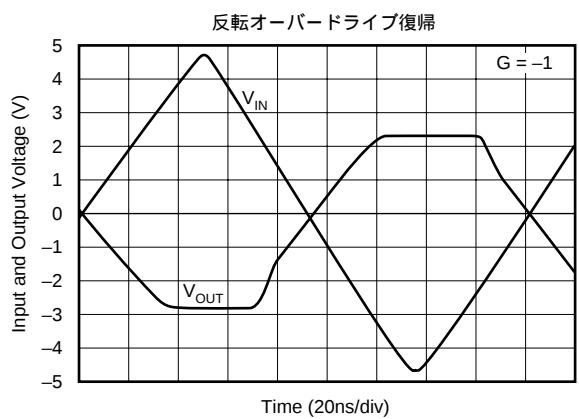
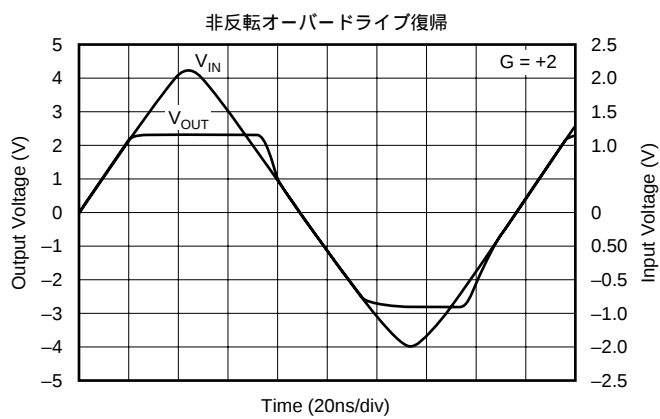
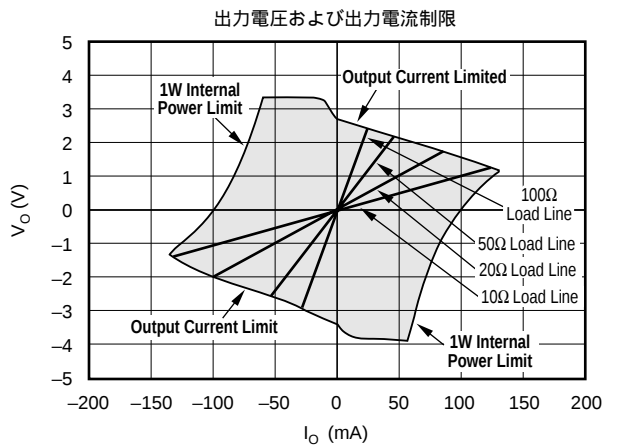
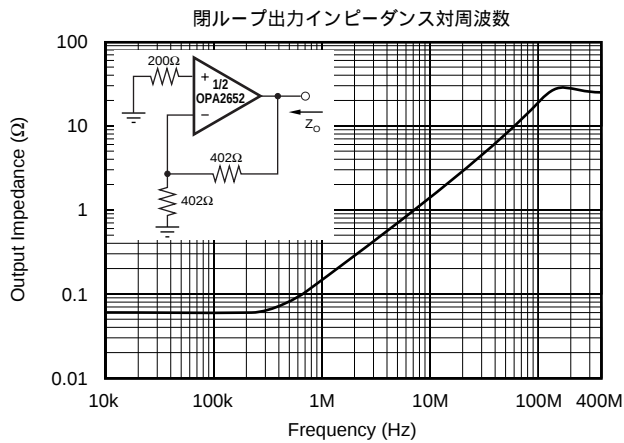
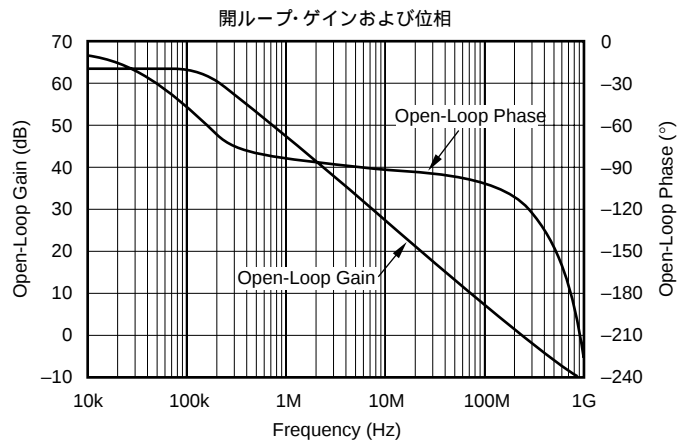
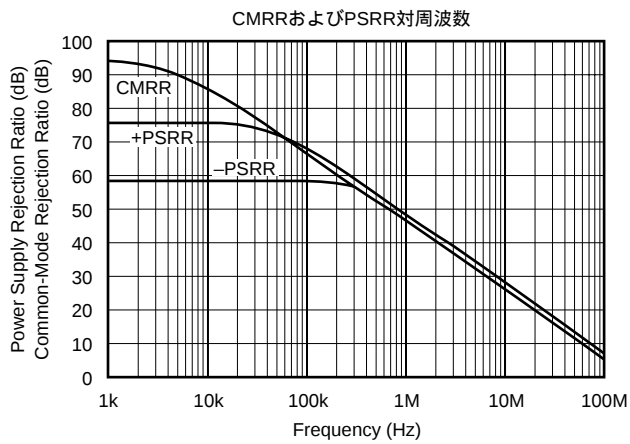
代表的性能曲線： $V_S = \pm 5V$

特に記述のない限り、 $T_A = +25$ 、 $G = +2$ 、 $R_F = 402\Omega$ 、 $R_L = 100\Omega$ です。図1および図2を参照して下さい。



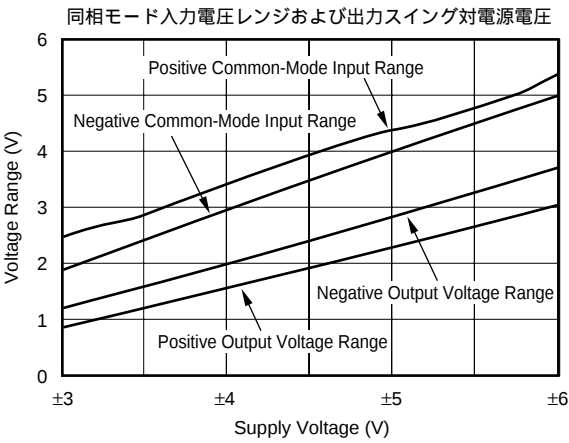
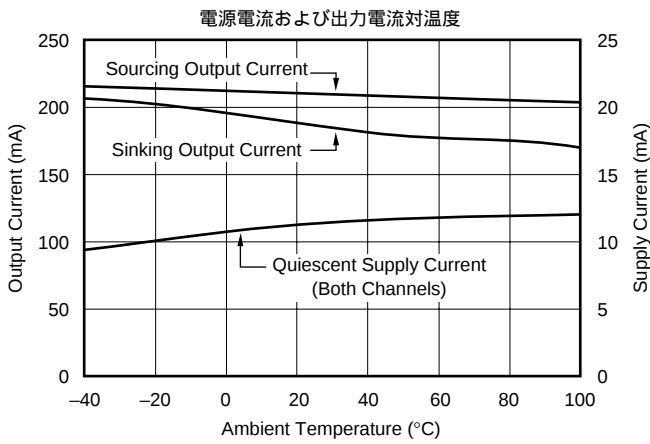
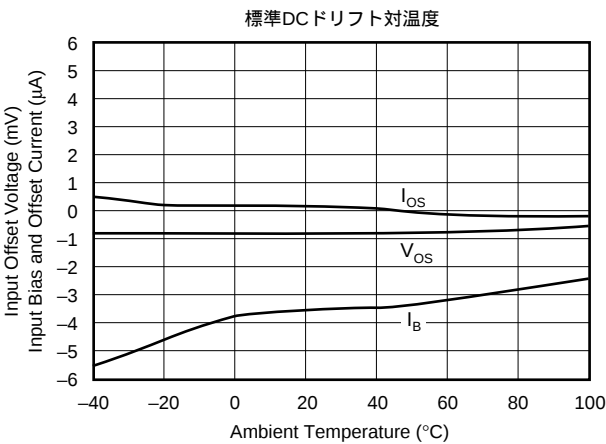
代表的性能曲線： $V_S = \pm 5V$

特に記述のない限り、 $T_A = +25$ 、 $G = +2$ 、 $R_F = 402\Omega$ 、 $R_L = 100\Omega$ です。図1および図2を参照して下さい。



代表的性能曲線：V_S = ±5V

特に記述のない限り、T_A = +25、G = +2、R_F = 402Ω、R_L = 100Ωです。図1および図2を参照して下さい。



使用上の注意

広帯域電圧帰還動作

OPA2652は、低電力、広帯域のデュアル電圧帰還型オペアンプです。各チャンネルは、ユニティ・ゲインで安定するように内部補償されています。OPA2652の電圧帰還アーキテクチャは、完全に対称な真の差動入力を備えています。これによりオフセット誤差が最小限に抑えられるため、OPA2652はフィルタおよび計測用途に最適です。また、デュアル・オペアンプであることから、複数チャンネルを必要とする設計で基板スペース、消費電力、コストの削減が重要である場合には理想的な選択肢となります。AC性能は、200MHzのゲイン帯域幅積と2.0nsの高速な立ち上がり時間を実現するように最適化されています。これらの条件は、高速データ変換アプリケーションで重要となります。DC入力オフセットが $\pm 1.5\text{mV}$ 、ドリフトが $\pm 5\mu\text{V}/^\circ\text{C}$ と低いため、高精度の要求をサポートします。ビデオや高ビット・レート・デジタル通信など、より高いスループットと広い帯域幅を要求するアプリケーションでは、デュアル電流帰還オペアンプOPA2658またはOPA2681の使用を考慮して下さい。

図1に、 $\pm 5\text{V}$ の仕様と代表的性能曲線の測定に使用される、DC結合でゲインが+2のデュアル電源回路の構成を示します。これは、1つのチャンネルについての回路です。もう1つのチャンネルも同じように接続します。テストのために、対グランド抵抗を使って入力インピーダンスが 50Ω に設定され、直列出力抵抗を使って出力インピーダンスが 50Ω に設定されています。仕様に表示される電圧スイングは、入力および出力ピンで直接測定されたものであり、出力電力(dBm)はマッチングされた 50Ω 負荷で測定されます。図1の回路の場合、合計の有効負荷は $100\Omega \parallel 804\Omega$ になります。図1には、オプションの部品が2つ含まれています。

その1つは、非反転入力に直列に接続されている 174Ω の抵抗です。信号発生器側に存在する 25Ω のDCソース抵抗との組み合わせにより、反転入力ソース抵抗 201Ω にマッチングする入力バイアス電流キャンセル抵抗が得られます(「DC精度とオフセット

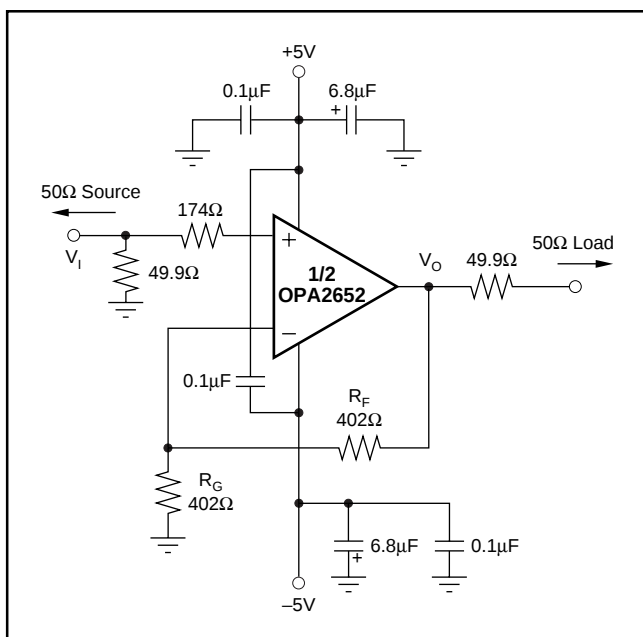


図1. DC結合、 $G = +2$ 、バイポーラ電源の仕様評価およびテスト回路

制御」の項を参照)。また、通常対グランドの電源デカップリング・コンデンサに加えて、2本の電源ピンの間に $0.1\mu\text{F}$ のコンデンサを接続することができます。実際のプリント基板レイアウトでは、このオプションの追加コンデンサにより、2次高調波歪性能が一般に3dBから6dB向上します。

図2には、 $G = -1$ の仕様と代表的性能曲線の測定に使用される、DC結合でゲインが-1のバイポーラ電源回路の構成を示します。テストに使用されている入力インピーダンス・マッチング抵抗(57.6Ω)は、 50Ω の入力負荷を提供します。非反転入力とグランドの間に抵抗(ここでは 205Ω)を接続することにより、入力バイアス電流に起因する出力誤差をキャンセルするためのDCソース抵抗マッチングが得られます。

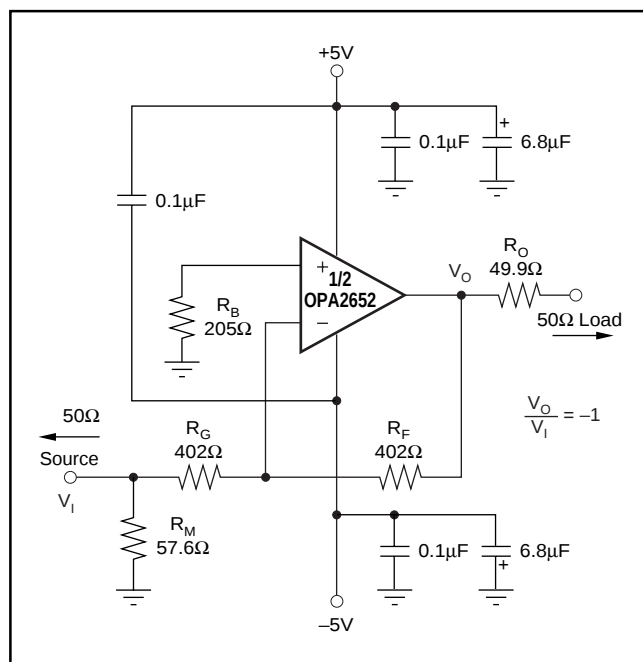


図2. DC結合、 $G = -1$ 、バイポーラ電源の仕様評価およびテスト回路

差動ADCドライバ

表紙に示した回路では、OPA2652がA/DコンバータADS807をゲイン $+2\text{V/V}$ で差動ドライブしています。出力はコンバータにAC結合され、電源電圧の差を調整しています。非反転入力側の 133Ω の抵抗によってDCオフセット誤差が最小となります。また、差動トポロジによって2次高調波歪などの偶数次の歪積が最小限に抑えられます。

バンドパス・フィルタ

図3は、1つのOPA2652で6次バンドパス・フィルタを実現する例です。このフィルタは、伝送ゼロと2実極を持つ2つの2次Sallen-Keyセクションを、カスケード接続しています。リップルは 0.3dB 、 -3dB 周波数は 450kHz および 11MHz 、 -23dB 周波数は 315kHz および 16MHz です。 20.0Ω の抵抗によって、最初のOPA2652の出力を容量性負荷から分離し、 700MHz 以上のフィルタ応答にしか影響が出ないようにしています。図4に、SPICEによってシミュレートされた公称応答を示します。

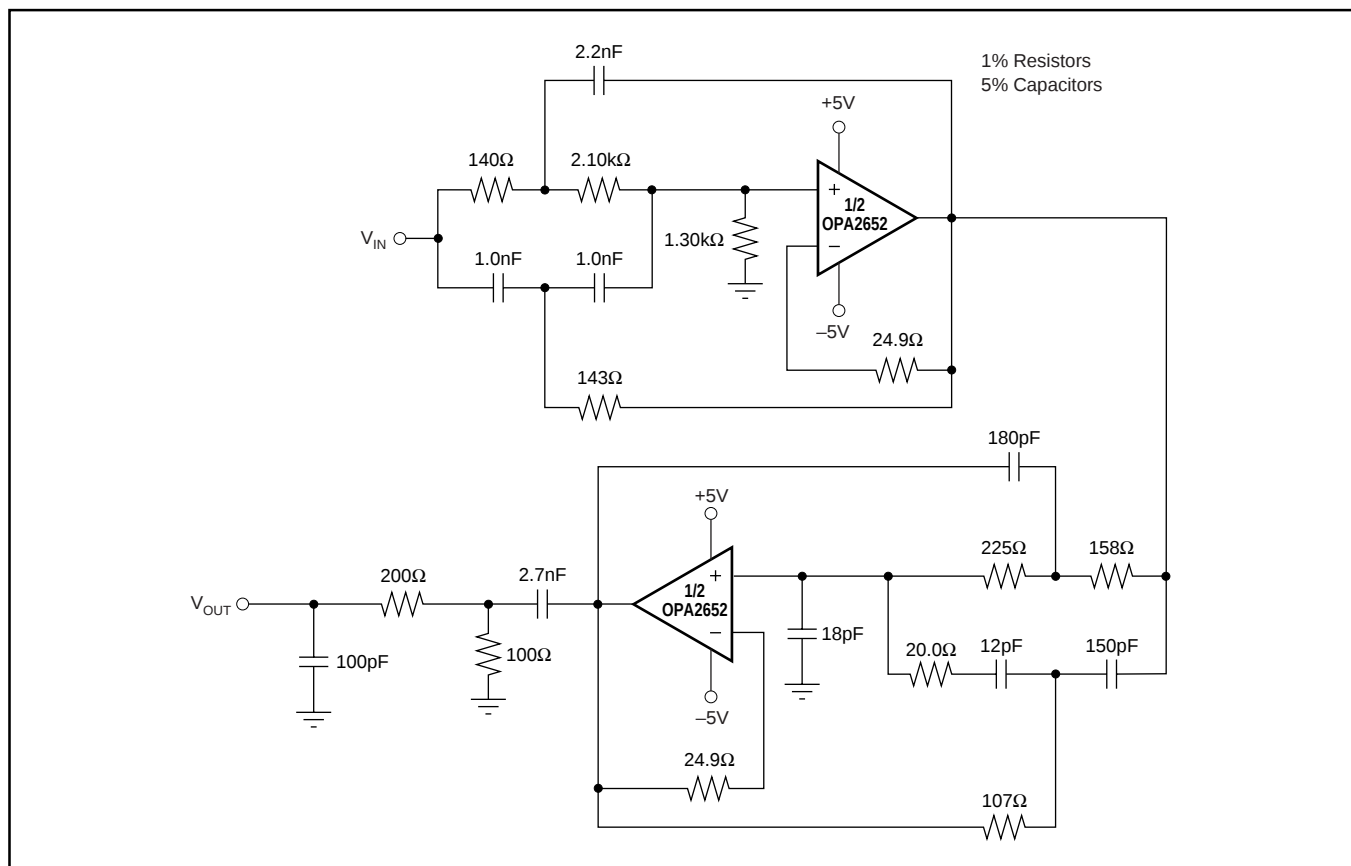


図3. バンドパス・フィルタ

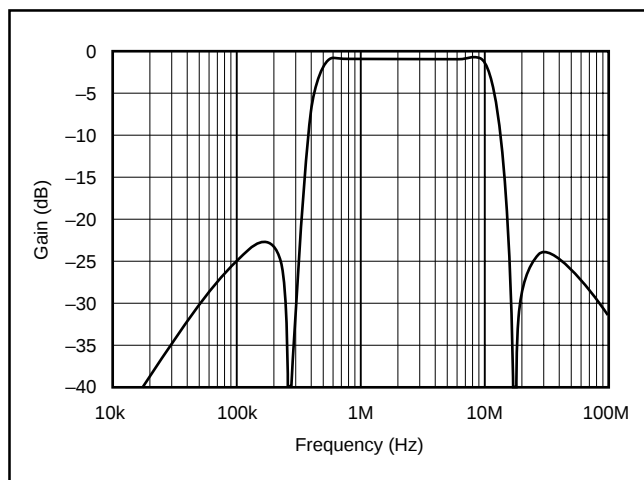


図4. 公称フィルタ応答

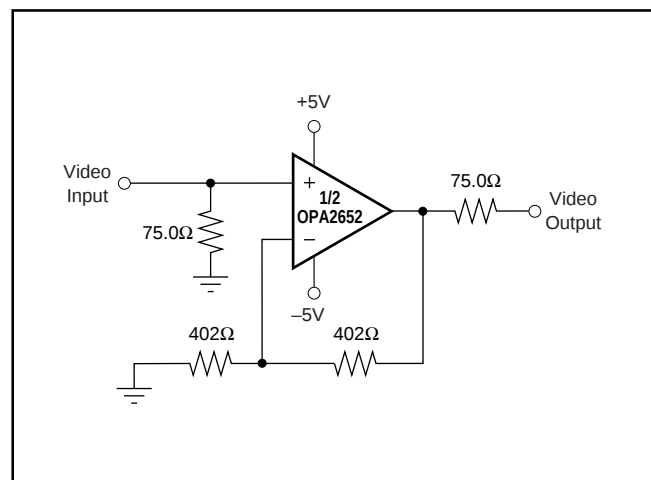


図5. ビデオ・ライン・ドライバ

ビデオ・ライン・ドライバ

図5は、OPA2652をビデオ・ライン・ドライバとして使用した例です。優れた差動ゲインおよび位相特性により、OPA2652はスタジオ用機器に使用することができます。また、その低コスト、および8ピンSOT-23パッケージのオプションにより、民生用アプリケーションもサポートします。

パルス遅延回路

図6は、OPA2652をパルス遅延回路で使用した例です。この回路は、OPA2652の2つのオペアンプをカスケード接続し、それぞれが1極のアクティブ・オールパス・フィルタを構成します。全体

のゲインは+1で、フィルタを通した全体の遅延は次のようになります。

$$t_{GD} = n(2RC) \quad \text{全体のグループ遅延}$$

$$n = 2, \quad \text{カスケードされた段数}$$

ゲインの大きさを一定に保つために、 R_F と R_G を等しくする必要があります。入力パルスの立ち上がりおよび立ち下がり時間($t_{(IN)}$)は、応答におけるプリシュート成分を防ぐために、十分に遅くなければなりません。

$$t_{(IN)} \geq 5RC, \quad \text{最小のプリシュート}$$

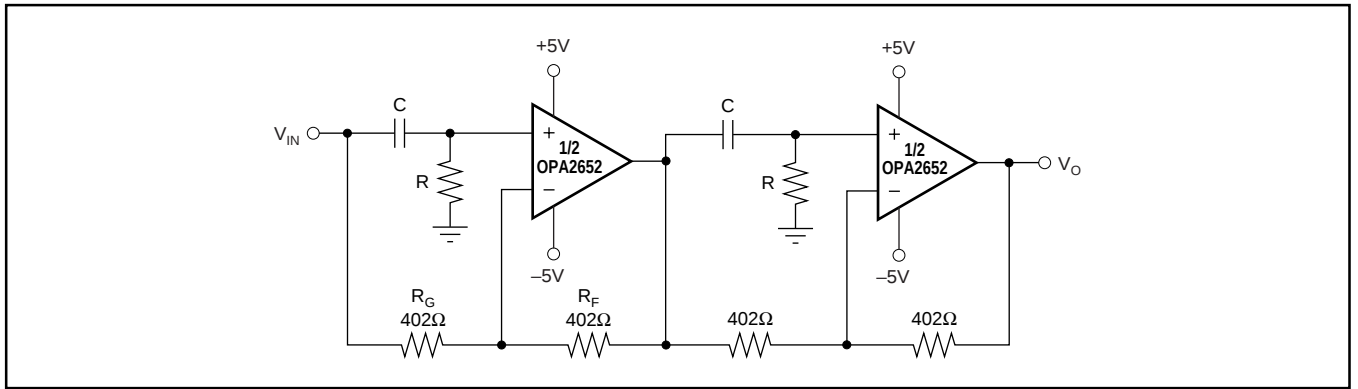


図6. パルス遅延回路

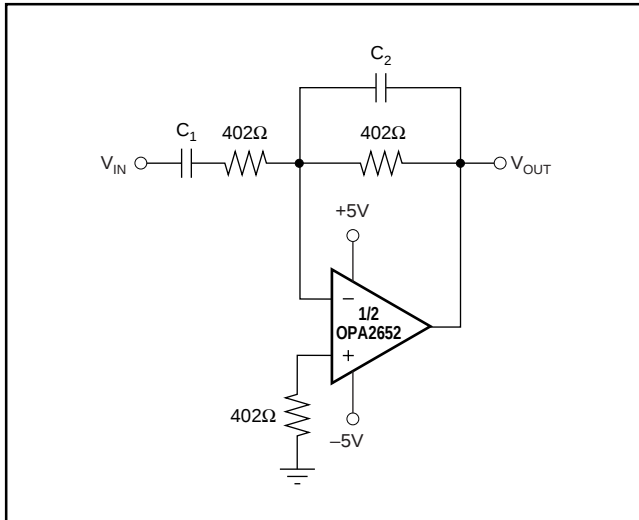


図7. 反転バンドパス・フィルタ

シンプルなバンドパス・フィルタ

図7は、OPA2652をシンプルなバンドパス・フィルタとして使用した例です。OPA2652は+1のノイズ・ゲインで非常に安定であるため、この種の回路に最適です。

デザインイン・ツール

デモボード

OPA2652Uを使用した回路性能の初期評価を支援するためのPCボードを次の表に示します。

モデル	パッケージ	ボード部品番号
OPA2652U	8ピンSOP	DEM-OPA26xU

デモボードについては、パー・ブラウンのフリーラインFAXまでお問い合わせください。

SPICEモデル

アナログ回路およびシステムの性能解析を実施する際に、SPICEを利用した回路性能のコンピュータ・シミュレーションが役立つ場合があります。この方法は、寄生容量およびインダクタンスが回路性能に対する大きな影響要因となるビデオおよびRFアンプ回路に特に有効です。OPA2652用のSPICEモデルについて

は、パー・ブラウンのフリーラインFAXまでお問い合わせください。

動作上の注意

抵抗値の最適化

OPA2652はユニティ・ゲインで安定な電圧帰還型オペアンプであるため、帰還抵抗およびゲイン設定抵抗にはさまざまな範囲の抵抗値を使用できます。この抵抗値を制限する主要な要素は、ダイナミック・レンジ(ノイズおよび歪)と寄生容量に関する条件です。非反転ユニティ・ゲイン・フォロワのアプリケーションでは、帰還接続は直接短絡ではなく25Ωの抵抗を介して行う必要があります。これにより、反転入力容量が出力ピンから分離され、周波数応答の平坦性が向上します。通常、帰還抵抗の値は200Ω～1.5kΩの範囲内にします。200Ω以下では、帰還回路に余分な出力負荷が加わり、OPA2652の高調波歪性能を劣化させる原因となります。1.5kΩ以上では、帰還抵抗における標準的な寄生容量(約0.2pF)によってアンプの応答に意図しない帯域制限が加わる場合があります。

経験則として、 R_F と R_G の並列コンビネーションの抵抗値(図1)を約300Ω以下にすることをお奨めします。この複合インピーダンス $R_F \parallel R_G$ は、反転入力容量との相互作用によって、帰還回路に極を追加し、帰還応答にはゼロを追加します。反転ノードでの合計寄生容量を2pFと仮定すると、 $R_F \parallel R_G$ を300Ω以下にすれば、この極の位置を250MHzより上に保つことができます。この制約はそれだけ見ると、高いゲインでは帰還抵抗 R_F が数kΩまで増加することを意味します。これは、 R_F とそれに並列に現れる寄生容量によって形成される極が使用周波数範囲の外にある限り、問題にはなりません。

帯域幅対ゲイン：非反転動作

電圧帰還型オペアンプは信号ゲインを高くすると、これに応じて閉ループ帯域幅が下がります。理論的にはこの関係は仕様に表示しているゲイン帯域幅積(GBP)によって表されます。理想的には、非反転信号ゲイン(ノイズ・ゲインすなわち NG とも呼ぶ)でGBPの値を除算すると、閉ループ帯域幅の値が予測できます。しかし実際には、高ゲインの回路構成の場合などの位相マージンが90°に近い場合だけに限り、上記の関係が適用されます。ゲインが低い(帰還ファクタが高くなる)場合には、ほとんどのアンプで帯域幅が広くなり、位相マージンは低くなります。OPA2652は、

非反転ゲインが1のときにフラットな応答が得られるように補償されています(図1)。その結果、ゲインが+1のときの帯域幅が標準で700MHzとなり、200MHzのGBPを $NG=1$ で割った結果を大きく上回る値になります。ゲインを増加させると位相マージンが 90° に近づき、帯域幅は予想値(GBP/NG)により近い値となります。ゲインが+5の場合、標準仕様に示される45MHzの帯域幅はこの単純な式で予想される結果に近くなります。

反転アンプ動作

OPA2652は汎用の広帯域電圧帰還型オペアンプであるため、広範囲なオペアンプ・アプリケーション回路の設計に利用できます。反転動作は回路設計で最も一般的に利用される技術の一つで、数多くの性能上の利点があります。図2に、標準的な反転構成を示しています。

反転構成では、3つの重要な設計上の留意点に注意することが必要です。1つは、ゲイン抵抗(R_G)が信号チャンネル入力インピーダンスの一部を形成する点です。入力インピーダンスのマッチングが必要であればこれはケーブル、ツイスト・ペア配線、長いPC基板トレース配線またはその他の伝送線路を通して信号が結合するときに常に役立ちます。 R_G は必要な終端値と等しい値に設定し、 R_F の値を調整して必要なゲインを得ることができます。これは最も簡単な方法で、帯域幅とノイズ性能の最適化が可能になります。しかし反転ゲインが低い場合は、使用する帰還抵抗の値によってアンプの出力に大きな負荷がかかる結果になります。反転ゲインが-1のときに入力マッチング用として R_G の値を 50Ω に設定すると、 R_M が不要になりますが、 50Ω の帰還抵抗が必要になります。この方法には、ソース・インピーダンスが 50Ω のときにノイズ・ゲインが+2に等しい値になるという興味深い利点があります。これは前述の非反転回路と同様です。ただし、アンプの出力には外部負荷と並列の 50Ω の帰還抵抗があります。通常、帰還抵抗の値は $200\Omega \sim 1.5k\Omega$ までの範囲内に制限してください。この場合、図2に示されるように R_F と R_G 両方の抵抗値を大きくし、グランド間に3番目の抵抗(R_M)を配置して入力インピーダンスのマッチングを行うと良好な結果が得られます。入力インピーダンスの合計値は R_G と R_M を並列に接続した抵抗値に等しくなります。

第2の考慮点は、前の段落でも触れましたが、ソース・インピーダンスがノイズ・ゲイン式の一部、すなわち帯域幅の一部を形成する点です。図2の例では、 R_M の値が外部の 50Ω ソース・インピーダンスと並列に結合して、有効ドライブ・インピーダンスが $50\Omega \parallel 57.6\Omega = 26.8\Omega$ になります。ノイズ・ゲイン(NG)を計算する際には、このインピーダンスが R_G に直列に追加されます。図2における結果の NG は1.94になります(理想的な 0Ω のソースでは $NG=2.00$)。

反転アンプ設計における第3の重要な考慮点は、非反転入力でのバイアス電流キャンセル抵抗(R_B)の設定です。この抵抗を反転ノードから見られるDC抵抗の合計値に等しい値に設定すると、入力バイアス電流による出力DC誤差は(入力オフセット電流) $\times R_F$ に減少します。図2で 50Ω のソース・インピーダンスをDC結合すれば、反転入力とグランド間の合計抵抗は 429Ω になります。これを帰還抵抗と並列に組み合わせると、 208Ω となり、図2で使用されている $R_B=205\Omega$ に近くなります。この抵抗のによって新た

に発生する高周波数ノイズを低減するために、この抵抗をコンデンサでバイパスすることもあります。 $R_B < 300\Omega$ であれば、雑音寄与の合計がオペアンプの入力ノイズ電圧からの寄与に比べてずっと小さくなるため、コンデンサは必要ありません。

出力電流および出力電圧

一般的なことですが、前述の表に示されるOPA2652の仕様は電圧と電流の制限値をそれぞれ別個に切り離して扱っています。多くのアプリケーションでは、電圧 $\times$ 電流、つまりVI積の方が回路動作に密接に関わってきます。代表的性能曲線の「出力電圧および出力電流制限」のグラフを参照して下さい。このグラフのX軸とY軸はそれぞれゼロ電圧出力電流制限値とゼロ電流出力電圧制限値を示しています。グラフが最大内部消費電力1W(各チャンネルで500mW)の「安全動作領域」で囲まれていることに注意すれば、この4つの象限はOPA2652の出力ドライブ能力をより詳細に示すことができます。このグラフ上に抵抗負荷直線を重ね合わせると、OPA2652は 50Ω では $\pm 2.2V$ 、 100Ω では $\pm 2.5V$ を、出力能力または1W消費制限を超えることなくドライブできることが示されます。

出力段の直線性を最高に保つために、出力短絡保護は設けられていません。ほとんどのアプリケーションでは出力に直列マッチング抵抗を接続して、この抵抗の出力側が地絡した場合に内部消費電力を制限するため、通常は問題ありません。ただし、出力ピンがそれと隣接する正電源ピンに直接短絡されると、ほとんどの場合アンプが破壊されます。電源ラインに小さな値の直列抵抗(5Ω)を接続すると、これを防ぐことができます。必ず $0.1\mu F$ の電源デカップリング・コンデンサを直接電源ピンに配置して下さい。

容量性負荷のドライブ

容量性負荷は、オペアンプを使用する際に最も注意すべき問題で、しかも非常に一般的に発生する負荷条件の一つです。A/Dコンバータの入力が容量性負荷となる場合は、A/Dコンバータの直線性を改善させるために外部コンデンサの追加が推奨されることがあります。OPA2652のような高速アンプは、その出力ピン上に直接的に容量性負荷がかかると、これが原因で安定性が下がり、閉ループ応答性に容易にピーキングが発生します。アンプの開ループ出力抵抗を考慮すると、容量性負荷により信号経路に極が追加され、位相のマージンが減少します。この問題を解消するためのいくつかの方法を推奨します。周波数応答の平坦性、信号パルス応答の忠実性および(または)低歪の維持が重要である場合、最も簡単でしかも効果的な方法はアンプの出力と容量性負荷の間に直列に絶縁抵抗を接続し帰還ループから容量性負荷を絶縁することです。この方法によってループ応答から極が除去されるようなことはありませんが、周波数が高くなると極がシフトし、ゼロが追加されます。追加されたゼロは容量性負荷極から位相遅れを取り消す働きをし、位相マージンが大きくなるとともに安定性が改善されます。

推奨 R_G と容量性負荷の関係と、その結果として得られる負荷における周波数応答性を代表的性能曲線に示します。寄生の容量性負荷が $2pF$ よりも高くなると、OPA2652の性能が劣化し始めます。プリント基板パターンが長い場合、ケーブルがマッチングされていない場合、そして複数のデバイスに接続されている場合

は、簡単にこの値を超えてしまいます。常にこの影響を慎重に考慮し、推奨直列抵抗をOPA2652の出力ピンに可能な限り近づけて配置するようにしてください(「回路基板のレイアウト設計に関するガイドライン」を参照)。

歪性能

OPA2652は、 $\pm 5\text{V}$ 電源で 100Ω 負荷に対して優れた歪性能を示します。負荷インピーダンスを増加することで歪を直接改善できます。全体の負荷には帰還回路が含まれることに注意して下さい。これは、非反転構成(図1)では R_F と R_G の和であり、反転構成では単に R_F となります。また、2つの電源ピン(バイポーラ動作の場合)の間に電源デカップリング・コンデンサ($0.1\mu\text{F}$)を追加すると、2次歪が少し($3\text{dB} \sim 6\text{dB}$)改善されます。ほとんどのオペアンプでは、出力電圧シングの増加が高調波歪の増加につながります。

ノイズ性能

OPA2652の入力換算電圧ノイズ項($8\text{nV}/\sqrt{\text{Hz}}$)と2つの入力換算電流ノイズ項($1.4\text{pA}/\sqrt{\text{Hz}}$)を結合した結果、さまざまな動作条件下で低い出力ノイズが実現されます。図8に、すべてのノイズ項を含むオペアンプ・ノイズ解析モデルを示します。このモデルでは、すべてのノイズ項を $\text{nV}/\sqrt{\text{Hz}}$ または $\text{pA}/\sqrt{\text{Hz}}$ のノイズ電圧/電流密度としています。

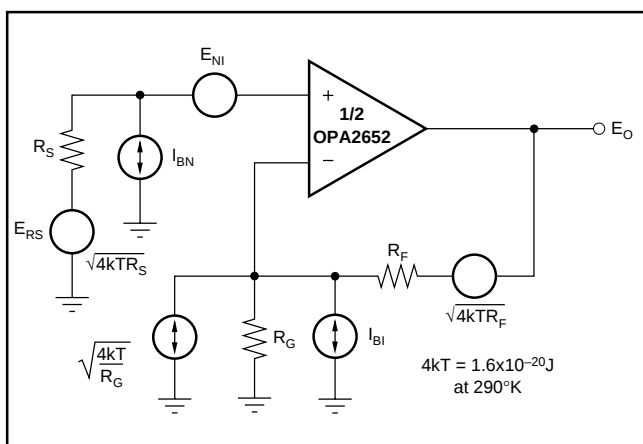


図8. オペアンプのノイズ解析モデル

全体の出力スポット・ノイズ電圧は、すべての出力ノイズ電圧因子の2乗の和の平方根として計算されます。式1は、図10に示される項を使った出力ノイズ電圧の一般形を示すものです。

式1:

$$E_N = \sqrt{E_{NI}^2 + (I_{BN}R_S)^2 + 4kTR_S + \left(\frac{I_{BI}R_F}{NG}\right)^2 + \frac{4kTR_F}{NG}}$$

この式をノイズ・ゲイン($NG = 1 + R_F/R_G$)で除算すると、式2で示すように非反転入力における等価入力換算スポット・ノイズ電圧が得られます。

式2:

$$E_O = \sqrt{\left(E_{NI}^2 + (I_{BN}R_S)^2 + 4kTR_S\right)NG^2 + (I_{BI}R_F)^2 + 4kTR_F}NG$$

図1に示すOPA2652の回路と部品の値についてこれら2つの式から解を求めると、出力スポットノイズ電圧の合計値として $17\text{nV}/\sqrt{\text{Hz}}$ 、入力スポットノイズ電圧の等価合計値として $8.4\text{nV}/\sqrt{\text{Hz}}$ が得られます。これには非反転入力上に接続しているバイアス電流キャンセル用の抵抗(205Ω)によって追加されるノイズも含まれています。この入力換算スポット・ノイズ電圧の合計値は、オペアンプの電圧ノイズのみに関して規定されている $8\text{nV}/\sqrt{\text{Hz}}$ 仕様値よりもわずかに高い値です。オペアンプの各入力上に現れるインピーダンスが既に推奨した 300Ω の最大許容値に制限されていれば、このような結果が適用されます。 $R_F \parallel R_G$ と非反転入力ソース・インピーダンスをとともに 300Ω 以下に維持すると、ノイズと周波数応答の平坦性両方に関する必要条件が満たされます。抵抗によって誘導されるノイズは比較的無視できるレベルなので、図2の反転オペアンプの回路構成でバイアス電流キャンセル用の抵抗(R_B)間にデカップリング・コンデンサを追加する必要はありません。

DC精度とオフセット制御

広帯域電圧帰還型オペアンプの平衡型入力回路は、幅広いアプリケーションで良好な出力DC精度を達成します。高速入力段には比較的高い入力バイアス電流(各入力ピンから標準で $4\mu\text{A}$)が必要ですが、これらの電流を高精度にマッチングさせることで、このバイアス電流から発生する出力DC誤差を低減できます。これは2つの入力上に現れるDCソース抵抗をマッチングさせることで実現されます。その結果、入力バイアス電流による出力DC誤差がオフセット電流 $\times$ 帰還抵抗まで減少します。 $+25$ におけるワーストケースの入力オフセット電圧と電流の仕様を使って図1の回路を評価すると、ワーストケースの出力オフセット電圧は

$$\begin{aligned} & \pm(NG \cdot V_{OS(MAX)}) \pm (R_F \cdot I_{OS(MAX)}) \\ & = \pm(1.94 \cdot 7.0\text{mV}) \pm (402\Omega \cdot 1.0\mu\text{A}) \\ & = \pm 14.0\text{mV} \end{aligned}$$

(NG = 非反転信号ゲイン)

に等しい値になります。精密な出力オフセット調整、またはDC動作点調整が必要な場合があります。オペアンプ回路にDCオフセット制御を適用するには多くの方法があります。そのほとんどは、帰還抵抗を介してDC電流を追加する方法です。オフセットの調整方法を選択する際の1つのポイントは、目的の信号路周波数応答に対する影響です。信号路を非反転にする場合、オフセット制御は反転加算信号として適用するのが最適で、信号源との相互作用を避けることができます。信号路を反転とする場合には、オフセット制御を非反転入力に適用することも考慮できます。しかし、加算点におけるDCオフセット電圧によって、ソースに流れ込むDC電流成分が発生することになり、この点に十分な注意が必要になります。オペアンプの反転入力にオフセット調整を適用すると、ノイズ・ゲインと周波数応答の平坦性が変化する場合があります。DC結合の反転アンプについて、信号周波数応答への影響を最小限にするオフセット調整手法の例を図9に示します。この場合、DCオフセット電流は、信号路抵抗よりずっと大きい抵抗値を介して反転入力ノードに供給されます。このような手法によって、ループ・ゲインおよび周波数応答性に与える影響が最小になる調整回路が構成されます。

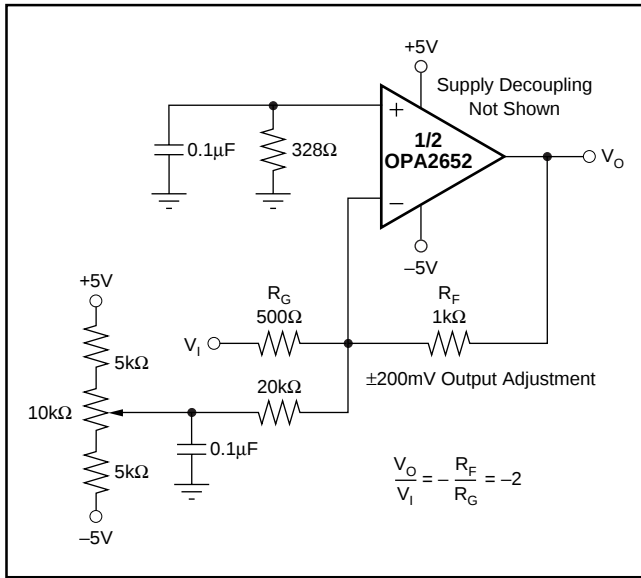


図9. 反転ゲイン = -2のDC結合におけるオフセット調整

熱解析

極端な動作条件のもとではヒートシンクまたはエアフローが必要になります。必要な最大接合部温度に従って、最大許容内部消費電力が次のように設定されます。いかなる場合でも、最大接合部温度が175℃を超えてはなりません。

動作接合部温度(T_j)は、 $T_A + P_D \cdot \theta_{JA}$ で与えられます。内部消費電力(P_D)の合計値は、無信号時電力(P_{DQ})と出力段で負荷電力を供給するために消費される追加電力(P_{DL})との和です。無信号時電力は、単に仕様の無負荷時の電源電流とデバイス全体の電源電圧の合計値を乗算した値です。 P_{DL} は必要な出力信号と負荷に応じて変動しますが、接地された抵抗性負荷に対しては、出力がどちらかの電源電圧の1/2に等しい電圧に固定されているときに最大となります(等値バイポーラ電源の場合)。この条件で、 $P_{DL} = V_s^2 / (4 \cdot R_L)$ となります(R_L は帰還回路負荷も含む)。

内部消費電力を決定するのは出力段における電力であって、負荷における電力ではないことに注意して下さい。

例として、図1の回路のOPA2652E(8ピンSOT-23パッケージ)が最大仕様周囲温度の+85℃で動作し、両方の出力が2.5V_{DC}に対して接地された100Ω負荷をドライブする場合の最大 T_j を計算します。

$$P_D = 10V \cdot 15.5mA + 2 \left[\frac{5^2}{4 \cdot (100\Omega \parallel 804\Omega)} \right] = 296mW$$

$$\text{最大 } T_j = +85^\circ C + (0.30W \cdot 150^\circ C/W) = 130^\circ C$$

この絶対ワーストケース条件では、仕様の最大接合部温度の条件が満たされています。実際の P_{DL} はほとんど常にここで考慮された値よりも小さくなります。アプリケーションでは T_j の最大値について十分に配慮して下さい。

回路基板のレイアウト設計に関する考慮事項

OPA2652のような高周波アンプで最適な性能を達成するためには、回路基板レイアウトの寄生容量や外部部品の種類に慎重な配慮が必要です。性能を最適化するために、次の指針が推奨されます。

a) すべての信号I/OピンとACグランド間の寄生容量を最小限に抑えます。出力ピンと反転入力ピンに寄生容量があると動作が不安定になり、非反転入力上に寄生容量があると、ソース・イ

ンピーダンスと相互作用を起こして予想外に帯域幅が制限されます。不要な容量を低減するには、信号I/Oピン周囲のすべてのグランド・プレーンおよび電源プレーンについてこれらのピンの周囲に窓を開放することが必要です。これ以外の領域のグランド・プレーンと電源プレーンは、完全な状態のままにしておきます。

b) 電源ピンから0.1μFの高周波デカップリング・コンデンサまでの距離を最小限に抑えます(0.25インチ以下)。グランド・プレーンと電源プレーンのレイアウトは、これらのピンで信号I/Oピンと接近しないように注意します。ピンとデカップリング・コンデンサ間のインダクタンスを最小限に抑えるために、電源とグランド・プレーンのパターン幅を狭くすることは避けてください。電源接続は必ずこれらのコンデンサを使用してデカップリングします。2つの電源(バイポーラ動作の場合)間にオプションとして用意した電源デカップリング用コンデンサ(0.1μF)を配置すると、2次高調波歪み性能が改善されます。より低い周波数で有効な容量のもっと大きなデカップリング・コンデンサ(2.2μF~6.8μFまでの容量)をメインの電源ピンに接続します。これらのコンデンサはデバイスから多少離して配置し、PC基板の同じ領域に実装されている複数のデバイスの間で共有することができます。

c) OPA2652の高周波数性能は、外付け部品の選択と配置を慎重に行うことによって維持されます。抵抗にはリアクタンスの非常に低いタイプを使用します。表面実装抵抗が最も効果的で、全体の回路レイアウトを小さくできます。金属皮膜型またはカーボン・コンボジット軸方向リード線型抵抗も良好な高周波数性能が得られます。これらのリード線とPC基板の配線トレースも同様に可能な限り短くしてください。高周波数アプリケーションには巻き線タイプの抵抗を絶対に使用しないでください。出力ピンと反転入力ピンは寄生容量の影響を最も受けやすいので、帰還抵抗や直列出力抵抗を接続する場合には、常に出力ピンに可能な限り近づけて配置してください。非反転入力終端抵抗などの他のネットワーク部品も同様に、パッケージに近接させて配置してください。部品の両面実装が可能であれば、帰還抵抗をパッケージの裏面の出力ピンと反転入力ピン間に直接的に実装してください。外部抵抗に並列な寄生容量が小さな場合でも、極端に値の高い抵抗を使用すると時定数が大幅に上がり、性能が劣化します。軸方向にリード線の付いた良好な金属皮膜または表面実装タイプの抵抗の場合、抵抗と並列に約0.2pFの寄生容量があります。抵抗の値が1.5kΩを超えると、この寄生容量により500MHz以下の極およびゼロが追加されることになり、回路の動作に悪影響が出る可能性があります。負荷ドライブ能力の許容範囲において、抵抗は可能な限り低い値に維持してください。特性仕様に使用されている402Ωの帰還抵抗は良いスターティング・ポイントです。ユニティ・ゲイン・フォロア・アプリケーションでは直接的に短絡するのではなく、25Ωの帰還抵抗の使用が推奨される点に注意してください。この方法によって出力ピンから反転入力効果が効果的に絶縁されます。この方法を使用しなければ、ゲイン+1の周波数応答にピーキングが追加される結果になります。

d) 回路基板上の他の広帯域デバイスとの接続は短いパターンを直接的に使用するか、またはオンボードの伝送ラインを使用してください。短い配線接続では、パターンと隣接デバイスの入力を一体の容量性負荷と考えます。比較的に広いパターン幅(50~

100ミル)を使用することが必要で、可能であればその周囲のグランド・プレーンと電源プレーンを開放します。全体の容量性負荷を求めて、推奨 R_S 対容量性負荷のプロット図から R_S の値を設定してください。OPA2652は公称値2pFの寄生容量負荷で動作するように補償されているので、小さい寄生容量性負荷(5pF以下)に対しては R_S は必要ありません。信号ゲインが高い場合は(無負荷時の位相マージンが高くなる) R_S を使用しなくてもより高い寄生容量性負荷が許容されます。長いパターンが必要で、両側終端の伝送ラインに固有の6dBの信号損失が許容される場合には、マイクロストリップまたはストリップ・ラインの手法によってインピーダンス・マッチングのとれた伝送ラインを使用します。回路基板上では50Ωによる終端は必要なく、実際には歪み対負荷のプロット図に示しているように高インピーダンス負荷の方が歪が改善されます。(回路基板の材質や必要なパターンの寸法に基づいて決まる)回路基板パターンの特性インピーダンスとともに、OPA2652の出力からのパターンにマッチング用直列抵抗を使用し、相手側デバイスの入力に終端シャント抵抗を使用します。終端インピーダンスが相手側デバイスのシャント抵抗と入力インピーダンスの並列な組み合わせになる点にも注意してください。この全体の実効インピーダンスをパターンのインピーダンスと一致するように設定することが必要です。OPA2652は高い電圧および電流出力能力を備えているので、複数個の接続先デバイスをそれぞれ直列抵抗とシャント終端抵抗をもった別々の伝送ラインとして扱うことが可能です。2重終端伝送ラインの6dBの減衰損失が許容されない場合には、長いパターンをソース側だけ直列に終端することが可能です。この場合にはパターンを容量性負荷として扱い、推奨 R_S 対容量性負荷のプロット図に示しているように直列抵抗の値を設定してください。ただし、2重終端ラインと同様の信号の完全性は維持されません。接続先デバイスの入力インピーダンスが低ければ、終端インピーダンスに対して直列の出力によって形成される分圧器によって信号がある程度減衰します。

e) OPA2652のような高速デバイスにソケットの使用は推奨できません。ソケットの使用によってリード長と各ピン間の容量が増加することになり、これが原因で極めて厄介な寄生ネットワークが形成され、平坦で安定した周波数応答性を確保することが困難になります。回路基板上にOPA2652を半田付けすると、最良の結果が得られます。

入力およびESD保護

OPA2652は非常に高速のコンプリメンタリ・バイポーラ・プロセスで製造されています。この非常に微細なデバイスは、内部接合部のブレークダウン電圧が比較的低く抑えられています。このブレークダウン電圧は絶対最大定格で規定されています。デバイスのピンはすべて図10に示すように、電源に対する内部ESD保護用のダイオードによって保護されています。

これらのダイオードは、電源電圧を超える入力オーバードライブ電圧に対する適切な保護も行います。保護ダイオードは30mA(標準値)の連続電流をサポートできます。それ以上の電流が考えられる場合(例えば、±15Vの電源部品でOPA2652にドライブするシステムの場合)は、2つの入力間に直列に電流制限用抵抗を追加することが必要です。これらの抵抗値が高いとノイズ性能と周波数応答の両方が劣化するため、抵抗値はできるだけ低くして下さい。

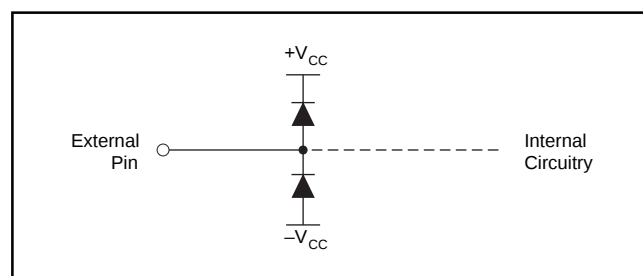


図10. 内部ESD保護

外觀

