

低雑音高精度 *Difet*® オペアンプ

特 長

- 低雑音：6nV/√Hz(10kHz)
- 低バイアス電流：1pA(最大)
- 低オフセット：250μV(最大)
- 低ドリフト：2μV/°C(最大)
- 高開ループ・ゲイン：120dB(最小)
- 高同相モード電圧除去比：100dB(最小)
- 8ピン・プラスチックDIPおよび8ピンSOPパッケージで供給

アプリケーション

- 高精度フォトダイオード・プリアンプ
- 医療用装置
- 光電子回路
- データ収集
- テスト装置

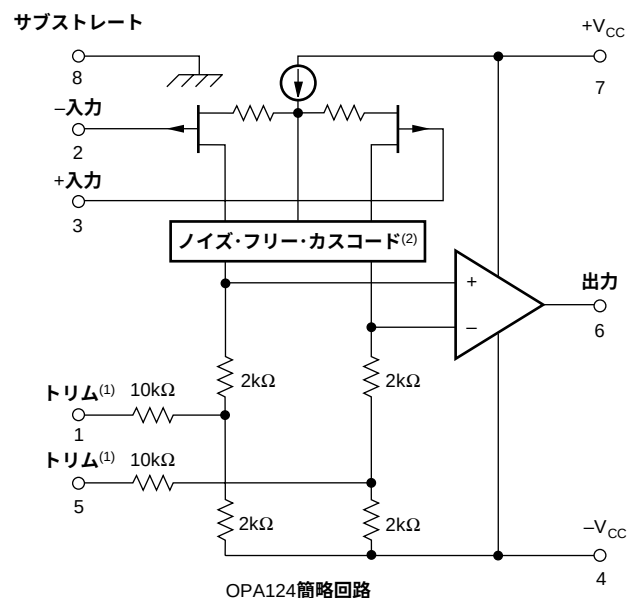
概 要

OPA124は、*Difet* (誘電体分離)プロセスを用いて製造された高精度モノリシックFETオペアンプです。このデバイスはACおよびDC性能の特性が優れているため、ほとんどの高精度計測アプリケーションで使用することができます。

バイアス電流、雑音、電圧オフセット、ドリフト、開ループ・ゲイン、同相モード除去、および電源電圧除去は、BIFETアンプやCMOSアンプより優れています。*Difet* 製造工程を駆使して、入力電圧雑音性能を犠牲にすることなく、極めて低い入力バイアス電流を実現しています。ユニークなカスコード回路によって、広い入力同相モード電圧範囲にわたって、低入力バイアス電流を維持しています。このカスコード・デザインによって、高精度な入力仕様を実現でき、フリッカ雑音も低レベルに抑えることができます。薄膜抵抗をレーザ・トリミングすることによって、オフセットとドリフトも極めて低い値を得ています。

OPA124はポピュラーなOPA111と同等な性能を実現しており、8ピン・プラスチックDIPおよび8ピンSOPで供給されています。

BIFET® National Semiconductor Corp.,
Difet® Burr-Brown Corp.



NOTES: (1) SOPでは省略されています (2) 特許取得済

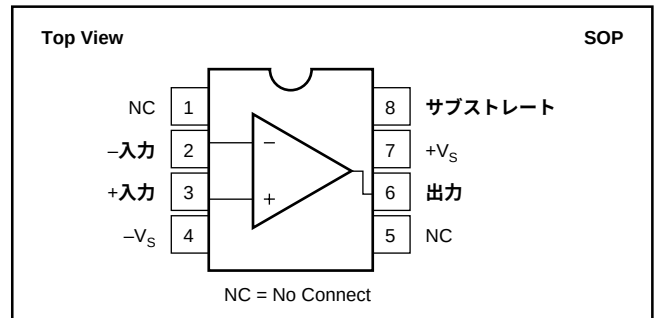
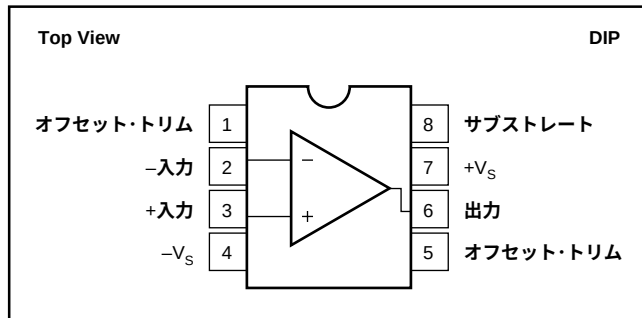
仕様

特に記述のない限り、V_{CC}=±15VDC、T_A=+25℃です。

パラメータ	条件	OPA124U、 P			OPA124UA、 PA			OPA124PB			単位
		最小	標準	最大	最小	標準	最大	最小	標準	最大	
入力雑音 電圧、 $f_o = 10\text{Hz}^{(4)}$ $f_o = 100\text{Hz}^{(4)}$ $f_o = 1\text{kHz}^{(4)}$ $f_o = 10\text{kHz}^{(5)}$ $f_B = 10\text{Hz} \sim 10\text{kHz}^{(5)}$ $f_B = 0.1\text{Hz} \sim 10\text{Hz}$ 電流、 $f_B = 0.1\text{Hz} \sim 10\text{Hz}$ $f_o = 0.1\text{Hz} \sim 20\text{kHz}$			40 15 8 6 0.7 1.6 9.5 0.5	80 40 15 8 1.2 3.3 15 0.8		*	*		*	*	nV/√Hz nV/√Hz nV/√Hz nV/√Hz μVrms μVp-p fAp-p fA/√Hz
オフセット電圧 ⁽¹⁾ 入力オフセット電圧 対温度 電源除去比 対温度	$V_{CM} = 0\text{VDC}$ $T_A = T_{MIN} \sim T_{MAX}$ $V_{CC} = \pm 10\text{V} \sim \pm 18\text{V}$ $T_A = T_{MIN} \sim T_{MAX}$		±200 ±4 110 84	±800 ±7.5		±150 ±2 *	±500 ±4		±100 ±1 *	±250 ±2	μV μV/°C dB dB
バイアス電流 ⁽¹⁾ 入力バイアス電流	$V_{CM} = 0\text{VDC}$		±1	±5		±0.5	±2		±0.35	±1	pA
オフセット電流 ⁽¹⁾ 入力オフセット電流	$V_{CM} = 0\text{VDC}$		±1	±5		±0.5	±1		±0.25	±0.5	pA
インピーダンス 差動 同相モード			$10^{13} 1$ $10^{14} 3$			*			*		ΩpF ΩpF
電圧範囲 同相モード入力範囲 同相モード除去 対温度	$V_{IN} = \pm 10\text{VDC}$ $T_A = T_{MIN} \sim T_{MAX}$	±10 92 86	±11 110 100		* 94 *	* *		* 100 90	* *		V dB dB
開ループ・ゲイン(DC) 開ループ電圧ゲイン	$R_L \geq 2\text{k}\Omega$	106	125		*	*		120	*		dB
周波数応答 ユニティゲイン、小信号 フルパワー・レスポンス スルーレート THD セトリングタイム、0.1% 0.01% 過負荷回復 50%過負荷ドライブ ⁽²⁾	20Vp-p 、 $R_L = 2\text{k}\Omega$ $V_o = \pm 10\text{V}$ 、 $R_L = 2\text{k}\Omega$ ゲイン = −1、 $R_L = 2\text{k}\Omega$ 10Vステップ ゲイン = −1	16 1	1.5 32 1.6 0.0003 6 10 5		* * * * * *	* * * * * *		* * * * * *	* * * * * *		MHz kHz V/μs % μs μs
定格出力 電圧出力 電流出力 出力抵抗 負荷容量安定度 短絡電流	$R_L = 2\text{k}\Omega$ $V_o = \pm 10\text{VDC}$ DC、開ループ ゲイン = +1	±11 ±5.5 10	±12 ±10 100 1000 40		* * * * *	* * * * *		* * * * *	* * * * *		V mA Ω pF mA
電源 定格電圧 電圧範囲、ディレーティング時 電流、無信号時	$I_o = 0\text{mA}$	±5	±15 2.5	±18 3.5	* *	*	*	* *	*	*	VDC VDC mA
温度範囲 仕様 保存 熱抵抗θ(接合部一周囲間)：PDIP SOP	T_{MIN} および T_{MAX}	−25 −65	90 100	+85 +125	* *	*	*	* *	*	*	°C °C °C/W °C/W

* 印仕様はOPA124U、Pと同じです。
注：(1)オフセット電圧、オフセット電流、およびバイアス電流はデバイスを十分にウォームアップしてから測定しています。その他の温度での性能については、代表的性能曲線を参照して下さい。(2)過負荷回復は、50%の入力過負荷ドライブを除去した後、出力が飽和状態から直線動作に回復するのに必要な時間と定義されます。(3)その他の温度における性能については、代表的性能曲線を参照して下さい。(4)信頼度98%で、サンプル試験されています。(5)設計値での保証です。

接続図



絶対最大定格⁽¹⁾

電源	±18VDC
内部消費電力 ⁽²⁾	750mW
差動入力電圧 ⁽³⁾	±36VDC
入力電圧範囲 ⁽³⁾	±18VDC
保存温度範囲	-65°C~+150°C
動作温度範囲	-40°C~+125°C
リード温度(10秒間の半田付)	+300°C
出力短絡期間 ⁽⁴⁾	連続
接合部温度	+175°C

注：(1)定格を超えるオーバ・ストレスは、デバイスに永久的な損傷を与えます。(2)パッケージはプラスチックDIPでは $\theta_{JA} = 90^\circ\text{C/W}$ を、またSOPでは 100°C/W を基準にしてデレーティングしなければなりません。(3)電源電圧が $\pm 18\text{VDC}$ 以下のときは、絶対最大入力電圧は $+18\text{V} > V_{IN} > -V_{CC} - 6\text{V}$ の範囲でなければなりません。図2を参照して下さい。(4)短絡条件は電源グランドに対して適用。定格は周囲温度 $+25^\circ\text{C}$ に適用されます。許容損失および T_J を守って下さい。



静電気放電対策

静電気放電はわずかな性能の低下から完全なデバイスの故障に至るまで、様々な損傷を与えます。すべての集積回路は、適切なESD保護方法を用いて、取扱いと保存を行うようにして下さい。高精度の集積回路は、損傷に対して敏感であり、極めてわずかなパラメータの変化により、デバイスに規定された仕様に適合しなくなる場合があります。

パッケージ情報/ご発注の手引き

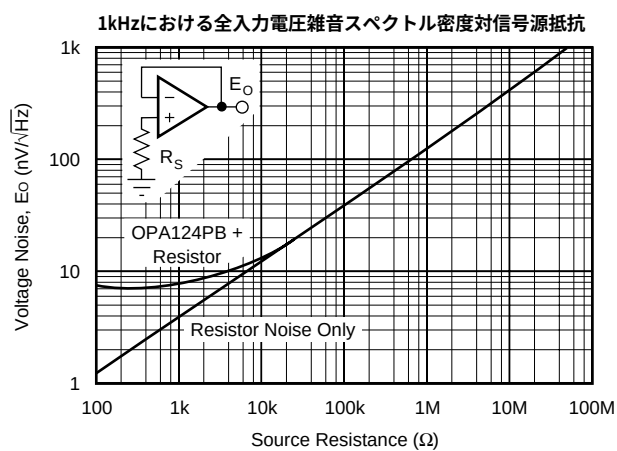
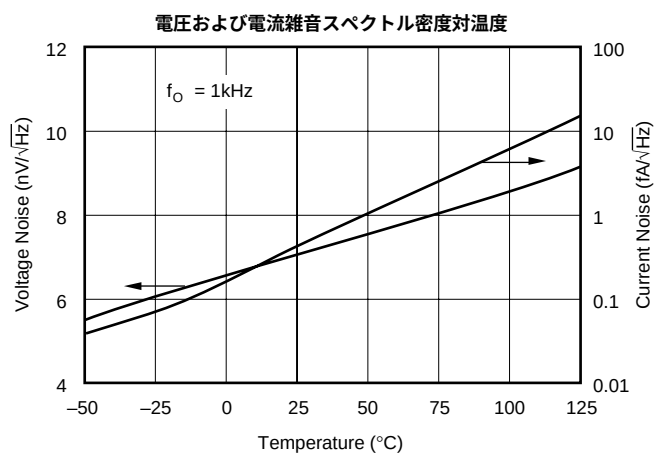
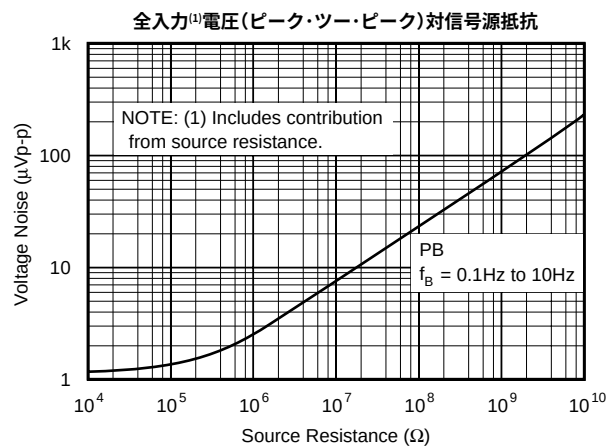
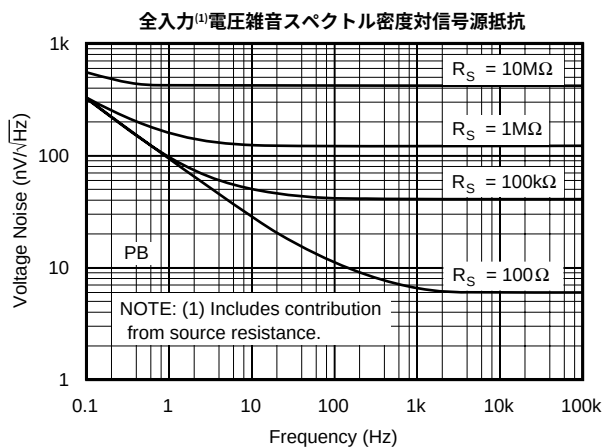
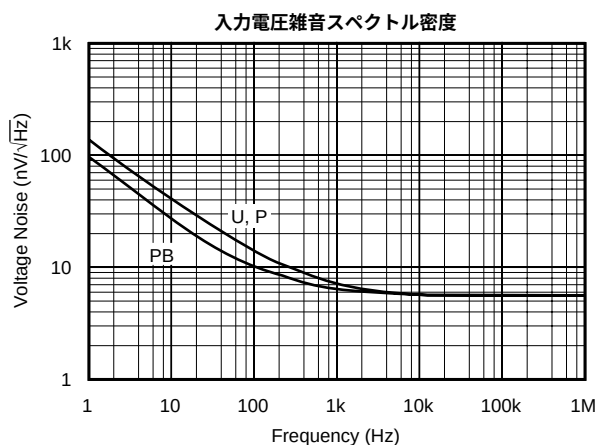
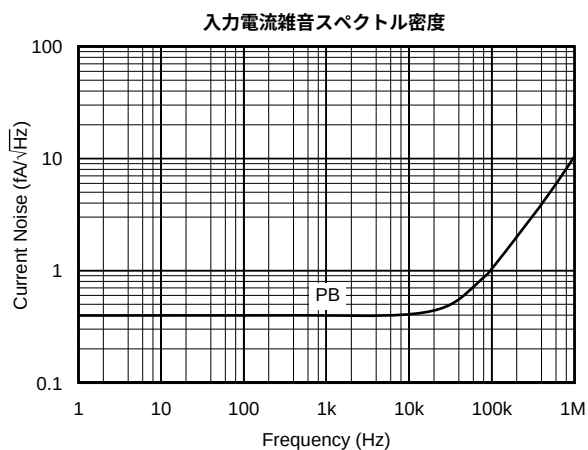
モデル	パッケージ	パッケージ図番号	温度範囲	バイアス電流 pA(最大)	オフセット・ドリフト $\mu\text{V}/^\circ\text{C}$ (最大)
OPA124U	8ピンSOP	182	$-25^\circ\text{C} \sim +85^\circ\text{C}$	5	7.5
OPA124P	8ピンDIP	006	$-25^\circ\text{C} \sim +85^\circ\text{C}$	5	7.5
OPA124UA	8ピンSOP	182	$-25^\circ\text{C} \sim +85^\circ\text{C}$	2	4
OPA124PA	8ピンDIP	006	$-25^\circ\text{C} \sim +85^\circ\text{C}$	2	4
OPA124PB	8ピンDIP	006	$-25^\circ\text{C} \sim +85^\circ\text{C}$	1	2

注：(1)詳細図および寸法表は、データシートの巻末を参照して下さい。

このデータシートに記載されている情報は、信頼しうるものと考えておりますが、不正確な情報や記載漏れ等に関して弊社は責任を負うものではありません。情報の使用について弊社は責任を負いませんので、各ユーザーの責任において御使用下さい。価格や仕様は予告なしに変更される場合がありますのでご了承下さい。ここに記載されているいかなる回路についても工業所有権その他の権利またはその実施権を付与したり承諾したりするものではありません。弊社は弊社製品を生命維持に関する機器またはシステムに使用することを承認しまたは保証するものではありません。

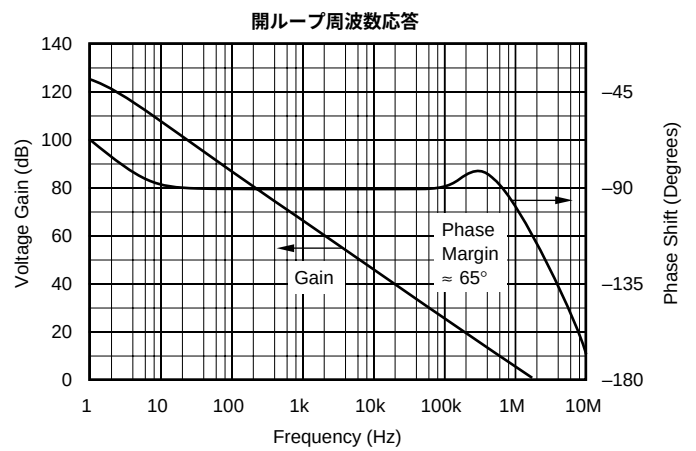
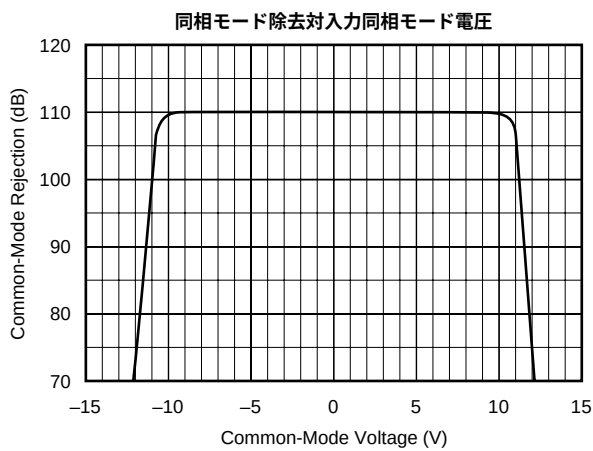
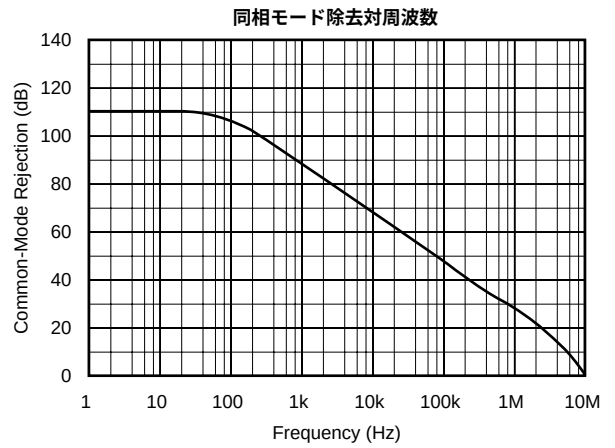
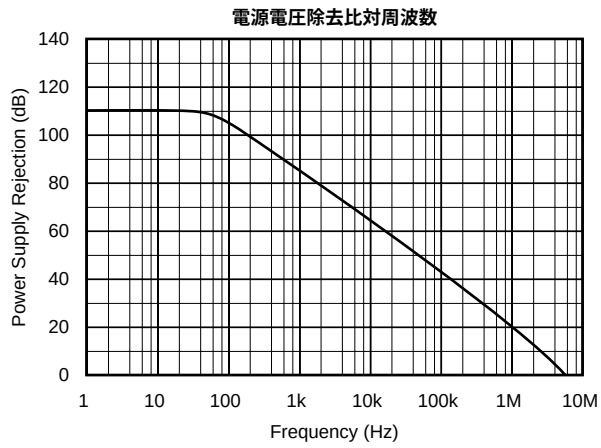
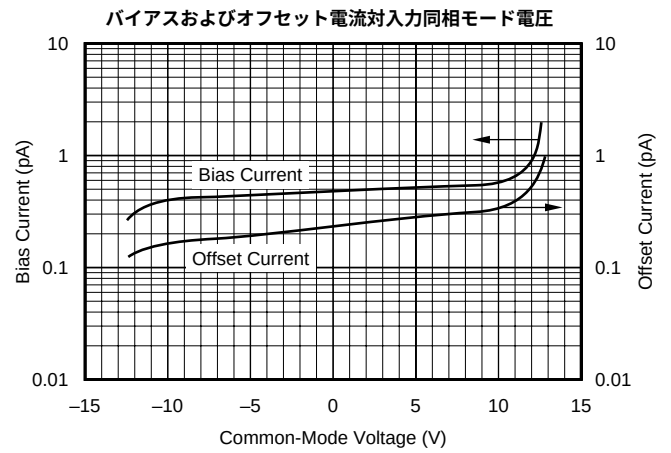
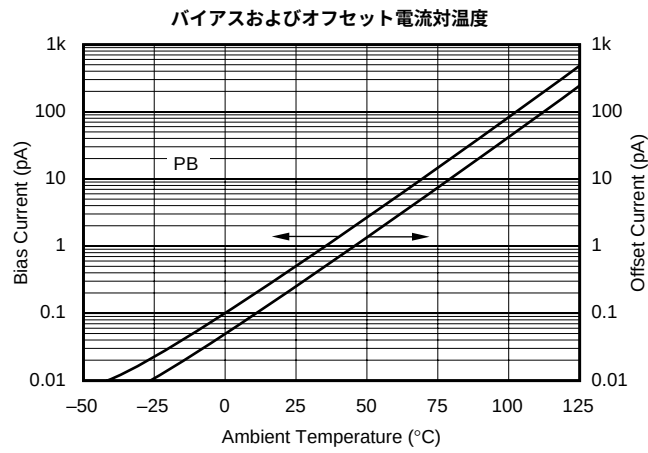
代表的性能曲線

特に記述のない限り、 $T_A = +25^\circ\text{C}$ 、 $V_{CC} = \pm 15\text{VDC}$ です。



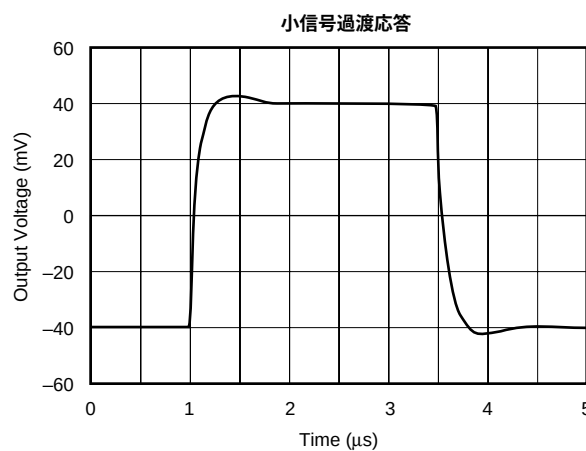
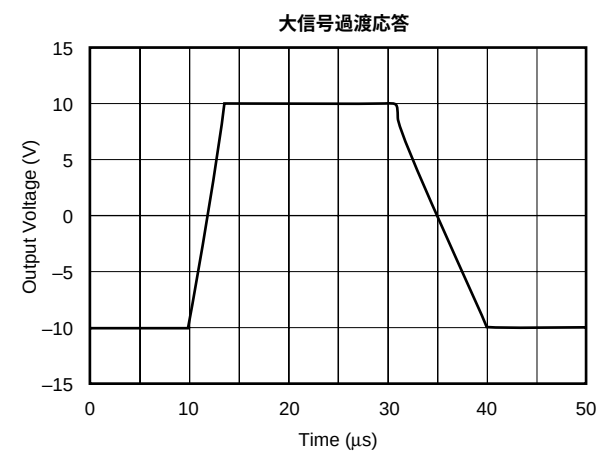
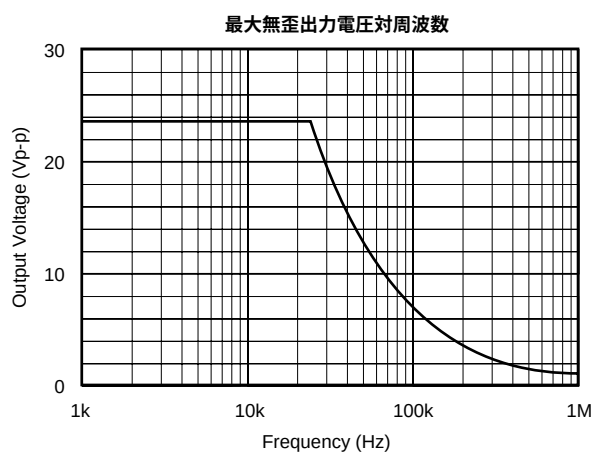
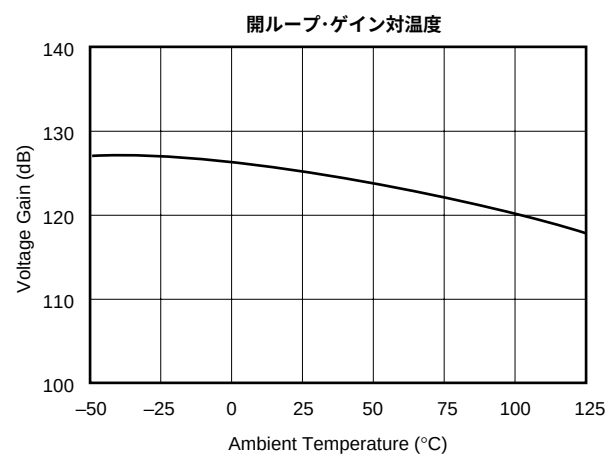
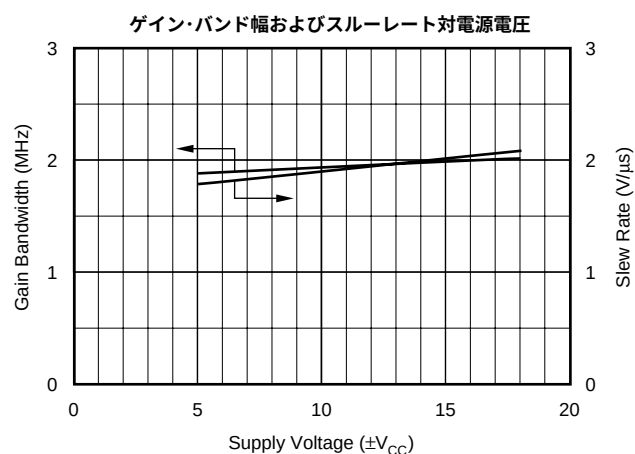
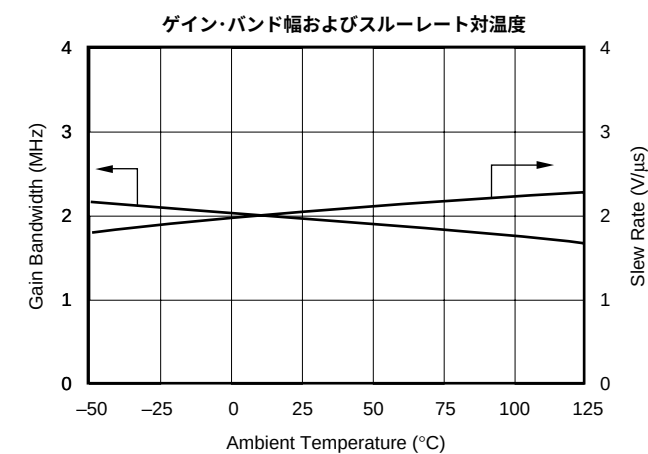
代表的性能曲線

特に記述のない限り、 $T_A = +25^\circ\text{C}$ 、 $V_{CC} = \pm 15\text{VDC}$ です。



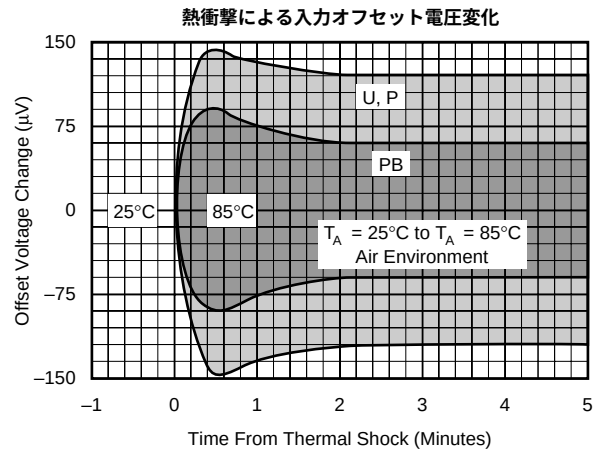
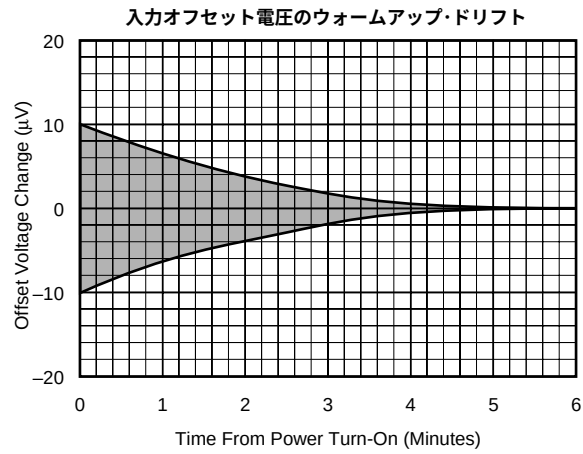
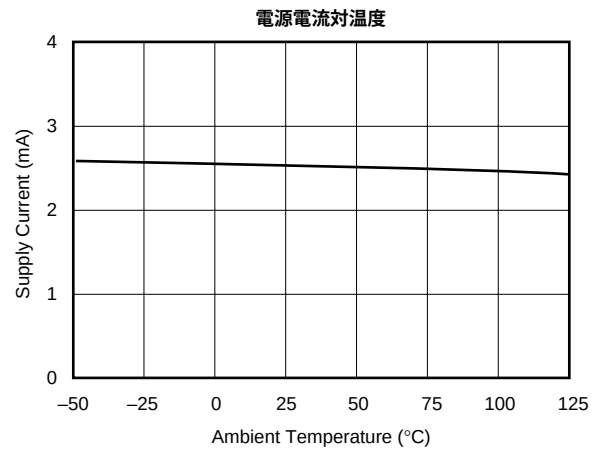
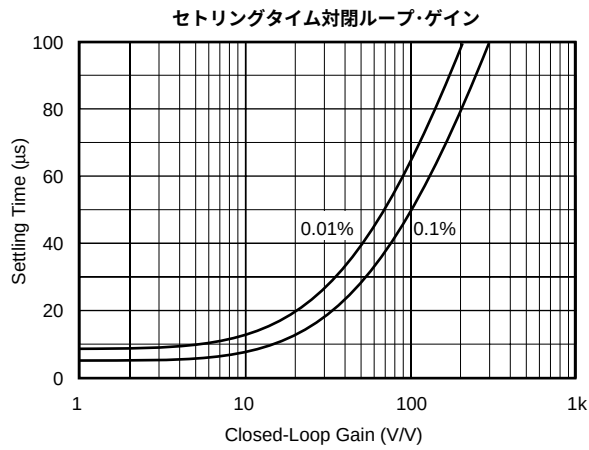
代表的性能曲線

特に記述のない限り、 $T_A = +25^\circ\text{C}$ 、 $V_{CC} = \pm 15\text{VDC}$ です。



代表的性能曲線

特に記述のない限り、 $T_A = +25^\circ\text{C}$ 、 $V_{CC} = \pm 15\text{VDC}$ です。



使用上の注意

オフセット電圧調整

OPA124のオフセット電圧はレーザ・トリムされているため、ほとんどのアプリケーションではそれ以上調整する必要はありません。プリント基板上でのリーク誤差を減らすために、SOPタイプ(OPA124UA、OPA124U)からはオフセット調整機能が取り除かれています。プラスチックDIPタイプ(OPA124PB、OPA124PA、およびOPA124P)はオフセット調整用のピンを備えています。他の多くのアンプと同様に、残留オフセットを外部から調整すると、オフセットを $100\mu\text{V}$ 調整するごとに、約 $0.3\mu\text{V}/^\circ\text{C}$ ほどドリフト性能が変化します。プラスチックDIPパッケージのオフセット調整を行う時の回路構成を図1に示します。

入力保護

従来のモノリシックFETオペアンプでは、入力FETゲート/サブストレート間分離用ダイオードが順バイアスされたときに流れる可能性のある過大電流から入力を保護するために、外部電流制限抵抗を接続する必要がありました。ほとんどのBIFETアンプは、 $-V_{CC}$ が印加されないと破壊するおそれがあります。

Difet OPA124はBIFETアンプと異なり、入力電圧が $-V_{CC}$ より6V以上負になるときにだけ入力電流制限抵抗が必要です。10k Ω の直列抵抗を接続すれば、 $\pm 15\text{V}$ までの入力レベルでは、2つの電源電圧が停止しても、入力電流は安全なレベルに制限されます(図2参照)。

静電気により破壊までには至らないまでも、アンプの入力特性が微妙に変化することがあります。高精度オペアンプ(バイポーラおよびFETタイプ)では、この静電ダメージによってオフセット電圧やドリフトが大幅に劣化することがあります。高精度ICオペアンプを取り扱うときは、静電保護を行って下さい。

ガードおよびシールド

高インピーダンスに対する場合と同様、入力リードに“ハム”が乗らないようにするには、注意深くシールドを行う必要があります。大きな帰還抵抗を使用している場合は、帰還抵抗も外部入力回路とともにシールドしなければなりません。

PCボードを流れるリーケージ電流がOPA124のバイアス電流を越えてしまう可能性があります。リーケージ電流の問題を回避するには、ソケットを使用せず基板に直接半田付けしなければなりません。基板レイアウトの設計は、十分注意して行って下さい。

“ガード”パターンは高インピーダンス入力端子の周囲を完全に囲んで、信号入力電位のかつ低インピーダンスな点に接続しなければなりません。

アンプのサブストレートは、ピン8を通して入力シールドまたはガードパターンに接続し、リークおよび雑音ピックアップを最小限に抑えて下さい(図3参照)。

ガードする必要がない場合は、ピン8をグランドに接続します。

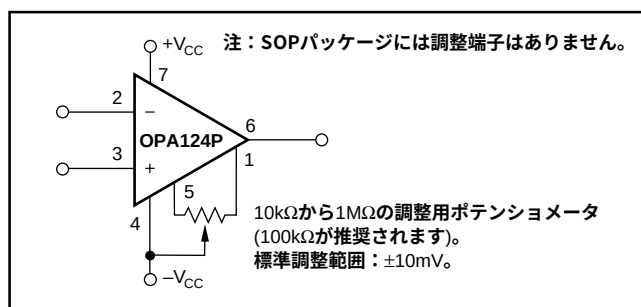


図1. PDIPパッケージのオフセット電圧調整

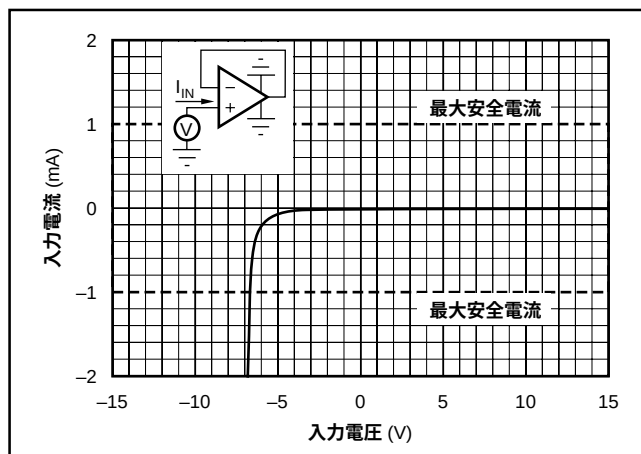


図2. $\pm V_{CC}$ ピンを接地した場合の入力電流対入力電圧

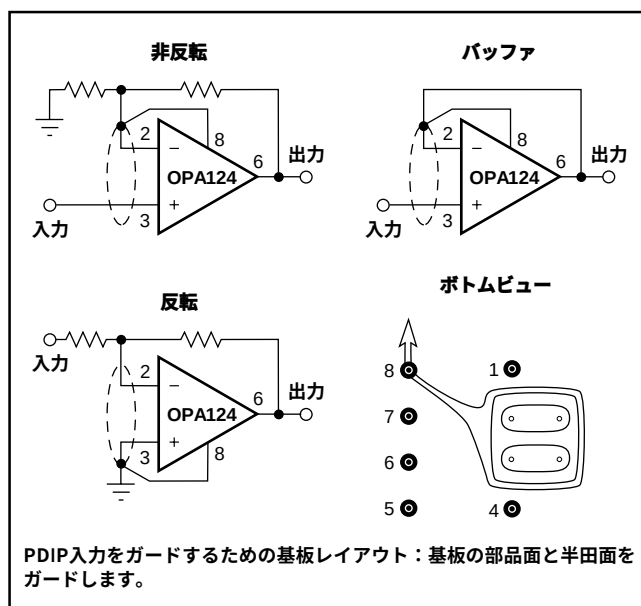
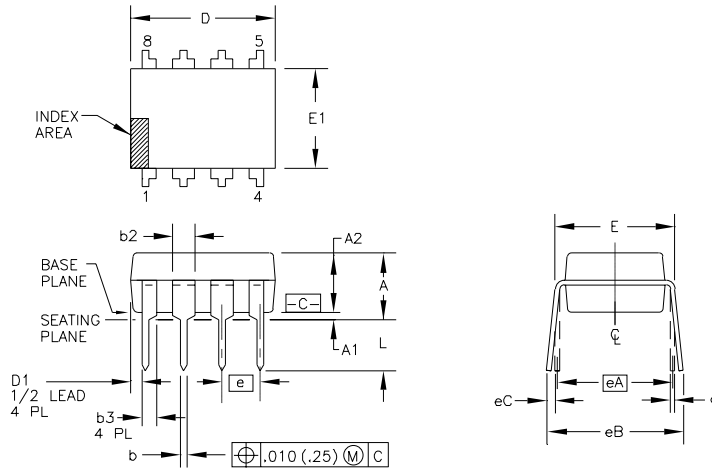


図3. 入力ガードの接続

外観

パッケージ番号006-8ピンDIP



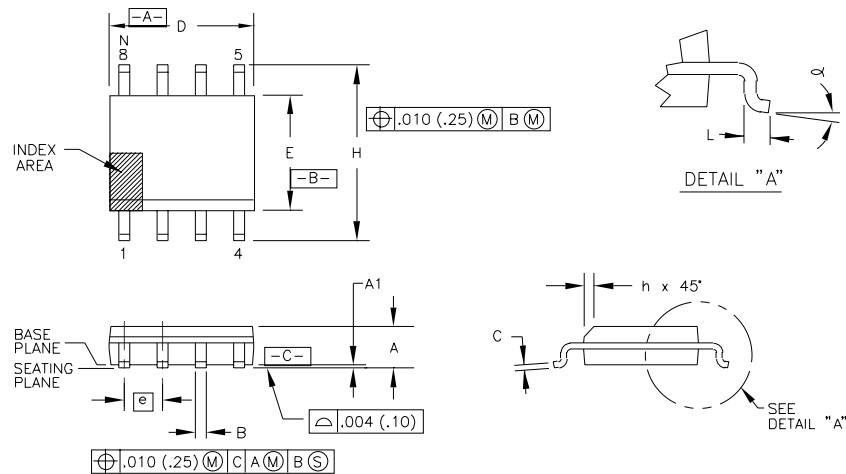
DIM	INCHES MIN. MAX.	MILLIMETERS MIN. MAX.	N	DIM	INCHES MIN. MAX.	MILLIMETERS MIN. MAX.	N
A	-. .210	-. 5.33	3	eC	.000 .060	0.00 1.52	6
A1	.015 --	0.38 --	3	L	.115 .150	2.92 3.81	3
A2	.115 .195	2.92 4.95		N	8	8	7
b	.014 .022	0.36 0.56					
b2	.045 .070	1.14 1.78	9				
b3	.030 .045	0.76 1.14	9				
c	.008 .014	0.20 0.36					
D	.355 .400	9.02 10.16	4				
D1	.005 --	0.13 --	4				
E	.300 .325	7.62 8.26	5				
E1	.240 .280	6.10 7.11	4				
e	.100 BASIC	2.54 BASIC					
eA	.300 BASIC	7.63 BASIC	5				
eB	-- .430	-- 10.92	6				

- NOTES:
1. ALL DIMENSIONS ARE IN INCHES.
 2. DIMENSIONING AND TOLERANCING PER ANSI Y14.5M-1982.
 3. DIMENSIONS A, A1, AND L ARE MEASURED WITH THE PACKAGE SEATED IN JEDEC SEATING PLANE GAUGE GS-3.
 4. D, D1, AND E1 DIMENSIONS DO NOT INCLUDE MOLD FLASH OR PROTRUSIONS. MOLD FLASH OR PROTRUSIONS SHALL NOT EXCEED .010 (0.25mm).
 5. E AND eA MEASURED WITH THE LEADS CONSTRAINED TO BE PERPENDICULAR TO DATUM $\overline{C-C}$.
 6. eB AND eC ARE MEASURED AT THE LEAD TIPS WITH THE LEADS UNCONSTRAINED.
 7. N IS THE MAXIMUM OF TERMINAL POSITIONS.

8. POINTED OR ROUNDED LEAD TIPS ARE PREFERRED TO EASE INSERTION.
9. b2 AND b3 MAXIMUM DIMENSIONS DO NOT INCLUDE DAMBAR PROTRUSIONS. DAMBAR PROTRUSIONS SHALL NOT EXCEED .010 (0.25mm).
10. DISTANCE BETWEEN LEADS INCLUDING DAMBAR PROTRUSIONS TO BE .005 (0.13mm) MINIMUM.
11. A VISUAL INDEX FEATURE MUST BE LOCATED WITHIN THE CROSS-HATCHED AREA.
12. FOR AUTOMATIC INSERTION, ANY RAISED IRREGULARITY ON THE TOP SURFACE (STEP, MESA, ETC.) SHALL BE SYMMETRICAL ABOUT THE LATERAL AND LONGITUDINAL PACKAGE CENTERLINES.

PACKAGE NUMBER: ZZ006 REV.: E
JEDEC NUMBER: MS-001-BA

パッケージ番号182-8ピンSOP



DIM	INCHES MIN. MAX.	MILLIMETERS MIN. MAX.	N	DIM	INCHES MIN. MAX.	MILLIMETERS MIN. MAX.	N
A	.0532 .0688	1.35 1.75					
A1	.004 .0098	0.10 0.23					
B	.013 .020	0.33 0.51	7				
C	.0075 .0098	0.20 0.25					
D	.189 .1968	4.80 4.98	2				
E	.1497 .1574	3.80 4.00	3				
e	.050 BASIC	1.27 BASIC					
H	.2284 .244	5.80 6.20					
h	.0099 .0196	0.25 0.50	4				
L	.016 .050	0.41 1.27	5				
N	8	8	6				
α	0° 8°	0° 8°					

- NOTES:
1. DIMENSIONING AND TOLERANCING PER ANSI Y14.5M-1982.
 2. DIMENSION D DOES NOT INCLUDE MOLD FLASH, PROTRUSIONS OR GATE BURRS. MOLD FLASH, PROTRUSIONS AND GATE BURRS SHALL NOT EXCEED .006 IN. (0.15 mm) PER SIDE.
 3. DIMENSION E DOES NOT INCLUDE INTER-LEAD FLASH OR PROTRUSIONS. INTER-LEAD FLASH AND PROTRUSIONS SHALL NOT EXCEED .010 IN. (0.25 mm) PER SIDE.
 4. THE CHAMFER ON THE BODY IS OPTIONAL. IF IT IS NOT PRESENT,

5. L IS THE LENGTH OF TERMINAL FOR SOLDERING TO A SUBSTRATE.
6. N IS THE NUMBER OF TERMINAL POSITIONS.
7. THE LEAD WIDTH B, AS MEASURED .014 IN. (0.36 mm) OR GREATER ABOVE THE SEATING PLANE, SHALL NOT EXCEED A MAXIMUM VALUE OF .024 IN. (0.61 mm).
8. LEAD TO LEAD COPLANARITY SHALL BE LESS THAN .004 IN. (0.10 mm) FROM SEATING PLANE.

PACKAGE NUMBER: ZZ182 REV.: H
JEDEC NUMBER: MS-012-AA