



ローコスト、高耐圧、 電源内蔵絶縁アンプ

特 長

- 絶縁信号および出力電源内蔵
- 小型パッケージ：
ダブル幅 (0.6") のサイドブレースDIP
- バリアのAC連続定格：1500Vrms
- 広帯域幅：
小信号 20kHz、フルパワー 20kHz
- 内蔵絶縁電源：
入力； $\pm 10V \sim \pm 18V$ 、出力； $\pm 50mA$
- マルチチャンネル同期可能 (TTL)
- 省スペース実装：4.6cm²

アプリケーション

- 4mA-20mAのV/Iコンバータ
- モータおよびバルブ制御
- レコーダ用の絶縁された出力
- 医療計測器の出力
- ガス分析器

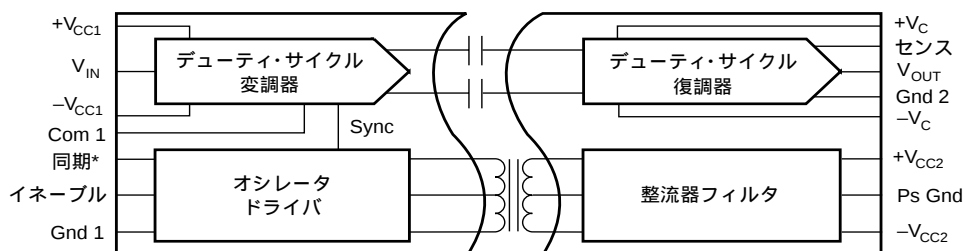
概 要

ISO113絶縁アンプは、絶縁バリアを通して信号と電源を伝達します。サイドブレース・ピン付きのセラミック・ノンハーメチック・ハイブリッド・パッケージは、トランス結合のDC/DCコンバータと容量結合の信号チャンネルを内蔵しています。

外付けの負荷をドライブするために、絶縁出力側で外部用パワーが利用できます。コンバータは内部電流制限回路でグラウンドへの短絡に対し保護されており、またソフトスタート機能は電源の初期電流を制限します。並列に接続された同期端子にTTLクロック信号を与えることによって、多重チャンネルの同期化を図ることができます。信号チャンネルの変調器を動作状態にしたままで、イネーブル・コントロールを使用してトランス・ドライブをターンオフできます。この機能は低消費電力のアプリケーションで、無信号時電流を低減するのに便利です。

バリア端子の間隔が広く、内部で絶縁されているため、1500Vrmsという大きな連続定格が可能です。UL1244試験法に適合する100%のバリア破壊試験により信頼性が保証されています。バリア容量が小さいためACリーク電流が最小になります。

これらの仕様および機能を備えているため、ISO113は使い易くまたPC基板のレイアウトもコンパクトになります。



*使用しない場合はグラウンドに接続

電氣的仕様

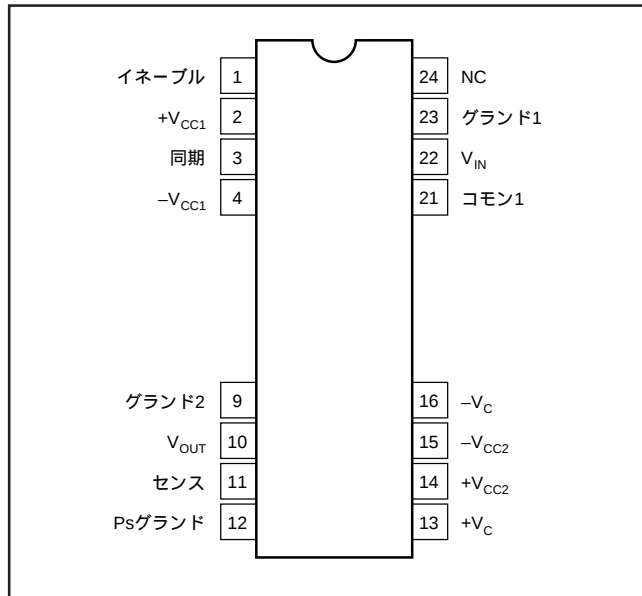
特に記述のない限り、 $T_A = +25$ 、 $V_{CC1} = \pm 15V$ 、出力電流 $= \pm 15mA$ です。

パラメータ	条件	ISO113			ISO113B			単位
		最小	標準	最大	最小	標準	最大	
絶縁								
連続定格電圧 ⁽¹⁾								
AC、60Hz	$T_{MIN} \sim T_{MAX}$	1500			*			Vrms
DC	$T_{MIN} \sim T_{MAX}$	2121			*			VDC
破壊試験、100%AC、60Hz	10s	5657			*			VPk
絶縁モード除去	1500Vrms、60Hz		130			*		dB
	2121VDC		160			*		dB
バリア・インピーダンス			$10^{12} \parallel 9$			*		$\Omega \parallel pF$
リーク電流	240Vrms、60Hz		1.0	2.0		*	*	μA
ゲイン								
標準値			1			*		V/V
初期誤差			± 0.3	± 0.5		*	*	%FSR
ゲイン対温度	$V_O = -10V \sim +10V$		± 60	± 100		± 20	± 50	ppm/
非直線性	$V_O = -5V \sim +5V$		± 0.05	± 0.1		± 0.03	± 0.05	%FSR
			± 0.02	± 0.04		± 0.012	± 0.02	%FSR
入力オフセット電圧								
初期オフセット			± 20	± 60		*	*	mV
対温度			± 300	± 500		*	*	$\mu V/$
対電源電圧	$V_{CC2} = \pm 10V \sim \pm 18V$		0.9			*		mV/V
対出力電源負荷	$I_O = 0 \sim \pm 50mA$		± 0.3			*		mV/mA
入力信号								
電圧範囲	出力電圧が動作範囲内	± 10	± 15		*	*		V
抵抗			200			*		k Ω
出力信号								
電圧範囲		± 10	± 12.5		*	*		V
電流ドライブ		± 5	± 15		*	*		mA
リップル電圧、800kHzキャリア			25			*		mVp-p
	400 Ω / 4.7nF (図4を参照)		5			*		mVp-p
容量性負荷ドライブ			1000			*		pF
電圧雑音			4			*		$\mu V/\sqrt{Hz}$
周波数応答								
小信号帯域幅			20			*		kHz
スルーレート			1.5			*		V/ μs
セトリングタイム	0.1%, -10/ 10V		75			*		μs
電源								
定格電圧、 V_{CC1}			± 15			*		V
電圧範囲		± 10		± 18	*		*	V
入力電流	$I_O = \pm 15mA$		+90/-4.5			*		mA
	$I_O = 0mA$		+60/-4.5			*		mA
リップル電流	フィルタなし		60			*		mA
	$C_{IN} = 1\mu F$		3			*		mA
定格出力電圧	負荷=15mA	± 14.25	± 15	± 15.75	*	*	*	V
出力	50mA平衡負荷	10			*			V
	100mA片側負荷	10			*			V
ロード・レギュレーション	平衡負荷		0.3			*		%/mA
ライン・レギュレーション			1.12			*		V/V
出力電圧対温度			2.5			*		mV/
電圧バランス誤差, $\pm V_{CC2}$			0.05			*		%
リップル電圧 (800kHz)	外部コンデンサなし		50			*		mVp-p
	$C_{EXT} = 1\mu F$		5			*		mVp-p
出力容量性負荷				1			*	μF
同期周波数	同期ピングランド済 ⁽²⁾		1.6			*		MHz
温度範囲								
仕様		-25		+85	*		*	
動作		-25		+85	*		*	
保存		-25		+125	*		*	

*印仕様はISO113と同一です。

注：(1)UL1244試験法に準拠します。1500Vrms1分間100%試験されます。(2)TTLレベルのクロックを外部同期信号として使用する場合は、周波数がデューティ・サイクル25%以上で1.2MHzから2MHzの間でなければなりません。

ピン配置



絶対最大定格

無損傷電源電圧	±18V
V _{IN} センス電圧	±50V
コモンからグランド	±200mV
イネーブル、同期	グランドから+V _{CC1}
連続絶縁電圧	1500Vrms
V _{ISO} dV/dt	20kV/μs
接合部温度	+150
保存温度	-25 ~ +125
リード線温度、10秒間	+300
出力のグランドへの短絡時間	連続
±V _{CC2} からグランド2への短絡時間	連続



静電気放電対策

静電気放電はわずかな性能の低下から完全なデバイスの故障に至るまで、様々な損傷を与えます。すべての集積回路は、適切なESD保護方法を用いて、取扱いと保存を行うようにして下さい。高精度の集積回路は、損傷に対して敏感であり、極めてわずかなパラメータの変化により、デバイスに規定された仕様に適合しなくなる場合があります。

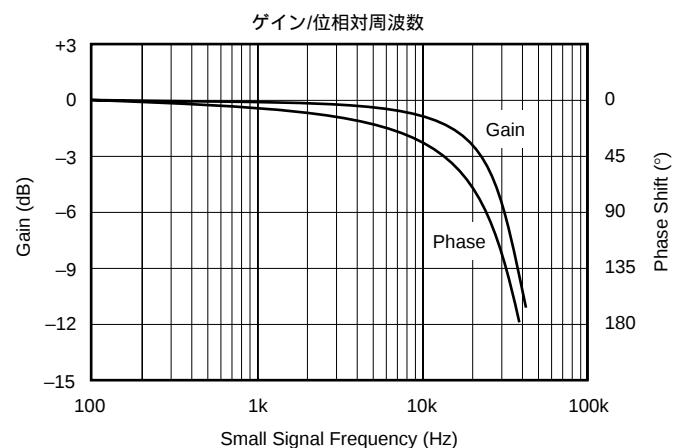
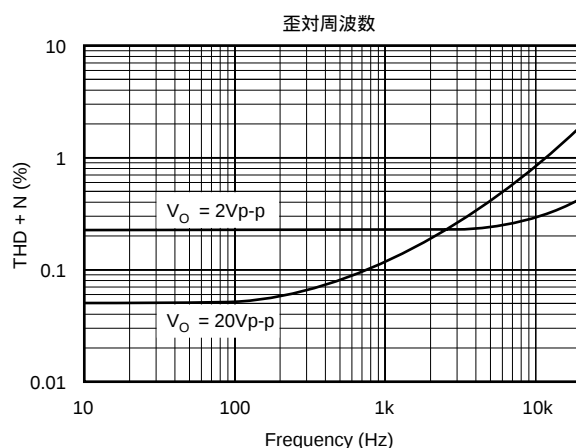
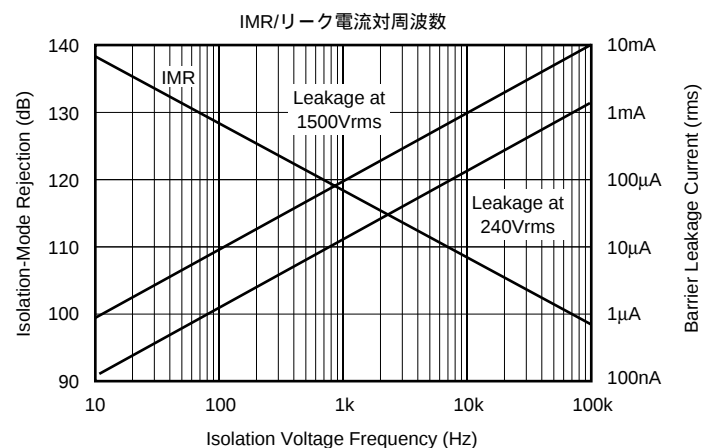
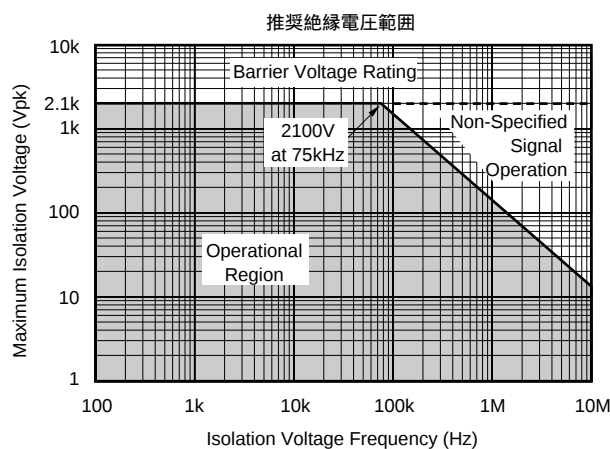
パッケージ情報/ご発注の手引き

モデル	パッケージ	パッケージ図番号 ⁽¹⁾	仕様温度範囲	パッケージのマーキング	発注番号	供給時の形態
ISO113	24ピンDIP	231	-25 ~ +85	ISO113	ISO113	マガジン
ISO113B	24ピンDIP	231	-25 ~ +85	ISO113B	ISO113B	マガジン

注：(1)詳細図および寸法表は、データシートの巻末を参照してください。

代表的性能曲線

特に記述のない限り、T_A=+25、V_{CC}=±15VDC、出力電流=±15mAです。

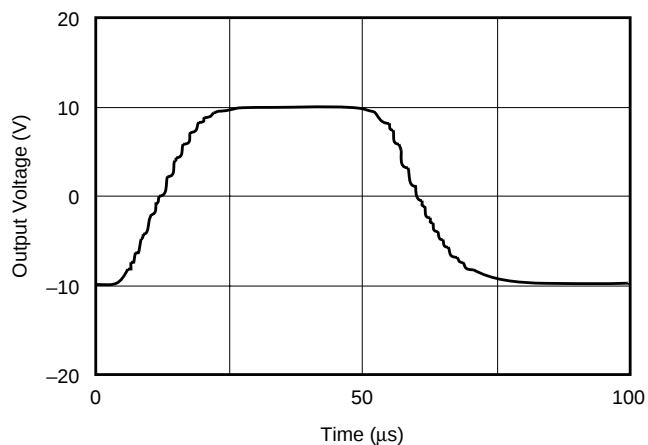


このデータシートに記載されている情報は、信頼し得るものと考えておりますが、不正確な情報や記載漏れ等に関して弊社は責任を負うものではありません。情報の使用について弊社は責任を負えませんので、各ユーザーの責任において御使用下さい。価格や仕様は予告なしに変更される場合がありますのでご了承下さい。ここに記載されているいかなる回路についても工業所有権その他の権利またはその実施権を付与したり承諾したりするものではありません。弊社は弊社製品を生命維持に関する機器またはシステムに使用することを承認または保証するものではありません。

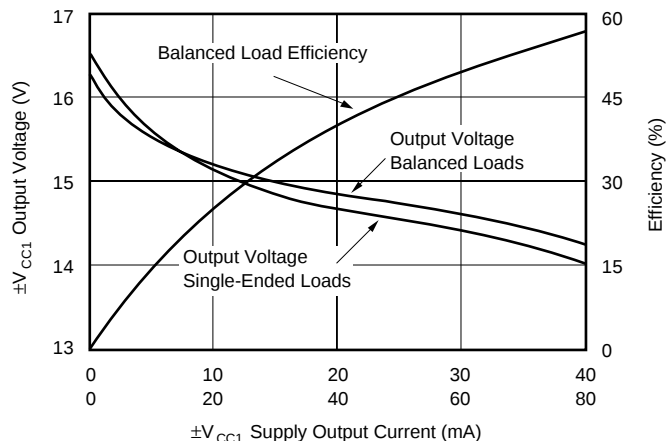
代表的性能曲線

特に記述のない限り、 $T_A = +25$ 、 $V_{CC1} = \pm 15\text{VDC}$ 、出力電流 $= \pm 15\text{mA}$ です。

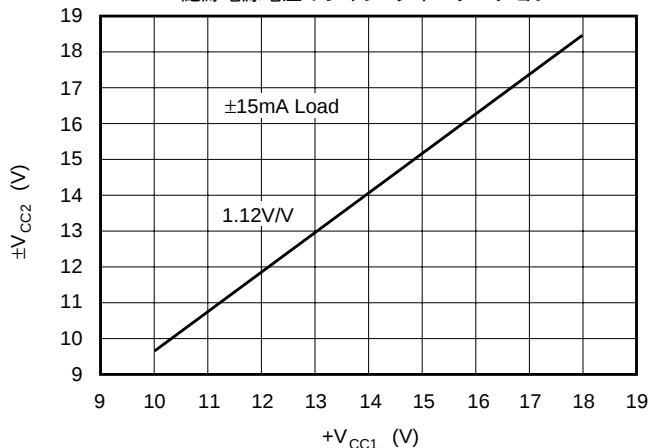
大信号過渡応答



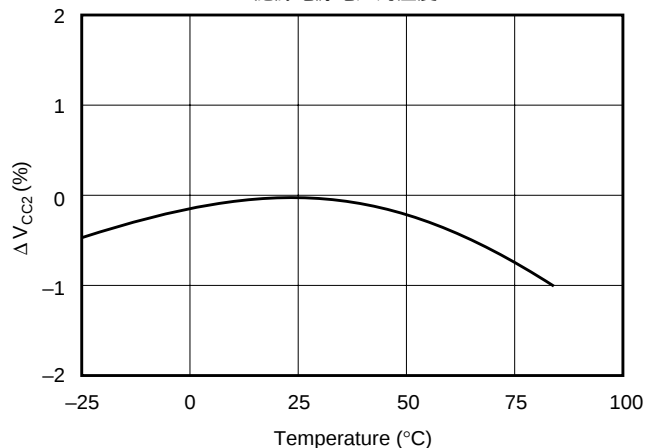
絶縁電源のロード・レギュレーションおよび効率



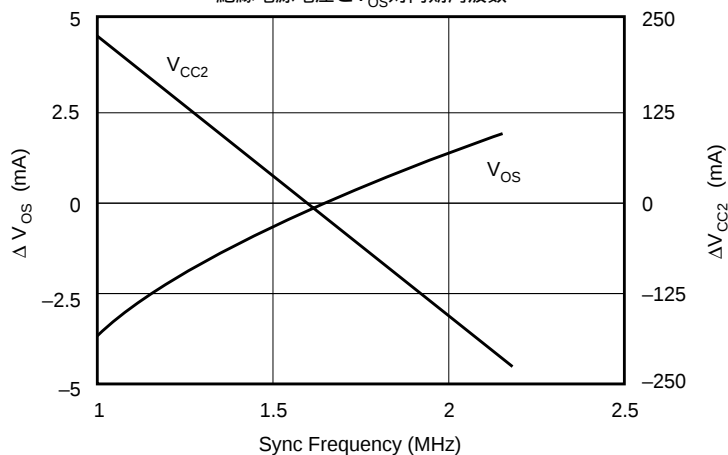
絶縁電源電圧のライン・レギュレーション



絶縁電源電圧対温度



絶縁電源電圧と V_{OS} 対同期周波数



動作原理

最初のページのブロック図に、ビート周波数の干渉を除去する絶縁アンプの同期信号と電源構成を示します。専用の800kHz発振器チップ、パワーMOSFETトランス・ドライバ、特許を有する角形コアのワイヤーボンドトランス、および単一チップのダイオード・ブリッジにより絶縁アンプの出力側および外部負荷に電源を供給します。信号チャンネルはパッケージに組み込まれたセラミック高耐電圧バリアを介してデューティ・サイクルでエンコードされる信号を容量的に結合します。独特な送信部 — 受信部のICペアは、ウェハー・レベルでレーザ・トリムされ、整合された“フリンジ”コンデンサのペアを通して結合されており、シンプルで信頼性の高いデザインを実現しています。

信号および電源接続

図1に適切な電源と信号の接続を示します。絶縁電源から $\pm 15\text{mA}$ 以上の電流を流す場合、全ての電源供給ピン状 $+V_{CC1}$ 用 π 型フィルタで示されるようにバイパスすることをお奨めします。

整流器の出力ピン ($\pm V_{CC2}$) とアンプ電源の入力ピン ($\pm V_C$) が分離されているので、リップルのフィルタリングおよび/またはレギュレーションを追加することができます。入力コモンピンと出力検出ピンは低電流入力であり、それぞれ信号ソースのグランドおよび出力負荷に接続することにより長い導線でもIR電圧降下に起因する誤差を最小にすることができます。あるいは、ISO113のソケットでコモン1をグランド1へ、センスを V_{OUT} に接続してください。ISO113を連続動作させる場合は、イネーブル・ピンをオープンしたままにしておくことができます。そうでない場合、TTL “ロー” レベルを印加すれば内部DC/DCコンバータをディスエーブルすることができます。同期入力は、

非同期動作を行なわせるときには接地し、複数ユニットを同期して動作させるときには、1.2MHzから2.0MHzのTTLクロック信号を印加します。

ISO113は、絶縁アンプの入力側から電力供給されるトランス結合型DC/DCコンバータを含んでいます。ISO113の全ての電源ピン(ピン2、4、13、14、15、16)とグランド間には $0.1\mu\text{F}$ のコンデンサが内部に入っています。 L_1 はDC/DCコンバータに対する入力電流の高速な変化を抑えるために使われています。 C_1 はコンバータの電流需要により起こる電圧リップルを安定化するために使われています。 L_1 、 C_1 、 C_2 はオプションですが、低ノイズのアプリケーションには推奨されています。

DC/DCコンバータは $\pm V_{CC2}$ に $\pm 15\text{V}$ の安定化されていない出力を発生させます。ISO113への電力供給のみにDC/DCコンバータが使用されている場合は、ピン13、14、15、16は C_O または L_O なしで直接回路内に接続できます。外部コンデンサを使用している場合は、これが $1\mu\text{F}$ を超えてはなりません。絶縁アンプとDC/DCコンバータが内部で同期しているため、出力信号にノイズが乗りにくい構成となっています。

追加のデバイスに、ISO113のDC/CDコンバータで電力を供給する場合、アプリケーションによっては、ISO113のコンバータのリップル電圧が減衰することが必要です。そのような場合は、回路に L_O と C_O が追加されなければなりません。インダクタはリップル電流を減衰させるため、また、より大容量なコンデンサはリップル電圧を低減させるために使われます。

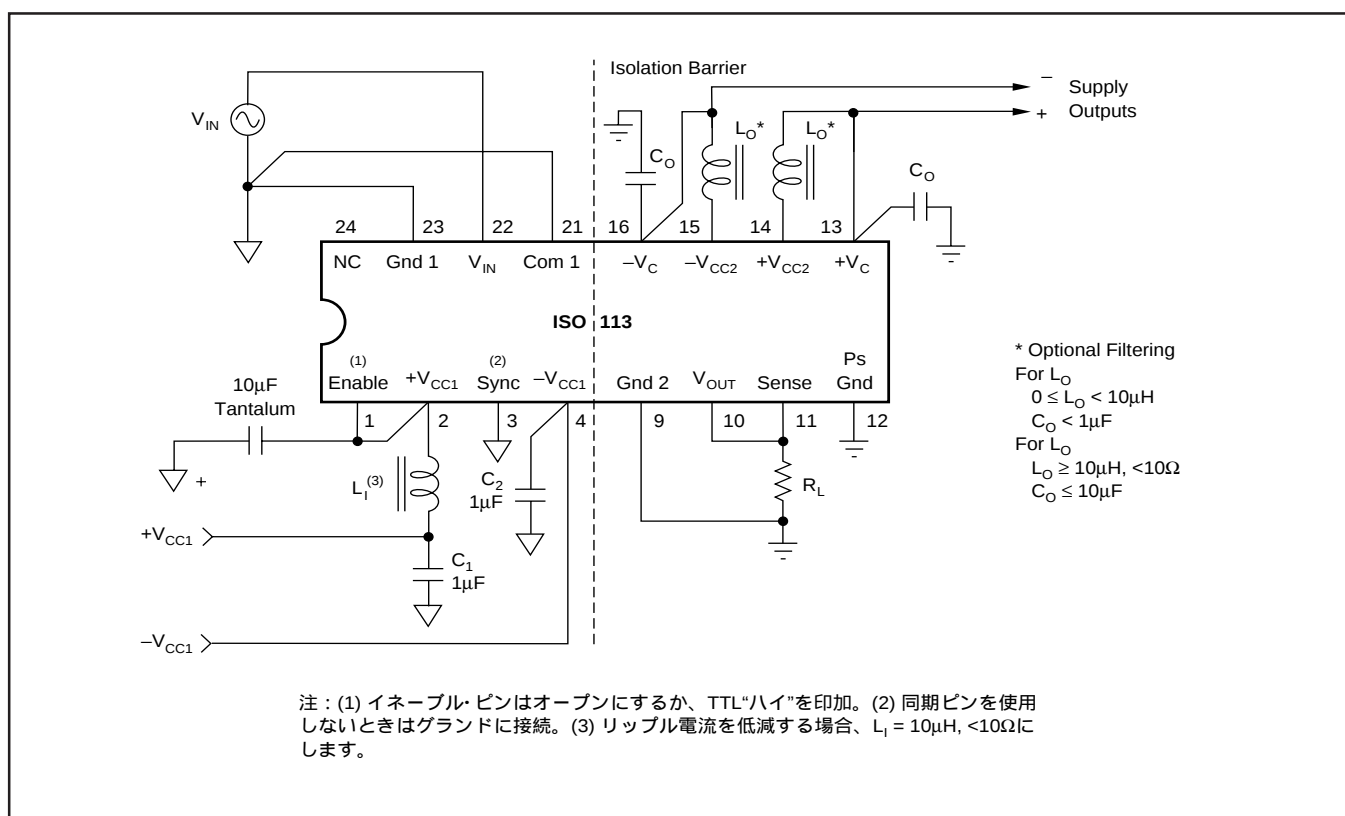


図1. 信号と電源の接続

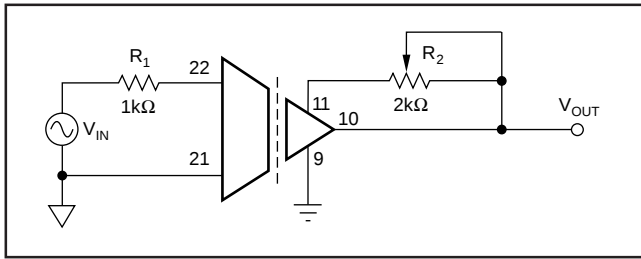


図2a. ゲイン調整

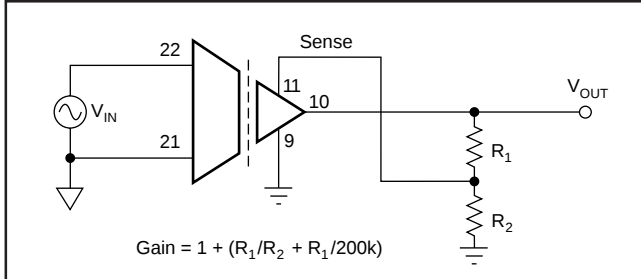


図2b. ゲイン設定

ゲインおよびオフセット調整(オプション)

定格ゲイン精度とオフセット性能は外部調整なしで得られますが、図2aの回路および値で $\pm 0.5\%$ のゲイン調整幅を得ることができます。 R_1 および R_2 の低抵抗値を増大すれば、より大きなゲイン調整範囲が得られます。 $R_2 = 2R_1$ を守りながら、 R_1 を $2k\Omega$ 増加させるごとに、1%の調整範囲を追加できます。安全のためまたは都合上、図2aに示す調整用ポテンショメータの位置をバリアの反対側に配置したい場合には、 R_1 と R_2 の位置を逆にしてもかまいません。

図2bの回路を使用すれば1倍以上のゲインが得られます。入力換算誤差の影響は、出力ではゲインの増加に比例して逓倍されるので注意して下さい。また、小信号の帯域幅はゲインの増加に反比例して減少します。大抵の場合、絶縁アンプの入力段に高精度なゲイン・ブロックを使用すれば優れた全体性能が得られます。

図3にISO113の V_{OS} の調整方法を示します。図示の値は、 $\pm 15V$ の電源電圧とユニティゲインで使用する場合で、この回路では $\pm 150mV$ の調整範囲を有し標準のポテンショメータで $0.25mV$ の分解能が得られます。出力は電源電圧変動に対してある程度の感度をもちます。 $\pm 100mV$ の調整では、出力の電源電圧感度は $8mV/V$ になります。

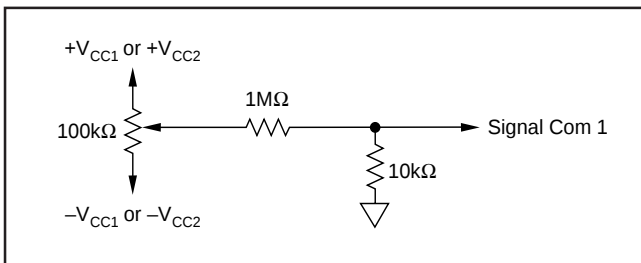


図3. V_{OS} 調整

出力フィルタ(オプション)

図4に出力リップル・フィルタのオプション回路を示しますが、このフィルタはDC性能を損なうことなく $800kHz$ のリップル電圧を $5mV_{p-p}$ 以下まで低減することができます。この補償により、小信号帯域幅は $30kHz$ 以上に拡張されます。

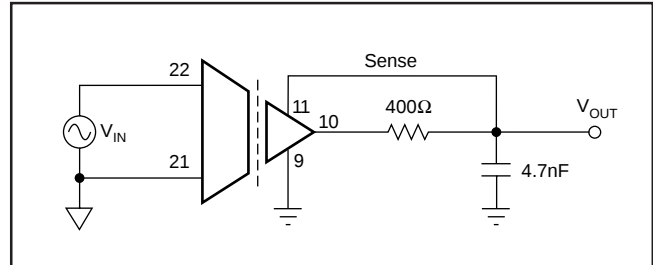


図4. リップル電圧の除去

複数チャンネルの同期化

複数のISO113の同期化は、図7に示すとおり各デバイスのピン3を外部のTTLレベルの発振器に接続します。ISO113のキャリア周波数は $800kHz$ （公称非同期値）ですので、 $1.6MHz$ の公称同期出力周波数を有するPWS750-1発振器が最適です。PWS750-1のオープン・コレクタ出力は、 $0.2V$ の“ロー”レベル電圧に対し標準で $7.5mA$ のスイッチングが可能のため、図7に示すようにプルアップ電圧に合わせて外部プルアップ低抗を選択できます。1個のPWS750-1で同期化されるチャンネル数は、同期電圧ラインの総合容量で決まります。 $800kHz$ のTTLレベルをスイッチングさせるためには、総合容量を $1000pF$ 以下にする必要があります。それより高い周波数では、それに比例して容量を小さくしなければなりません。

ユーザ側の発振器を使用する場合には周波数が $1.2MHz$ から $2.0MHz$ で、デューティ・サイクルが25%以上のTTLレベルの同期ロジックが使用できます。

V_{CC1} からの電流を $\pm 15mA$ 以下に抑える必要があるローパワーのアプリケーションでの単一および複数チャンネルの同期化は、同期入力ピン(3)およびイネーブルピン(1)を図5に示すとおりTTLレベルの発振器でドライブして下さい。

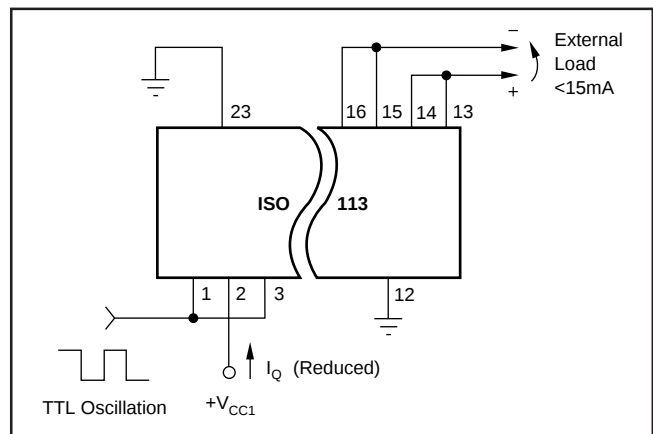


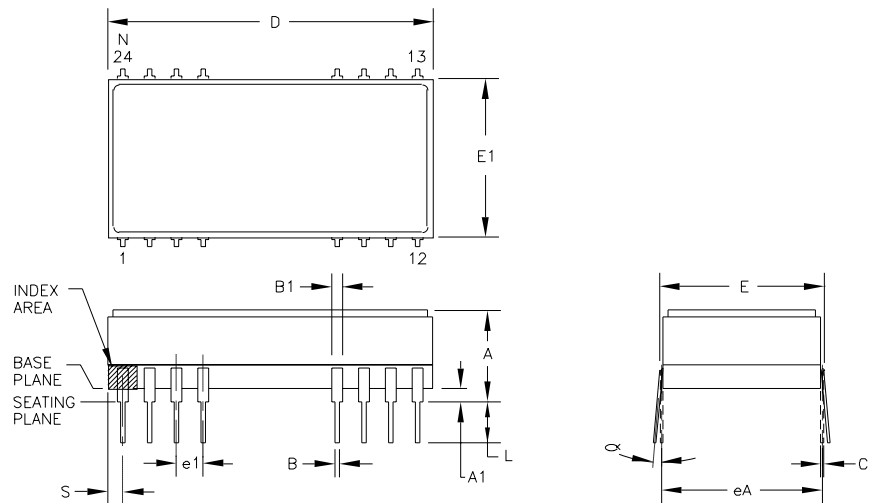
図5. 消費電力の低減

絶縁バリア電圧

バリア電圧ストレスが印加された状態でのISO113の標準性能は、最初の2つの代表的性能曲線、すなわち推奨絶縁電圧範囲およびIMR/リーク電流対周波数に示してあります。低バリア変調レベルでは、誤差は、IMRR特性によって求められます。バリア両端の dV/dt が最初の曲線の黒くした領域の下にあれば、高いバリア電圧における標準性能が得られます。そうでない場合は、

外観

パッケージ番号231 - 24ピン・サイドブレースDIP



DIM	INCHES		MILLIMETERS		N	E	DIM	INCHES		MILLIMETERS		N	E	NOTES: 1. DIMENSIONING AND TOLERANCING PER ANSI Y14.5-1982. 2. LEADS WITHIN .005 IN. (0.13mm) RADIUS OF TRUE POSITION (TP) AT GAUGE PLANE WITH MAXIMUM MATERIAL CONDITION AND UNIT INSTALLED. 3. α APPLIES TO SPREAD LEADS PRIOR TO INSTALLATION. 4. N IS THE NUMBER OF TERMINAL POSITIONS. 5. OUTLINES ON WHICH THE SEATING PLANE IS COINCIDENT WITH THE PLANE (A1 = 0), TERMINALS LEAD STANDOFFS ARE NOT REQUIRED, AND B1 MAY EQUAL B ALONG ANY PART OF THE LEAD ABOVE THE SEATING/BASE PLANE. 6. E1 DOES NOT INCLUDE PARTICLES OF PACKING MATERIALS. 7. CONTROLLING DIMENSION: INCH. 8. A VISUAL INDEX FEATURE MUST BE LOCATED WITHIN THE CROSS-HATCHED AREA.		
	MIN.	MAX.	MIN.	MAX.				MIN.	MAX.	MIN.	MAX.					
A	.310	.375	7.87	9.52												
A1	.040	.060	1.02	1.52												
B	.016	.020	0.41	0.51	5											
B1	.040	TYP.	1.02	TYP.	5											
C	.009	.012	0.23	0.30												
D	1.180	1.265	29.97	32.13												
E	.600	.620	15.24	15.75												
E1	.570	.610	14.48	15.49	6											
e1	.100	TYP.	2.54	TYP.	2											
eA	.580	.620	14.73	15.75	2											
L	.125	.180	3.18	4.57												
N	16		16		4											
S	.044	.056	1.12	1.42												
α	0°	15°	0°	15°	3											
														PACKAGE NUMBER: ZZ231		REV.: E
														JEDEC NUMBER: NONE		