



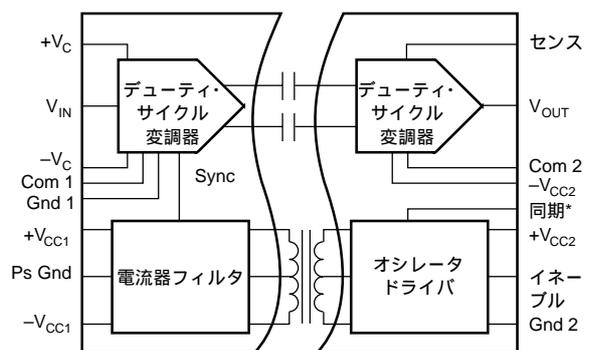
ローコスト、高耐圧、 電源内蔵絶縁アンプ

特長

- 小型パッケージ：
ダブル幅(0.6")のサイドブレードDIP
- テスト電圧：5600Vpk
- バリアのAC連続定格：1500Vrms
- 広入力信号範囲：-10Vから+10V
- 広帯域幅：小信号 20kHz、フルパワー 20kHz
- 内蔵絶縁電源：
入力；±10Vから±18V、出力；±50mA
- マルチチャンネル同期可能(TTL)
- 省スペース実装：4.6cm²

アプリケーション

- マルチチャンネル絶縁データ収集
- 4~20mAカレント・ループの絶縁とパワー供給
- 電源およびモータ制御
- グランドループ除去



*使用しない場合はグランドに接続

概要

絶縁アンプISO103は、絶縁バリアを通して信号と電源を伝達します。サイドブレード・ピン付きのセラミック・ノンハーメチック・ハイブリッド・パッケージは、トランス結合のDC/DCコンバータと容量結合の信号チャンネルを内蔵しています。

外付け入力側信号処理回路をドライブするために、絶縁された入力側の電源が利用できます。コンバータは内部電流制限回路でグランドへの短絡に対し保護されており、またソフトスタート機能は電源の初期電流を制限します。並列に接続された同期端子にTTLクロック信号を与えることによって、多重チャンネルの同期化を図ることができます。信号チャンネルの変調器を動作状態にしたままで、イネーブル・コントロールを使用してトランス・ドライブをターンオフできます。この機能は低消費電力のアプリケーションで、無信号時電流を低減するのに便利です。

バリア端子の間隔が広く、内部で絶縁されているため、1500Vrmsという大きな連続定格が可能です。信頼性は、UL1244試験法に適合する100%のバリア破壊試験により保証されます。バリア容量が小さいためACリーク電流が最小になります。

これらの仕様および機能を備えているため、ISO103は使い易くまたPC基板のレイアウトもコンパクトになります。

絶対最大定格

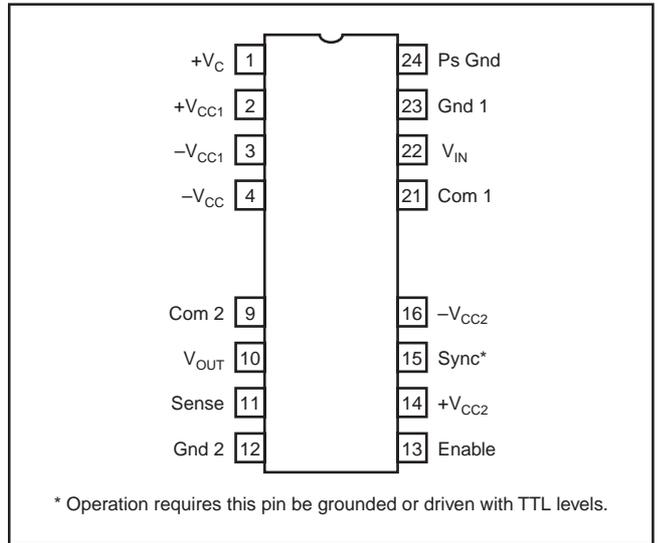
無損傷電源電圧	±18V
V_{IN} センス電圧	±50V
コモン1からグラウンド1またはコモン2からグラウンド2	±200mV
イネーブル、同期	0V ~ $+V_{CC2}$
連続絶縁電圧	1500Vrms
V_{ISO} dv/dt	20kV/ μ s
接合部温度	150
保存温度	-25 ~ +125
リード線温度、10秒間	300
出力のグラウンド2への短絡時間	連続
$\pm V_{CC1}$ からグラウンド1への短絡時間	連続



静電気放電対策

静電気放電はわずかな性能の低下から完全なデバイスの故障に至るまで、様々な損傷を与えます。すべての集積回路は、適切なESD保護方法を用いて、取扱いと保存を行うようにして下さい。高精度の集積回路は、損傷に対して敏感であり、極めてわずかなパラメータの変化により、デバイスに規定された仕様に適合しなくなる場合があります。

ピン配置



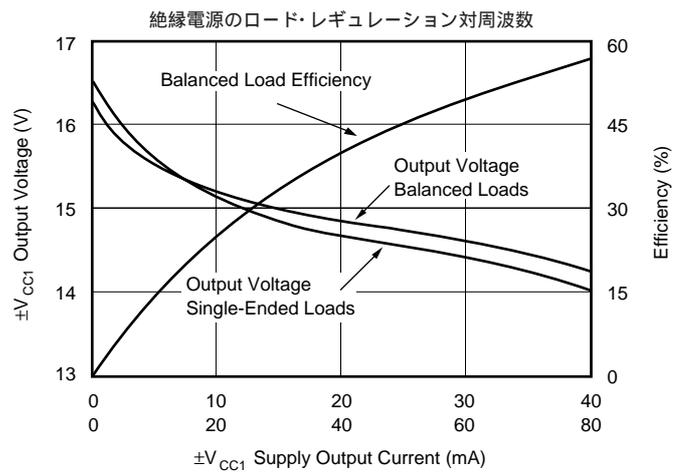
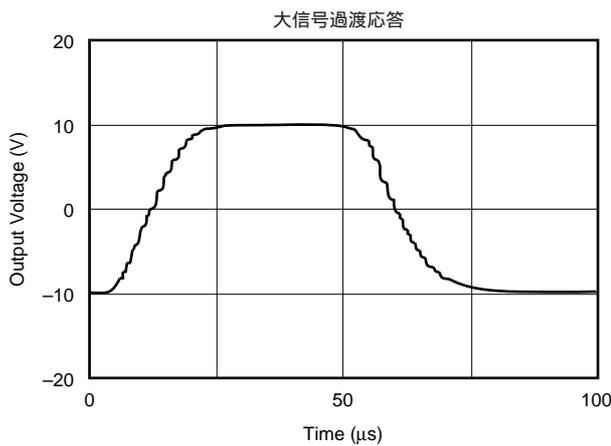
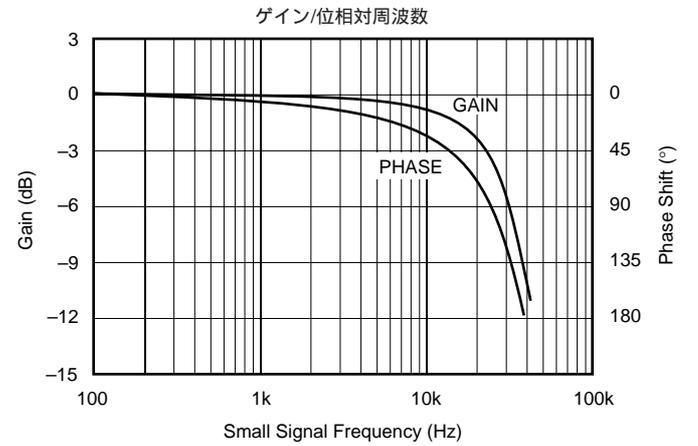
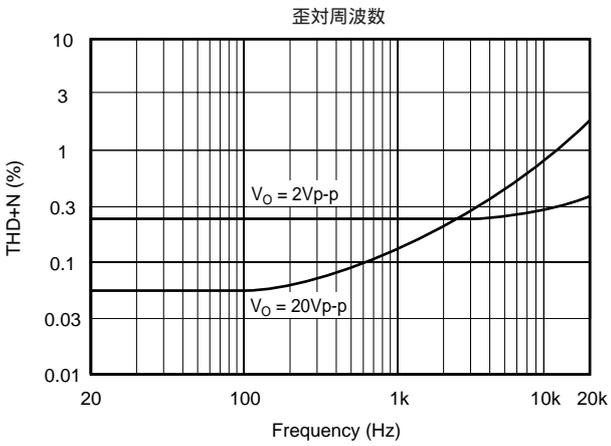
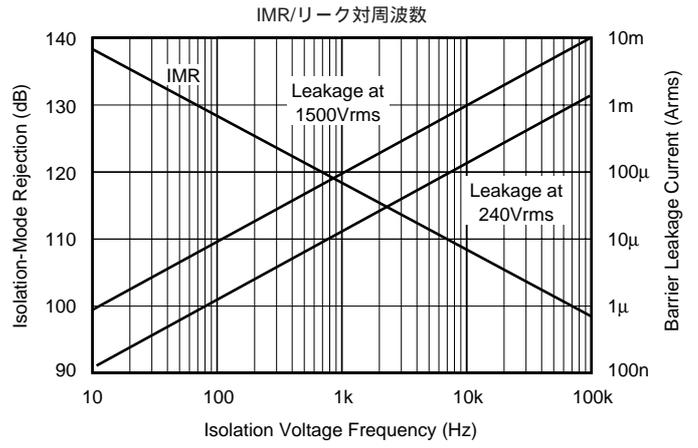
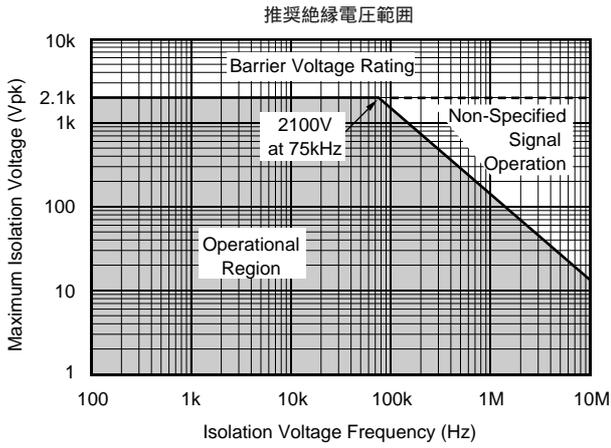
パッケージ情報/ご発注の手引き

モデル	パッケージ	パッケージ図番号 ⁽¹⁾	仕様温度範囲	パッケージのマーキング	発注番号	供給時の形態
ISO103	24ピンDIP	231	-25 ~ +85	ISO103	ISO103	マガジン
ISO103B	24ピンDIP	231	-25 ~ +85	ISO103B	ISO103B	マガジン

注：(1)詳細図および寸法表は、データシートの巻末を参照して下さい。

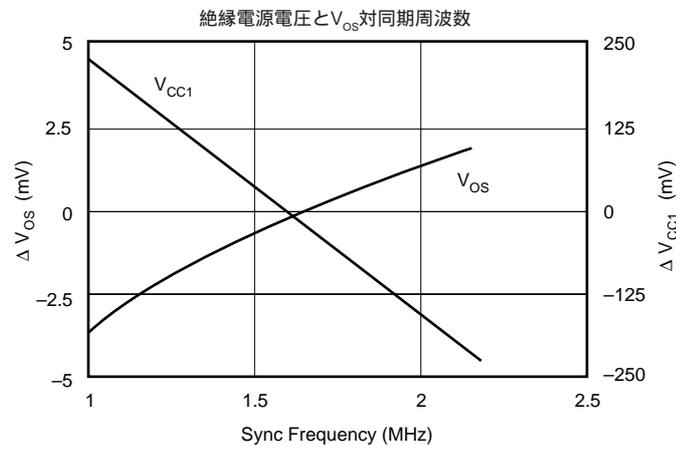
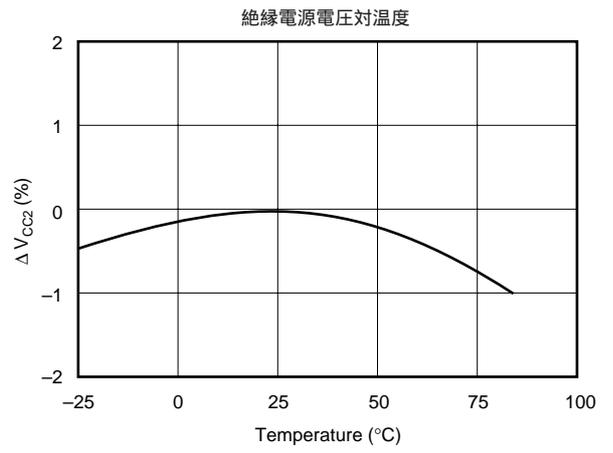
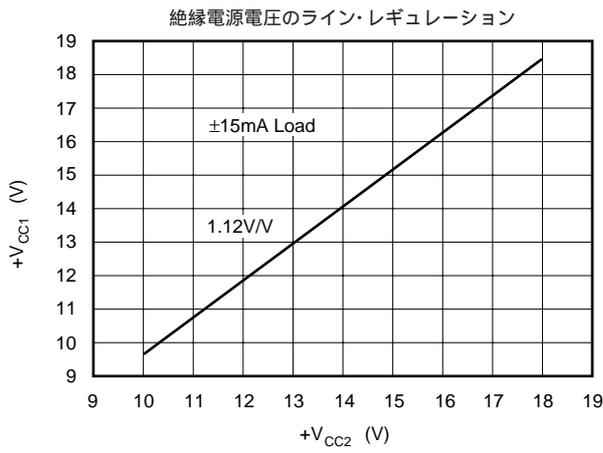
代表的性能曲線

特に記述のない限り、 $T_A = +25$ 、 $V_{CC2} = \pm 15VDC$ 、出力電源 = $\pm 15mA$ です。



代表的性能曲線

特に記述のない限り、 $T_A = +25$ 、 $V_{CC2} = \pm 15\text{VDC}$ 、出力電源 = $\pm 15\text{mA}$ です。



動作原理

表紙のブロック図に、ビート周波数の干渉を除去する絶縁アンプの同期信号と電源構成を示します。専用の800kHz発振器チップ、パワーMOSFETトランス・ドライバ、特許を有する角形コアのワイヤボンドされたトランス、および単一チップのダイオード・ブリッジにより絶縁アンプの入力側と外部負荷に電源を供給します。信号チャンネルはパッケージに組み込まれたセラミック高耐電圧バリアを介してデューティ・サイクルでエンコードされる信号を容量的に結合します。独特な送信部 - 受信部のICペアは、ウェハー・レベルでレーザ・トリムされ、整合された“フリンジ”コンデンサのペアを通して結合されており、シンプルで信頼性の高いデザインを実現しています。

信号および電源接続

図1に適切な電源と信号の接続を示します。絶縁電源から $\pm 15\text{mA}$ 以上の電流を流す場合、全ての電源供給ピンは $+V_{CC2}$ 用 π 型フィルタで示されるようにバイパスすることをお奨めします。整流器の出力ピン($\pm V_{CC1}$)とアンプ電源の入力ピン($\pm V_C$)が分離されているので、リップルのフィルタリングおよび/またはレギュレーションを追加することができます。分離された入力コモンピンと出力コモンピンおよび出力センスピンは低電流入力であり、それぞれ信号ソース・グランド、出力グランドおよび出力負荷に接続することにより、長い導線でもIR電圧降下に起因する誤差を最小にすることができます。あるいは、ISO103のソケットでコモン1をグランド1へ、コモン2をグランド2へそしてセンスを V_{OUT} に接続してください。ISO103を連続動作させる場合は、イネーブル・ピンをオープンしたままにしておくことができます。そうでない場合、TTL“ロー”レベルを印加すれば内部DC/DCコンバータをディスエーブルすることができます。同期入力は、非同期動作を行なわせるときには接地し、複数ユニットを同期して動作させるときには、1.2MHzから2.0MHzのTTLクロック信号を印加します。

ISO103は、絶縁アンプの出力側から電力供給されるトランス結合型DC/DCコンバータを含んでいます。ISO103の全ての電源

ピン(ピン1、2、3、4、14、16)とグランド間には $0.1\mu\text{F}$ のコンデンサが内部に入っています。 L_1 はDC/DCコンバータに対する入力電源の高速な変化を押さえるために使われています。 C_1 はコンバータの電流需要により起こる電圧リップルを安定化するために使われています。 L_1 、 C_1 、 C_2 はオプションですが、低ノイズのアプリケーションには推奨されています。

DC/DCコンバータは $\pm V_{CC1}$ に $\pm 15\text{V}$ の安定化されていない出力を発生させます。ISO103だけが電力供給にDC/DCコンバータを使っているデバイスである場合は、ピン1、2、3、4は C_0 または L_0 なしで直接回路内に接続できます。外部コンデンサを使用している場合は、これが $1\mu\text{F}$ を越えてはなりません。絶縁アンプとDC/DCコンバータが内部で同期しているため、出力信号にノイズが乗りにくい構成となっています。

追加するデバイスは、ISO103のDC/DCコンバータによって電力供給されます。アプリケーションによっては、ISO103のコンバータのリップル電圧が減衰されていることが必要です。そのような場合は、回路に L_0 と C_0 が追加されなければなりません。インダクタはリップル電流を減衰させるため、また、より大容量なコンデンサはリップル電圧を低減させるために使われます。

ゲインおよびオフセット調整(オプション)

定格ゲイン精度とオフセット性能は外部調整なしで得られますが、図2aの回路および値で、 $\pm 0.5\%$ のゲイン調整幅を得ることができます。 R_1 および R_2 の抵抗値を増大すれば、より大きなゲイン調整範囲が得られます。 $R_2 \geq 2R_1$ を守りながら、 R_1 を $2\text{k}\Omega$ 増加させるごとに、1%の調整範囲を追加できます。安全のため、または都合上図2aに示す調整用ポテンショメータの位置をバリアの反対側に配置したい場合には、 R_1 と R_2 の位置を逆にしてもかまいません。

図2bの回路を使用すれば1倍以上のゲインが得られます。入力換算誤差の影響は、出力ではゲインの増加に比例して逡倍されるので注意して下さい。また、小信号の帯域幅はゲインの増加に反比例して減少します。大抵の場合、絶縁アンプの入力段に高精度なゲイン・ブロックを使用すれば優れた全体性能が得られます。

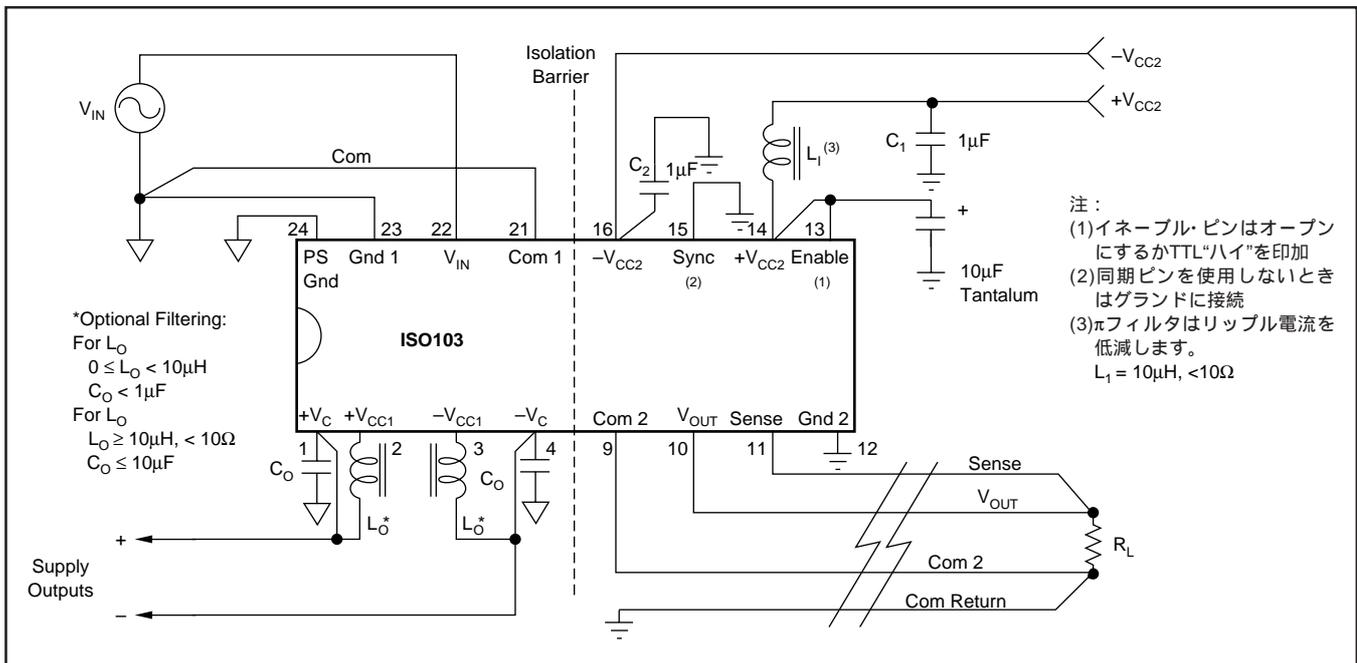


図1. 信号と電源の接続

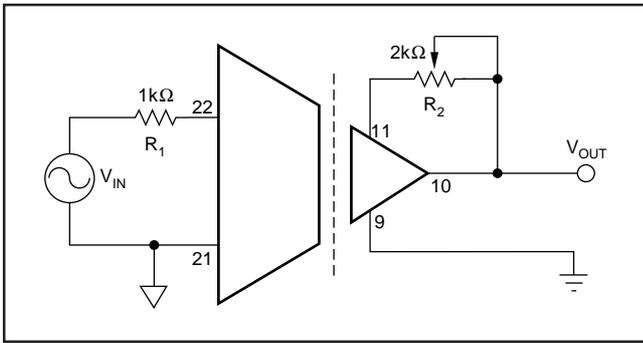


図2a. ゲイン調整

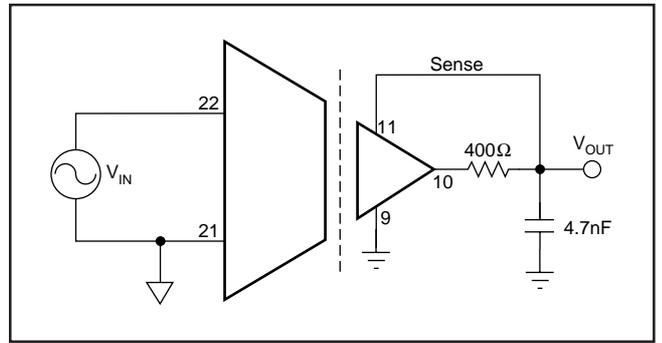


図4. リップル電圧の除去

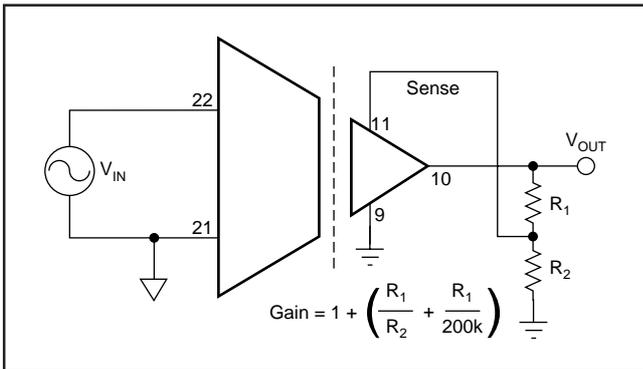


図2b. ゲイン設定

図3にISO103の V_{OS} の調整方法を示します。この回路は安全のためあるいは便宜上必要な場合、信号の共通(入力または出力)のどちらかに接続することができます。図示の値は、 $\pm 15V$ の電源電圧とユニティゲインで使用する場合で、この回路では $\pm 150mV$ の調整範囲を有し、標準のポテンショメータで $0.25mV$ の分解能が得られます。出力は電源電圧変動に対してある程度の感度をもちます。 $\pm 100mV$ の調整では、出力の電源電圧感度は $8mV/V$ になります。

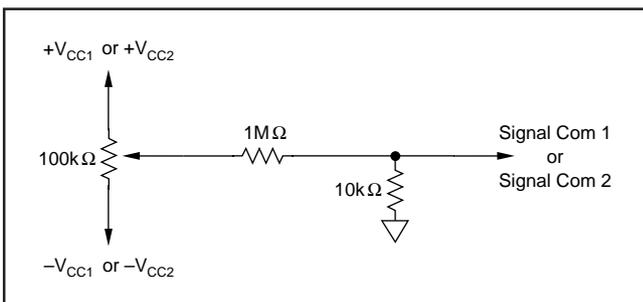


図3. V_{OS} 調整

出力フィルタ(オプション)

図4に出力リップル・フィルタのオプション回路を示しますが、このフィルタはDC性能を損なうことなく $800kHz$ のリップル電圧を $5mV_{p-p}$ 以下まで低減することができます。この補償により、小信号帯域幅は $30kHz$ 以上に拡張されます。

複数チャンネルの同期化

複数のISO103の同期化は、図7に示すとおり各デバイスのピン15を外部のTTLレベルの発振器に接続します。ISO103のキャリア周波数は $800kHz$ (公称非同期値)ですので、 $1.6MHz$ の公称同期出

力周波数を有するPWS750-1発振器が最適です。PWS750-1のオープン・コレクタ出力は、 $0.2V$ のローレベル電圧に対し標準で $7.5mA$ のスイッチングが可能のため、図7に示すようにプルアップ電圧に合わせて外部プルアップ抵抗を選択できます。1個のPWS750-1で同期化されるチャンネル数は、同期電圧の導線の総合容量で決まります。 $800kHz$ のTTLレベルをスイッチングさせるためには、総合容量を $1000pF$ 以下にする必要があります。それより高い周波数では、それに比例して容量を小さくしなければなりません。

ユーザ側の発振器を使用する場合には周波数が $1.2MHz$ から $2.0MHz$ で、デューティ・サイクルが 25% 以上のTTLレベルの同期ロジックが使用できます。

V_{CC1} からの電流を $\pm 15mA$ 以下に抑える必要があるローパワーのアプリケーションでの複数チャンネルの同期化は、同期入力ピン(15)およびイネーブルピン(13)を図5に示すとおりTTLレベルの発振器でドライブして下さい。

絶縁バリア電圧

バリア電圧ストレスが印加された状態でのISO103の標準性能は、最初の2つの代表的性能曲線、すなわち推奨絶縁電圧範囲およびIMR/リーク電流対周波数に示してあります。低バリア変調レベルでは、誤差はIMRR特性によって求められます。バリア両端の dv/dt が最初の曲線の黒くした領域の下にあれば、高いバリア電圧における標準性能が得られます。そうでない場合は、信号チャンネルが妨害され、出力に歪みが生じたり、DCレベルが移動してしまいます。この状態は一時的なものであり、過渡状態がおさまれば再び通常動作に戻ります。過渡信号が $20kV/\mu s$ を超える場合のみ、ICに永久破壊が発生します。このような極端な場合でもバリアは破壊されません。

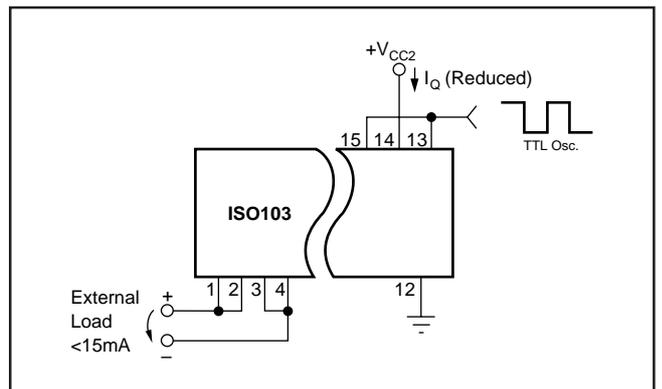


図5. 消費電力の低減

高電圧試験

ISO103は、1500Vrmsの絶縁バリア電圧で連続して信頼性の高い動作を行なうように設計されています。バリアの安全性を確認するために、2段階の試験が全数実施されます。最初に、絶縁の誘電耐圧がこのレベルより大きいことを確認するためにピークで

5600V、60Hzのバリア電圧が10秒間印加されます。つぎに、UL1244規格の適合性を確認するために、1500Vrms、60Hzの電圧を1分間印加します。寿命試験の試験結果から連続定格電圧および最大動作温度条件下において信頼性の高い動作が立証されています。

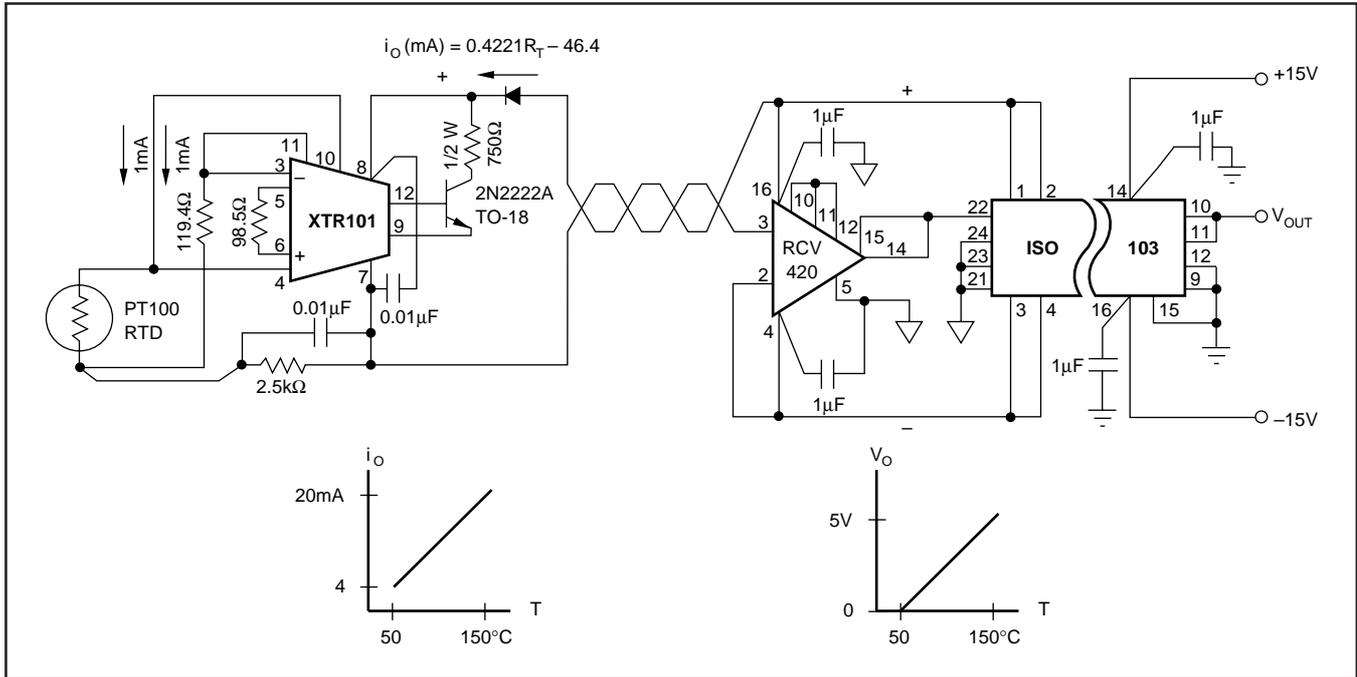


図6. 絶縁された4～20mA計測ループ

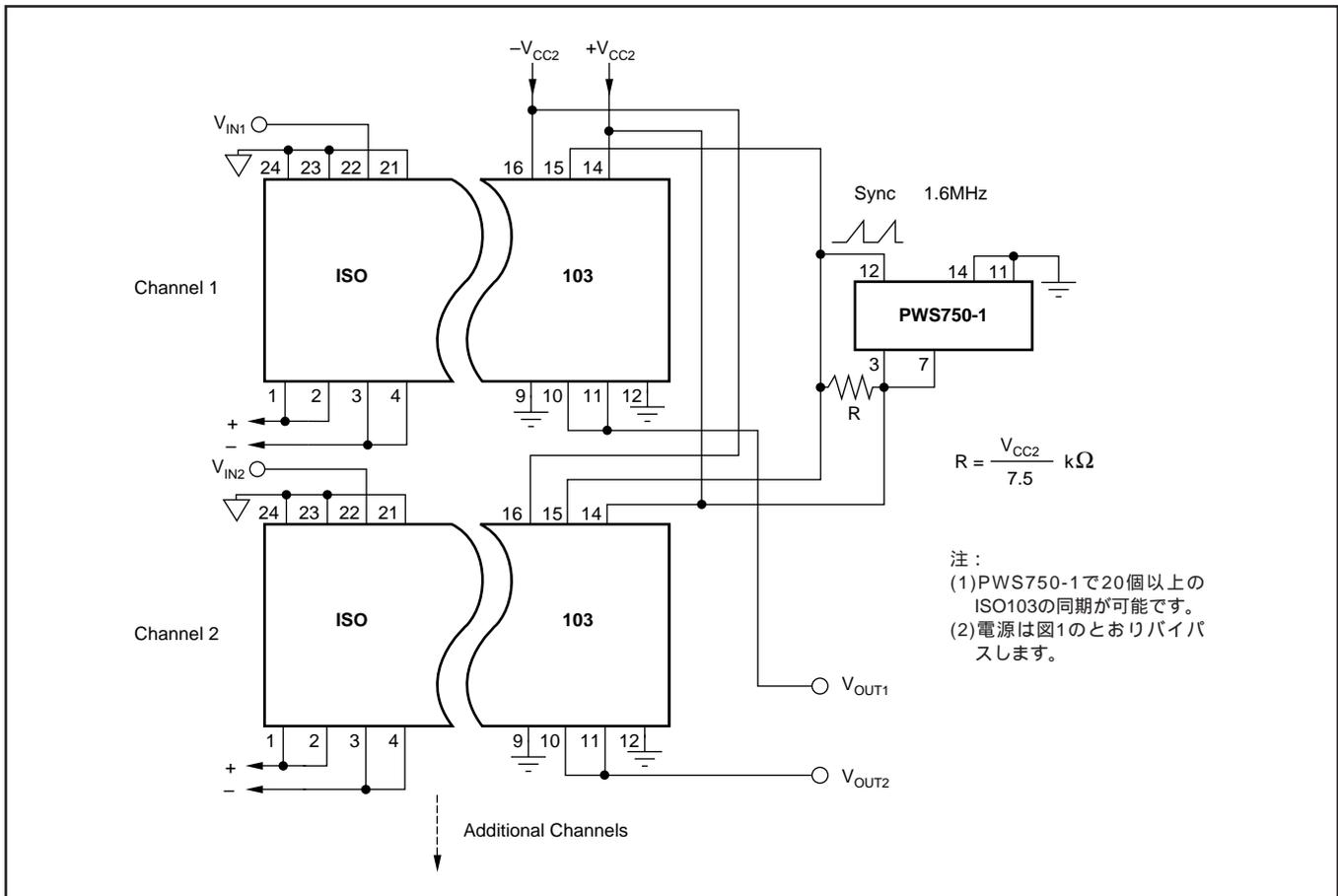
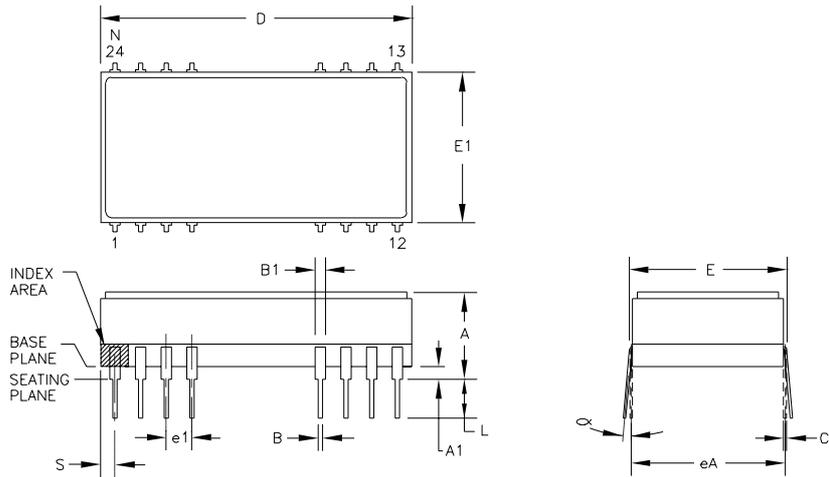


図7. マルチチャンネル絶縁の同期

外觀

パッケージ番号231 - 24ピン・サイドブレードDIP



DIM	INCHES		MILLIMETERS		N	E
	MIN.	MAX.	MIN.	MAX.		
A	.310	.375	7.87	9.52		
A1	.040	.060	1.02	1.52		
B	.016	.020	0.41	0.51	5	
B1	.040 TYP.		1.02 TYP.		5	
C	.009	.012	0.23	0.30		
D	1.180	1.265	29.97	32.13		
E	.600	.620	15.24	15.75		
E1	.570	.610	14.48	15.49	6	
e1	.100 TYP.		2.54 TYP.		2	
eA	.580	.620	14.73	15.75	2	
L	.125	.180	3.18	4.57		
N	16		16		4	
S	.044	.056	1.12	1.42		
∞	0°	15°	0°	15°	3	

NOTES:

1. DIMENSIONING AND TOLERANCING PER ANSI Y14.5-1982.
2. LEADS WITHIN .005 IN. (0.13mm) RADIUS OF TRUE POSITION (TP) AT GAUGE PLANE WITH MAXIMUM MATERIAL CONDITION AND UNIT INSTALLED.
3. ∞ APPLIES TO SPREAD LEADS PRIOR TO INSTALLATION.
4. N IS THE NUMBER OF TERMINAL POSITIONS.

5. OUTLINES ON WHICH THE SEATING PLANE IS COINCIDENT WITH THE PLANE (A1 = 0), TERMINALS LEAD STANDOFFS ARE NOT REQUIRED, AND B1 MAY EQUAL B ALONG ANY PART OF THE LEAD ABOVE THE SEATING/BASE PLANE.
6. E1 DOES NOT INCLUDE PARTICLES OF PACKING MATERIALS.
7. CONTROLLING DIMENSION: INCH.
8. A VISUAL INDEX FEATURE MUST BE LOCATED WITHIN THE CROSS-HATCHED AREA.

PACKAGE NUMBER: ZZ231
JEDEC NUMBER: NONE

REV.: E