



ダイレクト・ストリーム・デジタルD/Aコンバータ

特長

- DSD信号-アナログ信号ダイレクト変換
- DSDデコーダ・インターフェース
 データクロック : 2.8224MHz(64 × 44.1kHz)
 システムクロック : 11.2896MHz(256 × 44.1kHz)
- ダイナミック特性
 THD + N : 0.001%
 ダイナミック・レンジ : 110dB
 SNR : 110dB
 周波数特性 : 100kHz(-3dB)
- CMOS入力インターフェース
- +5V単一電源動作
- パッケージ : 小型28ピンSSOP

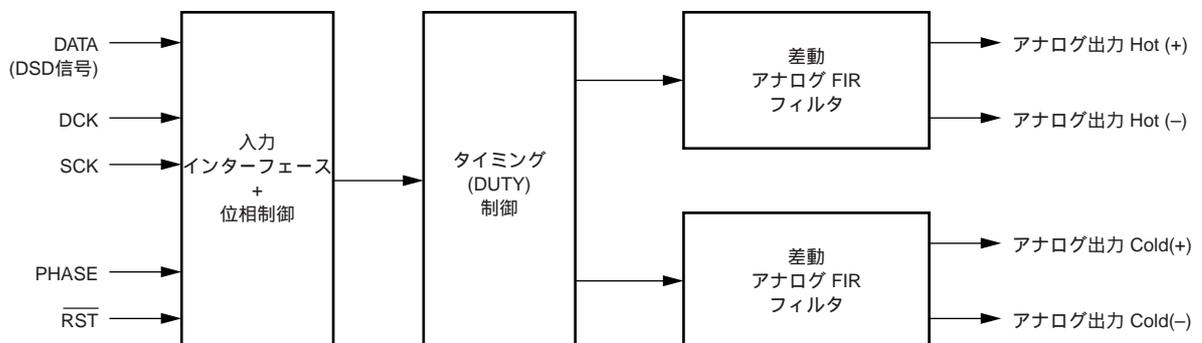
概要

DSD1700は、ダイレクト・ストリーム・デジタル(DSD)信号のためのD/Aコンバータで、 $64f_s$ 、1ビットデジタル入力信号をアナログ信号に変換するための完全なダブル差動構成をもつシングル・チャンネル8ビット・アナログFIRフィルタから構成されています。

DSD信号に含まれている帯域外ノイズが取り除かれるため、後続オペアンプに要求される高周波特性が大幅に緩和されます。また、デジタル入力に対しフル差動構成をとるため、電源変動に対し高い安定性を持ち、SACD(Super Audio CD)の高いアナログ性能を容易に実現することができます。

アプリケーション

- スーパー・オーディオCDプレーヤ
- プロフェッショナルDSDプロセッサ
- プロフェッショナルDSDコンソール



仕様

特に記述のない限り、 $T_A = +25$ 、 $V_{DD} = V_{CC} = 5.0V$ 、 $f_S = 44.1kHz$ 、データクロック = $64f_S$ 、システムクロック = $256f_S$ における特性です。(ダイレクト・ストリーム・デジタル信号のサンプリング周波数は2.8224MHzですが、このデータシートにおいては便宜上、サンプリング周波数(f_S)を44.1kHz、2.8224MHzを $64f_S$ と記述します。)

パラメータ	条件	DSD1700E			単位
		最小	標準	最大	
入力クロック サンプリング周波数(f_S) データクロック周波数(DCK) システムクロック周波数(SCK)	$64f_S$ $256f_S$		44.1 2.8224 11.2896		kHz MHz MHz
SCK AC 特性⁽¹⁾ 入力クロック・デューティ・サイクル			50		%
デジタル入力 入力電圧 ⁽¹⁾ ハイ "レベル" 入力電圧 ⁽¹⁾ ロー "レベル" 入力電流 ⁽²⁾ ハイ "レベル" 入力電流 ⁽²⁾ ロー "レベル"	V_{IH} V_{IL} I_{IH} $I_{IL}^{(2)}$ $I_{IL}^{(3)}$	$0.7V_{DD}$		$0.3V_{DD}$ ± 10 ± 10 -120	V V μA μA μA
アナログ出力⁽⁵⁾ フルスケール電圧 ゲイン誤差 オフセット誤差 出力インピーダンス ⁽⁴⁾			$4.1V_{CC}$ ± 4 ± 0.1 2	± 10 ± 1	Vp-p % of FSR % of FSR k Ω
ダイナミック特性⁽⁵⁾ THD + N、 $V_{OUT} = 0dB$ ダイナミック・レンジ S/N比 周波数特性、 $-3dB$	With 30kHz GICフィルタ With 30kHz GICフィルタ With 30kHz GICフィルタ		0.001 110 110 100		% dB dB kHz
電源供給 電圧範囲 電源電流 消費電力	$I_{CC} + I_{DD}$ V_{CC} 、 V_{DD} $V_{CC} = V_{DD} = 5.0V$ $V_{CC} = V_{DD} = 5.0V$	4.5	5 5.5 27.5	5.5 8.0 40	VDC mA mW
温度範囲 動作温度 保存温度 熱抵抗	θ_{JA} 28ピンSSOP	-25 -55	100	+85 +125	/W

注：(1)システムクロックの項を参照。(2)ピン26、27、28：DATA DCK、SCK (3)ピン3、4： \overline{RST} 、PHASE(プルアップ抵抗内蔵)(4)ピン13、14、15、16： I_{OUT_HN} 、 I_{OUT_CP} 、 I_{OUT_CN} 、 I_{OUT_HP} (5) $f_{SIG} = 1kHz$ 、50%スケールリング・ファクタのDSD信号を標準差動-シングルエンド・コンバータ(図5参照)を通してオーディオ・プレシジョン社System IIのRMSモード、20kHz LPF、400Hz HPFにて測定。

このデータシートに記載されている情報は、信頼しうるものと考えておりますが、不正確な情報や記載漏れ等に関して弊社は責任を負うものではありません。情報の使用について弊社は責任を負えませんので、各ユーザの責任において御使用下さい。価格や仕様は予告なしに変更される場合がありますのでご了承下さい。ここに記載されているいかなる回路についても工業所有権その他の権利またはその実施権を付与したり承諾したりするものではありません。弊社は弊社製品を生命維持に関する機器またはシステムに使用することを承認しまたは保証するものではありません。

絶対最大定格

電源電圧、+V _{CC} 、+V _{DD}	+6.5V
電源電圧差、+V _{CC} と+V _{DD} 間	±0.1V
グランド電圧差、AGNDとDGND間	±0.1V
デジタル入力電圧	-0.3 ~ V _{DD} + 0.3V
入力電流(電源を除く)	±10mA
動作温度	-25 ~ +85
保存温度	-55 ~ +125
接合部温度	+150
リード温度(5秒間の半田付け)	+260
パッケージ温度(IRリフロー、10秒間)	+235

静電気放電対策

静電気放電はわずかな性能の低下から完全なデバイスの故障に至るまで、様々な損傷を与えます。すべての集積回路は、適切なESD保護方法を用いて、取扱いと保存を行うようにして下さい。高精度の集積回路は、損傷に対して敏感であり、極めてわずかなパラメータの変化により、デバイスに規定された仕様に適合しなくなる場合があります。

パッケージ情報/ご発注の手引き

モデル	パッケージ
DSD1700E	28ピンSSOP

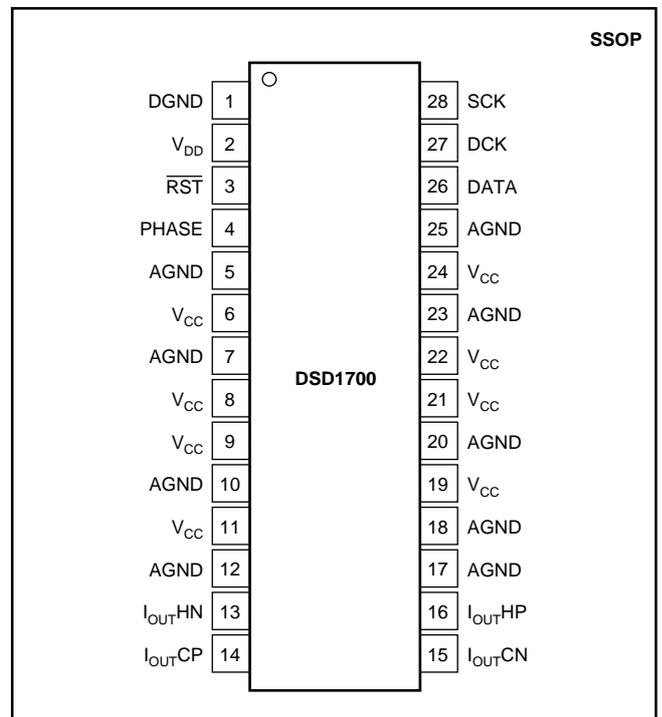
注：(1)詳細図および寸法表は、データシートの巻末を参照して下さい。

ピン構成

ピン番号	名称	IN/OUT	説明
1	DGND	-	デジタル・グランド
2	V _{DD}	-	デジタル電源、+5V
3	RST	IN	リセット、アクティブ・ロー ⁽¹⁾
4	PHASE	IN	データ位相選択(L：正相 H：逆相) ⁽¹⁾
5	AGND	-	アナログ・グランド
6	V _{CC}	-	アナログ電源、+5V
7	AGND	-	アナログ・グランド
8	V _{CC}	-	アナログ電源、+5V
9	V _{CC}	-	アナログ電源、+5V
10	AGND	-	アナログ・グランド
11	V _{CC}	-	アナログ電源、+5V
12	AGND	-	アナログ・グランド
13	I _{OUT} HN	OUT	DACアナログ出力(Hot Negative)
14	I _{OUT} CP	OUT	DACアナログ出力(Cold Positive)
15	I _{OUT} CN	OUT	DACアナログ出力(Cold Negative)
16	I _{OUT} HP	OUT	DACアナログ出力(Hot Positive)
17	AGND	-	アナログ・グランド
18	AGND	-	アナログ・グランド
19	V _{CC}	-	アナログ電源、+5V
20	AGND	-	アナログ・グランド
21	V _{CC}	-	アナログ電源、+5V
22	V _{CC}	-	アナログ電源、+5V
23	AGND	-	アナログ・グランド
24	V _{CC}	-	アナログ電源、+5V
25	AGND	-	アナログ・グランド
26	DATA	IN	ダイレクト・ストリーム・デジタルデータ入力
27	DCK	IN	データクロック入力
28	SCK	IN	システムクロック入力

注：(1)内部プルアップ抵抗付き

ピン配置



代表的性能曲線

フィルタ特性

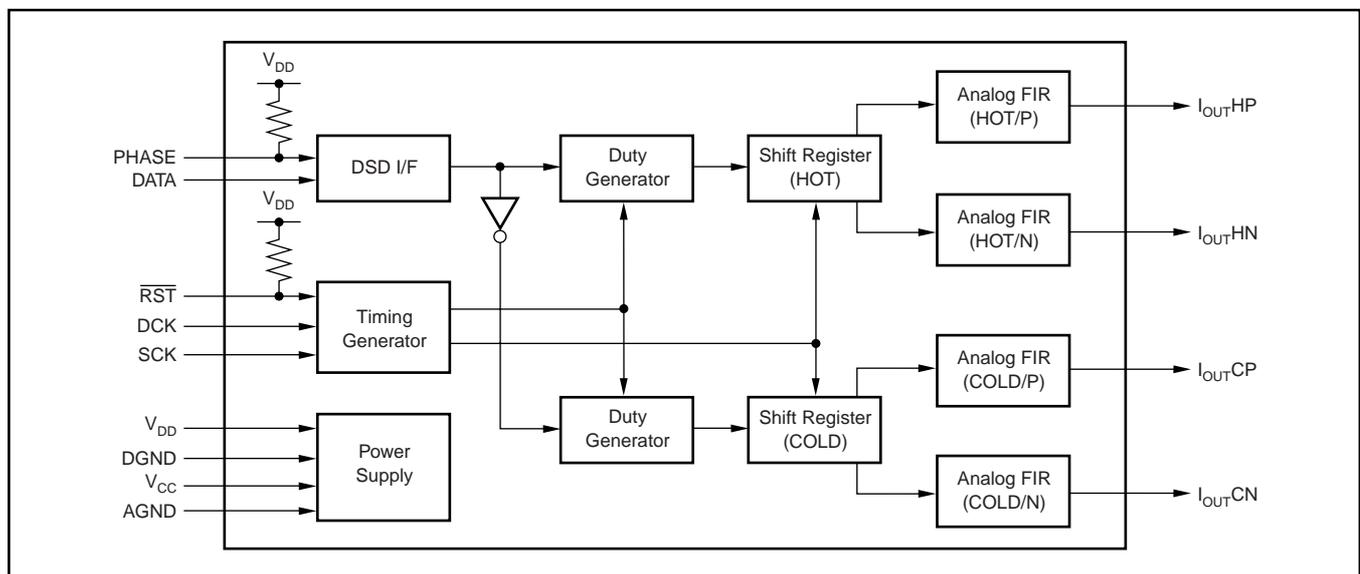
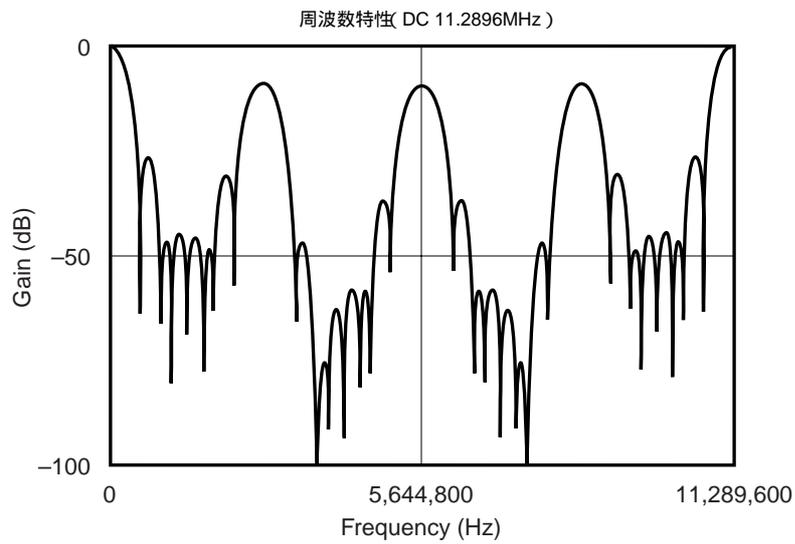
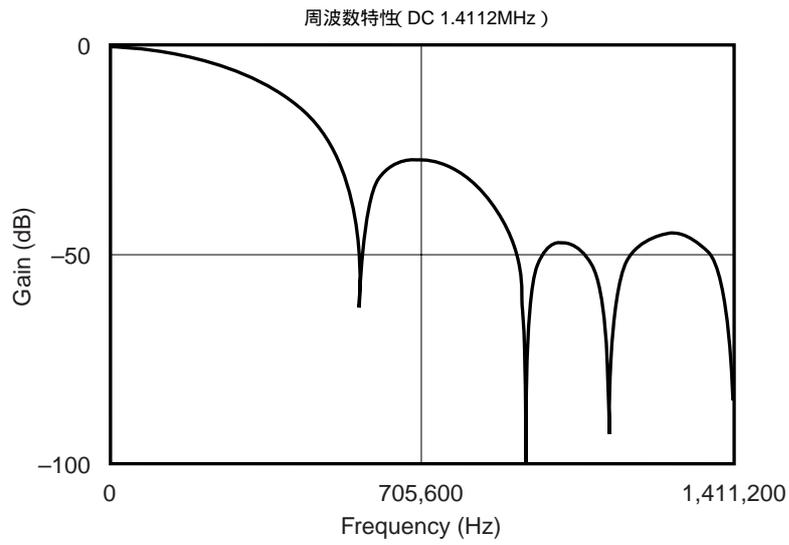


図1. DSD1700ブロック図

システムクロック

DSD信号は、データ(DATA)とクロック(DCK)として供給されますが、DSD1700は $256f_s$ のシステムクロック(SCK)で動作します。システムクロックのタイミングを図2に示します。

リセット

DSD1700は、内部でプルアップされた外部リセット端子(\overline{RST})を持ち、SCKの立ち上がりに同期してイニシャライズが行なわれます。リセット時の出力は、バイポーラ・ゼロ・データ入力時の出力となります。

RST	動作
LOW HIGH	システム・リセット 通常動作

使用上の注意

8ビット・アナログFIRフィルタの抵抗ネットワークは、重みづけされた抵抗アレイが図3のように配置されています。DSD入力信号は、デューティ生成回路でデューティ75%に整形されて、アナログFIRに供給されます。

DSD入力信号に含まれるジッタはシステムクロック(SCK)により低減されます。フル・ダブル差動構成をとるためHOTおよびCOLD信号がDSD信号から生成されます。HOTおよびCOLD信号の極性は、PHASE端子により設定することができます。PHASE端子は内部でプルアップされており、SCKの立ち上がりタイミングに同期して極性が設定されます。

DSD入力信号は、DATA、DCK、SCK端子を介してインターフェースされます。DATAとDCKはSCKの立ち下がりに同期し、出力 I_{OUT} はSCKの立ち上がりに同期します。

PHASE	データ位相
LOW	正相
HIGH	逆相

表 . HOT/COLD極性制御

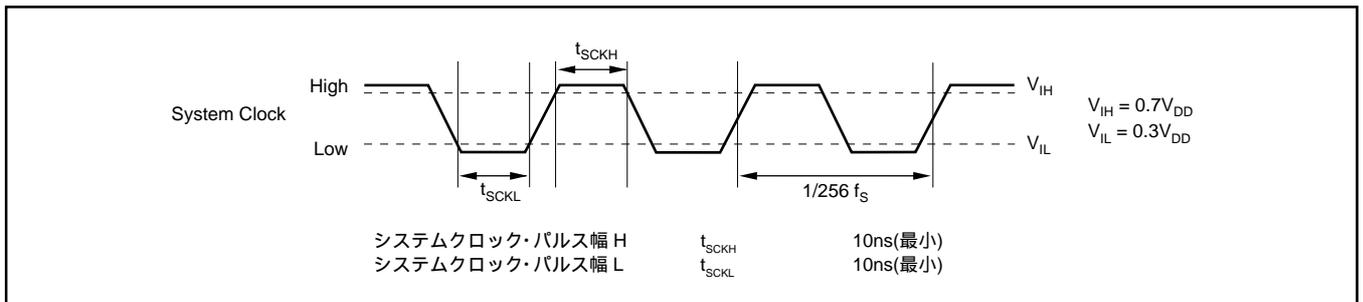


図2. システムクロック・タイミング

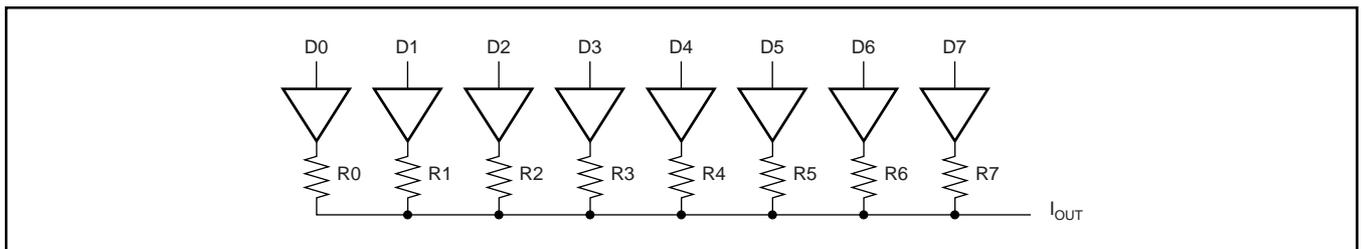


図3. 出力ステージの抵抗ネットワーク

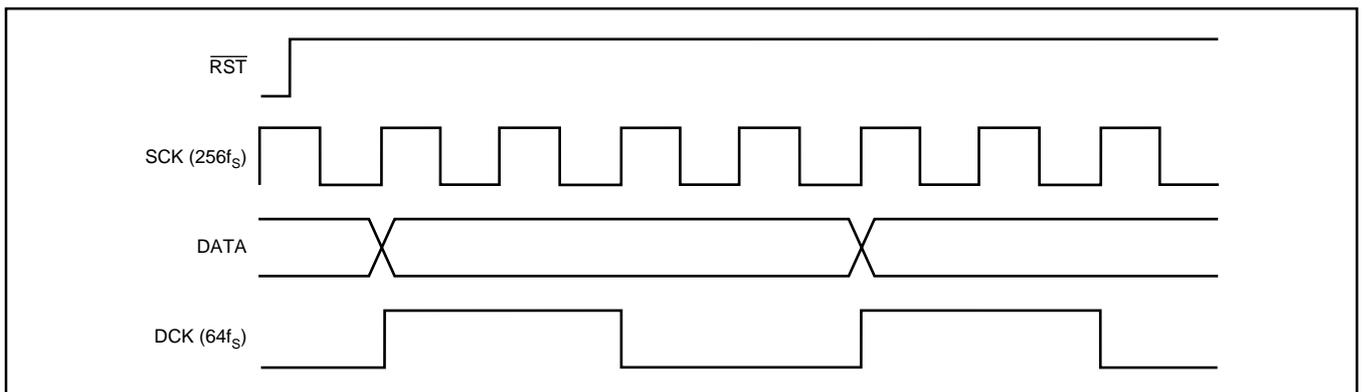
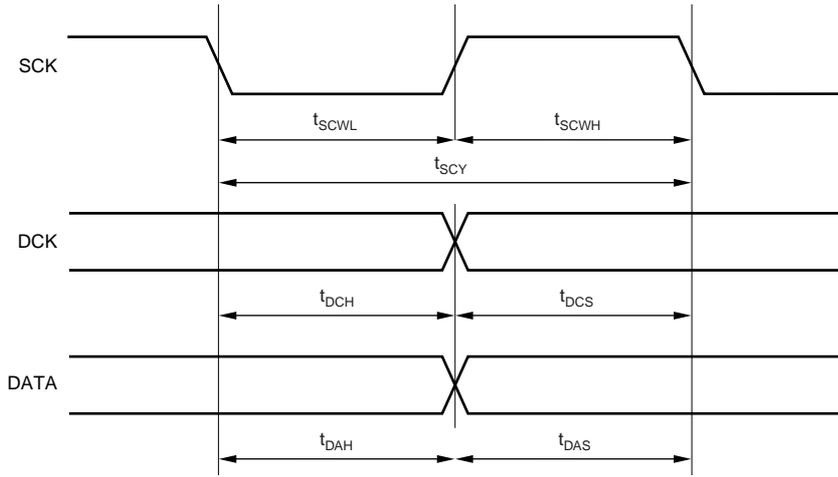


図4. 入力信号タイミング

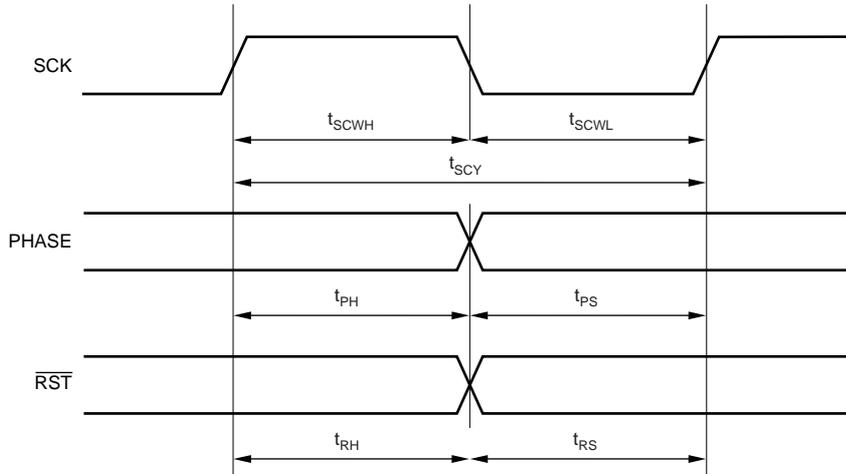
スイッチング特性

DSDデータ入力タイミング



SCKパルス幅 H	t_{SCWH}	10ns(最小)
SCKパルス幅 L	t_{SCWL}	10ns(最小)
SCKパルス周期	t_{SCY}	$1/(256f_s)$ sec
DCKセットアップ・タイム	t_{DCH}	15ns(最小)
DCKホールド・タイム	t_{DCS}	5ns(最小)
DATAセットアップ・タイム	t_{DAH}	15ns(最小)
DATAホールド・タイム	t_{DAS}	5ns(最小)

制御データ入力タイミング



SCKパルス幅 H	t_{SCWH}	10ns(最小)
SCKパルス幅 L	t_{SCWL}	10ns(最小)
SCKパルス周期	t_{SCY}	$1/(256f_s)$ sec
PHASEセットアップ・タイム	t_{PH}	15ns(最小)
PHASEホールド・タイム	t_{PS}	5ns(最小)
RSTセットアップ・タイム	t_{RH}	15ns(最小)
RSTホールド・タイム	t_{RS}	5ns(最小)

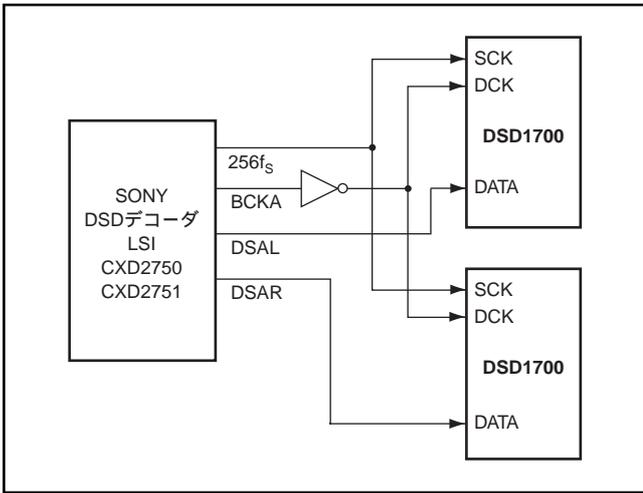


図7. DSDデコーダとの接続例

外観

