

ハイパワー差動ドライバ・アンプ

特 長

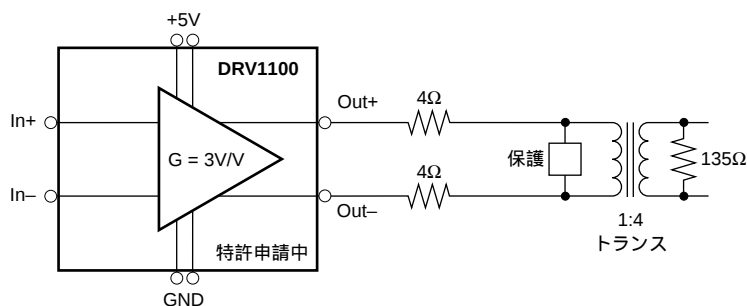
- 大出力電流：230mA
- 単一電源動作：5V
- 帯域幅：5MHz(6Vp-p、15Ω)
- 大電力時の低THD：-72dBc
(6Vp-p、100kHz、100Ω)
- 低無信号時電流：11mA
- 固定差動ゲイン：3V/V

概 要

DRV1100は、xDSLライン・インターフェース標準に要求される大電力で低高調波歪を実現するように設計された固定ゲインの差動ライン・ドライバです。+5V単一電源で動作し、230mAのピーク出力電流および9.5Vp-pの差動出力電圧スイングを実現します。このように+5V単一電源で大出力電力が得られるDRV1100は、波高率の高いラインに最大17dBmの電力を供給することが必要なxDSLアプリケーションに最適です。DRV1100は、8ピン・プラスチックDIPおよび8ピンSOPで供給されます。

アプリケーション

- xDSLツイストペア・ライン・ドライバ
- 通信ライン・ドライバ
- トランス・ドライバ
- ソレノイド・ドライバ
- ハイパワー・オーディオ・ドライバ
- CRTヨーク・ドライバ



仕様

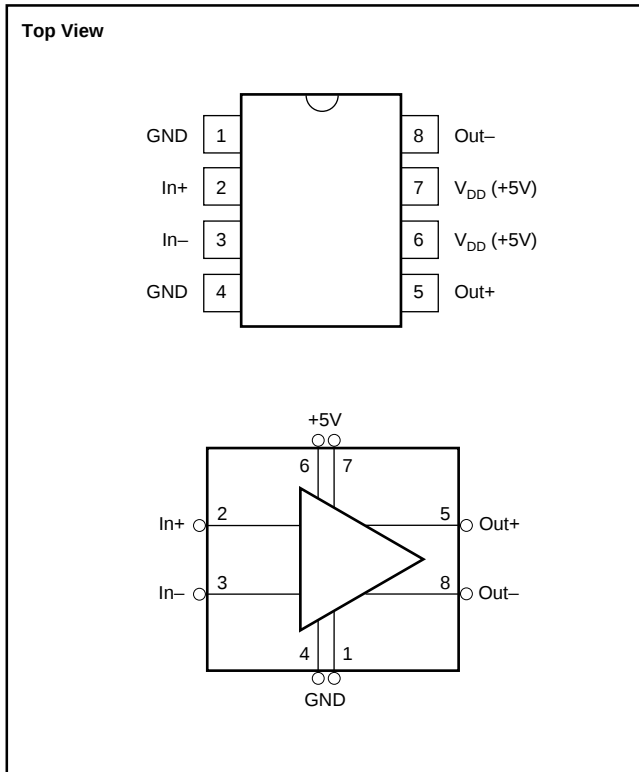
特に記述のない限り、V_{DD} = +5.0V、V_{CM} = V_{DD}/2、T_A = +25 です。

パラメータ	条件	DRV1100P、U			単位
		最小	標準	最大	
AC性能 -3dB帯域幅 差動スルーレート ステップ応答遅延 ⁽¹⁾ セトリングタイム、1%、ステップ入力 セトリングタイム、1%、ステップ入力 セトリングタイム、0.1%、ステップ入力 セトリングタイム、0.1%、ステップ入力 THD _X 全高調波歪 ²⁾ f = 10kHz f = 10kHz f = 100kHz f = 100kHz 入力電圧雑音 入力電流雑音	R _L = 15Ω、V _O = 1Vp-p R _L ≥ 100Ω、V _O = 1Vp-p R _L = 15Ω、V _O = 6Vp-p R _L ≥ 100Ω、V _O = 6Vp-p R _L = 100Ω、V _O = 6Vp-p V _O = 1Vp-p V _O = 1Vp-p、R _L = 100Ω V _O = 6Vp-p、R _L = 100Ω V _O = 1Vp-p、R _L = 100Ω V _O = 6Vp-p、R _L = 100Ω R _L = 100Ω、V _O = 6Vp-p R _L = 15Ω、V _O = 6Vp-p R _L = 100Ω、V _O = 6Vp-p R _L = 15Ω、V _O = 6Vp-p f = 100kHz f = 100kHz		8 11 5 6 80 25 0.25 0.3 0.8 1.1 -85 -76 -72 -65 30 0.5		MHz MHz MHz MHz V/μs ns μs μs μs μs dBc dBc dBc dBc nV/√Hz fA/√Hz
入力特性 差動入力抵抗 差動入力キャパシタンス 同相モード入力抵抗 同相モード入力キャパシタンス 入力オフセット電圧 入力バイアス電流 同相モード除去比 電源除去比 同相モード入力電圧範囲 ⁽³⁾	入力換算 入力換算		10 ¹¹ 1 10 ¹¹ 6 5 1 62 76		Ω pF Ω pF mV pA dB dB V
出力特性 差動出力オフセット、RTO 差動出力オフセット・ドリフト、RTO 差動出力抵抗 ピーク電流 (連続) 差動出力電圧スイング 出力電圧スイング、両側 ゲイン ゲイン誤差	-40 ~ +85 R _L = 15Ω R _L = 1kΩ R _L = 100Ω R _L = 15Ω R _L = 1kΩ 固定ゲイン、差動		10 30 0.16 230 9.6 9.5 6.6 3	25 4.875 ±0.25	mV μV/°C Ω mA Vp-p Vp-p Vp-p V V/V dB
電源 動作電圧範囲 無信号時電流	V _{DD} = 5.0V	+4.5	+5.0 +11	+5.5 +16	V mA
温度範囲 熱抵抗、θ _{JA} DRV1100P 8ピンDIP DRV1100U 8ピンSOP		-40		+85	°C °C/W °C/W

注 : (1) 入力ステップの50%の点から出力ステップの50%の点までの時間。(2) 測定帯域幅=500kHz。(3) 出力同相モード電圧は入力同相モード電圧に従います。
したがって、入力のV_{CM} = V_{CC}/2の場合、出力のV_{CM} = V_{DD}/2になります。

このデータシートに記載されている情報は、信頼しうるものと考えておりますが、不正確な情報や記載漏れ等に関して弊社は責任を負うものではありません。情報の使用について弊社は責任を負いませんので、各ユーザーの責任において御使用下さい。価格や仕様は予告なしに変更される場合がありますのでご了承下さい。ここに記載されているいかなる回路についても工業所有権その他の権利またはその実施権を付与したり承諾したりするものではありません。弊社は弊社製品を生命維持に関する機器またはシステムに使用することを承認しまたは保証するものではありません。

ピン配置



絶対最大定格

アナログ入力：電流	$\pm 100\text{mA}$ 、瞬時 $\pm 10\text{mA}$ 、連続
電圧	$GND - 0.3\text{V} \sim V_{DD} + 0.2\text{V}$
アナログ出力短絡(対グランド、+25℃)	瞬時
アナログ出力短絡(対 V_{DD} 、+25℃)	瞬時
$V_{DD} \sim GND$	$-0.3\text{V} \sim 6\text{V}$
接合部温度	$+150$
保存温度範囲	$-40 \sim +125$
リード温度(3秒間の半田付け)	$+260$
消費電力	熱解析の項を参照

パッケージ情報/御発注の手引き

モデル	パッケージ	パッケージ図番号 ⁽¹⁾
DRV1100P	8ピンPDIP	006
DRV1100U	8ピンSOP	182

注：(1) 詳細図および寸法表は、データシートの巻末を参照して下さい。



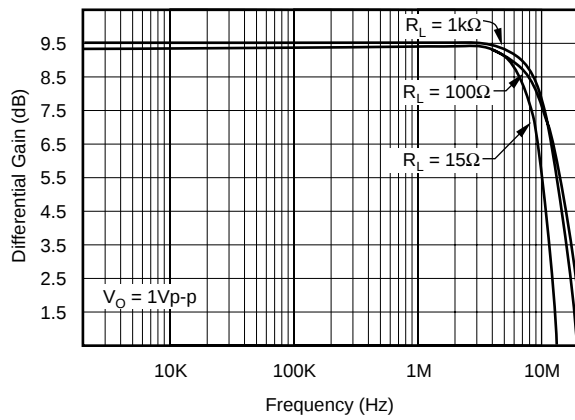
静電気放電対策

静電気放電はわずかな性能の低下から完全なデバイスの故障に至るまで、様々な損傷を与えます。すべての集積回路は、適切なESD保護方法を用いて、取扱いと保存を行うようにして下さい。高精度の集積回路は、損傷に対して敏感であり、極めてわずかなパラメータの変化により、デバイスに規定された仕様に適合しなくなる場合があります。

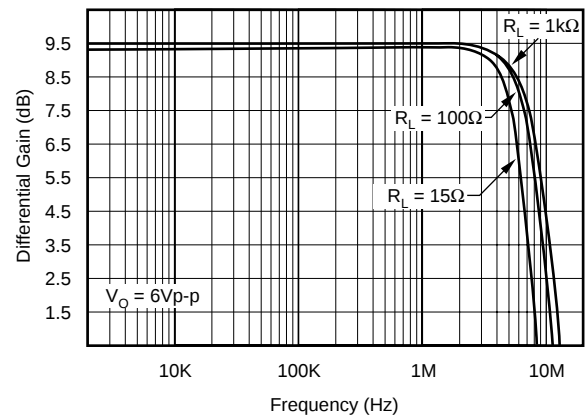
代表的性能曲線

特に記述のない限り、 $V_{DD} = +5.0V$ 、 $V_{CM} = V_{DD}/2$ 、 $T_A = +25$ です。

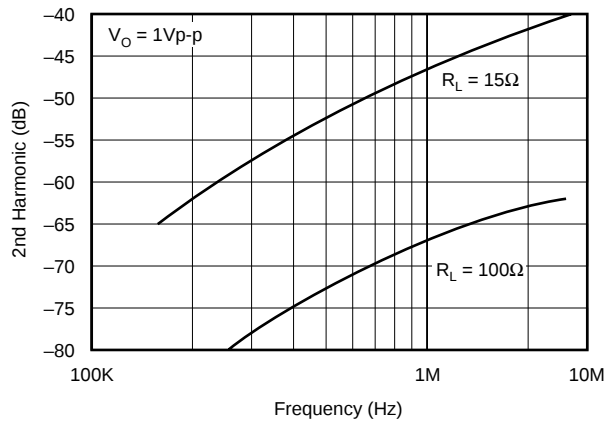
小信号周波数応答



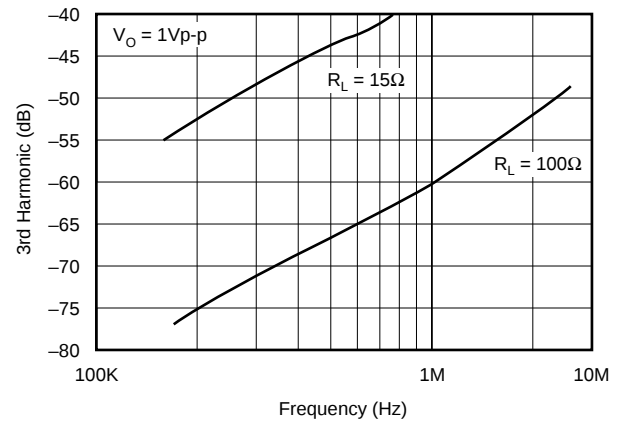
大信号周波数応答



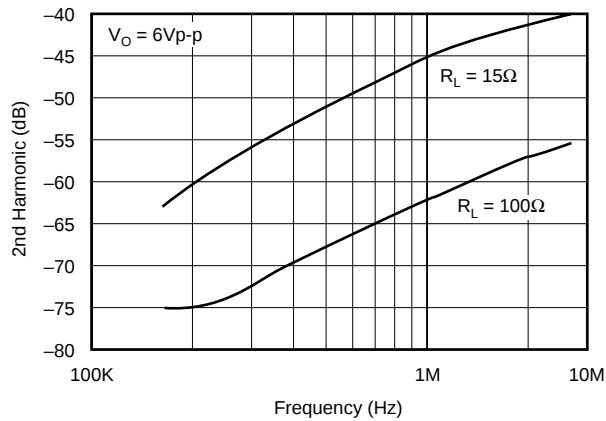
小信号2次高調波歪



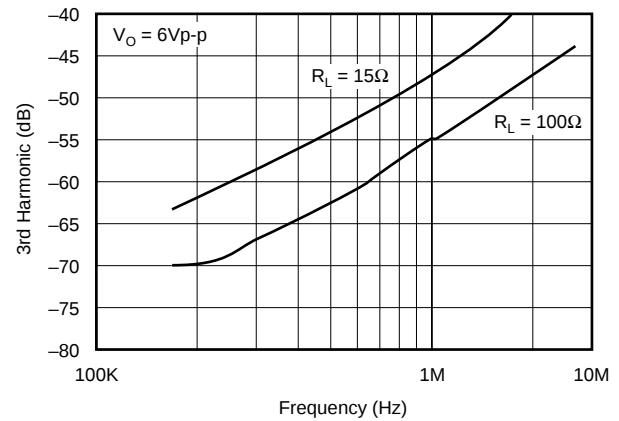
小信号3次高調波歪



大信号2次高調波歪

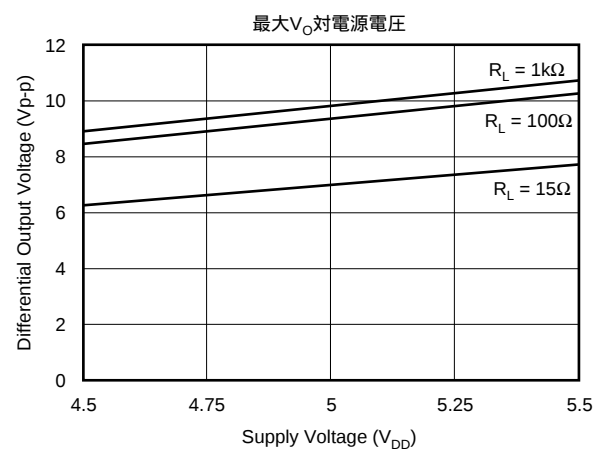
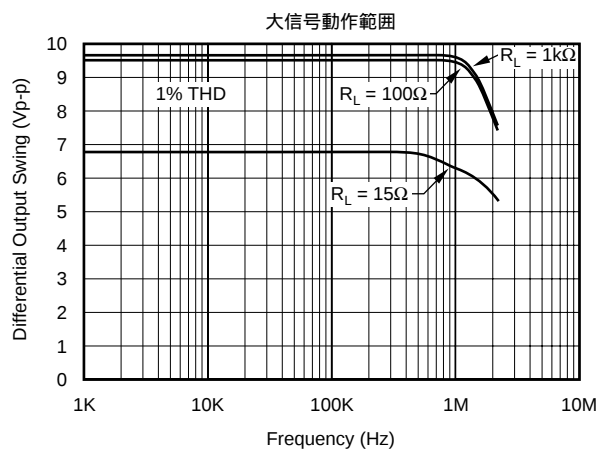
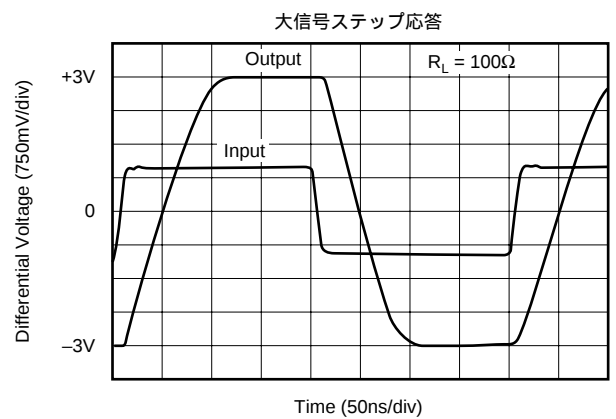
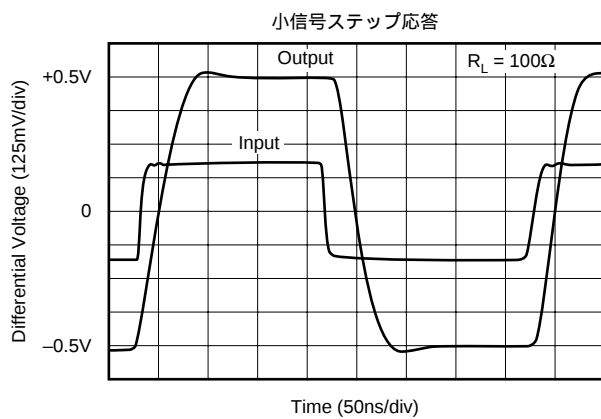
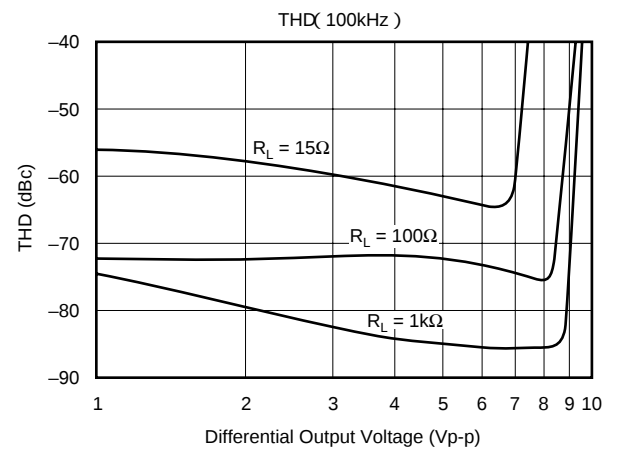
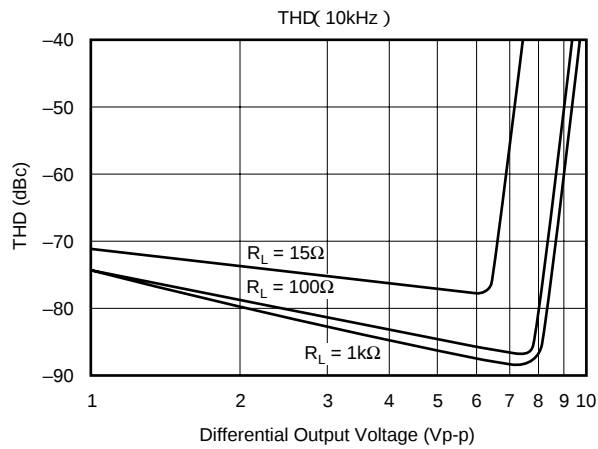


大信号3次高調波歪



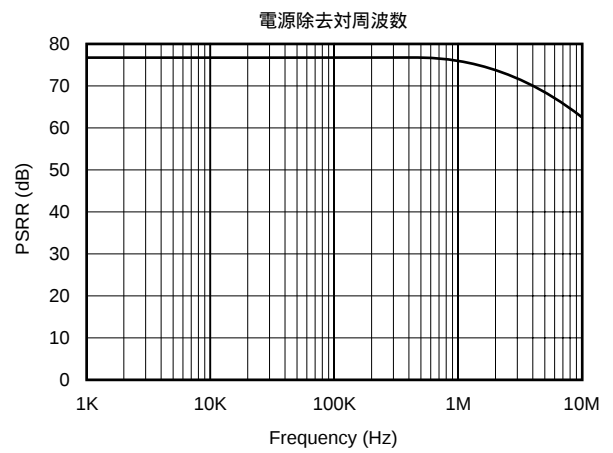
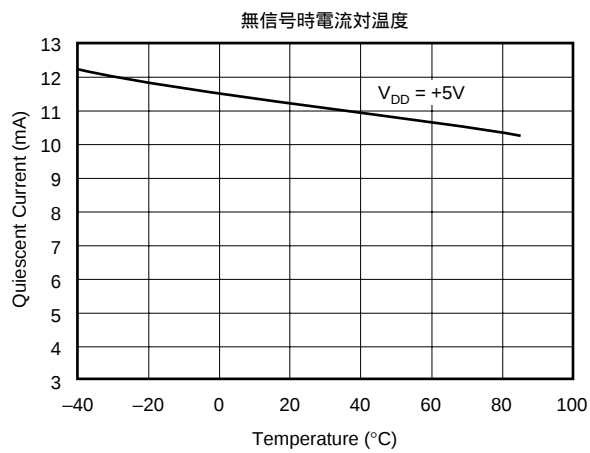
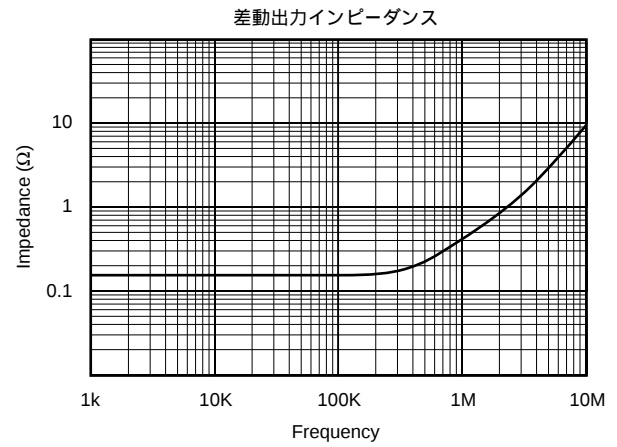
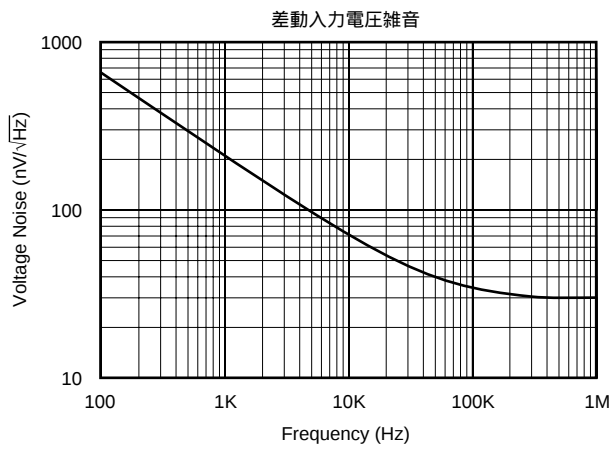
代表的性能曲線

特に記述のない限り、 $V_{DD} = +5.0V$ 、 $V_{CM} = V_{DD}/2$ 、 $T_A = +25$ です。



代表的性能曲線

特に記述のない限り、 $V_{DD} = +5.0V$ 、 $V_{CM} = V_{DD}/2$ 、 $T_A = +25$ です。



使用上の注意

内部ブロック図

DRV1100は、真の差動入力と差動出力を備えた固定ゲインのアンプです。+5V単一電源で動作し、内部的に固定された+3の差動ゲインと+1の同相モード・ゲインが入出力間で得られます。先進のCMOSプロセスで製造されたDRV1100は、きわめて高い入力インピーダンスと、低インピーダンスの230mA出力ドライブ機能を提供します。図1に、簡略化された内部ブロック図を示します。

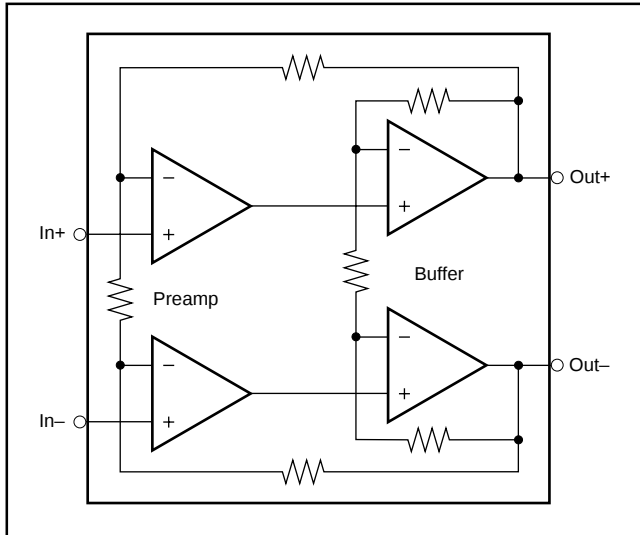


図1. DRV1100の簡略化された内部ブロック図

DRV1100は、入力の中心を $V_{DD}/2$ にして動作させるときに最大のダイナミック・レンジが得られます。このとき、出力の差動スイングの中心が $V_{DD}/2$ になり、スイングが最大に、歪が最小になります。純粋な差動入力信号の場合は、純粋な差動出力信号が生成されます。DRV1100の一方の入力にシングル・エンド入力信号を印加し、他方の入力を固定電圧にした場合は、差動および同相モードの両方の出力信号が生成されます。この動作モードは、DRV1100で同相モード除去が良好な素子(トランスなど)をドライブする場合に使用できます。

差動出力電圧および電力

DRV1100の平衡な差動出力電圧を2出力間の負荷に印加すると、ピーク・ツー・ピーク電圧スイングは各出力のスイングの2倍になります。同相モード電圧が $V_{DD}/2$ の場合を図2に示します。このとき、出力間に接続された負荷に影響するのは出力間の差動電圧だけです。同相モード電圧が負荷電流を発生させることはありません。

DRV1100が差動負荷に供給できるピーク電力は、 V_p^2/R_L です。最大 V_{p-p} 対負荷および周波数を代表的性能曲線に示します。ピーク電圧(V_p)はピーク・ツー・ピーク電圧(V_{p-p})の1/2です。

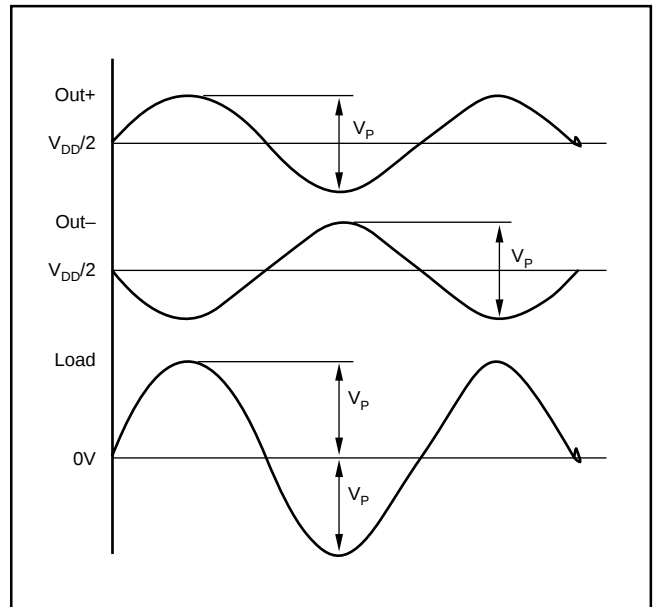


図2. DRV1100のシングルエンドおよび差動出力波形

V_{p-p} の1/2を2乗して負荷で割るとピーク電力が求められます。例えば、+5V電源、500kHz、15Ω負荷の場合、DRV1100の V_{p-p} は6.8Vであることが代表的性能曲線から分かります。この条件のピーク負荷電力は、 $(6.8V_{p-p}/2)^2/15\Omega = 770mW$ になります。

電源電圧

DRV1100は、+5Vの単一電源で動作するように設計されています。200Ω以上の負荷の場合、各出力はレール・ツー・レールでスイングします。このとき、ピーク・ツー・ピーク差動出力スイングは V_{DD} の約2倍になります。歪性能を最適化するため、電源はできるだけパッケージの近くで0.1μFのコンデンサを使用して良好なグランド・プレーンにデカップリングすることが必要です。電源をデカップリングする大型の電解コンデンサ(6.8μF)もパッケージの近くに接続しますが、これは複数のデバイス間で共有することができます。

デジタル加入者線アプリケーション

DRV1100は、特に高出力かつ低歪が要求されるデジタル通信アプリケーションのツイストペア・ドライバに適しています。これには、HDSL(高速ビット・レート・デジタル加入者線)、ADSL(非対称デジタル加入者線)およびRADSL(レート適応型ADSL)があります。図3に、代表的なトランス結合のxDSLライン・ドライバの構成を示します。一般に、DRV1100は最大17dBmの出力電力と6までの波高率が要求される条件に使用できます(波高率はピーク電圧とrms電圧の比です)。

xDSLアプリケーションに必要なアンプの電力は、次のように計算します。

- 特定のアプリケーションのラインに必要な平均電力を決定します。図3に示す直列インピーダンス・マッチング抵抗による電力損失を計算に入れ、DRV1100はこの電力(+3dB)の2倍の電力を供給できることが必要です。DRV1100は、対象とする周波数帯域にわたり必要なライン電力の2倍の電力を供給するとともに、システムに要求される歪の条件を満たすことが必要です。

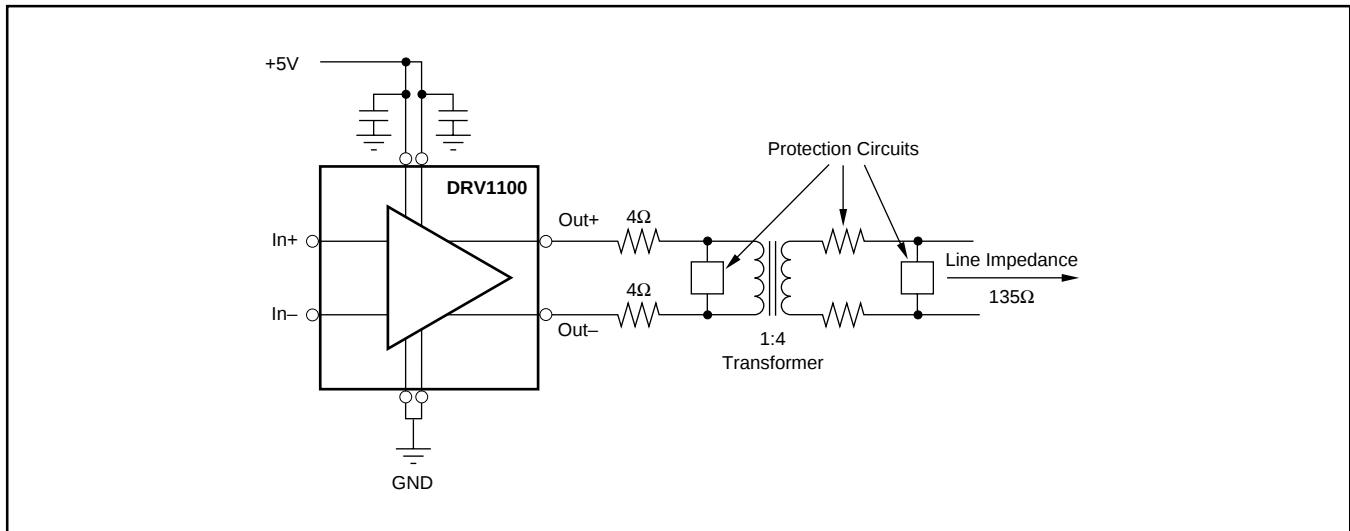


図3. 代表的なデジタル加入者線アプリケーション

・このライン電力の2倍の条件により、DRV1100の出力に必要なRMS電圧を計算します。 $V_{rms} = \sqrt{2 \times P_{LINE} \times R_L}$ です。ここで R_L はDRV1100がドライブしなければならない負荷インピーダンスの合計です。この V_{rms} に $2 \times$ 波高率を乗じ、出力に必要な差動ピーク・ツー・ピーク電圧の合計を求めます。DRV1100は、ピーク・ツー・ピーク差動電圧で負荷インピーダンスをドライブできることが必要です。

可能な場合には、 R_{LINE} および必要なライン電力の条件がDRV1100の出力電圧および電流の限度内に収まるようにトランスの巻線比を調整します。

図3の例を使用して、135Ωのラインに必要な平均電力が14dBm (HDSL)であると仮定します。この電力の2倍(17dBm)をトランス1次側のマッチング抵抗に供給することが必要です。この135Ωの負荷は、1:4のトランスを通じて見かけ上 $(135/(4^2)) = 8.4\Omega$ の負荷になります。2個の4.1Ω直列抵抗は、DRV1100の0.2Ωの差動出力インピーダンスとともに、この8.4Ω負荷のマッチング・インピーダンスとして作用します。これらの条件でDRV1100から見た負荷は、約16.5Ωになります。この負荷に必要な17dBm(50mW)を供給するには、出力の $V_{rms} = \sqrt{50mW \times 16.5} = 0.91V_{rms}$ であることが必要です。波高率を3と仮定すると、差動ピーク・ツー・ピーク出力電圧 $= 6 \times 0.91 = 5.45V_{p-p}$ になります。代表的性能曲線は、100kHzの場合にDRV1100が-62dB以下のTHDでこの電圧スイングを供給できることを示しています。

出力保護

図3には、xDSLアプリケーションによく使用される過電圧および短絡保護回路も示されています。過電圧サプレッサは、ダイオードまたはMOVで構成されます。

DRV1100の出力は、瞬時であればグランドまたは電源に短絡しても損傷しませんが、連続的に短絡することはできません。

消費電力および熱解析

全体の内部消費電力は、無信号時電力および負荷電力を供給するために内部で消費される電力の和です。代表的性能曲線に無信号時電流と温度の関係を示します。+5V電源の場合、無負荷電源電流の代表値11mAで55mWの無信号時電力が消費されます。負荷 R_L に V_{rms} を供給するために出力回路で消費されるrms電力は、次式によって計算されます。

$$(V_{DD} - V_{rms}) \times (V_{rms}/R_L)$$

内部消費電力は、 $V_{rms} = V_{DD}/2$ のとき最大になります。正弦波出力の場合、これは出力の $V_{p-p} = 1.41 \times V_{DD}$ に対応します。

例として、 $V_{DD} = +5V$ 、 $V_{rms} = 2.5V$ を16Ω差動負荷へ供給する場合のワーストケース条件の電力および接合部温度を計算します(正弦波のピーク出力電流は222mAになります)。全体の内部消費電力は次のようになります。

$$(5V \times 11mA) + (5V - 2.5V) \times (2.5V/16\Omega) = 446mW$$

内部接合部温度を計算するには、この電力に接合部、周囲間熱インピーダンスを乗じて周囲温度からの温度上昇を求めてから周囲温度を加算します。仕様の最大周囲温度である+85℃を使用すると、8ピンSOPのDRV1100のワーストケース条件における接合部温度は次のようになります。

$$T_j = 85^\circ C + 0.446W \times 125^\circ C/W = 141^\circ C$$

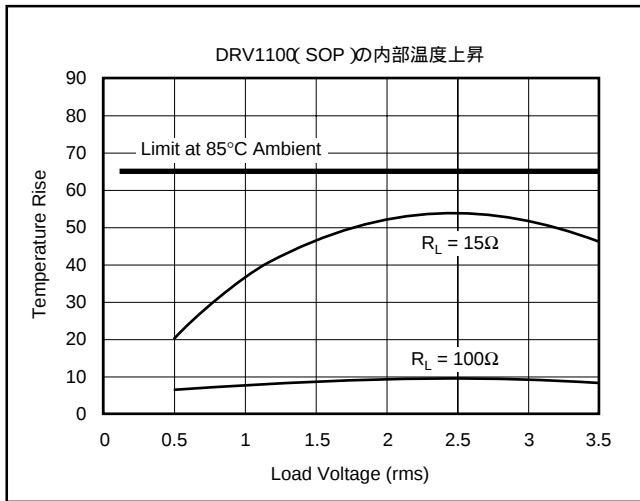


図4. DRV1100Uの接合部温度の周囲温度からの上昇

内部接合部温度は、必ず150 未満に制限することが必要です。したがって、最大周囲温度である+85 の場合、内部温度上昇は65 未満に制限されます。図4に、15Ωおよび100Ωの負荷について、周囲温度、接合部間の温度上昇を示します。図では、15Ωの負荷の場合、内部接合部温度が定格最大値を超えないことを示しています。

入力インターフェース回路

DRV1100は、差動入力を中心に $V_{DD}/2$ とするとときに最高の性能が得られます。DC結合が必要な信号は、図5に示すように電源電圧から抵抗分圧器によって設定される中心基準電圧にブロッピング・コンデンサを通じて接続することができます。抵抗 R_B の値により、次の4つの性能の要件が決まります。

- 電源の中心点に入力をバイアスします。
- DRV1100の入力のDCバイアス電流パスになります。
- ソース信号のAC入力インピーダンスを $R_B/2$ に設定します。
- C_B とともに低周波カットオフ周波数を設定します。

抵抗 R_B は、基準電圧パスの無信号時電流を最小限に抑えるため、しばしば比較的大きい値 ($>10k\Omega$) に設定されます。入力インピーダンスを低くする場合は、さらにブロッピング・コンデンサ(C_B)の入力側に終端抵抗を追加することができます。

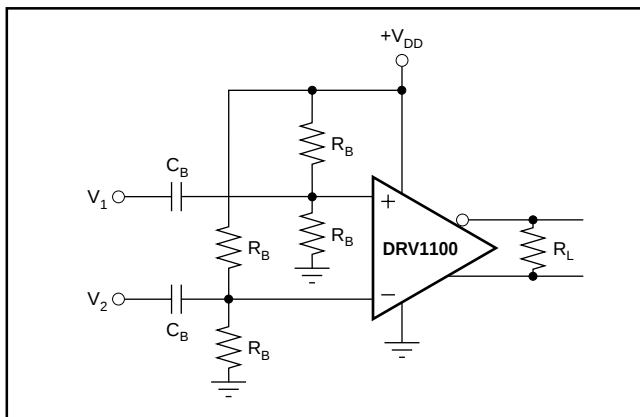


図5. AC結合の差動入力インターフェース

図5の回路は、シングル・エンド入力だけで動作させることもできます。この場合、他方の入力の基準電圧を0.1μFのコンデンサでグラウンドにデカップリングすることが必要です。この接続では、入力が不平衡な出力を生成します。差動出力電圧はやはり入力ピーク・ツー・ピーク電圧の3倍になりますが、この場合は入りに同相モード電圧があるため、出力にも同相モード電圧が生じます。出力の同相モード電圧は、入力信号のピーク・ツー・ピークスイングと等しくなります。この同相モード成分は使用可能な差動出力の電圧スイングを小さくしますが、出力負荷の同相モード除去が良好であれば(トランスなど)シングル・エンドのソースでDRV1100を使用する方法として採用することができます。

図6は、グラウンドを中心とするシングル・エンド入力を純粋な差動信号に変換してDRV1100の入力に印加する方法を示します。この回路では、広帯域デュアル・オペアンプをクロス結合の帰還構成で使用しています。

この回路の出力は、図5の入力に供給されます。図6の全体のゲインは、 $2 \times (R_F/R_G)$ です。この回路は、4つのオペアンプ入力がすべて下側のオペアンプの+入力と等しくなるように働きます。この電位はグラウンドであるため、2つの出力が等しくなる入力信号の中心点も0Vになります。

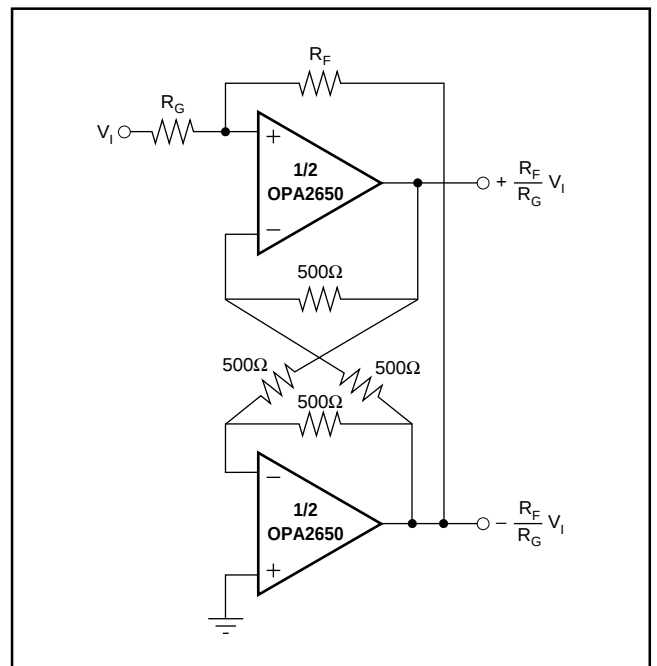


図6. シングル・エンドから差動への変換

外観

パッケージ番号006 — 8ピン・プラスチック・シングル幅DIP

INDEX AREA

BASE PLANE

SEATING PLANE

D1 1/2 LEAD 4 PL

b2

A2

A

A1

L

b3

b

⌀.010 (.25) (M) C

E

⌀

eA

eB

eC

c

	INCHES		MILLIMETERS	
DIM	MIN	MAX	MIN	MAX
A	—	.210	—	5.33
A1	.015	—	0.38	—
A2	.115	.195	2.92	4.95
b	.014	.022	0.36	0.56
b2	.045	.070	1.14	1.78
b3	.030	.045	0.76	1.14
c	.008	.014	0.20	0.36
D	.355	.400	9.02	10.16
D1	.005	—	0.13	—
E	.300	.325	7.62	8.26
E1	.240	.280	6.10	7.11
e	.100 BASIC	—	2.54 BASIC	—
eA	.300 BASIC	—	7.63 BASIC	—
eB	—	.430	—	10.92
eC	.000	.060	0.00	1.52
L	.115	.150	2.92	3.81
N	8		8	

パッケージ番号182 — 8ピンSOP

INDEX AREA

BASE PLANE

SEATING PLANE

⌀.010 (.25) (M) B (M)

⌀.010 (.25) (M) C A (M) B (S)

Ⓕ.004 (.10)

h x 45°

SEE DETAIL "A"

DETAIL "A"

	INCHES		MILLIMETERS	
DIM	MIN	MAX	MIN	MAX
A	.0532	.0688	1.35	1.75
A1	.004	.0098	0.10	0.23
B	.013	.020	0.33	0.51
C	.0075	.0098	0.20	0.25
D	.189	.1968	4.80	4.98
E	.1497	.1574	3.80	4.00
e	.050 BASIC	—	1.27 BASIC	—
H	.2284	.244	5.80	6.20
h	.0099	.0196	0.25	0.50
L	.016	.050	0.41	1.27
N	8		8	
∞	0°	8°	0°	8°