



## *SoundPlus™* 96kHzサンプリング、24ビット対応 8倍オーバー・サンプリング・デジタルフィルタ

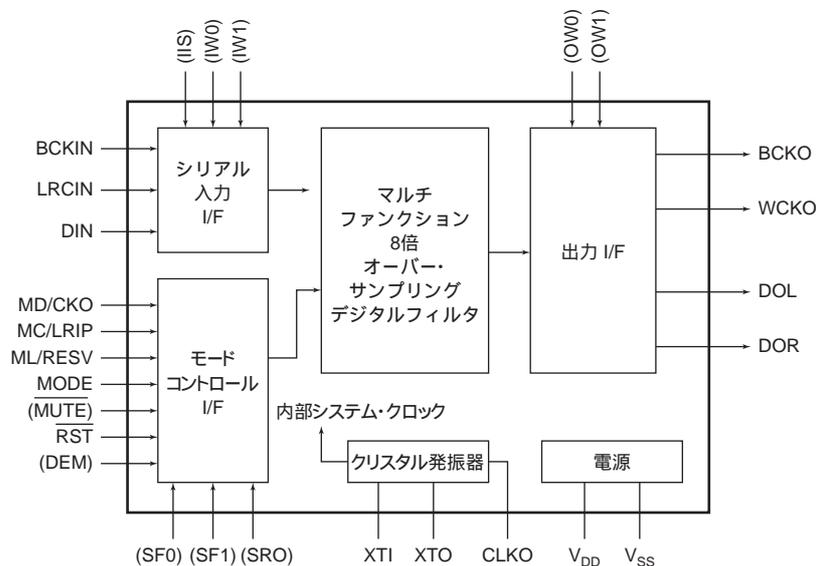
### 特 長

- ステレオ8倍オーバー・サンプリング・デジタルフィルタ
- 入力サンプリング・レート( $f_s$ ) : 32kHz ~ 96kHz
- システム・クロック :  $256f_s/384f_s/512f_s/768f_s$
- PCMオーディオ・インターフェース  
 スタANDARD(後詰め)/前詰め/IIS選択可  
 入力データビット : 16/20/24ビット選択可  
 出力データビット : 16/18/20/24ビット選択可
- 高性能フィルタ特性  
 阻止帯域減衰量 : 115dB  
 通過帯域内リップル :  $\pm 0.00005$ dB  
 シャープ・ロールオフ/スロー・ロールオフ選択可
- マルチファンクション  
 デジタル・ディエンファシス  
 L/R独立デジタル・アッテネータ  
 ソフトミュート
- +5V単一電源動作
- パッケージ : 小型28ピンSSOP

### 概 要

DF1704は、バー・ブラウンが新たに開発したデジタルフィルタ回路技術とCMOSプロセスを組み合わせた8倍オーバー・サンプリング・デジタルフィルタです。DF1704は最大96kHzの入力サンプリング・レート( $f_s$ )に対応でき、データビット長も最大24ビットに対応可能です。また、デジタルフィルタ性能は115dBの阻止帯域減衰量、 $\pm 0.00005$ dBの通過帯域内リップルと極めて高性能で、スロー・ロールオフ/シャープ・ロールオフのロールオフ特性選択も可能です。

DF1704はまた、デジタル・ディエンファシス、L/R独立デジタル・アッテネータ等豊富な機能を有しており、その高性能と合わせ中、高級デジタル・オーディオに最適なデバイスで、特にバー・ブラウンの誇る高性能DAC、PCM1702(20ビット)、PCM1704(24ビット)との組み合わせで最高の性能を得ることができます。



( ) : ハードウェア・コントロール

# 仕様

パラメータ	条件	DF1704E			単位
		最小	標準	最大	
分解能		24			
入力データフォーマット オーディオデータインターフェースフォーマット オーディオデータビット長 オーディオデータフォーマット 基準サンプリング周波数( $f_s$ ) システムクロック周波数 <sup>(1)</sup>		32	スタンダード/前詰め/11S 16/20/24選択可 MSBファースト、2'sコンプリ	96	kHz
出力データフォーマット オーディオデータインターフェースフォーマット オーディオデータビット長 オーディオデータフォーマット			後詰め 16/18/20/24選択可 MSBファースト、2'sコンプリ		
デジタル入力/出力 入力ロジックレベル $V_{IH}$ $V_{IL}$ 出力ロジックレベル $V_{OH}$ $V_{OL}$	$I_{OH} = 2mA$ $I_{OL} = 4mA$	2.0 4.5		0.8 0.5	V V V V
CLKO AC特性 <sup>(2)</sup> 立ち上がり時間 立ち下がり時間 デューティ・サイクル	$t_r$ $t_f$ 20 ~ 80% $V_{DD}$ 、10pF 80 ~ 20% $V_{DD}$ 、10pF 10pF Load		4 3 37		nsec nsec %
デジタルフィルタ特性 フィルタ特性1(シャープ・ロールオフ) 通過帯域 阻止帯域 通過帯域リップル 阻止帯域減衰量 フィルタ特性2(スロー・ロールオフ) 通過帯域 阻止帯域 通過帯域リップル 阻止帯域減衰量 群遅延 ディエンファシス・エラー	$\pm 0.00005dB$ -3dB 阻止帯域 = $0.546f_s$ $\pm 0.0001dB$ -3dB 阻止帯域 = $0.748f_s$	$0.546f_s$ -115 $0.732f_s$ -100		$0.454f_s$ $0.493f_s$ $\pm 0.00005$ $0.254f_s$ $0.460f_s$ $\pm 0.0001$ $45.125/f_s$ $\pm 0.004$	dB dB dB dB sec dB
電源供給 電源電圧 電源電流 消費電力	$V_{DD}$ $I_{DD}$	4.5	5 20 100	5.5 30 150	VDC mA mW
温度範囲 動作 保存		-25 -55		+85 +125	

注：(1)7ページ、システムクロックの項参照。(2)デューティ・サイクルは、クリスタル発振の場合。

このデータシートに記載されている情報は、信頼しうるものと考えておりますが、不正確な情報や記載漏れ等に関して弊社は責任を負うものではありません。情報の使用について弊社は責任を負いませんので、各ユーザの責任において御使用下さい。価格や仕様は予告なしに変更される場合がありますのでご了承下さい。ここに記載されているいかなる回路についても工業所有権その他の権利またはその実施権を付与したり承諾したりするものではありません。弊社は弊社製品を生命維持に関する機器またはシステムに使用することを承認しまたは保証するものではありません。

## ピン構成

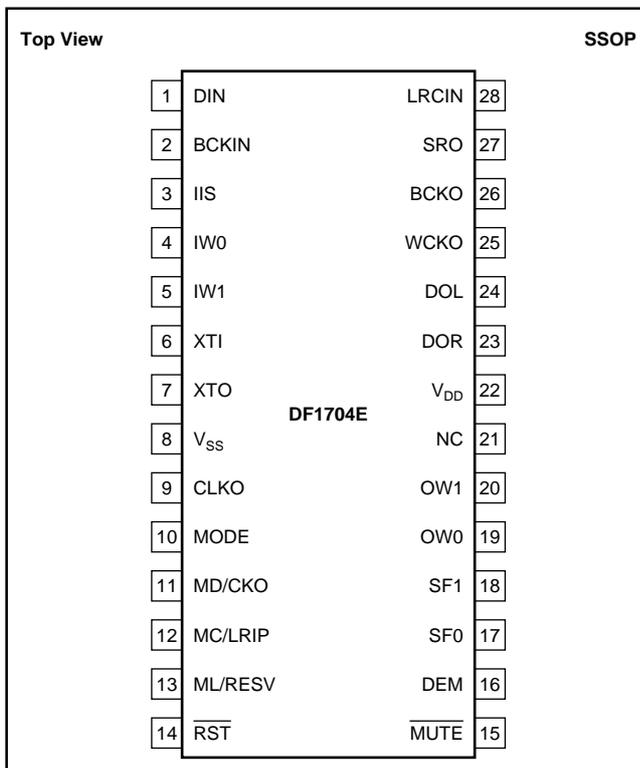
ピン番号	名称	IN/OUT	説明
1	DIN	IN	シリアル・オーディオ・データ入力 <sup>(3)</sup>
2	BCKIN	IN	シリアル・オーディオ・データ用ビット・クロック入力 <sup>(3)</sup>
3	IIS	IN	オーディオ・データ・フォーマット・セレクト入力 <sup>(2)(4)</sup>
4	IW0	IN	オーディオ・データ・ワード・セレクト入力 <sup>(2)(4)</sup>
5	IW1	IN	オーディオ・データ・ワード・セレクト入力 <sup>(2)(4)</sup>
6	XTI	IN	クリスタル発振器接続または外部クロック入力
7	XTO	OUT	クリスタル発振器接続
8	V <sub>SS</sub>	—	デジタルGND
9	CLKO	OUT	システム・クロック、バッファード出力
10	MODE	IN	モード制御セレクト(H: ソフトウェア・モード、L: ハードウェア・モード) <sup>(1)</sup>
11	MD/CKO	IN	モード制御、データおよび1/2分周クロック選択 <sup>(1)</sup>
12	MC/LRIP	IN	モード制御、MC/LRCK極性選択 <sup>(1)</sup>
13	ML/RESV	IN	モード制御、ML/リザーブ <sup>(1)</sup>
14	RST	IN	リセット。このピンが“L”の間、DFとデジタルフィルタはリセット状態となります。 <sup>(1)</sup>
15	MUTE	IN	ミュート制御 <sup>(1)(4)</sup>
16	DEM	IN	ディエンファシス制御 <sup>(2)(4)</sup>
17	SF0	IN	ディエンファシス・サンプリングレート選択 <sup>(2)(4)</sup>
18	SF1	IN	ディエンファシス・サンプリングレート選択 <sup>(2)(4)</sup>
19	OW0	IN	出力オーディオ・データ・フォーマット選択 <sup>(2)(4)</sup>
20	OW1	IN	出力オーディオ・データ・フォーマット選択 <sup>(2)(4)</sup>
21	NC	—	未接続
22	V <sub>DD</sub>	—	デジタル電源、+5V
23	DOR	OUT	Rch、シリアル・オーディオ・データ出力
24	DOL	OUT	Lch、シリアル・オーディオ・データ出力
25	WCKO	OUT	ワード・クロック出力
26	BCKO	OUT	ビット・クロック出力
27	SRO	IN	フィルタ特性選択 <sup>(2)(4)</sup>
28	LRCIN	IN	LRCKクロック入力(f <sub>s</sub> ) <sup>(3)</sup>

注：(1)ピン10-15：シュミット・トリガ入力、プルアップ抵抗付き。(2)ピン3-5、16-20、27：シュミット・トリガ入力、プルダウン抵抗付き。(3)ピン1、2、28：シュミット・トリガ入力。(4)ピン3-5、15-20、27：モードピン(ピン10)が“H”(ソフトウェア・モード)のときは、無効です。モードピン(ピン10)が“L”(ハードウェア・モード)の時は、+V<sub>DD</sub>またはV<sub>SS</sub>(GND)に接続して下さい。

## 絶対的的最大定格

電源電圧	+6.5V
デジタル入力電圧	-0.3 ~ V <sub>DD</sub> +0.3V
入力電流(電源、GNDを除く)	±10mA
消費電力	300mW
動作温度	-25 ~ +85
保存温度	-55 ~ +125
リード温度(半田付け、5秒間)	+260
パッケージ表面温度(リフロー、10秒間)	+235

## ピン配置



## パッケージ情報/ご発注の手引き

モデル	パッケージ <sup>(1)</sup>	温度範囲
DF1704E	28ピンSSOP	-25 ~ +85

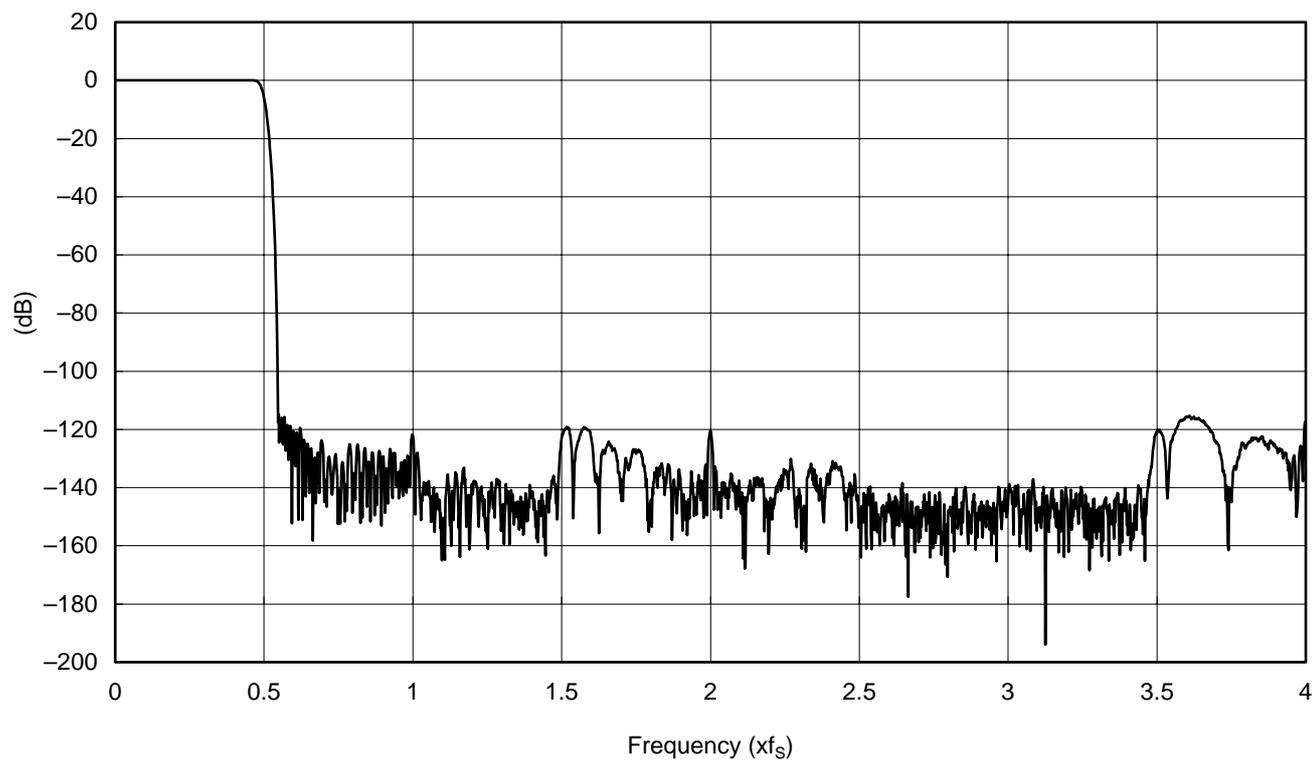
注：(1)詳細図および寸法表は、データシートの巻末を参照して下さい。

## ⚡ 静電気放電対策

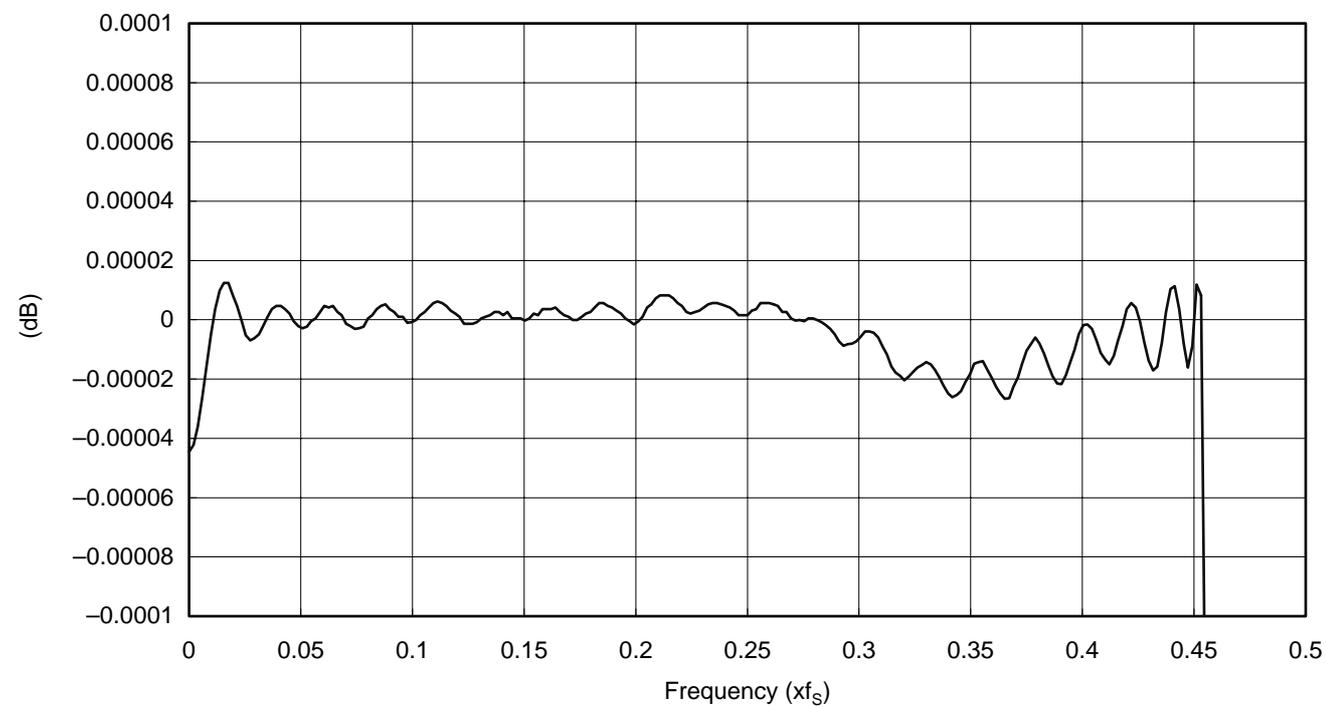
静電気放電はわずかな性能の低下から完全なデバイスの故障に至るまで、様々な損傷を与えます。すべての集積回路は、適切なESD保護方法を用いて、取扱いと保存を行うようにして下さい。高精度の集積回路は、損傷に対して敏感であり、極めてわずかなパラメータの変化により、デバイスに規定された仕様に適合しなくなる場合があります。

# デジタルフィルタ特性

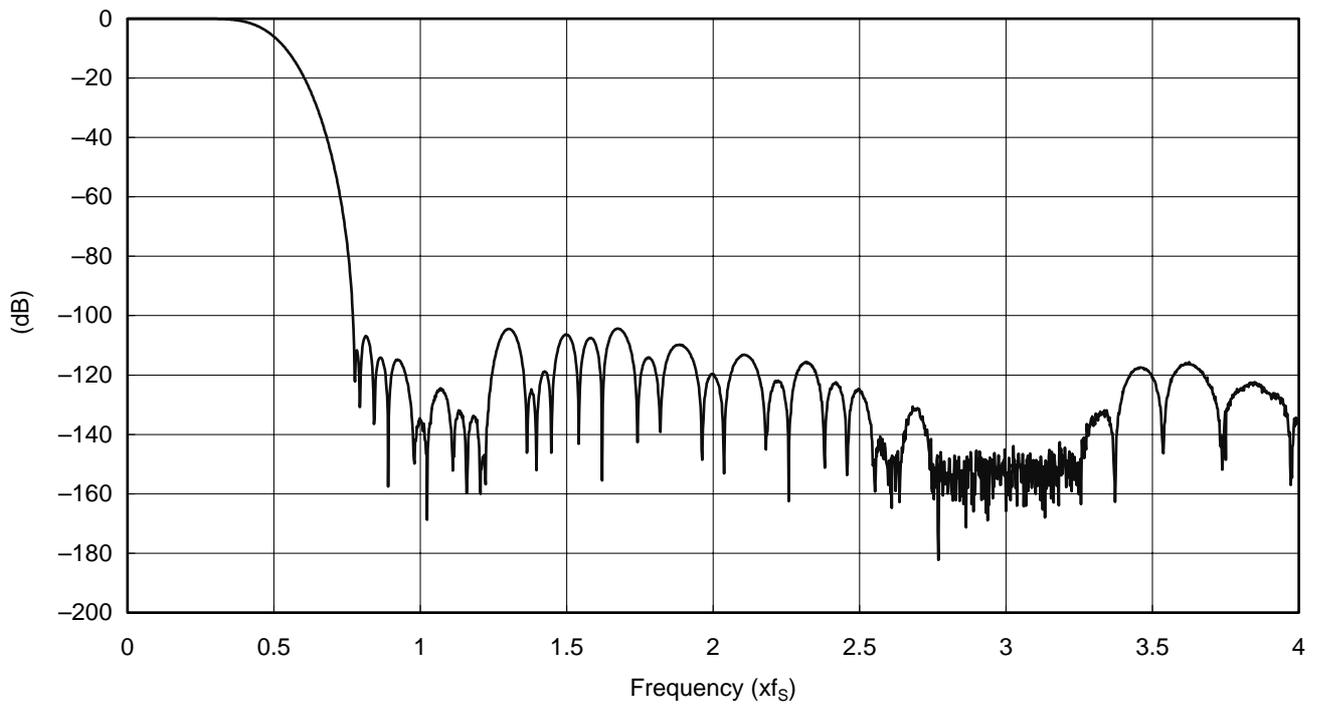
周波数特性(シャープ・ロールオフ、ディエンファシス・オフ)



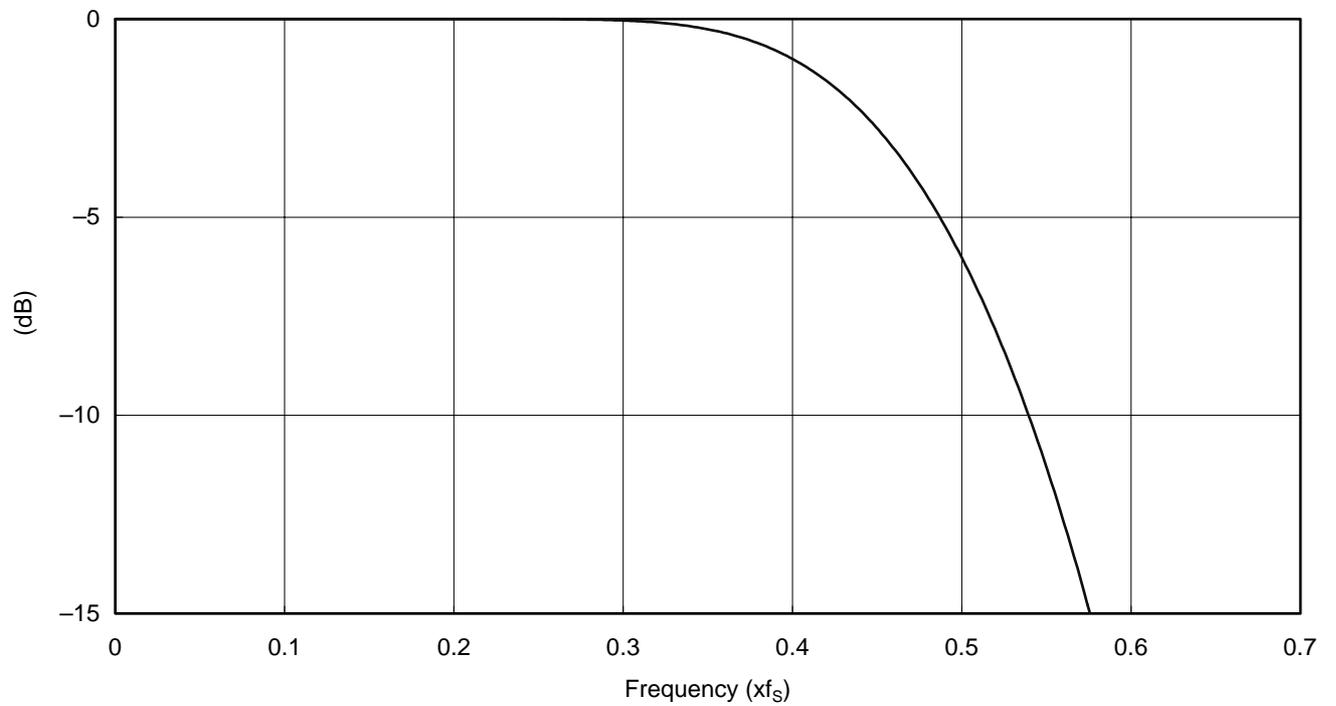
通過帯域内リップル(シャープ・ロールオフ、ディエンファシス・オフ)



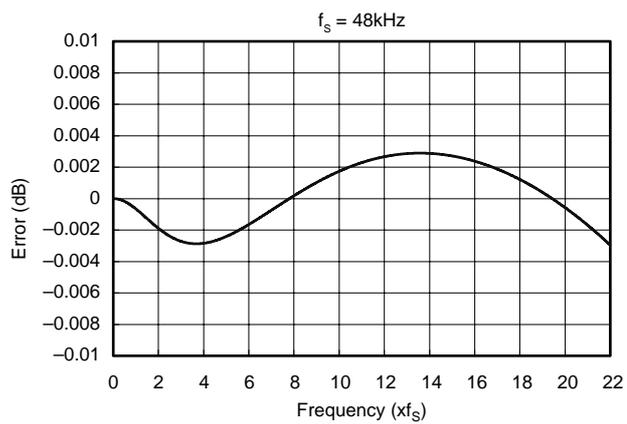
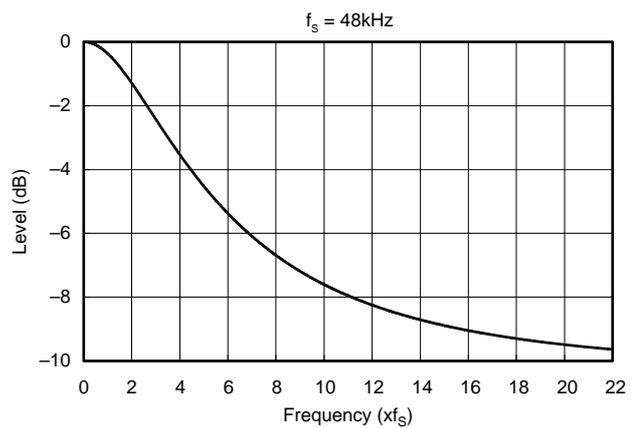
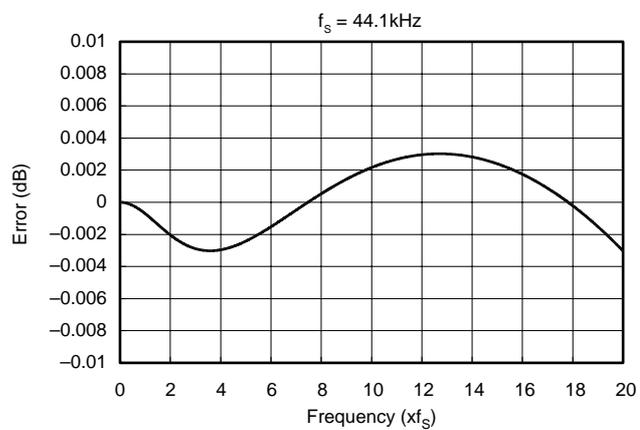
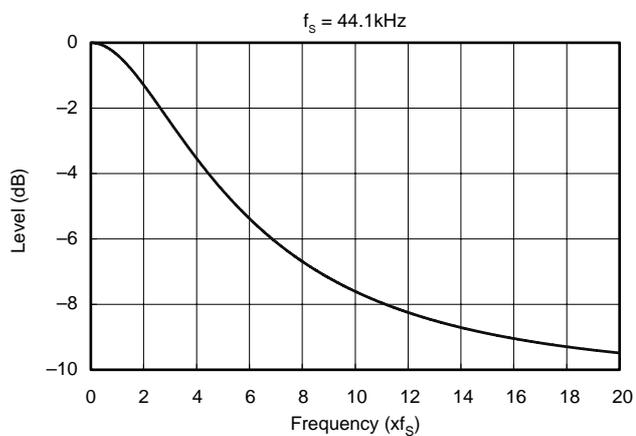
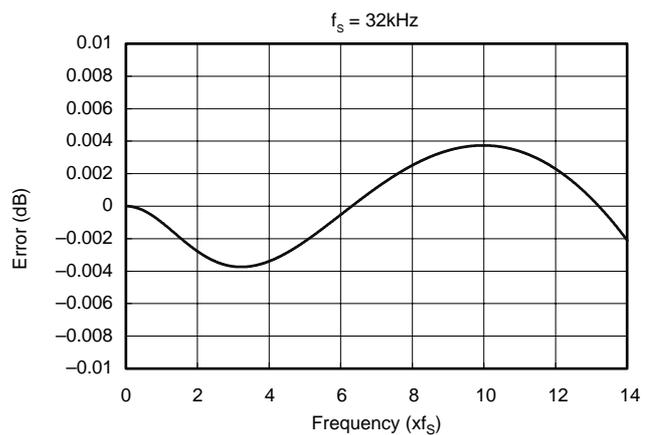
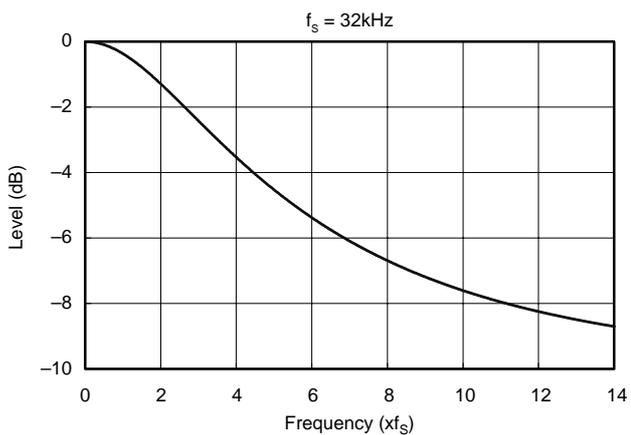
周波数特性(スロー・ロールオフ、ディエンファシス・オフ)



過渡帯域周波数特性(スロー・ロールオフ、ディエンファシス・オフ)



## ディエンファシス特性



## リセット・オペレーション

DF1704には、次に示す内蔵のパワーオン・リセットと外部からのRST端子制御による2種類のリセットがあります。これらのリセット機能は内部動作に対しては共通になっており、同じ動きをします。

リセット時にはソフトウェア・モードにおける各コントロールのレジスタ(MODE0からMODE3)に初期値が設定されます(ソフトウェア・モードの説明を参照)。

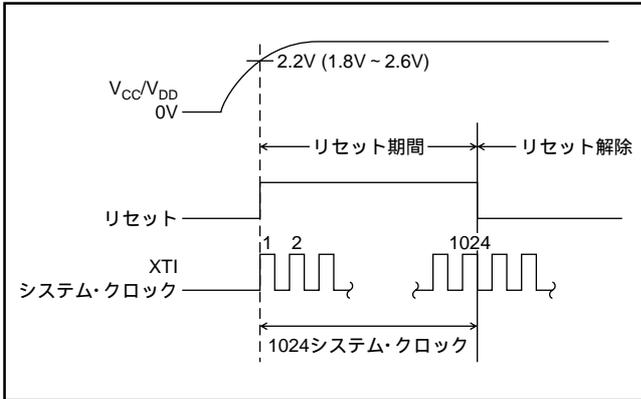


図1. パワーオン・リセット・タイミング

## パワーオン・リセット

内蔵のパワーオン・リセットは電源電圧を検知して自動的に行われます。電源投入後、電源電圧が標準2.2V(1.8Vから2.6V)を超えると、リセット動作となり、システム・クロックを1024クロックカウントした後にリセットを解除します。パワーオン・リセット使用時はRST(ピン22)はオープンまたは「H」レベルとします。

## 外部リセット

RST(ピン22)を一定期間「L」レベルにすることにより、外部からリセットをかけることができます。

RST端子がLからHに変化した後、パワーオン・リセットと同様に1024システム・クロックのカウント後、リセット解除となるまでの間はリセット期間となります。

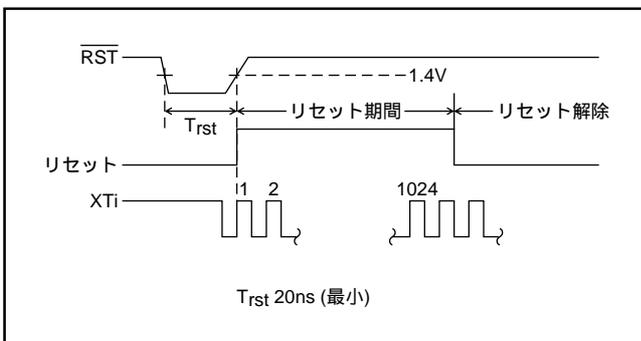


図2. 外部リセット・タイミング

## 同期外れ時の動作および再リセット

DF1704では、入力LRCK( $f_s$ )クロックとシステム・クロック(256/384/512/768 $f_s$ )を常時内部でモニタしており、両クロックの同期状態を確認しています。各入力クロックが停止あるいは非同期となった場合の出力データ状態は、入力クロックが停止した場合には不定となります。また、同期外れ時には $1/f_s$ の間をおいてゼロ出力となります。

クロック停止状態あるいは非同期状態から正常同期状態へ入力クロックが回復した場合、DF1704の動作は正常状態へ回復するよう内部的には動作していますが、クロック上のノイズ等により、正常回復できない場合があります。したがって、クロック停止時または非同期状態から正常状態へ入力クロックが回復した場合、内部動作を確実にするための外部リセットを行って下さい。

## システム・クロック

DF1704のシステム・クロックは、256/384/512/768 $f_s$ ( $f_s$ : 基準サンプリング・レート)のいずれでも対応可能で、このシステム・クロックはDF1704自体でクリスタル発振させるか、XTI端子に外部から入力します。

基準サンプリング・レート( $f_s$ )は最大96kHzまで対応可能ですが、この $f_s = 96\text{kHz}$ 時のシステム・クロックは最大512 $f_s$ となり、768 $f_s$ には対応していません。また、クリスタル発振使用時は25MHz以上の周波数でのクリスタル発振に対応していないので、システム・クロックが25MHz以上となる場合、および $f_s = 96\text{kHz}$ 、256 $f_s$ 動作時はXTI端子に外部入力として用いて下さい。システム・クロックの接続例を図3、図4にそれぞれ示します。また、システム・クロックの対応関係を表に示します。

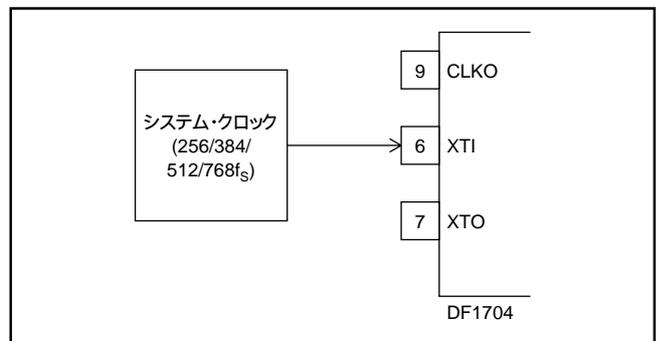


図3. 外部クロック入力接続例

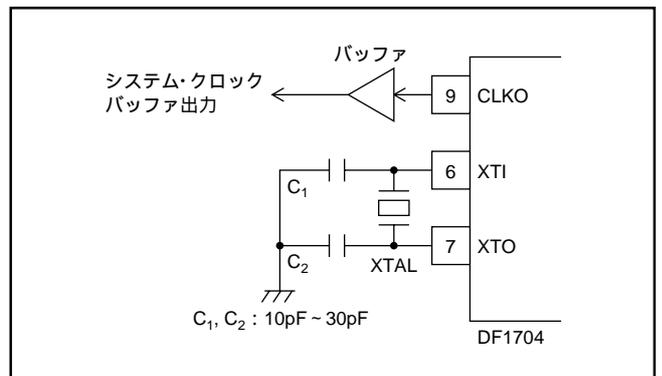


図4. クリスタル発振クロック接続例

DF1704では、システム・クロックの自動判別機能を有しているため、外部より例えば256/384 $f_s$ の選択制御をする必要はありません。また、システム・クロックとLRCKクロック(標準サンプリング・レート)は、同期を取る必要がありますが、位相を正確に合わせる必要はありません。DF1704に外部からシステム・クロックを供給する場合のタイミング規定を図5に示します。

### 入力オーディオデータ・インターフェース

DF1704は、LRCIN、BCKIN、DINにより外部システムとインターフェースします。入力データ・フォーマットは16/20/24ビット、MSBファースト、2'sコンプリド、後詰めスタンダードフォーマット、前詰めフォーマット、IISフォーマットの選択が可能です。これらのフォーマット選択は、後述の動作モードによ

り対応可能な選択が決めますので、モード制御機能の項を参照して下さい。図6にデータ・フォーマットを、図7にタイミング規定をそれぞれ示します。

### 出力DACインターフェース・フォーマット

DF1704の8倍オーバー・サンプリング・データはWCKO、BCKO、DOL、DORの各端子からDACへインターフェースすることができます。

出力オーディオデータは、16/18/20/24ビットの選択が可能でWCKOの立ち下がり直前のBCKOクロックの位置がデータ(DOL、DOR)のLSBになります。これらのタイミング・フォーマットとタイミング規定をそれぞれ図8と図9に示します。

標準サンプリング・レート( $f_s$ )	システム・クロック周波数(MHz)			
	256 $f_s$	384 $f_s$	512 $f_s$	768 $f_s$
32kHz	8.192	12.2880	16.3840	24.5760
44.1kHz	11.2896	16.9340	22.5792	33.8688 <sup>(1)</sup>
48kHz	12.2880	18.4320	24.5760	36.8640 <sup>(1)</sup>
96kHz	24.5760 <sup>(2)</sup>	36.8640 <sup>(1)</sup>	49.1520 <sup>(1)</sup>	不可

注：(1)DF1704のクリスタル発振回路は、24.5760MHzまで対応可能です。これ以上のシステム・クロック周波数では、クリスタル発振回路は動作しないので、外部クロック入力を使用して下さい。  
(2)クリスタル発振の場合、37%デューティのクロックが直接BCKOクロックとなるため、PCM1704の入力タイミング規定を満足しなくなります。したがって、外部クロック入力を使用して下さい。

表 . システム・クロック周波数対応例

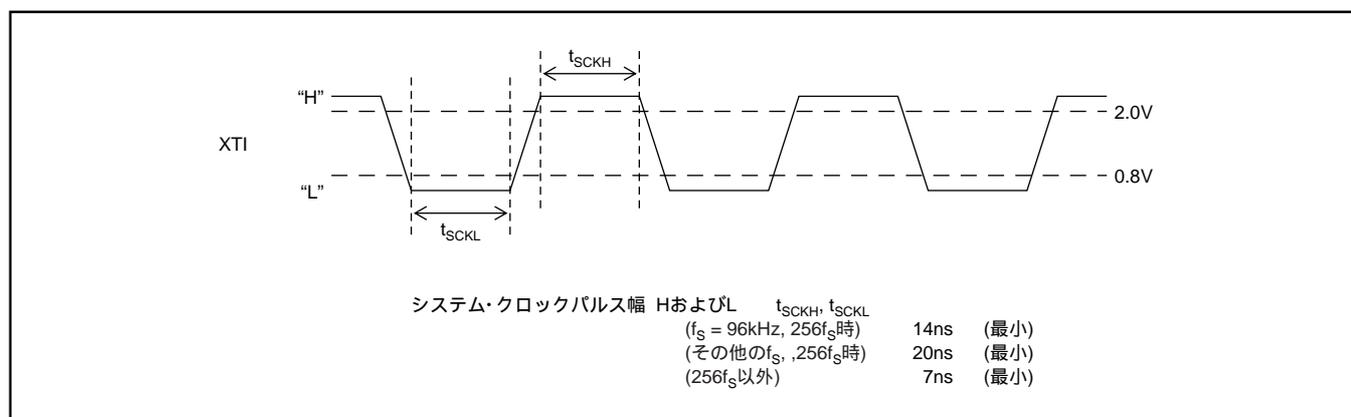


図5. システム・クロック入力タイミング規定

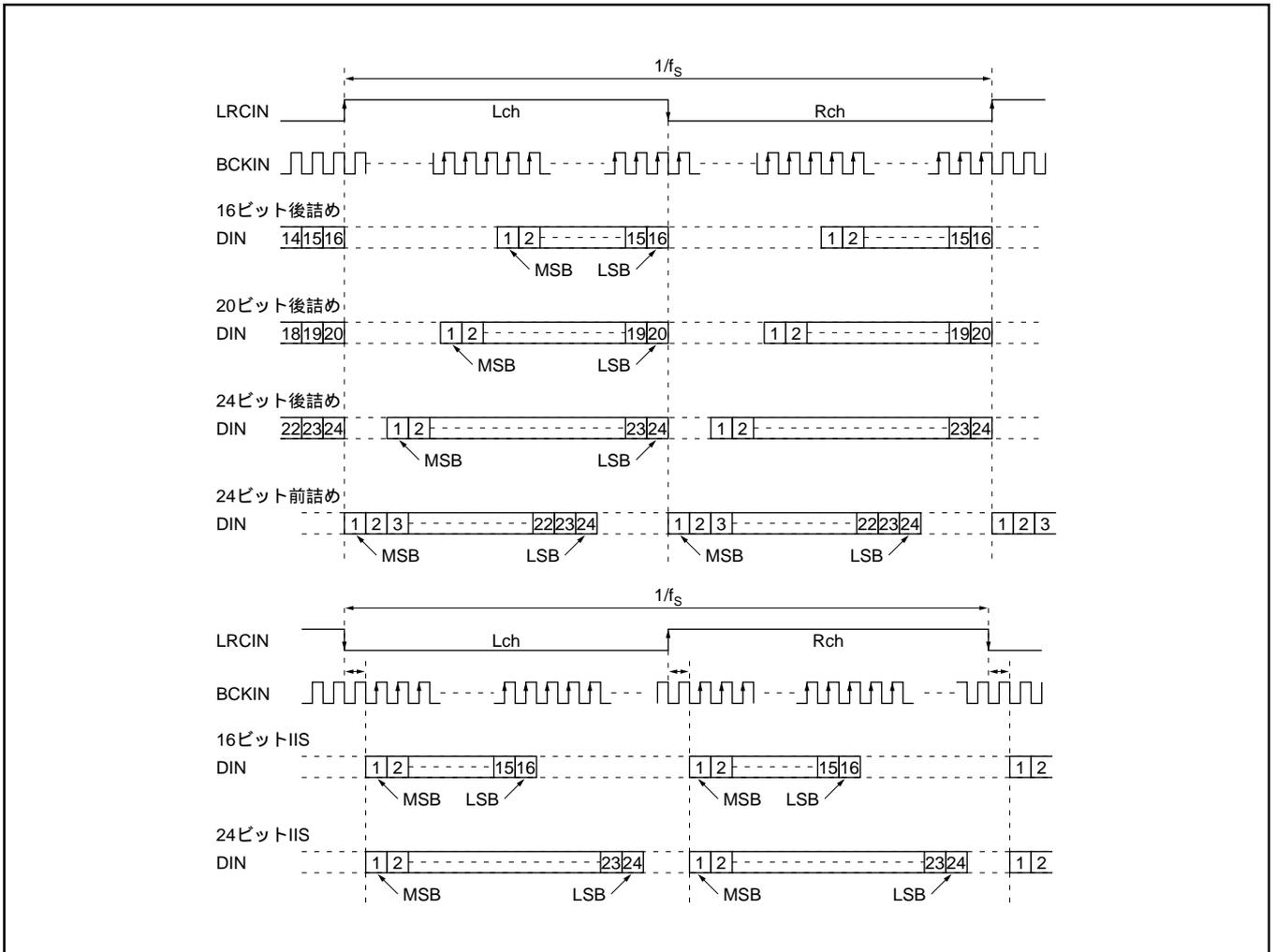


図6. 入力オーディオデータ・インターフェース・フォーマット

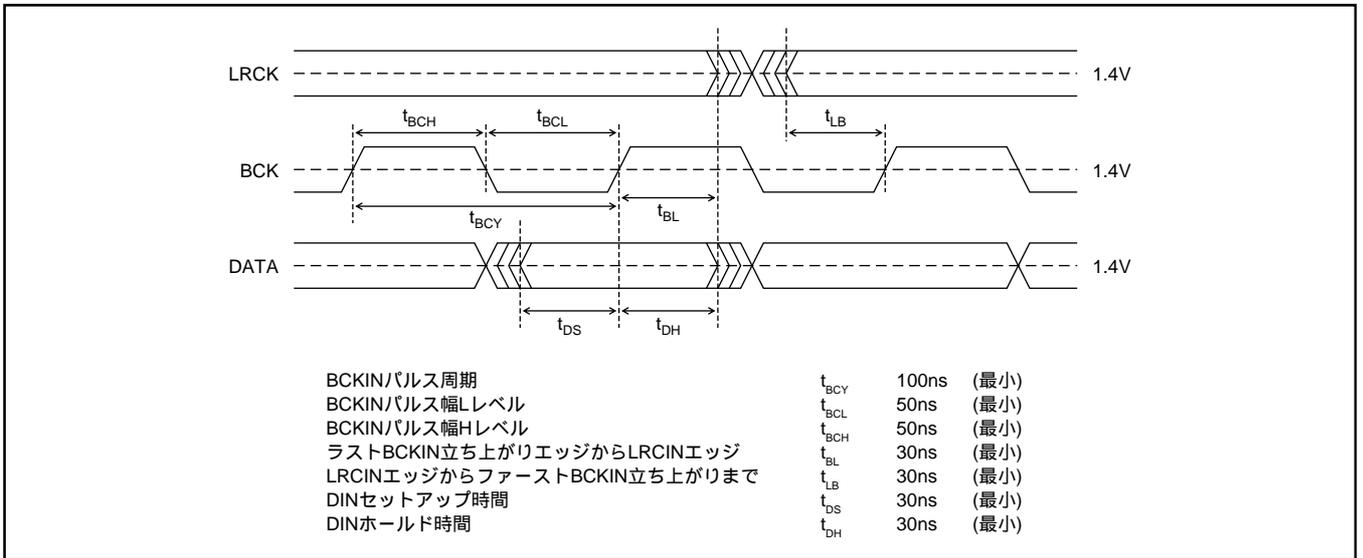


図7. オーディオデータ入力タイミング

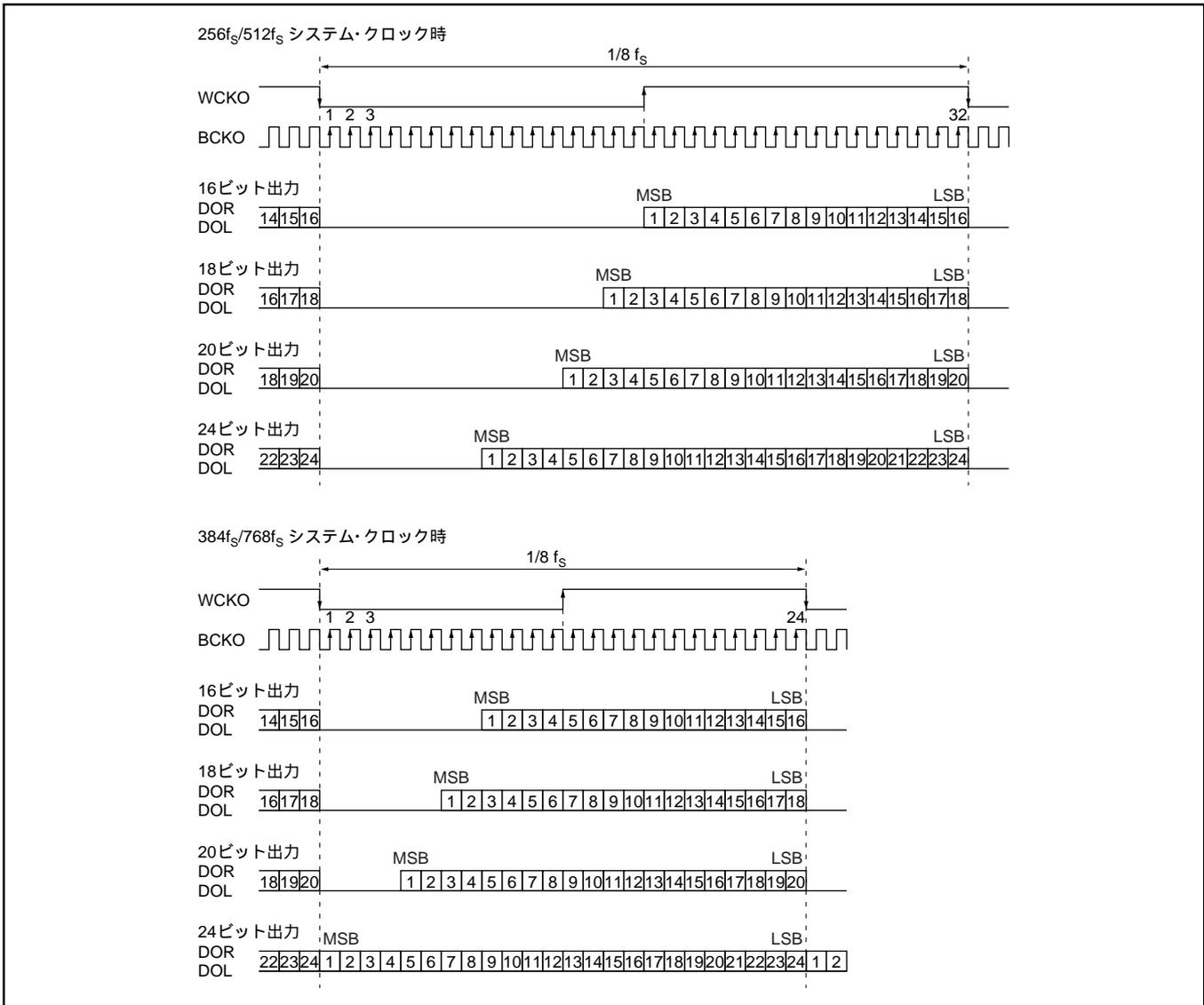


図8. 出力DACインターフェース・フォーマット

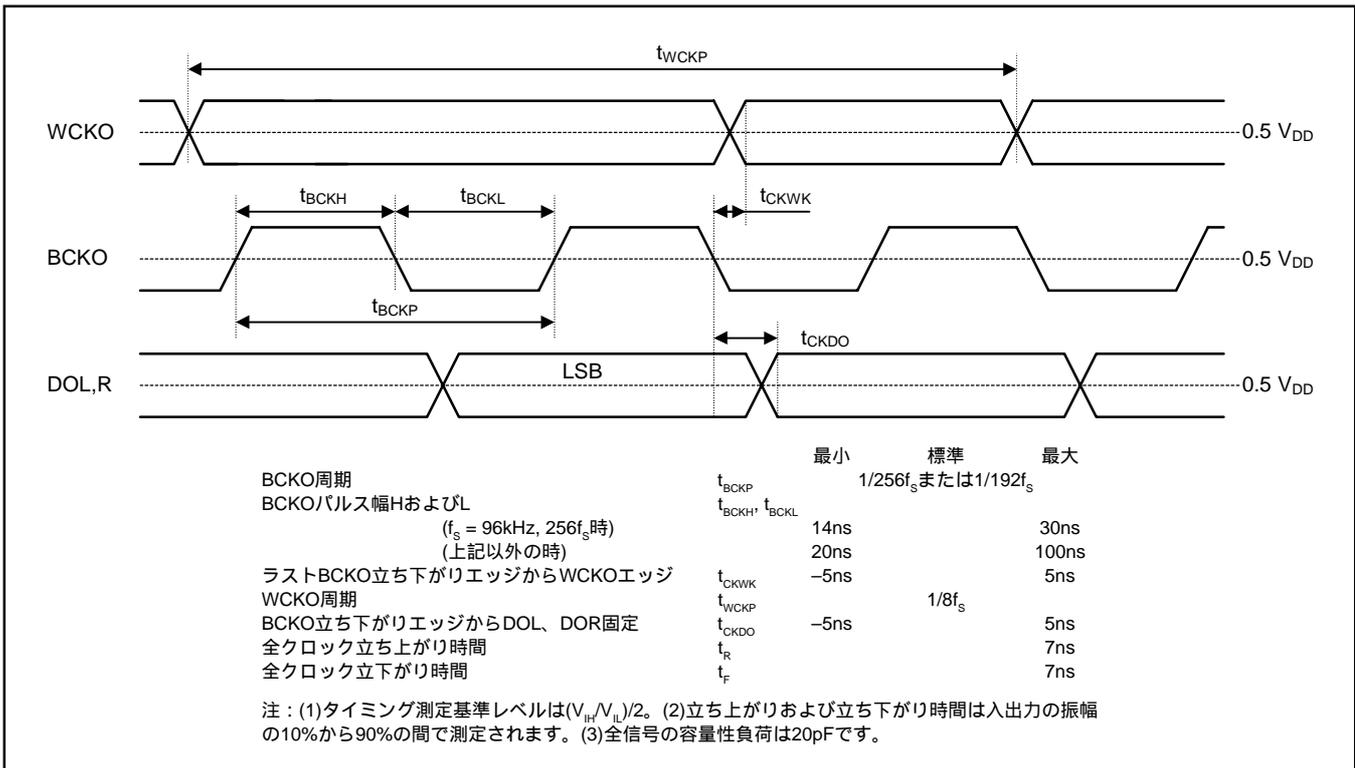


図9. 出力DACインターフェース・タイミング規定

## モード制御機能

DF1704の基本動作モードには、ソフトウェア・モードとハードウェア・モードがあり、それぞれの動作モードにおいて制御可能な機能が異なります。この基本動作モードの選択は、MODE(ピン10)で行います。

MODE(ピン10)	基本動作モード
H	ソフトウェア・モード
L	ハードウェア・モード

ソフトウェア・モード/ハードウェア・モードとそれぞれのモードに対する制御可能な機能を表 1 に示します。なお、ソフトウェア・モード選択時には各制御ピンは無効になります。

機能	MODE = H	MODE = L
	ソフトウェア・モード	ハードウェア・モード
入力データ・フォーマット選択	可	可
入力データ・ビット長選択	可	可
入力LRCK極性選択	可	可
ディエンファシス制御	可	可
ソフトミュート	可	可
アッテネータ	可	不可
出力データ・ビット長選択	可	可
スロー・ロールオフ選択	可	可
CLKO出カクロック選択	可	可

表 1. モード制御、選択機能

## ハードウェア・モード(MODE = L)

ハードウェア・モード選択時に制御可能な機能は表 1 に示すとおりです。以下、ハードウェア・モード時の各ピンの制御と機能を示します。

### 入力オーディオデータ・フォーマット選択(IIS、IW1、IW0)

IIS(ピン3)、IW1(ピン5)、IW0(ピン4)の選択により、入力オーディオデータ・フォーマット(ビット長)の選択を行います。

IIS(ピン3)	IW1(ピン5)	IW0(ピン4)	オーディオデータ・フォーマット
L	L	L	16ビット、スタンダード(MSBファースト、後詰め)
L	L	H	20ビット、後詰め
L	H	L	24ビット、後詰め
L	H	H	24ビット、前詰め
H	L	L	16ビット、IIS
H	L	H	24ビット、IIS
H	H	L	Reserved
H	H	H	Reserved

### 入力LRCK極性選択(LRIP)

LRIP(ピン12)の選択によりLRCK端子のLRCKクロック( $f_s$ )極性の選択を行います。

LRIP(ピン12)	LRCK極性		
L	L	R	Lch : H
H	L	R	Rch : H

### 出力DACインターフェース・フォーマット選択( $\overline{OW1}$ 、 $\overline{OW0}$ )

$\overline{OW1}$ (ピン20)、 $\overline{OW0}$ (ピン19)の選択により、出力DACインターフェース・フォーマット(ビット長)の選択を行います。

$\overline{OW1}$ (ピン20)	$\overline{OW0}$ (ピン19)	出力インターフェース・フォーマット
L	L	16ビット、MSBファースト
L	H	18ビット、MSBファースト
H	L	20ビット、MSBファースト
H	H	24ビット、MSBファースト

### ディエンファシスON/OFF制御(DEM)

DEM(ピン16)の選択により、ディエンファシス機能のON/OFFを制御します。

DEM(ピン16)	ディエンファシス
L	OFF
H	ON

### ディエンファシス周波数選択(SF1、SF0)

SF1(ピン18)、SF0(ピン17)の選択により、ディエンファシス周波数を制御します。また、この機能は前述のDEMの選択が優先されます。

SF1(ピン18)	SF0(ピン17)	ディエンファシス周波数
L	L	44.1kHz
L	H	OFF
H	L	48kHz
H	H	32kHz

### ソフトミュート制御(MUTE)

$\overline{MUTE}$ (ピン15)の選択により、ソフトミュート制御を行います。

$\overline{MUTE}$ (ピン15)	ソフトミュート
L	ON
H	OFF

### スロー・ロールオフ選択(SRO)

SRO(ピン27)の選択により、デジタルフィルタのロールオフ特性を選択します。

SRO(ピン27)	ロールオフ特性
L	シャープ・ロールオフ
H	スロー・ロールオフ

## CLKO出力周波数選択(CLKO)

CKO(ピン11)の選択により、CLKO端子(ピン9)の出力周波数の選択を行います。

CKO(ピン11)	CLKO周波数
L	XTIバッファ出力
H	XTI 1/2分周出力

## ソフトウェア・モード(MODE = H)

ソフトウェア・モード選択時には、表 に示したすべての機能をシリアル制御データにより制御することができます。表 に制御可能な機能と、イニシャル状態(デフォルト)の設定を示します。

機能	デフォルト
入力オーディオデータ・フォーマット選択 後詰め/前詰め/IIS	後詰め(スタンダード)
入力オーディオデータ・ビット長選択 16/20/24ビット	16ビット
LRCK極性選択 Lch : H / Lch : L	Lch : H
出力DACインターフェース・フォーマット選択	16ビット
ディエンファシス制御	OFF
ソフトミュート	OFF
アッテネータ制御 L/R独立/同時	0dB、L/R独立
ゼロ検出ミュート	OFF
ディエンファシス用サンプリング・レート選択 32/44.1/48kHz	44.1kHz
スロー・ロールオフ選択	OFF(シャープ・ロールオフ)
CLKO出力クロック選択	入力クロック

表 . 制御可能な機能とデフォルト設定

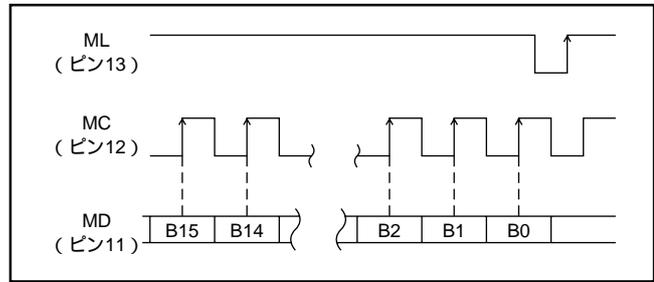


図10. シリアル制御データ・フォーマット

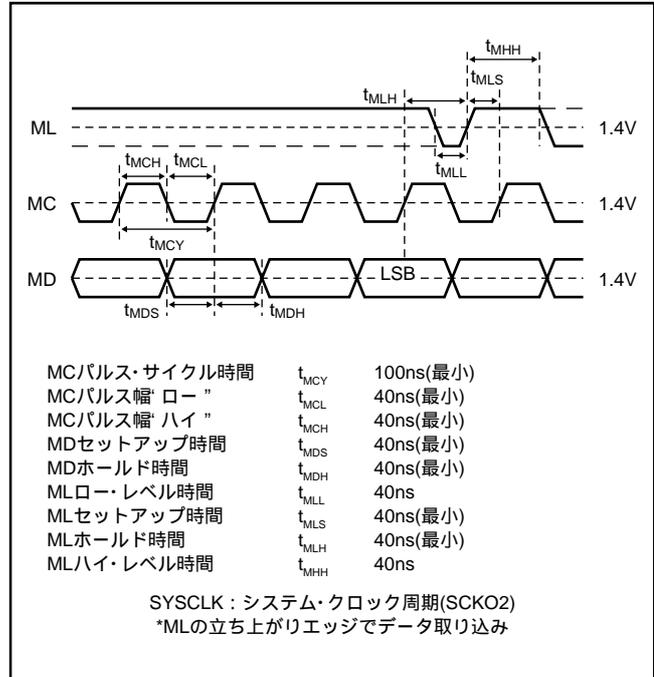


図11. シリアル制御データ・タイミング規定

## 制御データ・フォーマット

DF1704のソフトウェア・モード時のシリアル制御は、ML、MC、MDの各端子にシリアル制御データを伝送することにより可能です。シリアル制御データは、16ビットのMCクロック、MDデータとイネーブル信号となるMLクロックで構成されます。このシリアル制御データのフォーマットを図10に、タイミング規定を図11にそれぞれ示します。

## シリアル制御データのレジスタ構成

モードコントロールにおける制御レジスタは、図12に示すとおり、基本的に4つのモード・レジスタ(MODE0からMODE3)を持っており、レジスタの選択および選択内容は16ビットのシリアルデータで行います。

各レジスタ(MODE0からMODE3)のビット構成と機能を表に示します。制御手順としては、まずA0、A1ビットにてレジスタを選択し、他のビットでそれぞれの機能を制御します。また、シリアル制御データはリセット解除後に入力します。

	B15	B14	B13	B12	B11	B10	B9	B8	B7	B6	B5	B4	B3	B2	B1	B0
MODE0	res	res	res	res	res	A1	A0	LDL	AL7	AL6	AL5	AL4	AL3	AL2	AL1	AL0
MODE1	res	res	res	res	res	A1	A0	LDR	AR7	AR6	AR5	AR4	AR3	AR2	AR1	AR0
MODE2	res	res	res	res	res	A1	A0	res	res	$\bar{O}W1$	$\bar{O}W0$	IW1	IW0	res	DEM	MUT
MODE3	res	res	res	res	res	A1	A0	res	SF1	SF0	CKO	res	SRO	ATC	LRP	IIS

図12. モードレジスタ・マッピング

## 制御レジスタのMODE選択

A1、A0(MODE0-MODE3)

制御レジスタのMODE0からMODE3の選択は、A1、A0両ビットのコントロールで行います。

レジスタ	A1	A0
MODE0	0	0
MODE1	0	1
MODE2	1	0
MODE3	1	1

レジスタ名	ビット名	機能
MODE0	A1、A0 LDL AL7-AL0 res	レジスタのアドレス アッテネーション・データのロード Lchのアッテネーション・データの設定 未使用、“0”に固定
MODE1	A1、A0 LDR AL7-AL0 res	レジスタのアドレス アッテネーション・データのロード Rchのアッテネーション・データの設定 未使用、“0”に固定
MODE2	A1、A0 IW1、IW0 OW1、OW0 DEM MUT	レジスタのアドレス 入力オーディオデータ・ビット長選択 出力DACインターフェース・フォーマット選択 ディエンファシス制御ON/OFF ソフトミュート制御ON/OFF
MODE3	A1、A0 SF0、SF1 CKO SRO ATC LRP IIS	レジスタのアドレス ディエンファシス用サンプリング・レート選択 CLKOクロック周波数選択1または1/2 スロー・ロールオフ選択 アッテネータL/R同時制御選択 LRCKクロック極性選択 入力オーディオデータ・フォーマット選択

表 各レジスタの名称と機能

## 各レジスタの説明

AL7-AL0、AR7-AR0、LDL、LDR(MODE0、MODE1)

MODE0およびMODE1はデジタル・アッテネータの制御レジスタで、AL7-AL0、AR7-AR0の各ビット(AL7、AR7がMSB、AL0、AR0がLSB)によって256ステップのアッテネータをLch/Rch独立で制御することができます。

LDL、LDRはアッテネータ値のセットに用いられ、LDL、LDRを‘1’にセットすることによりアッテネータの設定値は有効になります。LDL、LDRが‘0’の場合、アッテネータの設定は有効になりますが、実際のアッテネータ値はその前のレベルを保ち、LDLまたはLDRが‘1’になった時点で設定したアッテネータ値に変化します。また、後述のATCレジスタが‘1’にセットされた場合、AL7-AL0(MODE0)のレジスタ設定のみでLch/Rch両方のアッテネータ値を同時に制御することが可能です。

アッテネータの減衰量ATTは次に示す計算式で与えられます。

$$ATT = 0.5 \times (DATA - 255) \text{ [dB]} \quad (1)$$

DATA : アッテネータ設定値

FFh = -0dB

FEh = -0.5dB

|

|

|

01h = -127.5dB

00h = -∞ (= MUTE)

式(1)から、このアッテネータは0.5dBステップのアッテネータであることがわかります。

ATC(MODE3)

ATCレジスタを‘1’にすると、Lch、Rch共通のアッテネータ設定をMODE0(AL7-AL0)で行うことができます。この場合、MODE1(AR7-AR0)は無視されます。

ATC	アッテネータ制御
0	Lch/Rch 独立
1	Lch/Rch 共通

IW1、IW0(MODE2)、IIS(MODE3)

これらの制御レジスタにより、オーディオ入力データフォーマットおよびデータビット長を選択します。

IIS	IW1	IW0	オーディオデータ・フォーマット
0	0	0	16ビット、後詰め(スタンダード)
0	0	1	20ビット、後詰め
0	1	0	24ビット、後詰め
0	1	1	24ビット、前詰め
1	0	0	16ビット、IIS
1	0	1	24ビット、IIS
1	1	0	Reserved
1	1	1	Reserved

OW1、OW0(MODE2)

これらの各レジスタにより、出力DACインターフェース・フォーマットを選択します。

OW1	OW0	出力DACインターフェース・フォーマット
0	0	16ビット、MSBファースト
0	1	18ビット、MSBファースト
1	0	20ビット、MSBファースト
1	1	24ビット、MSBファースト

MUT(MODE2)

MUTレジスタは、ソフトミュート制御(ON/OFF)です。

MUT	ソフトミュート
0	ON
1	OFF

DEM(MODE2)、SF1、SF2(MODE3)

DEMレジスタは、ディエンファシスのON/OFF制御で、ディエンファシスON時のサンプリング・レートをSF1、SF2の制御レジスタで制御します。

DEM	ディエンファシス
0	OFF
1	ON

SF1	SF0	ディエンファシス・サンプリング周波数
0	0	44.1kHz
0	1	Reserved
1	0	48kHz
1	1	32kHz

### CKO(MODE3)

CKOレジスタは、CLKO出力周波数制御でXTI入力に対してバッファ出力と1/2分周出力の選択ができます。

CKO	CLKO出力
0	XTIバッファ出力
1	XTI 1/2分周出力

### SRO(MODE3)

SROレジスタは、内蔵デジタルフィルタのロールオフ特性選択制御です。各ロールオフ特性は、デジタルフィルタ特性の項を参照して下さい。

SRO	ロールオフ特性
0	シャープ・ロールオフ
1	スロー・ロールオフ

### LRP(MODE3)

LRPレジスタは、LRCKクロックの極性選択制御で、通常のデータフォーマットに対しLRCKクロックの極性を反転させることができます。

LRP	LRCK極性		
0	<table border="1" style="display: inline-table; vertical-align: middle;"><tr><td>L</td><td>R</td></tr></table> Lch : H、Rch : L	L	R
L	R		
1	<table border="1" style="display: inline-table; vertical-align: middle;"><tr><td>L</td><td>R</td></tr></table> Lch : L、Rch : H	L	R
L	R		

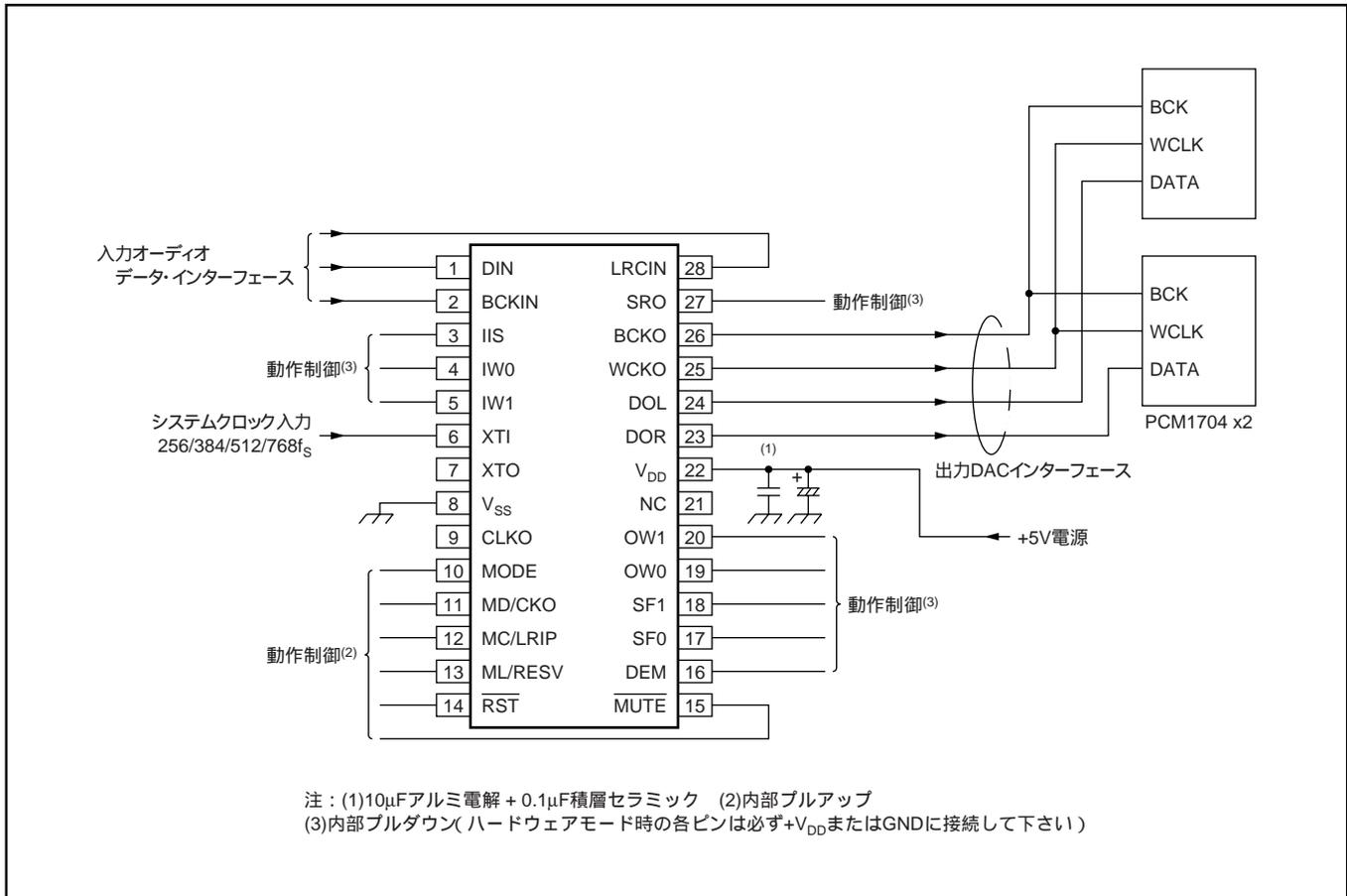
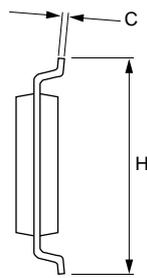
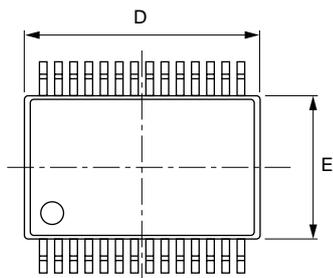


図13. 基本接続図

# 外観

パッケージ : 28ピンSSOP



MILLIMETERS			
DIM	MIN	TYP	MAX
A	1.73	1.88	2.10
A <sub>1</sub>	0.00	0.11	0.21
b	0.22	0.31	0.42
c	0.13	0.20	0.27
D	10.07	10.20	10.40
E	5.20	5.30	5.38
e	0.55	0.65	0.75
H	7.65	7.85	8.10
L	0.45	0.60	0.95
L <sub>1</sub>	1.20	1.30	1.40
θ	0.00°	4.00°	8.00°

