



SpeedPlus™ 10ビット、165MSPS D/Aコンバータ

特 長

- +5Vまたは+3Vのシングル電源動作
- 高SFDR：68dBc(5MHz出力、100MSPS)
- 低グリッチ：3pV-s
- 低消費電力：170mW(+5V)
- 内部リファレンス：
オプションの外部リファレンス
調整可能なフルスケール・レンジ
マルチプライング・オプション

アプリケーション

- 通信送信チャンネル
WLL、移動体通信基地局
デジタル・マイクロ波リンク
ケーブル・モデム
- 波形生成
直接デジタル・シンセシス(DDS)
任意波形生成(ARB)
- 医療/超音波
- 高速計測および制御
- ビデオ、デジタルTV

概 要

DAC900は、高性能コンバータSpeedPlusファミリーで分解能が10ビットの高速D/Aコンバータ(DAC)です。このファミリーの製品はピン・コンパチブルで、分解能がそれぞれ8、12、14ビットのDAC908、DAC902、DAC904が用意されています。このD/Aコンバータのファミリーは、すべてのモデルが優れたダイナミック性能と165MSPSの高速な更新レートをサポートし、各種アプリケーションの要件を満たすのに適しています。

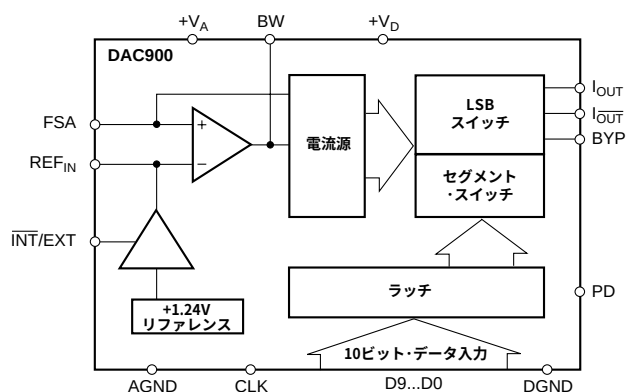
DAC900の高度なセグメント・アーキテクチャは、通信システムの送信信号路に不可欠なシングル・トーンおよびマルチトーン信号で高スプリアスフリー・ダイナミック・レンジ(SFDR)が得られるように最適化されています。

DAC900は、公称レンジが20mA、出力コンプライアンスが最大1.25Vの高インピーダンス(200kΩ)電流出力を備えています。差動出力は、差動およびシングルエンドの両方のアナログ信号インターフェースに使用できます。電流出力の精密なマッチングにより、トランスを使用した差動構成で優れたダイナミック性能が得られます。

微細加工のCMOSプロセスを採用したモノリシックのDAC900は、+2.7Vから+5.5Vの広いシングル電源範囲で動作します。また、低消費電力であるため、ポータブルなバッテリー動作システムに使用できます。フルスケールを調整して出力電流を小さくすることにより、さらに最適化することもできます。

DAC900を連続使用しないときのパワーダウン・モードのスタンバイ電力はわずか45mWです。DAC900は、1.24Vのバンドギャップ・リファレンスとエッジ・トリガ型入力ラッチが内蔵された完全なコンバータ・ソリューションです。DAC900のインターフェースには、+3Vと+5VのどちらのCMOSロジック・ファミリーも使用できます。

DAC900は、オンチップ・リファレンスも外部リファレンスも使用できる柔軟なリファレンス構造を備えています。フルスケール出力電流は、仕様のダイナミック性能を維持しながら1本の外部抵抗で2mAから20mAまで調整することができます。パッケージは、28ピンSOPおよび28ピンTSSOPで供給されます。



特に記述のない限り、 T_A = 全仕様温度範囲、 $+V_A$ = +5V、 $+V_D$ = +5V、差動トランス結合出力、50 Ω 二重終端とします。

このデータシートに記載されている情報は、信頼し得るものと考えておりますが、不確な情報や記載漏れ等に関して弊社は責任を負うものではありません。情報の使用について弊社は責任を負えませんので、各ユーザーの責任において御使用下さい。価格や仕様は予告なしに変更される場合がありますのでご了承下さい。ここに記載されているいかなる回路についても工業所有権その他の権利またはその実施権を付与したり承諾したりするものではありません。弊社は弊社製品を生命維持に関する機器またはシステムに使用することを承認しまたは保証するものではありません。

仕様(続き)

特に記述のない限り、 $T_A = 25^{\circ}\text{C}$ 、 $+V_A = +5\text{V}$ 、 $+V_D = +5\text{V}$ 、差動トランス結合出力、 50Ω 二重終端とします。

パラメータ	条件	DAC900U/E			単位
		最小	標準	最大	
電源					
電源電圧					
$+V_A$		+2.7	+5	+5.5	V
$+V_D$		+2.7	+5	+5.5	V
電源電流 ⁽⁶⁾					
I_{VA}			24	30	mA
I_{VA} 、パワーダウン・モード			1.1	2	mA
I_{VD}			8	15	mA
消費電力	+5V, $I_{OUT} = 20\text{mA}$		170	230	mW
	+3V, $I_{OUT} = 2\text{mA}$		50		mW
消費電力、パワーダウン・モード			45		mW
熱抵抗、 θ_{JA}					
28ピンSOP			75		$^{\circ}\text{C}/\text{W}$
28ピンTSSOP			50		$^{\circ}\text{C}/\text{W}$

注：(1)仮想グラウンドをドライブしているときの出力 I_{OUT} の値。(2) 50Ω 負荷のシングルエンドで測定。(3)フルスケール出力電流の公称値は $32 \times I_{REF}$ です。詳細については、本文を参照して下さい。(4)リファレンス帯域幅は、BWピンの外部コンデンサの容量と信号レベルに依存します。(5)内部プルダウン抵抗があるPDピンの標準値は $45\mu\text{A}$ です。(6) $f_{CLOCK} = 50\text{MSPS}$ 、 $f_{OUT} = 1.0\text{MHz}$ で測定。

絶対最大定格

$+V_A \sim \text{AGND}$	$-0.3\text{V} \sim +6\text{V}$
$+V_D \sim \text{DGND}$	$-0.3\text{V} \sim +6\text{V}$
$\text{AGND} \sim \text{DGND}$	$-0.3\text{V} \sim +0.3\text{V}$
$+V_A \sim +V_D$	$-6\text{V} \sim +6\text{V}$
$\text{CLK}, \text{PD} \sim \text{DGND}$	$-0.3\text{V} \sim V_D + 0.3\text{V}$
$\text{D0-D9} \sim \text{DGND}$	$-0.3\text{V} \sim V_D + 0.3\text{V}$
$I_{OUT}, I_{OUT} \sim \text{AGND}$	$-1\text{V} \sim V_A + 0.3\text{V}$
$\text{BW}, \text{BYP} \sim \text{AGND}$	$-0.3\text{V} \sim V_A + 0.3\text{V}$
$\text{REFIN}, \text{FSA} \sim \text{AGND}$	$-0.3\text{V} \sim V_A + 0.3\text{V}$
$\text{INT}/\text{EXT} \sim \text{AGND}$	$-0.3\text{V} \sim V_A + 0.3\text{V}$
接合部温度	$+150^{\circ}\text{C}$
ケース温度	$+100^{\circ}\text{C}$
保存温度	$+125^{\circ}\text{C}$



静電気放電対策

静電気放電はわずかな性能の低下から完全なデバイスの故障に至るまで、様々な損傷を与えます。すべての集積回路は、適切なESD保護方法を用いて、取扱いと保存を行うようにして下さい。高精度の集積回路は、損傷に対して敏感であり、極めてわずかなパラメータの変化により、デバイスに規定された仕様に適合しなくなる場合があります。

パッケージ情報/ご発注の手引き

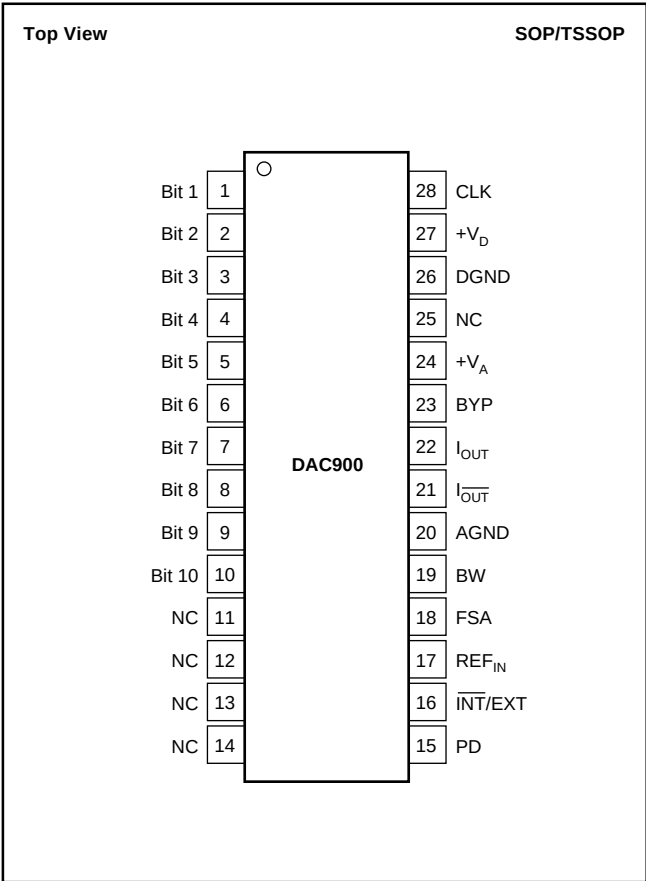
モデル	パッケージ	パッケージ図番号	仕様温度範囲	パッケージのマーキング	発注番号 ⁽¹⁾	供給時の状態
DAC900U	28ピンSOP	217	$-40^{\circ}\text{C} \sim +85^{\circ}\text{C}$	DAC900U	DAC900U	マガジン
DAC900U	28ピンSOP	217	$-40^{\circ}\text{C} \sim +85^{\circ}\text{C}$	DAC900U	DAC900U/1K	テーブリール
DAC900E	28ピンTSSOP	360	$-40^{\circ}\text{C} \sim +85^{\circ}\text{C}$	DAC900E	DAC900E	マガジン
DAC900E	28ピンTSSOP	360	$-40^{\circ}\text{C} \sim +85^{\circ}\text{C}$	DAC900E	DAC900E/2K5	テーブリール

注：(1)スラッシュ(/)の付いたモデルは、その後に示される数量を単位として、テーブリールでのみ供給されます(例えば、/2K5は2,500個で1リールであることを示します)。“DAC900E/2K5”を発注すると、2,500個入りテーブリール1本が納品されます。

デモボードのご発注の手引き

モデル	発注番号	備考
DAC900U DAC900E	DEM-DAC90xU DEM-DAC900E	D/Aコンバータなしの実装済み評価用ボード。必要なDAC90xモデルのサンプルを別途ご発注下さい。 DAC900E付き実装済み評価用ボード。

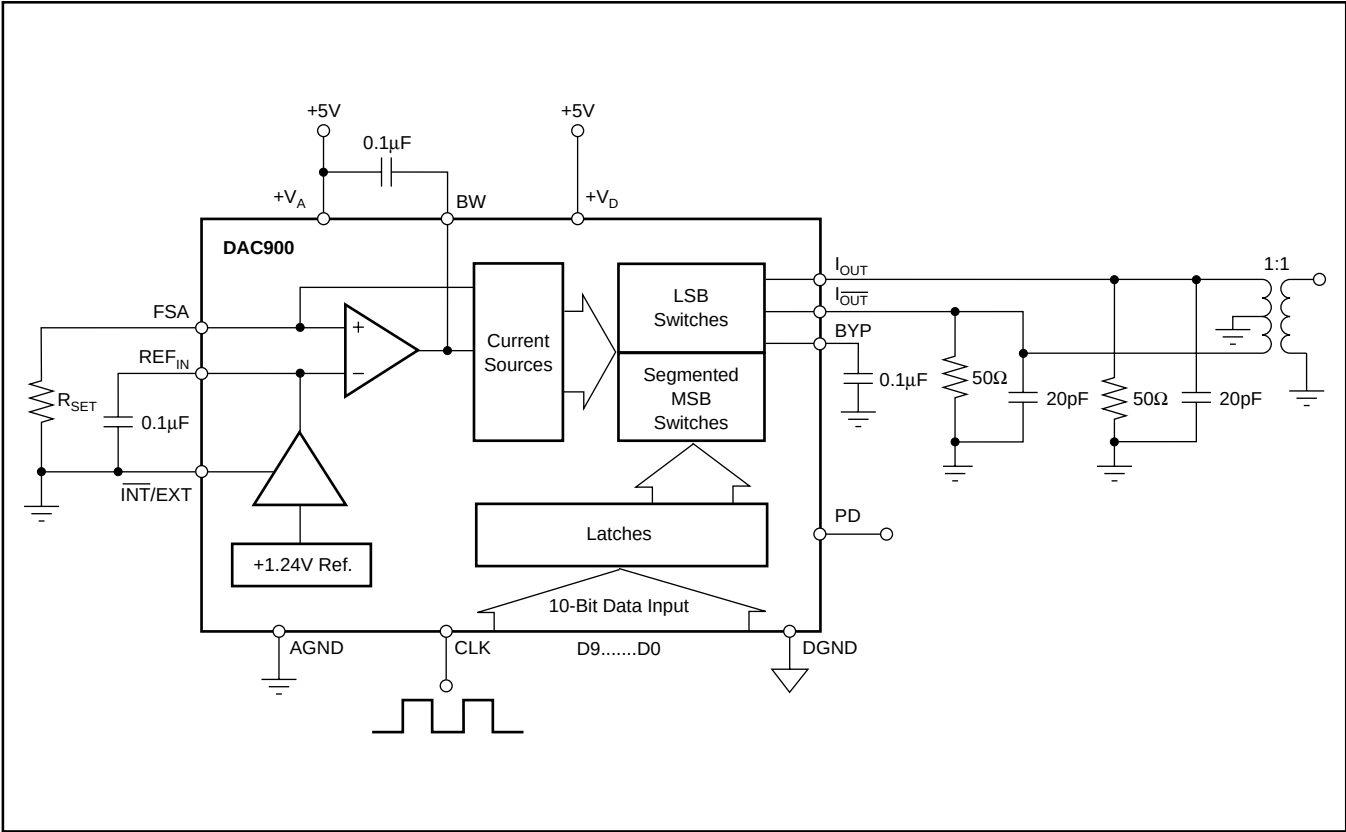
ピン配置



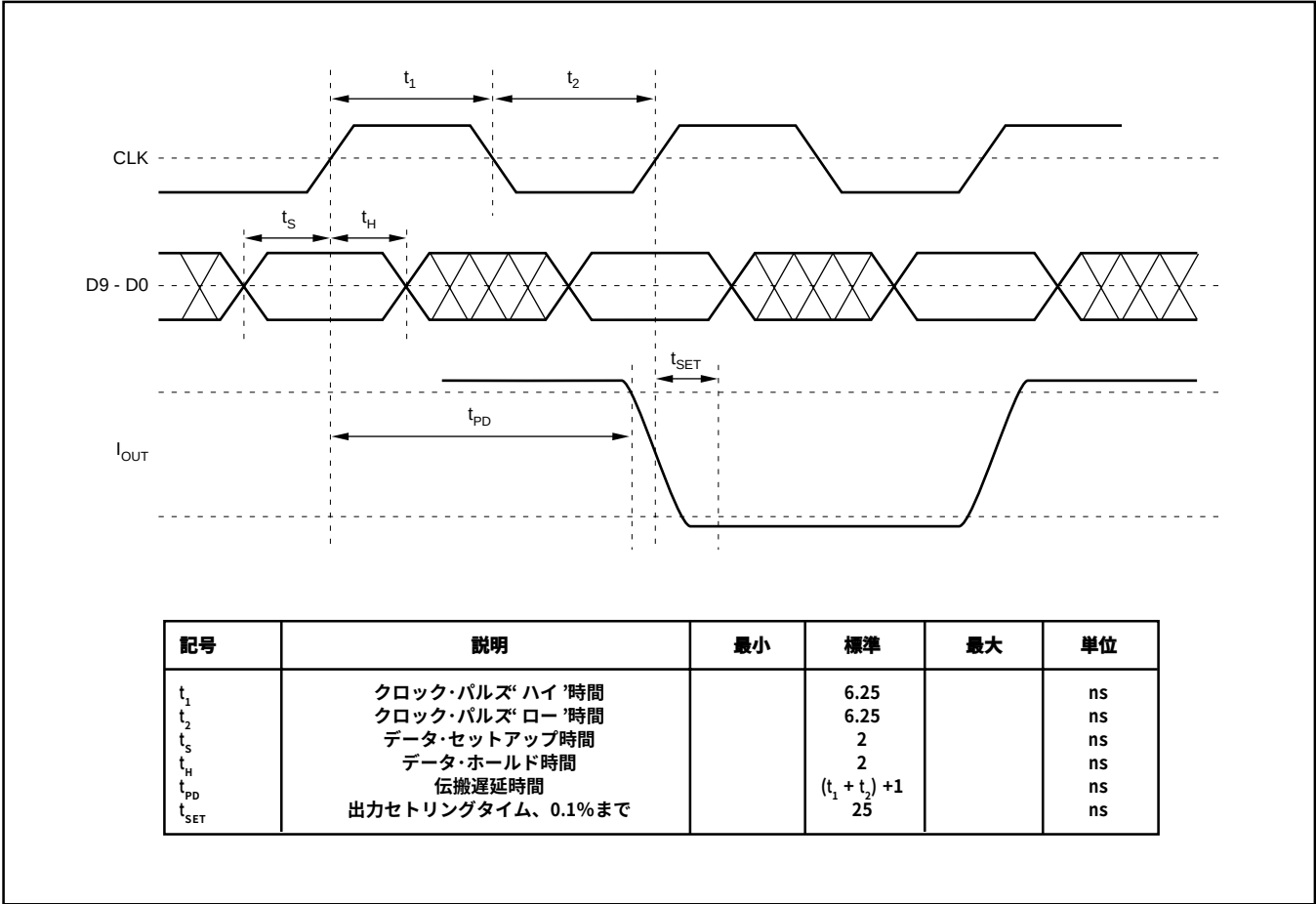
ピン構成

ピン番号	記号	説明
1	Bit1	データ・ビット1(D9)、MSB
2	Bit2	データ・ビット2(D8)
3	Bit3	データ・ビット3(D7)
4	Bit4	データ・ビット4(D6)
5	Bit5	データ・ビット5(D5)
6	Bit6	データ・ビット6(D4)
7	Bit7	データ・ビット7(D3)
8	Bit8	データ・ビット8(D2)
9	Bit9	データ・ビット9(D1)
10	Bit10	データ・ビット10(D0)、LSB
11	NC	接続なし(オープン)
12	NC	接続なし(オープン)
13	NC	接続なし(オープン)
14	NC	接続なし(オープン)
15	PD	パワーダウン制御入力。アクティブ“ハイ”。内部プルダウン回路があり、使用しない場合はオープンにしておくことができる。
16	$\overline{\text{INT/EXT}}$	リファレンス選択ピン。内部(ロー)または外部(ハイ)リファレンス動作を選択する。
17	REF_{IN}	リファレンス入出力。詳細については、本文を参照。
18	FSA	フルスケール出力調整
19	BW	帯域幅/雑音低減ピン。最適性能を得るには、 $0.1\mu\text{F}$ で $+V_A$ にバイパスする。
20	AGND	アナログ・グランド
21	I_{OUT}^-	DACの相補電流出力
22	I_{OUT}	DACの電流出力
23	BYP	バイパス・ノード。 $0.1\mu\text{F}$ でAGNDに接続する。
24	$+V_A$	アナログ電源電圧(2.7V~5.5V)
25	NC	接続なし(オープン)
26	DGND	デジタル・グランド
27	$+V_D$	デジタル電源電圧(2.7V~5.5V)
28	CLK	クロック入力

代表的な接続回路



タイミング図



使用上の注意

動作原理

DAC900のアーキテクチャは、電流ステアリング技術を使用し、高速なスイッチングと高い更新レートを実現します。モノリシックなD/Aコンバータの中心となる素子は、最大20mAのフルスケール出力電流が得られるセグメント化された電流源アレイです(図1参照)。DACが更新されるたびに内部デコーダが差動電流スイッチのアドレスを指定し、すべての電流を出力加算ノード I_{OUT} または I_{OUT} のいずれかにステアリングすることにより対応する出力電流を形成します。相補出力は差動出力信号のため、シングルエンド動作と比較して、偶数次高調波や同相モード信号(雑音)の低減によりダイナミック性能が改善され、ピーク・ツー・ピークの出力信号振幅が2倍になります。

セグメント化されたアーキテクチャでは、グリッチ・エネルギーが大幅に低減され、ダイナミック性能(SFDR)とDNLが改善されます。電流出力は、200k Ω 以上の高い出力インピーダンスを維持します。

フルスケール出力電流は、内部リファレンス電圧(1.24V)と外部抵抗 R_{SET} の比によって決まります。この I_{REF} が内部で32倍され、DACの実効出力電流になります。この出力電流は、 R_{SET} の値に応じて2mAから20mAの範囲に設定できます。

DAC900は、デジタル部とアナログ部に分かれており、それぞれ専用の電源ピンから電源を供給します。デジタル部にはエッジ・トリガ型入力ラッチとデコーダ・ロジックがあり、アナログ部には電流源アレイとスイッチ、およびリファレンス回路があります。

DACの伝達関数

DAC900の合計出力電流 I_{OUTFS} は、2つの相補出力電流を加算した値になります。

$$I_{OUTFS} = I_{OUT} + I_{OUT} \quad (1)$$

各出力電流は、DACのコードに依存し、次式で表されます。

$$I_{OUT} = I_{OUTFS} \cdot (\text{Code}/1024) \quad (2)$$

$$I_{OUT} = I_{OUTFS} \cdot (1023 - \text{Code}/1024) \quad (3)$$

ここで、コードはDACデータ入力ワードの10進表現です。また、 I_{OUTFS} は、リファレンス電圧と外部設定抵抗 R_{SET} で決まるリファレンス電流 I_{REF} の関数です。

$$I_{OUTFS} = 32 \cdot I_{REF} = 32 \cdot V_{REF}/R_{SET} \quad (4)$$

ほとんどの場合、相補出力は、抵抗性負荷または終端されたトランスをドライブします。各出力の信号電圧は、次式のようになります。

$$V_{OUT} = I_{OUT} \cdot R_{LOAD} \quad (5)$$

$$V_{OUT} = I_{OUT} \cdot R_{LOAD} \quad (6)$$

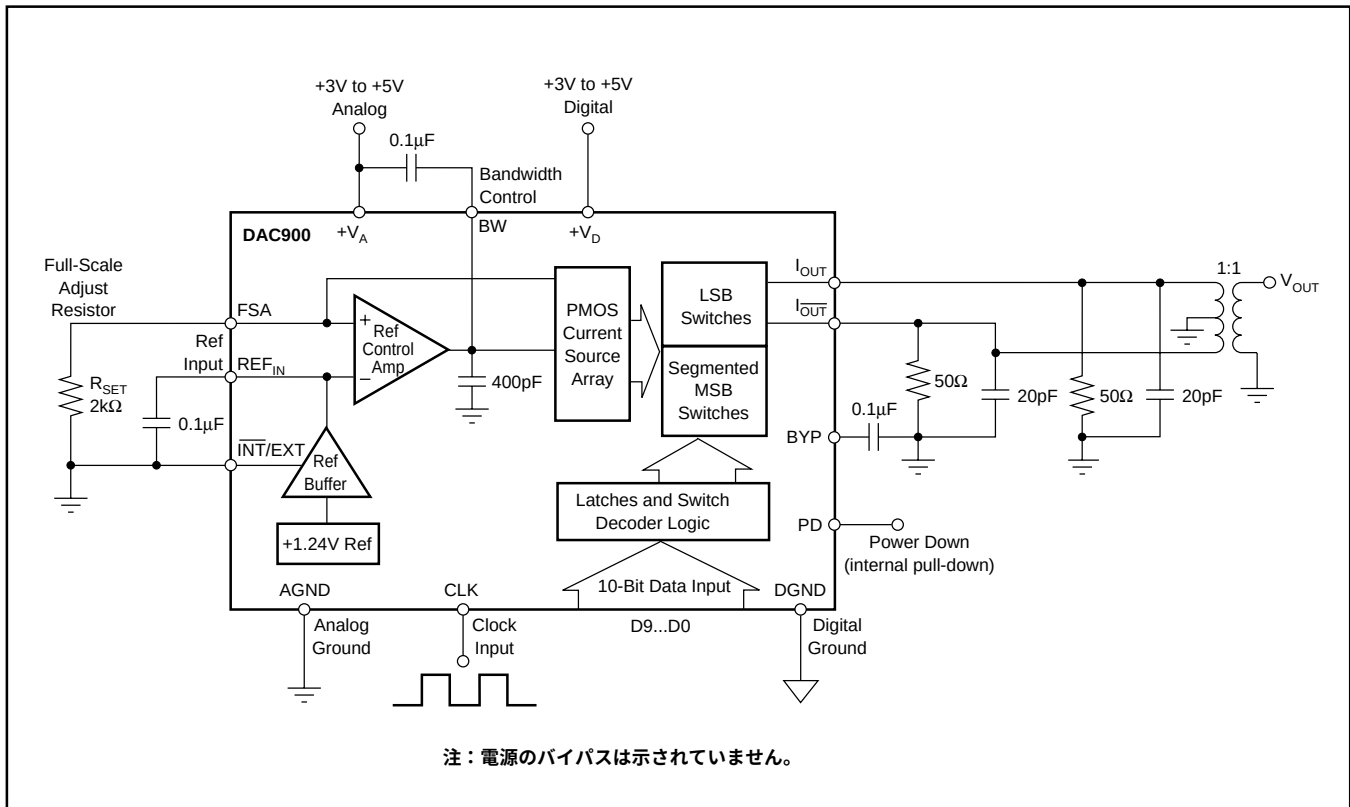


図1. DAC900の機能ブロック図

負荷抵抗の値は、DAC900の出力コンプライアンスの仕様によって制限されます。仕様の直線性の性能を維持するため、 I_{OUT} と I_{OUT-} の電圧は最大許容コンプライアンス・レンジを超えないようにします。合計の差動出力の振幅は、2つのシングルエンド出力電圧から次式のように求められます。

$$V_{OUTDIFF} = V_{OUT} - V_{OUT-} = \frac{(2 \cdot \text{Code} - 1023)}{1024} \cdot I_{OUTFS} \cdot R_{LOAD} \quad (7)$$

アナログ出力

DAC900には、 I_{OUT} および I_{OUT-} の2つの相補電流出力があります。図2に差動トポロジのアナログ出力段の簡略化した回路を示します。差動スイッチの並列の組み合わせ、電流源、および寄生容量により、 I_{OUT} と I_{OUT-} の出力インピーダンスは $200k\Omega \parallel 12pF$ になります。

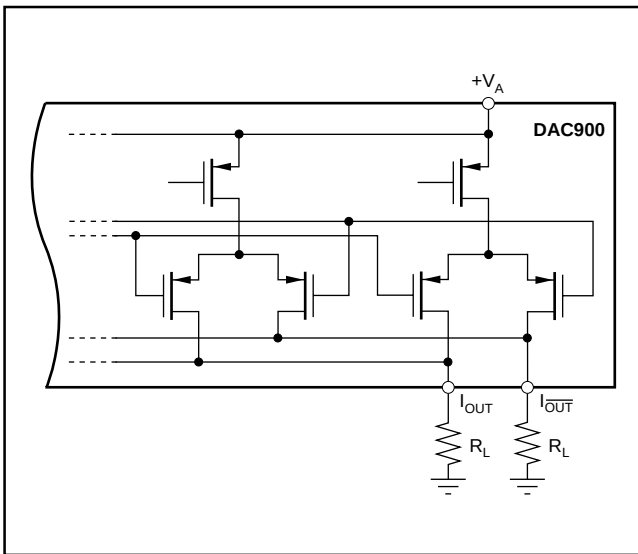


図2. 等価アナログ出力

2つの出力 I_{OUT} と I_{OUT-} の信号電圧の振幅は、正負のコンプライアンスによって制限されます。 $-1V$ の負の制限はCMOSプロセスの降伏電圧によるもので、これを超えるとDAC900の信頼性が損なわれたり永久的な損傷の原因になります。 $+V_D = 5V$ の動作でフルスケール出力を20mAに設定した場合、正のコンプライアンスは1.25Vになります。出力電流 $I_{OUTFS} = 2mA$ を選択した場合、コンプライアンス・レンジが約1Vまで低下することに注意して下さい。歪性能と積分直線性が劣化するため、DAC900の構成がコンプライアンス・レンジを超えないようにすることが必要です。

最適な歪性能は、通常、最大フルスケール出力信号を約0.5Vに制限したときに得られます。二重終端した50Ωの負荷でフルスケール出力電流を20mAに設定した場合が、これに該当します。DAC900の出力には、適切なトランスを選択することにより、 I_{OUT} と I_{OUT-} の最適な電圧レベルを維持しながら各種の負荷を適合させることができます。また、トランスを使用した差動出力構成では、偶数次高調波や雑音などの同相モード誤差が大幅に低減され、特に出力周波数が高い場合や出力振幅がフルスケール以下の場合に優れた歪性能を達成できます。

最適な歪および雑音性能が必要なアプリケーションでは、フルスケール出力を20mAにすることを推奨します。低消費電力

が要求され、性能レベルが低下してもよいアプリケーションでは、フルスケール・レンジを2mAまで小さくすることを検討できます。

入力コード(D9 - D0)	I_{OUT}	I_{OUT-}
11 1111 1111	20mA	0mA
10 0000 0000	10mA	10mA
00 0000 0000	0mA	20mA

表1. 入力コード対アナログ出力電流

出力の構成

DAC900の電流出力には、各種の構成を使用できます。いくつかの例を次に示します。前にも述べたように、最適なダイナミック性能はコンバータの差動出力を使用したときに達成されます。このような差動出力回路は、RFトランス(図3参照)または差動アンプで構成されます(図4参照)。トランスの構成は、ほとんどのac結合のアプリケーションに適しています。一方、オペアンプはdc結合の構成に適しています。

ユニポーラの出力電圧が必要なアプリケーションにはシングルエンドの構成を検討することができます(図6参照)。一方の出力とグランドの間に抵抗を接続すると、出力電流がグランドを基準とする電圧信号に変換されます。代わりに電流電圧コンバータを使用すると、dcの直線性が改善されます。この場合、信号の振幅が負になるため、デュアル電源のアンプが必要になります。

トランスを使用した差動構成

RFトランスを使用すると、優れたダイナミック性能を達成しながら差動出力信号をシングルエンド信号に変換できます(図3参照)。出力周波数スペクトルとインピーダンスの必要条件に基づいて、適切なトランスを慎重に選択することが必要です。差動トランス構成では同相モード信号が大幅に低減され、広い周波数レンジにわたりダイナミック性能が改善されるという利点があります。また、トランスを使用した場合、適切なインピーダンス比(巻線比)を選択することにより、コンバータ出力のコンプライアンス電圧を制御しながら最適なインピーダンスのマッチングを行うことができます。図のモデルADT1-1WT(Mini-Circuits製)は、巻線比が1:1で、DAC900と50Ω負荷のインターフェースに使用することができます。この場合、出力 I_{OUT} と I_{OUT-} の負荷は、それぞれ25Ωになります。出力信号はac結合され、磁氣的結合のため本質的に絶縁されています。

トランスのセンター・タップは、両方の出力の必要なdc電流が流れるように、グランドに接続する必要があります(図3参照)。完全な終端が必要なアプリケーションでは、図のように差動抵抗 R_{DIFF} を挿入することができます。これにより使用可能な信号電力がほぼ半減することに注意して下さい。

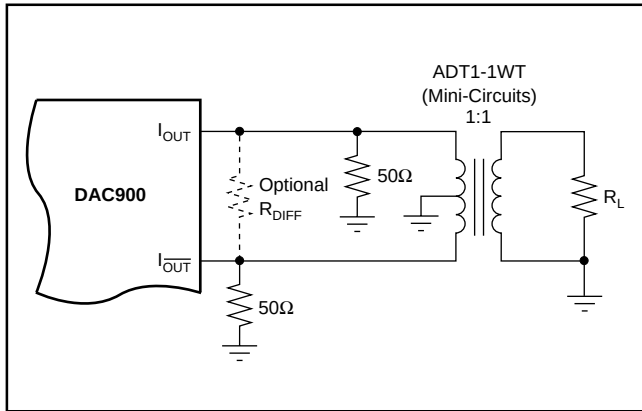


図3. RFトランスを使用した差動出力構成

オペアンプを使用した差動構成

dc結合の出力が必要なアプリケーションには、差動アンプを検討できます(図4参照)。電圧帰還オペアンプOPA680を差動からシングルエンドへ変換する差動アンプとして構成するためには4本の外部抵抗が必要です。図の構成の場合、DAC900は負荷抵抗 R_L で0.5Vp-pの差動出力信号を発生します。図の抵抗値は、抵抗 R_L と並列な差動アンプの入力インピーダンスを考慮する必要があるため、各電流出力の負荷が対称な25Ωとなるように選択されています。

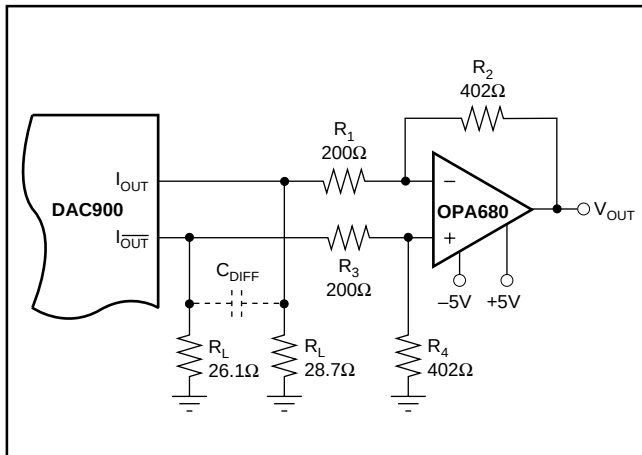


図4. 差動アンプによる差動からシングルエンドへの変換とDC結合

OPA680は、ゲイン2に構成されています。このため、DAC900を20mAのフルスケール出力で動作させると、±1Vの電圧出力が発生し、デュアル電源(±5V)でアンプを動作させる必要があります。達成可能な同相モード除去は、通常、抵抗の許容誤差によって制限され、抵抗 R_4 を微調整することにより改善できます。

この構成では、アンプがあらたな歪の要因になるため、一般に前述のトランスのソリューションよりもac性能が低下します。スルーレート、高調波歪、出力振幅の性能を考慮して、適切なアンプを選択することが必要です。OPA680またはOPA687などの高速アンプを検討することができます。この回路のac性能は、出力 I_{OUT} と I_{OUT} の間に小さいコンデンサ C_{DIFF} を追加することにより改善できます(図4参照)。これにより実極が導入され、DACの高速な出力信号ステップを制限するローパスフィルタが形成されます。この制限がない場合は、アンプがスルーレートの限界または過負荷の状態までドライブされ、過度の歪が発生します。シングルエンド出力電圧がユニポーラ(すなわち振幅が0Vから+2Vまで)でなければならないアプリケーションでは、差動アンプを簡単に変更してレベル・シフトすることができます。

デュアル・トランスインピーダンス出力構成

図5の回路では、トランスインピーダンス段または電流電圧コンバータとして設定したOPA2680の加算ノードに、信号出力電流が接続されています。この回路では、DACの出力が仮想グランドに保持され、出力インピーダンスの変動の影響が最小限に抑えられるため、最適なdcの直線性(INL)が得られます。ただし、前にも述べたように、アンプがスルーレートの限界までドライブされ、不要な歪が発生することがあります。これは、特にDACの更新レートが高いときに発生します。

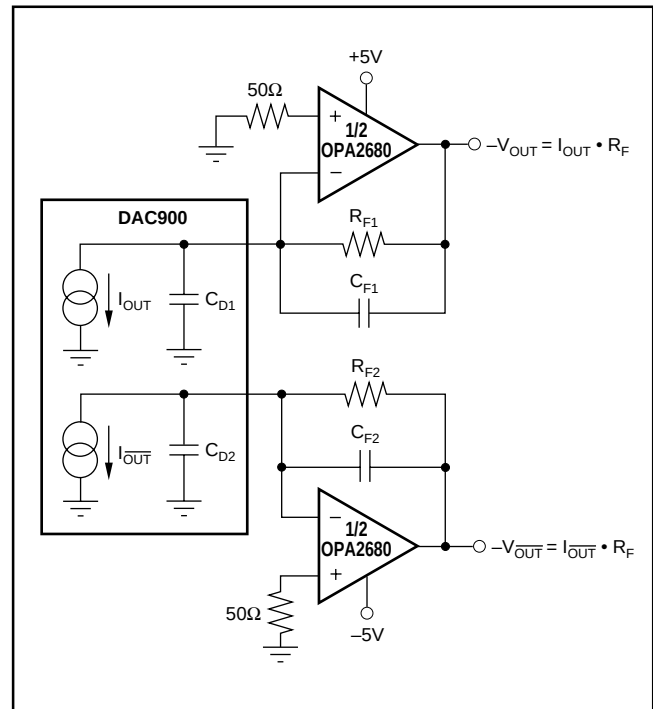


図5. デュアル・タイプの電圧帰還アンプOPA2680で構成した差動トランスインピーダンス・アンプ

この回路のDCゲインは、帰還抵抗 R_F と等しくなります。高周波では、DACの出力インピーダンス(C_{D1} 、 C_{D2})によりOPA2680の雑音ゲインにゼロが形成され、閉ループ周波数応答にピークができます。この雑音ゲインのピークを補償するため、 R_F と並列に C_F が追加されています。フラットなトランスインピーダンス周波数応答にするには、各帰還ネットワークの極を次式により設定します。

$$\frac{1}{2\pi R_F C_F} = \frac{\sqrt{GBP}}{4\pi R_F C_D} \quad (8)$$

ここで、GBP = OPAのゲイン帯域幅積です。

コーナー周波数 f_{-3dB} は、ほぼ次式で与えられます。

$$f_{-3dB} = \frac{\sqrt{GBP}}{2\pi R_F C_D} \quad (9)$$

フルスケールの出力電圧は、単に $I_{OUTFS} \cdot R_F$ の積で定義され、負のユニポーラの振幅になります。この回路のac性能を改善するには、 R_F または I_{OUTFS} を調整します。このアプリケーションの例をさらに拡張し、OPA2680の出力に差動フィルタとトランスを追加してシングルエンド信号に変換することもできます。

シングルエンド構成

DACの一方の出力に1本の負荷抵抗を接続すると、簡単な電流電圧変換を行うことができます。図6の回路では、 I_{OUT} に50Ωの抵抗を接続し、その後に接続されている50Ωのケーブルを終端しています。したがって、20mAの公称出力電流の場合、25Ωの負荷に対するDACの信号の振幅は0から0.5Vになります。

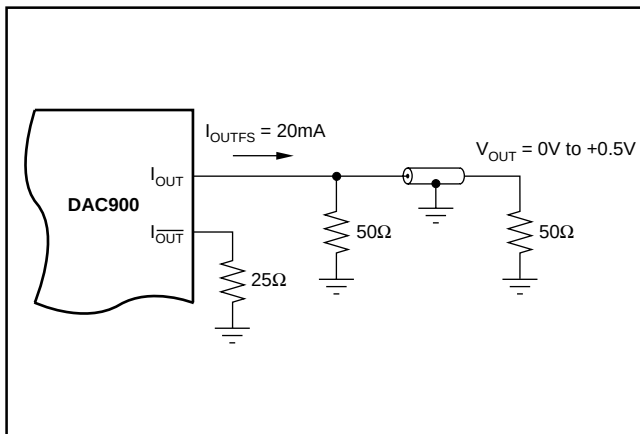


図6. 二重終端した50Ωケーブルの直接ドライブ

出力コンプライアンス・レンジを超えない限り、別の負荷抵抗の値を選択することができます。また、必要な出力信号の振幅と性能に合わせて出力電流 I_{OUTFS} と負荷抵抗を相互に調整することもできます。

内部リファレンス動作

DAC900は、1.24Vのバンドギャップ・リファレンスと制御アンプからなるオンチップのリファレンス回路を内蔵しています。ピン16の $\overline{INT}/EXT$ をグランドに接続すると、内部リファレンス動作が有効になります。DAC900のフルスケール出力電流 I_{OUTFS} は、リファレンス電圧 V_{REF} と抵抗 R_{SET} の値によって決まり、次式により計算されます。

$$I_{OUTFS} = 32 \cdot I_{REF} = 32 \cdot V_{REF} / R_{SET} \quad (10)$$

FSAピン(フルスケール調整)には外部抵抗 R_{SET} を接続します(図7参照)。リファレンス制御アンプは、 V_{REF} と R_{SET} の比によって決まるリファレンス電流 I_{REF} を発生する電圧電流コンバータとして動作します(式10参照)。フルスケール出力電流 I_{OUTFS} は、倍率が一定で I_{REF} の32倍になります。

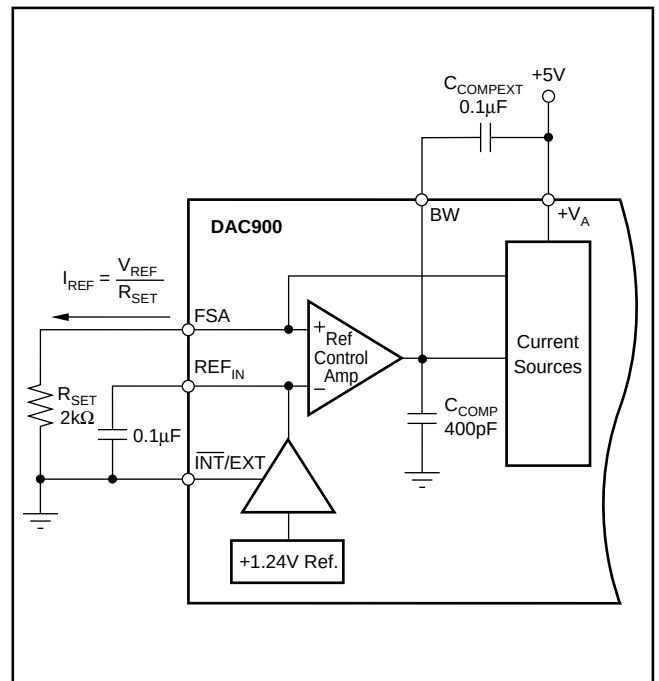


図7. 内部リファレンス構成

内部リファレンスで2kΩ抵抗を使用した場合、フルスケール出力は20mAになります。抵抗は、誤差が1%以下のものを使用します。これより大きい値を選択することにより、コンバータ出力を20mAから2mAまで調整できます。DAC900は、合計消費電力の低減、歪性能の改善、負荷条件の出力コンプライアンス電圧の制限などの理由から、20mA以下の出力電流で動作させることを推奨します。

REF_{IN} ピンを0.1μF以上のセラミック・チップ・コンデンサでバイパスすることを推奨します。制御アンプの小信号帯域幅は約1.3MHzで、内部的に補償されています。ac性能を改善するには、BWピンとアナログ電源 $+V_A$ の間に追加のコンデンサ($C_{COMPEXT}$)を接続します(図7参照)。0.1μFのコンデンサを使用することにより、制御アンプの小信号帯域幅と出力インピーダンスがさらに小さくなり、電流源アレイに流れ込む雑音が減少します。これは、DAC900の雑音性能の改善とフィードスルー信号のシャントの効率化にも有効です。

外部リファレンス動作

内部リファレンスは、ピン $\overline{\text{INT}}/\text{EXT}$ にロジック“ハイ”(+V_A)を印加して無効にすることができます。このとき、REF_{IN}ピンは入力として動作し、外部リファレンス電圧でドライブすることができます(図8参照)。高い精度とドリフト性能が要求されるアプリケーションや、ゲインを動的に制御する場合は、外部リファレンスの使用を検討することができます。

内部リファレンスで推奨される0.1 μ Fコンデンサの使用は、外部リファレンス動作では任意です。リファレンス入力REF_{IN}は、入力インピーダンスが1M Ω と高く、各種ソースで容易にドライブできます。外部リファレンスの電圧範囲は、リファレンス入力のコンプライアンス・レンジ内(0.1Vから1.25Vまで)に保つ必要があることに注意して下さい。

デジタル入力

DAC9000のデジタル入力D0(LSB)からD9(MSB)には、標準的な正のバイナリ・コードを入力します。デジタル入力ワードは、クロックの立ち上がりエッジでマスター・スレーブ・ラッチにラッチされます。DACの出力は、後続のクロックの立ち上がりエッジで更新されます(詳細については、仕様の表とタイミング図を参照して下さい)。クロックのデューティ・サイクルが50%のときに最大のパフォーマンスが得られますが、タイミングの仕様に適合する範囲であればデューティ・サイクルを変更することができます。また、セットアップとホールド時間も仕様の範囲内で選択することができます。

デジタル入力は、すべてCMOSコンパチブルです。ロジックのスレショルドは、印加されるデジタル電源電圧に依存し、電源電圧の約1/2、すなわち $V_{th} = +V_D/2$ (許容誤差±20%)に設定されます。DAC900は、2.7Vから5.5Vまでの電源範囲で動作するように設計されています。

パワーダウン・モード

DAC900には、2.7Vから5.5Vまでの仕様電源範囲で電源電流を9mA以下まで低減できるパワーダウン機能があります。PDピンにロジック“ハイ”を印加するとパワーダウン・モードに移行し、ロジック“ロー”で通常動作が有効になります。未接続のままにした場合は、内部アクティブ・プルダウン回路によりコンバータの通常動作が有効になります。

グランディング、デカップリングおよびレイアウト情報

高周波の設計では、適正な接地とバイパス、短いリード長、グランド・プレーンの使用が特に重要です。最高の性能を発揮させるため、多層プリント基板を推奨します。多層プリント基板には、グランド・インピーダンスが最小限に抑えられ、信号層がグランド層によって分離されるなど、際立った利点があります。

DAC900は、電源およびグラウンドの接続にアナログとデジタルでそれぞれ別のピンを使用します。デカップリング・コンデンサは、アナログ電源(+V_A)がアナログ・グラウンド(AGND)に、デジタル電源がデジタル・グラウンド(DGND)にバイパスされるように配置します。ほとんどの場合、各電源ピンに0.1μFのセラミック・チップ・コンデンサを接続すれば、低インピーダンスのデカップリング経路を十分に確保することができます。コンデンサは、電源ピンおよびグラウンド・ピンまでの距離によって効果が大きく変わるため、できるだけピンの近くに配置します。可能な場合は、プリント基板の裏側で各ペアの電源/グラウンド・ピンの真下にコンデンサを配置します。このレイアウトのアプローチにより、コンポーネントのピンとプリント基板のパターンの寄生インダクタンスが最小限に抑えられます。

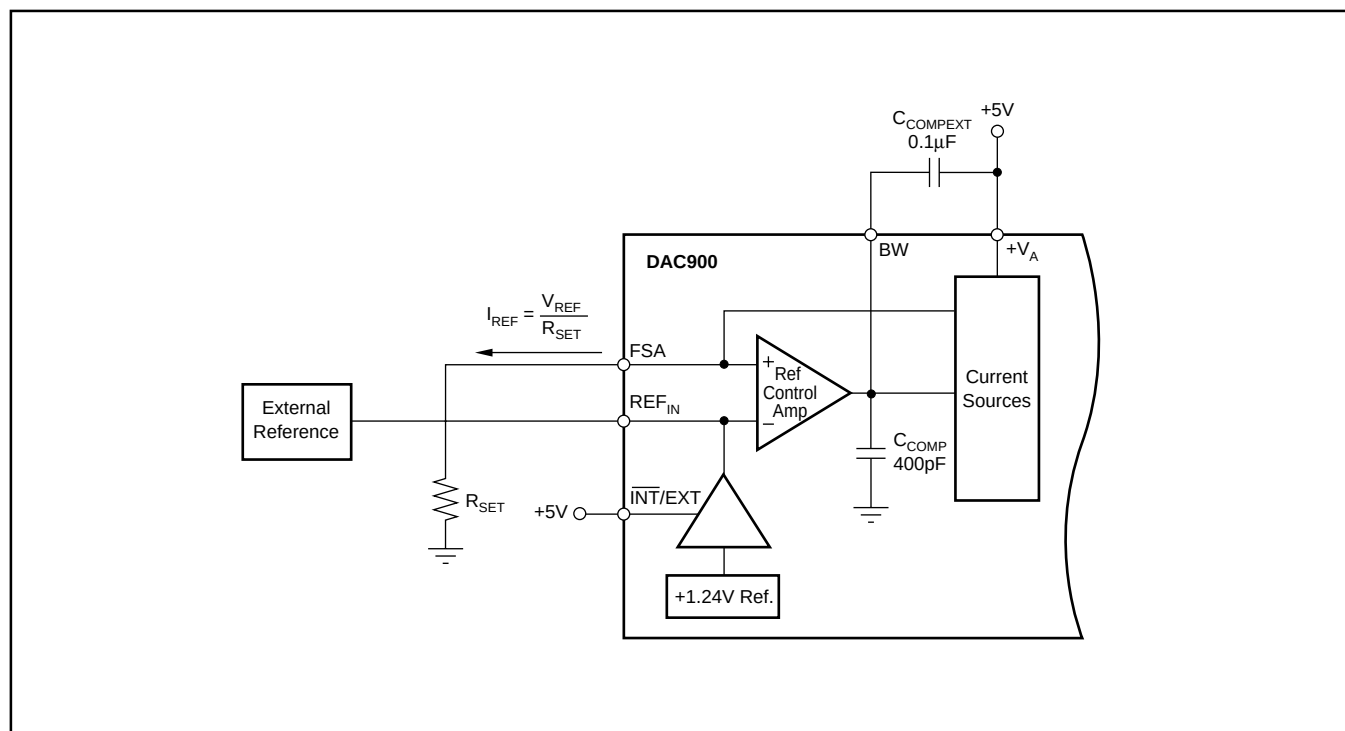


図8. 外部リファレンスの構成

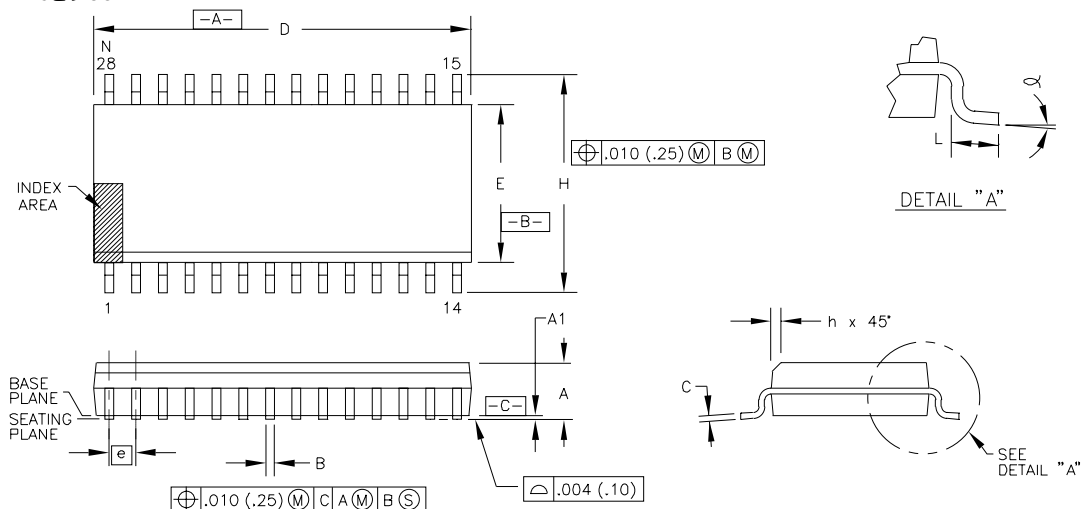
必要に応じてコンバータの近くに表面実装タンタル・コンデンサ($1\mu\text{F}$ から $4.7\mu\text{F}$)を使用し、さらに電源をデカップリングすることもできます。

DAC900の電源およびグラウンドの接続は、すべて低雑音であることが必要です。電源プレーンとグラウンド・プレーンが分離されている多層プリント基板の使用を推奨します。信号が混在する設計では、それぞれの電源電流と信号パターンの経路に特に注意が必要です。一般に、アナログの電源プレーンとグラウンド・プレーンは、アナログ信号(DAC出力信号やリファレンス信号など)の領域のみに制限する必要があります。デジタルの電源プレーンとグラウンド・プレーンは、デジタル回路(コンバータに接続されるデジタル入力ラインやクロック信号など)の領域のみに制限する必要があります。アナログとデジタルのグラウンド・プレーンは、D/Aコンバータの下側で1点接続します。これは、約3mmの長さで実現できます。

DAC900の電源は、プリント基板の幅の広いパターンまたはプレーンを使用して供給します。幅の広いパターンはインピーダンスが低く、電源のデカップリングがさらに最適化されます。コンバータのアナログ電源とデジタル電源は、プリント基板の電源コネクタでのみ接続します。DACの電源に使用できる電源電圧が1つだけの場合は、バイパス・コンデンサとフェライト・ビーズを使用してLCフィルタを構成し、低雑音のアナログ電源電圧としてDAC900の $+V_A$ 電源ピンに接続することができます。

レイアウトの設計では、アナログ信号のパターンをデジタルのラインと分離し、アナログ信号路に雑音が結合しないようにすることが重要です。

パッケージ番号217-28ピンSOP



DIM	INCHES MIN. MAX.	MILLIMETERS MIN. MAX.	N E
A	.0926 .1043	2.35 2.65	
A1	.004 .0118	0.10 0.30	
B	.013 .020	0.33 0.51	7
C	.0091 .0125	0.23 0.32	
D	.6969 .7125	17.70 18.10	2
E	.2914 .2992	7.40 7.60	3
e	.050 BASIC	1.27 BASIC	
H	.398 .419	10.11 10.65	
h	.010 .0295	0.25 0.75	4
L	.020 .040	.508 1.02	5
N	28	28	6
α	0° 8°	0° 8°	

NOTES:

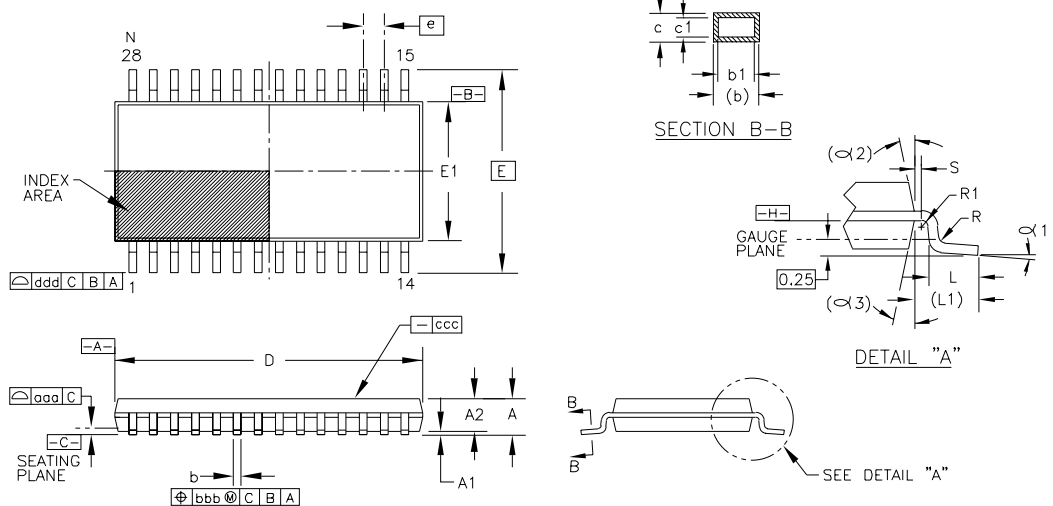
1. DIMENSIONING AND TOLERANCING PER ANSI Y14.5M-1982.
2. DIMENSION D DOES NOT INCLUDE MOLD FLASH, PROTRUSIONS OR GATE BURRS. MOLD FLASH, PROTRUSIONS AND GATE BURRS SHALL NOT EXCEED .006 IN. (0.15 mm) PER SIDE.
3. DIMENSION E DOES NOT INCLUDE INTER-LEAD FLASH OR PROTRUSIONS. INTER-LEAD FLASH AND PROTRUSIONS SHALL NOT EXCEED .010 IN. (0.25 mm) PER SIDE.
4. THE CHAMFER ON THE BODY IS OPTIONAL. IF IT IS NOT PRESENT, A VISUAL INDEX FEATURE MUST BE LOCATED WITHIN THE

CROSSHATCHED AREA.

5. L IS THE LENGTH OF TERMINAL FOR SOLDERING TO A SUBSTRATE.
6. N IS THE NUMBER OF TERMINAL POSITIONS.
7. THE LEAD WIDTH B, AS MEASURED .014 IN. (0.36 mm) OR GREATER ABOVE THE SEATING PLANE, SHALL NOT EXCEED A MAXIMUM VALUE OF .024 IN. (0.61 mm).
8. LEAD TO LEAD COPLANARITY SHALL BE LESS THAN .004 IN. (0.10 mm) FROM SEATING PLANE.

PACKAGE NUMBER: ZZ217 REV.: G
JEDEC NUMBER: MS-013-AE
WITH THE EXCEPTION OF DIM. H, L.

パッケージ番号360-28ピンTSSOP



DIM	INCHES MIN. MAX.	MILLIMETERS MIN. MAX.	N E
A	— .047	— 1.20	
A1	.002 .006	0.05 0.15	
A2	.031 .041	0.80 1.05	
b	.007 .012	0.19 0.30	5
b1	.007 .010	0.19 0.25	
c	.004 .008	0.09 0.20	
c1	.004 .006	0.09 0.16	
D	.378 .386	9.60 9.80	3.8
E	.252 BASIC	6.40 BASIC	
E1	.169 .177	4.30 4.50	4.8
e	.026 BASIC	0.65 BASIC	
L	.018 .030	0.45 0.75	
L1	.039 REF.	1.00 REF.	
N	28	28	6

NOTES:

1. MILLIMETERS SHALL BE CONTROLLING UNIT.
2. DIMENSIONING AND TOLERANCING PER ASME Y14.5M-1994.
3. DIMENSION D DOES NOT INCLUDE MOLD FLASH, PROTRUSIONS OR GATE BURRS. MOLD FLASH, PROTRUSIONS OR GATE BURRS SHALL NOT EXCEED 0.15mm (.006 IN) PER SIDE.
4. DIMENSION E1 DOES NOT INCLUDE INTERLEAD FLASH OR PROTRUSION. INTERLEAD FLASH OR PROTRUSION SHALL NOT EXCEED 0.25mm(.010 IN) PER SIDE.
5. DIMENSION b DOES NOT INCLUDE DAMBAR PROTRUSION. ALLOWABLE DAMBAR PROTRUSION SHALL BE 0.08mm(.003 IN)

TOTAL IN EXCESS OF THE b DIMENSION AT MAXIMUM MATERIAL CONDITION. DAMBAR CANNOT BE LOCATED ON THE LOWER RADIUS OF THE FOOT.

6. N IS THE MAXIMUM NUMBER OF TERMINAL POSITIONS.
7. DATUMS -A- AND -B- TO BE DETERMINED AT DATUM PLANE -H-.
8. DIMENSIONS D AND E1 TO BE DETERMINED AT DATUM PLANE -H-.
9. SECTION B-B TO BE DETERMINED AT 0.10mm TO 0.25mm FROM LEAD TIP.
10. PIN 1 IDENTIFIER MUST BE LOCATED WITHIN THE CROSSHATCHED INDEX AREA.

PACKAGE NUMBER: ZZ360 REV.: A
JEDEC NUMBER: MO-153-AE