

マイクロプロセッサ・コンパチブル 12ビットD/Aコンバータ

特 長

- 全温度範囲での微分非直線性: $\pm 1/2\text{LSB}$
- 全温度範囲で単調性を保証
- 低消費電力: 270mW(標準)
- ダブルバッファード・ラッチ内蔵: 12および8ビット+4ビット
- 広電源電圧範囲: $\pm 12\text{V}$ および $\pm 15\text{V}$
- リセット機能(バイポーラ・ゼロ)内蔵
- パッケージ: 0.3インチ幅DIPおよびSOP

概 要

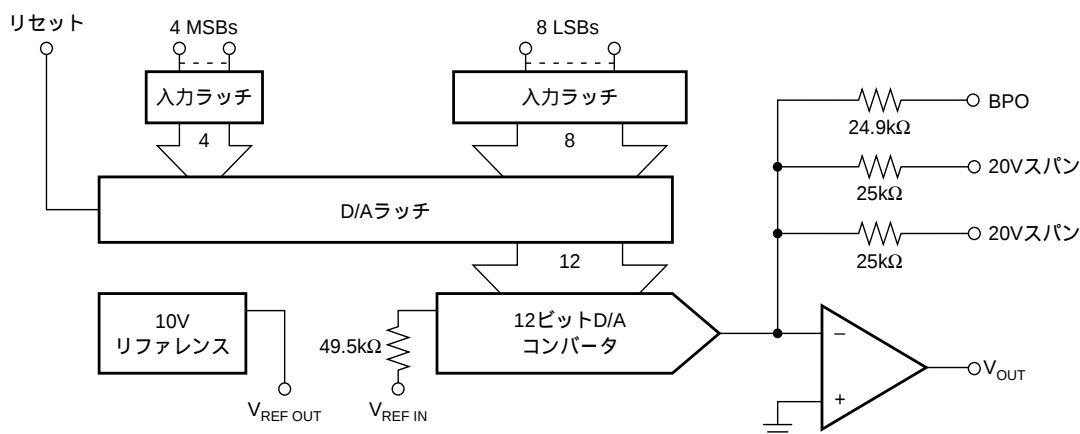
DAC813は柔軟なデジタル・インターフェースを備えた完全モノリシックの12ビットD/Aコンバータです。+10Vの高精度リファレンス、インターフェース・コントロール・ロジック、ダブルバッファード・ラッチ、および電圧出力オペアンプ付き12ビットD/Aコンバータを内蔵しています。高速電流スイッチおよびレーザ・トリミングされた薄膜抵抗網によって、高精度で高速のD/Aコンバータを実現しています。

ダブルバッファード・ラッチによって、容易にデジタル・インターフェースを行なうことができます。入力ラッチは、1つの8ビット・バイトと1つの4ビット・ニブルで構成されており、8ビット(右詰めフォーマット)または16ビット・データ・バスにインターフェース可能です。入力ゲーティング・ロジックは、ロードする最後のニブルまたはバイトをD/Aラッチへのデータ転送と同時にロードできるように設計されているため、コンピュータ命令が少なく済みます。

リセット制御により、DAC813 D/AラッチはD/A出力を非同期でバイポーラ・ゼロにリセットすることができます。この機能はパワーアップ・リセット、再調整、またはシステム障害時のシステムの再初期化に役立ちます。

DAC813は $\pm 1/2\text{LSB}$ (JおよびAグレード) および $\pm 1/4\text{LSB}$ (Kグレード)の最大直線性誤差で規定されています。

DAC813は28ピン0.3インチ幅プラスチックDIPおよびプラスチックSOPで供給されます。



仕様

特に記述のない限り、T_A = +25、±V_{CC} = ±12Vまたは±15V、V_{OUT}の負荷 = 5kΩ || 500pFです。

パラメータ	条件	DAC813 JP, JU, AU			DAC813 KP, KU			単位
		最小	標準	最大	最小	標準	最大	
デジタル入力 分解能 コード ⁽¹⁾ 全温度範囲でのデジタル入力 ⁽²⁾ $V_{IH}^{(3)}$ V_{IL} データビット、 $\overline{WR}$, $\overline{Reset}$, $\overline{LDAC}$, $\overline{LMSB}$, $\overline{LLSB}$ I_{IH} I_{IL}	$V_{IN} = +2.7V$ $V_{IN} = +0.4V$		USB, BOB	12 +5.5 +0.8 ±10 ±10	*	*	*	Bits VDC VDC μA μA
精度 直線性誤差 微分直線性誤差 ゲイン誤差 ⁽⁴⁾ ユニポーラ・オフセット誤差 ⁽⁵⁾ バイポーラ・ゼロ誤差 ⁽⁶⁾ 単調性 電源感度: +V _{CC} -V _{CC}	20Vレンジ		±1/4 ±1/2 ±0.05 ±0.01 ±0.02 保証 5 1	±1/2 ±3/4 ±0.2 ±0.02 ±0.2 10 10		±1/8 ±1/4 * * * * *	±1/4 ±1/2 * * * * *	LSB LSB % % of FSR ⁽⁷⁾ % of FSR ppm of FSR/% ppm of FSR/%
ドリフト ゲイン ユニポーラ・オフセット バイポーラ・ゼロ 直線性誤差、全温度範囲 単調性、全温度範囲	全仕様温度範囲		±5 ±1 ±3 ±1/2 保証	±30 ±3 ±10 ±3/4		* * * ±1/4 *	±15 ±3 ±5 ±1/2	ppm/ ppm of FSR/ ppm of FSR/ LSB
セトリングタイム ⁽⁸⁾ (±0.01%FSR; 5kΩ 500pF負荷) フルスケール・レンジ変化 主要キャリでの1LSB変化 ⁽⁹⁾ スルーレート	20Vレンジ 10Vレンジ		4.5 3.3 2 10	6 5		* * * *	* *	μs μs μs V/μs
アナログ出力 電圧レンジ: ユニポーラ バイポーラ 出力電流 出力インピーダンス コモンへの短絡時間	±V _{CC} > ±11.4V ±V _{CC} > ±11.4V DC	±5	0 ~ +10 ±5, ±10 0.2 連続		*	* *		V V mA Ω
リファレンス電圧 電圧 外部負荷で利用できるソース電流 インピーダンス 温度係数 コモンへの短絡時間		+9.95 5	+10 2 ±5 連続	+10.05 ±25	* *	* * * *	* *	V mA Ω ppm/
電源条件 電圧: +V _{CC} -V _{CC} 電流: +V _{CC} , +V _L -V _{CC} ACOMに対するDCOMの電位 ⁽¹⁰⁾ 消費電力	無負荷 無負荷	+11.4 -11.4 -3	+15 -15 13 -5 +3 270	+16.5 -16.5 15 -7 +3 330	* * *	* * * * *	* * * * *	VDC VDC mA mA V mW
温度範囲 仕様: J, K A 動作: J, K A 保存: J, K A		0 -40 -40 -55 -60 -65		+70 +85 +85 +125 +100 +150	* * * * * *		* * * * * *	

* 印仕様はDAC813 JP, JU, AUの仕様と同一です。
注: (1) USB = ユニポーラ・ストレート・バイナリ; BOB = バイポーラ・オフセット・バイナリ。(2) TTLおよび5V CMOSコンパチブル。(3) データ入力ラインをオープンにすると、+5.5V以上が引き込まれます。ロジック入力の互換性の項を参照して下さい。(4) 500Ωをピン6から7に接続して規定されています。外部ポテンショメータでゼロ調整可能です。(5) ユニポーラ・モード(FSR = 10V)のときの入力コード000_{HEX}に対する誤差です。(6) バイポーラ・レンジのときの入力コード800_{HEX}に対する誤差です。ピン6から4に100Ω、ピン6から7に500Ωを接続して規定されています。ゼロ調整手順は9ページを参照してください。(7) FSRはフルスケール・レンジを意味し、±10Vレンジで20Vです。(8) 最大値は3σ制限値を表します。このパラメータは100%テストされていません。(9) 主要キャリ変化とは、7FF_{HEX}から800_{HEX}および800_{HEX}から7FF_{HEX}の遷移です。(10) 精度仕様に影響を与えることなく、ACOMとDCOMを分離可能な最大電圧。

このデータシートに記載されている情報は、信頼し得るものと考えておりますが、不正確な情報や、記載漏れ等に関して弊社は責任を負うものではありません。情報の使用について弊社は責任を負えませんので、各ユーザーの責任においてご使用下さい。価格や仕様は予告なしに変更される場合がありますのでご了承下さい。ここに記載されているいかなる回路についても工業所有権その他の権利またはその実施権を付与したり承諾したりするものではありません。弊社は弊社製品を生命維持に関する機器またはシステムに使用することを承認しまたは保証するものではありません。

ピン構成

ピン	名 称	説 明
1	+V _L	ロジック回路用の正電源ピン。+V _{CC} に接続します。
2,3	20Vレンジ	20V FSRではピン2またはピン3をピン9(V _{OUT})に接続します。10V FSRでは両方のピンをピン9に接続します。
4	BPO	バイポーラ・オフセット。バイポーラ動作では100Ω固定抵抗または200Ωのポテンショメータを通してピン6(V _{REF OUT})に接続します。
5	ACOM	アナログ・コモン、および±V _{CC} 電源のリターン。
6	V _{REF OUT}	ACOMを基準とする+10Vリファレンス出力。
7	V _{REF IN}	1kΩのゲイン調整ポテンショメータまたは500Ωの固定抵抗を通してV _{REF OUT} に接続します。
8	+V _{CC}	アナログ電源入力。ACOMを基準にして+12Vから+15V(標準値)。
9	V _{OUT}	D/Aコンバータの電圧出力。
10	-V _{CC}	アナログ電源入力。ACOMを基準にして、-12Vから-15V(標準値)。
11	WR	LDAC, LLSBおよびLMSBに対するマスタ・イネーブル。ラッチへのデータ転送時は“ロー”でなければなりません。
12	LDAC	DACにデータをロード。D/Aラッチへのデータ転送およびD/Aコンバータの同時アップデート時にはWRとともに“ロー”でなければなりません。
13	Reset	“ロー”になると、バイポーラ・ゼロが出力されるようにD/Aラッチをリセットします。このコントロールは他のすべてのデータ入力動作に優先します。
14	LMSB	D8 - D11データ入力の4ビット入力ラッチに対するイネーブル信号。このロジック・パスはWRパスより遅くなります。
15	LLSB	D0 - D7データ入力の8ビット入力ラッチに対するイネーブル信号。このロジック・パスはWRパスより遅くなります。
16	DCOM	デジタル・コモン。
17	D0	データビット1, LSB
18	D1	データビット2
19	D2	データビット3
20	D3	データビット4
21	D4	データビット5
22	D5	データビット6
23	D6	データビット7
24	D7	データビット8
25	D8	データビット9
26	D9	データビット10
27	D10	データビット11
28	D11	データビット12, MSB, 正論理

絶対最大定格⁽¹⁾

+V _{CC} からACOM	0V ~ +18V
-V _{CC} からACOM	0V ~ -18V
+V _{CC} から-V _{CC}	0V ~ +36V
ACOMからDCOM	±4V
デジタル入力(ピン11 - 15, 17 - 28)DCOM	-0.5V ~ +V _{CC}
BPOスパン抵抗に印加される外部電圧	±V _{CC}
V _{REF OUT}	ACOMへの短絡、連続
V _{OUT}	ACOMへの短絡、連続
消費電力	750mW
リード温度(10秒間の半田付け)	+300
最大接合部温度	+165
熱抵抗、θ _{JA} : プラスチックDIPおよびSOP	130 /W
セラミックDIP	85 /W

注：(1)上記の「絶対最大定格」を超えるストレスを与えるとデバイスが永久に損傷するおそれがあります。長期間にわたり絶対最大条件のもとに置くと、デバイスの信頼性が損なわれることがあります。



静電気放電対策

静電気放電はわずかな性能の低下から完全なデバイスの故障に至るまで、様々な損傷を与えます。すべての集積回路は、適切なESD保護方法を用いて、取扱いと保存を行うようにして下さい。高精度の集積回路は、損傷に対して敏感であり、極めてわずかなパラメータの変化により、デバイスに規定された仕様に適合しなくなる場合があります。

パッケージ情報/ご発注の手引き

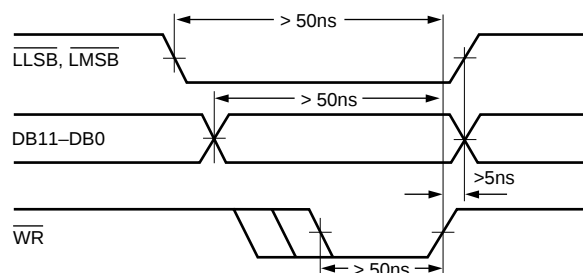
モデル	パッケージ	パッケージ図番号 ⁽¹⁾	温度範囲	最大直線性誤差、 25 (LSB)	ゲインドリフト (ppm/)
DAC813JP	28ピン・プラスチックDIP	246	0 ~ +70	±1/2	±30
DAC813JU	28ピン・プラスチックSOP	217	0 ~ +70	±1/2	±30
DAC813KP	28ピン・プラスチックDIP	246	0 ~ +70	±1/4	±15
DAC813KU	28ピン・プラスチックSOP	217	0 ~ +70	±1/4	±15
DAC813AU	28ピン・プラスチックSOP	217	-40 ~ +85	±1/2	±30

注：(1)詳細図および寸法表については、データシートの巻末を参照して下さい。

最小タイミング仕様

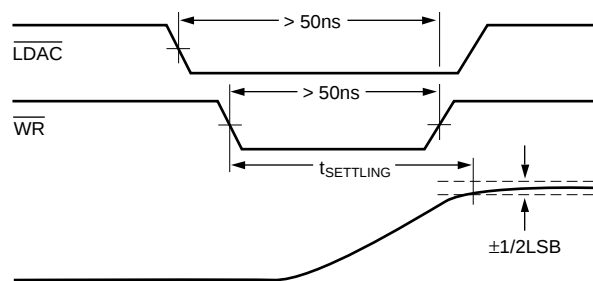
ライト・サイクル#1

(データ・バスから第1ランクをロード : $\overline{\text{LDAC}}=1$)



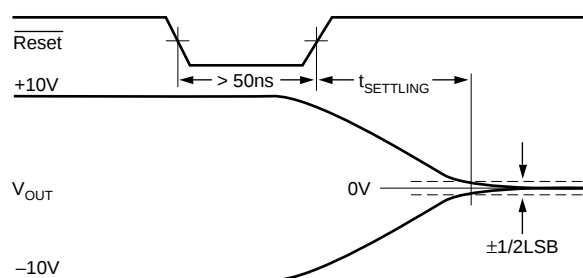
ライト・サイクル#2

(最初のランクから第2ランクをロード : $\overline{\text{LLSB}}, \overline{\text{LMSB}}=1$)



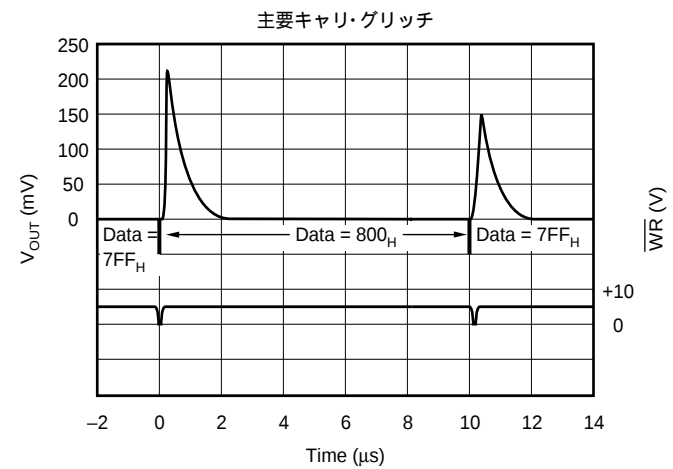
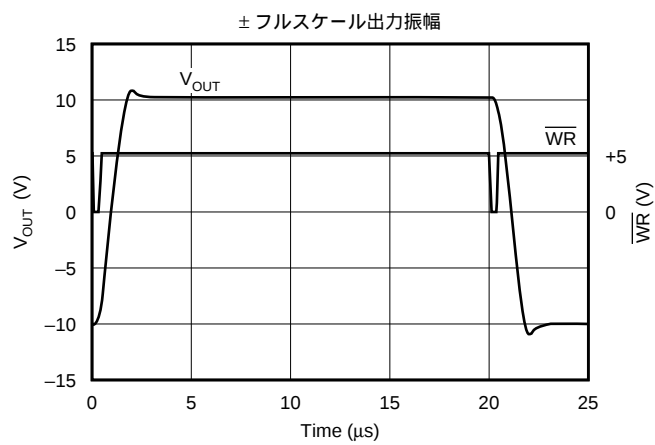
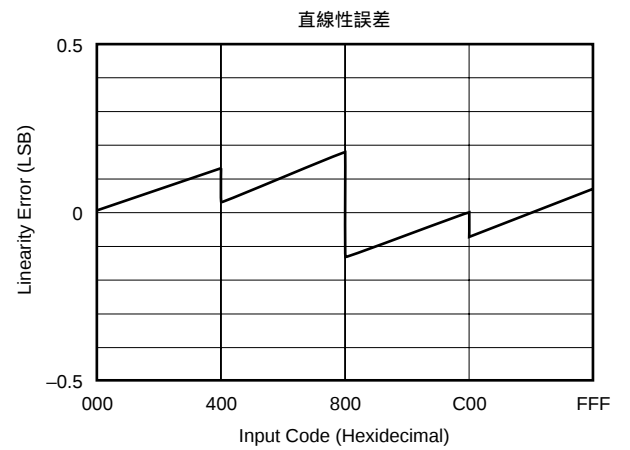
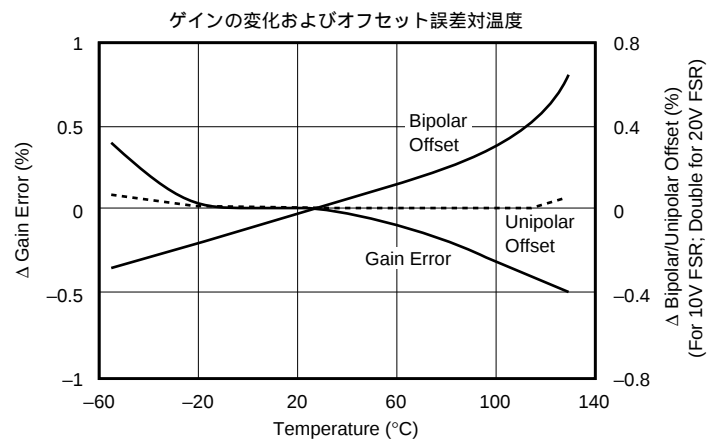
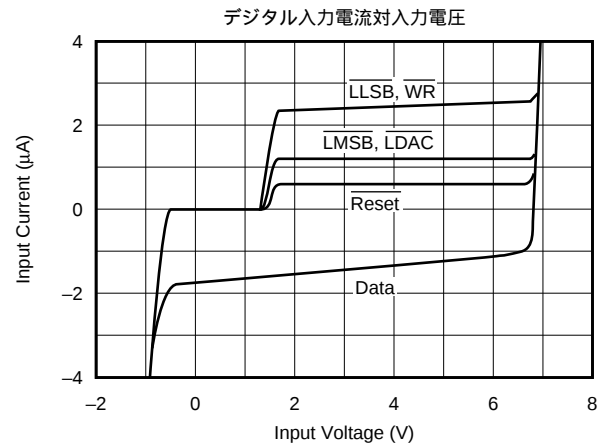
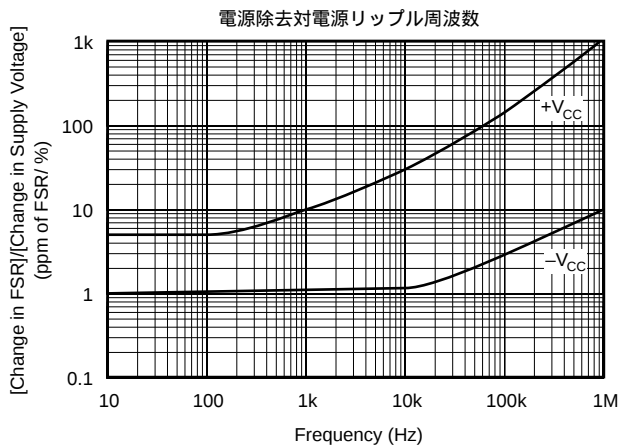
リセット・コマンド(バイポーラ・モード)

$\overline{\text{LLSB}}, \overline{\text{LMSB}}, \overline{\text{LDAC}}, \overline{\text{WR}} = \text{無視}$



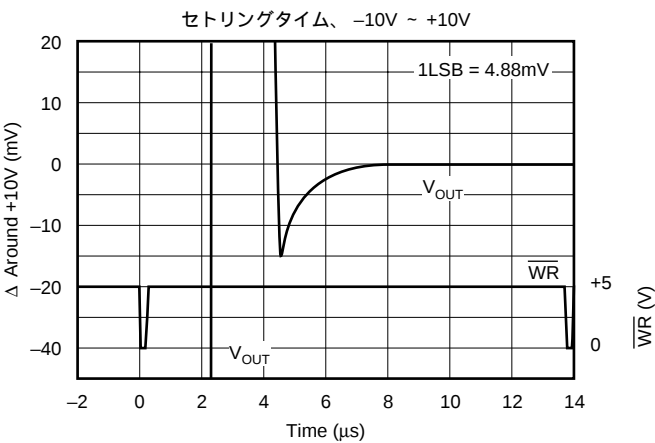
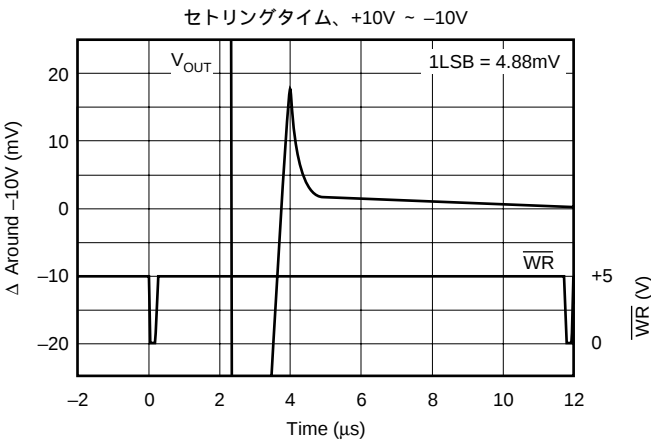
代表的性能曲線

特に記述のない限り、 $T_A = +25$ 、 $\pm V_{CC} = \pm 15V$ です。



代表的性能曲線

特に記述のない限り、 $T_A=+25$ 、 $\pm V_{CC}=\pm 15V$ です。



仕様の説明

入力コード

DAC813は正論理のバイナリ入力コードを受け入れます。DAC813はUSB(ユニポーラ・ストレート・バイナリ)、BOB(バイポーラ・オフセット・バイナリ) またはMSBラインにロジック・インバータ使用するBTC(バイナリ2の補数)のいずれか1つを使用するようユーザが接続できます。表Iを参照してください。

デジタル入力	アナログ出力		
	USB ユニポーラ・ ストレート・ バイナリ	BOB バイポーラ・ オフセット・ バイナリ	BTC* バイナリ・ ツース・ コンプリメント
MSBから LSB			
FFF _{HEX} 800 _{HEX} 7FF _{HEX} 000 _{HEX}	+フルスケール +1/2フルスケール (+1/2フルスケール -1LSB) ゼロ	+フルスケール ゼロ ゼロ-1LSB -フルスケール	ゼロ-1LSB -フルスケール +フルスケール ゼロ

* 外部インバータでBOBコードのMSBを反転してBTCコードを得ます。

表I. デジタル入力コード

直線性誤差

直線性誤差は、両終端点(全ビット"1"および全ビット"0")のデジタル入力を結んだ直線からのアナログ出力の偏差として定義されます。DAC813の+25 での直線性誤差は、Kグレードが $\pm 1/4LSB$ (最大)、そしてJグレードが $\pm 1/2LSB$ (最大)で規定されています。

微分直線性誤差

微分直線性誤差(DLE)は、ある隣接する状態から次の状態への1LSBの出力変化に対する偏差です。1/2LSBのDLE仕様は、デジタル入力コードがあるコード・ワードから隣接するコード・ワードに変化したときに、出力ステップの大きさが1/2LSBから3/2LSBの範囲で変化することを意味します。単調性を維持するには、全温度範囲でDLEが1LSB以下である必要があります。

単調性

D/Aコンバータは、デジタル入力の増加に対し、出力が増加または同じレベルの値にとどまるとき単調性を有します。DAC813のすべてのグレードは、仕様温度範囲にわたり単調性が保証されています。

ドリフト

ゲイン・ドリフトは、全仕様温度でのフルスケール・レンジ(FSR)の変化の尺度です。ゲイン・ドリフトは、ppm/ の単位で表されます。

ユニポーラ・オフセット・ドリフトは、000_{HEX}のデータ入力で測定されます。D/Aはユニポーラ出力に構成されます。ユニポーラ・オフセット・ドリフトは、FSR/ のppm単位で表されます。

バイポーラ・ゼロ・ドリフトは、800_{HEX}のデータ入力で測定されます。D/Aはバイポーラ出力に構成されます。バイポーラ・ゼロ・ドリフトは、FSR/ のppm単位で表されます。

セトリングタイム

セトリングタイムは入力の変化後、出力が最終の誤差範囲内に整定するために必要な合計時間(スルー時間を含む)です。フルスケール・レンジ(FSR)の $\pm 0.012\%$ に対して、3種類のセトリングタイムが規定されています。20Vおよび10Vの最大フルスケール・レンジ出力変化と、1LSB変化に対する値です。1LSB変化は、最悪のセトリングタイムが発生する主要キャリ遷移点(7FF_{HEX}から800_{HEX}および800_{HEX}から7FF_{HEX})で測定されます。

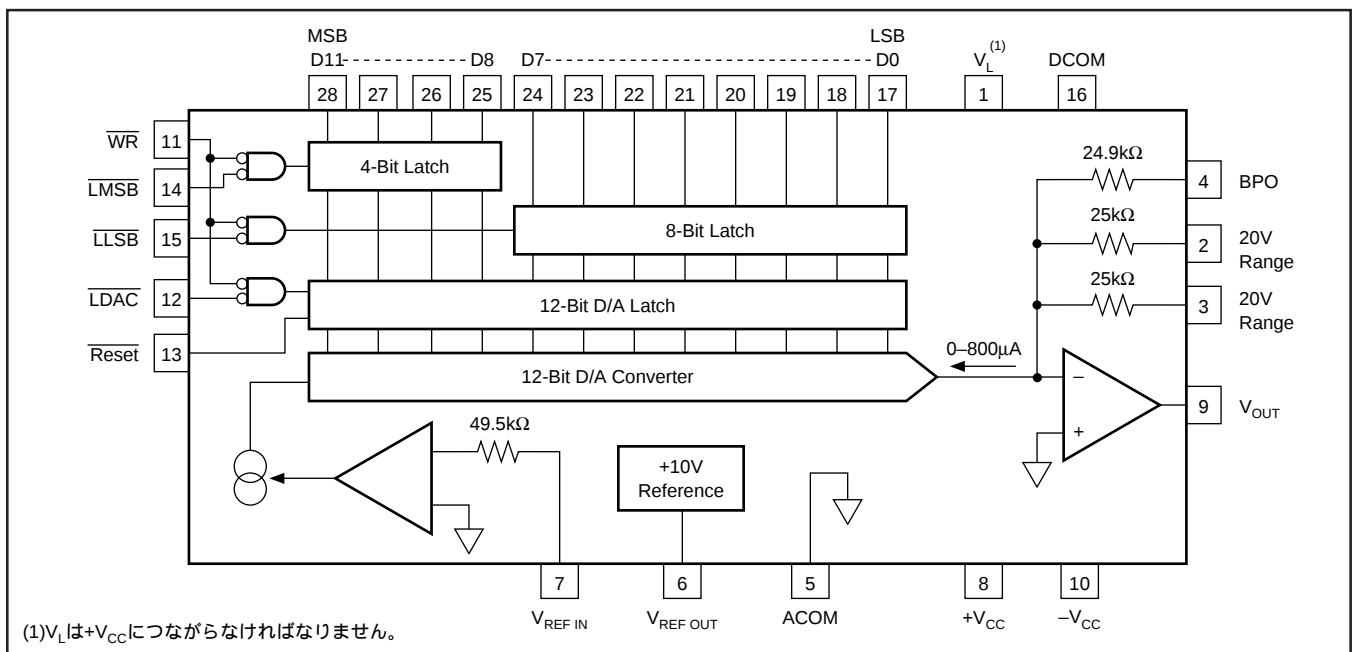


図1. DAC813のブロック図

リファレンス電源

DAC813は+10Vリファレンスを内蔵しています。この電圧(ピン6)は $\pm 50\text{mV}$ の許容差を有しています。 $V_{\text{REF OUT}}$ は公称値 500Ω のゲイン調整用抵抗を通して $V_{\text{REF IN}}$ に接続しなければなりません。オプションの $1\text{k}\Omega$ 調整用抵抗を通して接続し、ゼロ・ゲイン誤差の調整を行なうことができます。リファレンス出力を使用して外部負荷を最小 5mA までソース・ドライブすることができます。この電流は一定でなければならず、そうでないとコンバータのゲインが変動します。

電源感度

電源感度はD/Aコンバータの出力における電源変化の影響の尺度で、 $+V_{CC}$ または $-V_{CC}$ の電源電圧公称値のパーセント変化分に対するFSR出力変化を $\text{FSR} / \%$ のppmで表したものです。代表的性能曲線に電源除去対電源リップル周波数を示します。

動作説明

DAC813は、完全なシングルICチップの12ビットD/Aコンバータです。このデバイスは図1に示すとおり、12ビットD/Aコンバータ、電圧リファレンス、出力アンプ、およびマイクロコンピュータ・コンパチブル入力ロジックを内蔵しています。

インターフェース・ロジック

完全な12ビット・ワードが構成される間、入力ラッチは一時的にデータを保持し、その後D/Aラッチにロードします。このダブル・バッファ構成により、誤ったアナログ出力値が発生しないようにしています。各ラッチは個別にアドレス指定できます。

すべてのラッチはレベル・トリガ方式です。コントロール信号がロジック'0'のときに存在するデータがラッチに入力されます。コントロール信号のどれかがロジック'1'に戻ると、データがラッチされます。コントロール信号の真値表を表IIに示します。

注意：DAC813は $\overline{\text{WR}}$ を高速ストロブとして使うことを前提に設計されています。 $\overline{\text{WR}}$ は EN_X (または LDAC)より高速なロジック経路を持っています。したがって、もし $\overline{\text{WR}}$ をDCOMに直接接続し、 EN_X のみをラッチへのデータストロブに使うと、データホールドタイムを約 15ns から 30ns 延長しなければなりません。そ

してこのホールドタイムはデバイスごとに異なる可能性があります。 $\overline{\text{WR}}$ を使った場合のホールドタイムは最大 5ns です。

$\overline{\text{WR}}$	LLSB	LMSB	LDAC	RESET	動作説明
1	X	X	X	1	動作せず。
X	X	X	X	0	D/Aラッチを 800_{HEX} にセット。
0	1	0	1	1	4個のMSB入力ラッチをイネーブル。
0	0	1	1	1	8個のLSB入力ラッチをイネーブル。
0	1	1	0	1	入力ラッチからD/Aラッチにロード。
0	0	0	0	1	全ラッチをトランスペアレントにする。

"X" = 動作に無関係

表II. DAC813のインターフェース・ロジックの真値表

ロジック入力の互換性

DAC813のデジタル入力は、 $+V_{CC}$ の全動作範囲内でTTLと5V CMOSにコンパチブルです。入力スイッチング・スレシールドは全電源範囲内でTTLスレシールドを保ちます。このデジタル入力の等価回路を図2に示します。

ロジック入力電流は、全温度範囲で5V CMOS出力でDAC813を動作させるのに充分低くなっています。入力がオープン状態では7Vかそれ以上の電圧が発生します。ロジック0が印加されると入力ラインに電流スパイクが発生することがあり、インターフェースの速度が遅くなることがありますが、DAC813の動作には特に影響しません。DAC813のDATA入力ラインは5.5V以上でドライブしてはいけません。(または、DATA入力をフローティング状態にしないで下さい)。使用していないすべてのデータ入力をDCOMに接続して下さい。

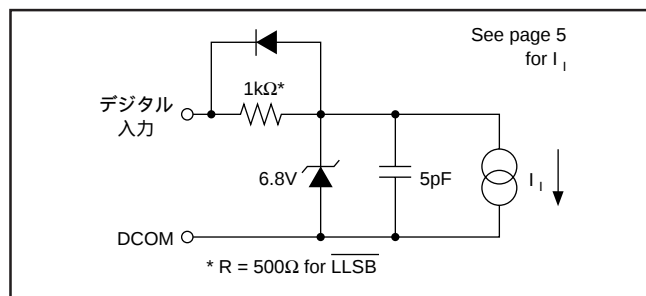


図2. デジタル入力の等価入力回路

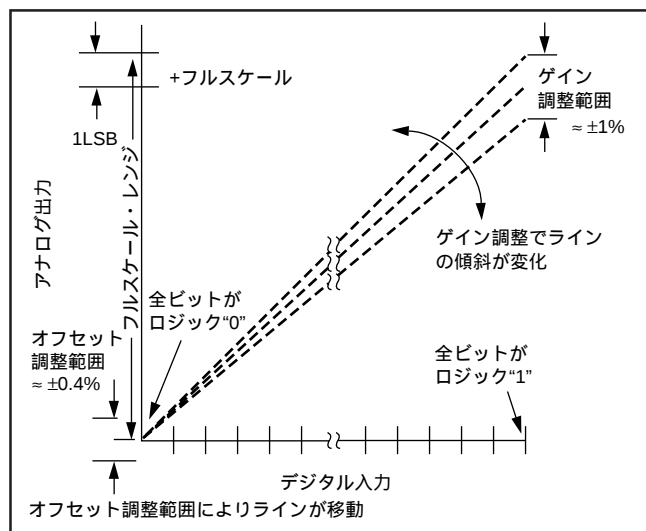


図3. ユニポーラD/Aコンバータのオフセット調整とゲイン調整の関係

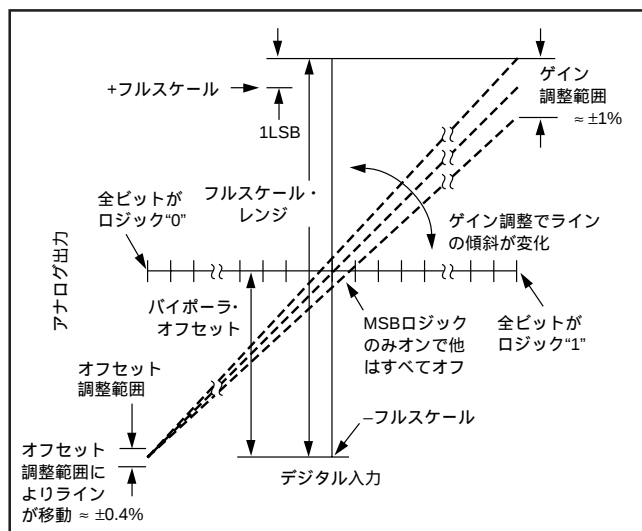


図4. バイポーラD/Aコンバータのオフセット調整とゲイン調整の関係

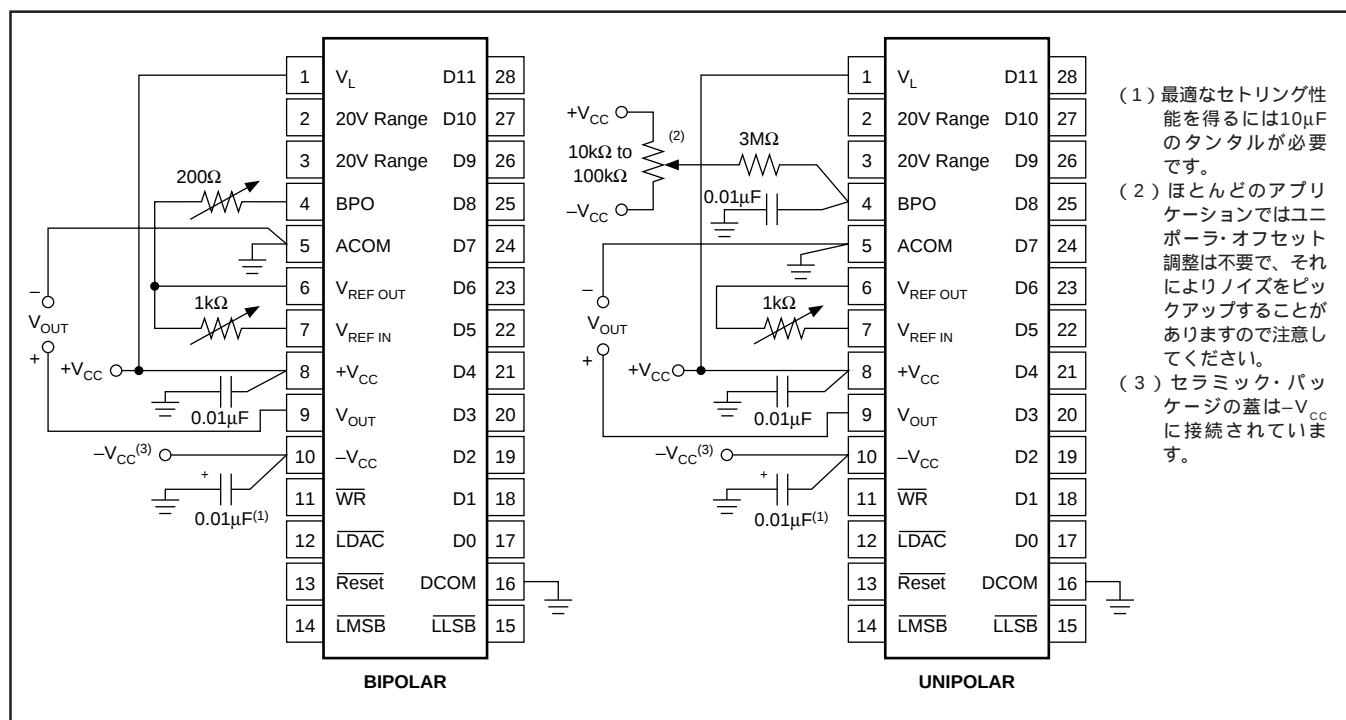


図5. 電源、ゲイン、およびオフセット接続

リセット機能

$\overline{\text{Reset}}$ (ピン13) がロー (0.8V以下) に判断されると、他の入力ロジック状態に関係なくD/Aラッチが800_{HEX} にセットされます。アナログ出力がバイポーラ動作構成 (±10Vまたは±5V) に接続されている場合、出力はバイポーラ・ゼロ (0V) にリセットされます。アナログ出力がユニポーラ動作構成 (0から+10V) に接続された場合、出力はハーフ・スケール (+5V) にリセットされます。

$\overline{\text{Reset}}$ を使用しない場合は、+2V以上かつ+5.5V未満の電圧に接続しなければなりません。この電圧が得られない場合、入力電流を制限するために100kΩから1MΩの抵抗を通して $+V_{CC}$ に接続することができます。

ゲインおよびオフセット調整

図3と図4にユニポーラおよびバイポーラD/Aコンバータ出力に対するオフセット調整とゲイン調整の関係を示します。

アプリケーション

マイクロコンピュータ・バスとのインターフェース

DAC813のインターフェース・ロジックによってマイクロコンピュータ・バスに容易にインターフェースすることができます。コントロール信号は、マイクロコンピュータの外部デバイス選択ロジックと、I/Oライトまたはメモリ・ライト(システム設計による)信号から得られます。

ラッチ・イネーブル・ラインの $\overline{\text{LMSB}}$ 、 $\overline{\text{LLSB}}$ 、および $\overline{\text{LDAC}}$ によって、どのラッチが選択されるかが決まります。以下のいくつかの例に示すように、複数のラッチを同時にイネーブルすることもできます。

ダブル・バッファード・ラッチによって、いくつかのDAC813の入力ラッチにデータをロードしておいて、後でそれらをすべてのDACのD/Aラッチにストアし、全アナログ出力を同時にアップデートすることができます。以下に示すインターフェース方式はすべて、ベース・アドレス・デコーダを使用しています。メモリ・ブロックを使用すれば、ベース・アドレス・デコーダが簡単になり、場合によっては全くなくすることができます。

8ビット・バス・インターフェース

DAC813のコントロール・ロジックを使用すれば、図7に示すような右詰めデータ・フォーマットにインターフェースすることができます。12ビットD/Aコンバータが8ビット・バスからロードされる場合、2バイトのデータが必要です。図8に右詰めデータのアドレッシング方式を示します。ベース・アドレスは上位アドレス・

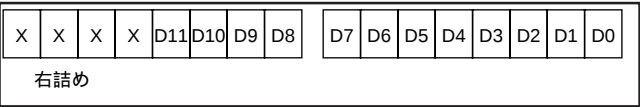


図7. 8ビット・システム用の12ビット・データ・フォーマット

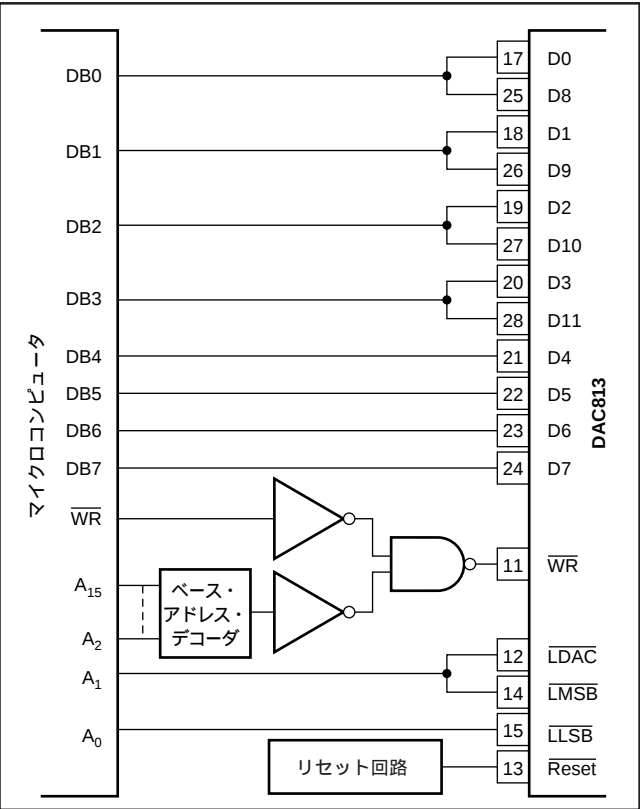


図8. 右詰めのデータ・バス・インターフェース

ビットからデコードされます。A0とA1で適切なラッチをアドレス指定します。この場合、隣接するアドレスを使用することに注意してください。X10_{BIN}は8LSBをロードし、X01_{BIN}は4MSBをロードすると同時に入力ラッチ・データをD/Aラッチに転送します。アドレスX00_{BIN}とX11_{BIN}は使用されません。

8ビット・システムでの複数のDAC813のインターフェース

自動試験装置など多くのアプリケーションでは、いくつかのD/Aコンバータの出力を同時にアップデートする必要があります。図9に示すインターフェースは74LS138デコーダを使用して8つの隣接するアドレスをデコードし、4個のDAC813の入力ラッチをロードします。この例では右詰めデータ・フォーマットを使用しています。

A3を使用する9番目のアドレスによって、すべてのDAC813が同時にアップデートされます。特定のDAC813が常に最後にロードされる場合(たとえば、D/A #4)、A3は必要ないため、他のユーザのために8つのアドレス空間を節約することができます。A3をベース・アドレス・デコーダに組み入れてインバータをなくし、共通 $\overline{\text{LDAC}}$ ラインをD/A #4の $\overline{\text{LLSB}}$ に接続し、74LS138のD1を+5Vに接続します。

12ビットおよび16ビット・マイクロコンピュータ・インターフェース

このアプリケーションでは、入力ラッチ・イネーブル・ライン $\overline{\text{LMSB}}$ および $\overline{\text{LLSB}}$ は「ロー」に接続され、ラッチはトランスペアレントになります。そのため、D/AラッチとDAC813はアドレス・デコーダで選択され、 $\overline{\text{WR}}$ でストアされます。ロジック入力の互換性での注意点を必ず読んで下さい。

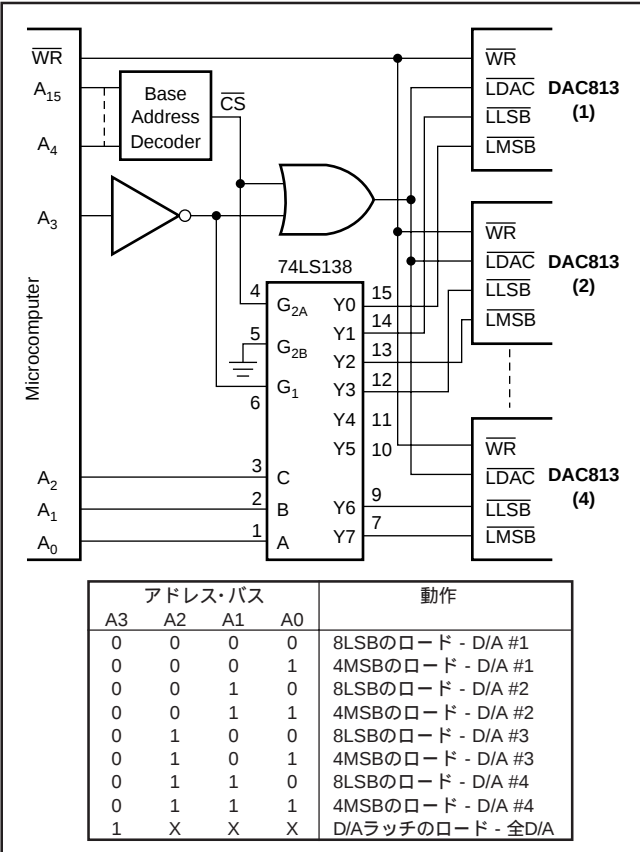


図9. 8ビット・バスへの複数のDAC813のインターフェース

外観

