



16ビット、クワッド、電圧出力 D/Aコンバータ

特 長

- 低消費電力：200mW
- ユニポーラまたはバイポーラ動作
- 単一電源出力範囲：+10V
- 両電源出力範囲：±10V
- セトリングタイム：10 μ s(0.003%まで)
- 単調性：16ビット(−40 ~ +85)
- プログラマブル・リセット：ミッドスケールまたはゼロスケール
- データのリードバック
- ダブル・バッファ方式のデータ入力

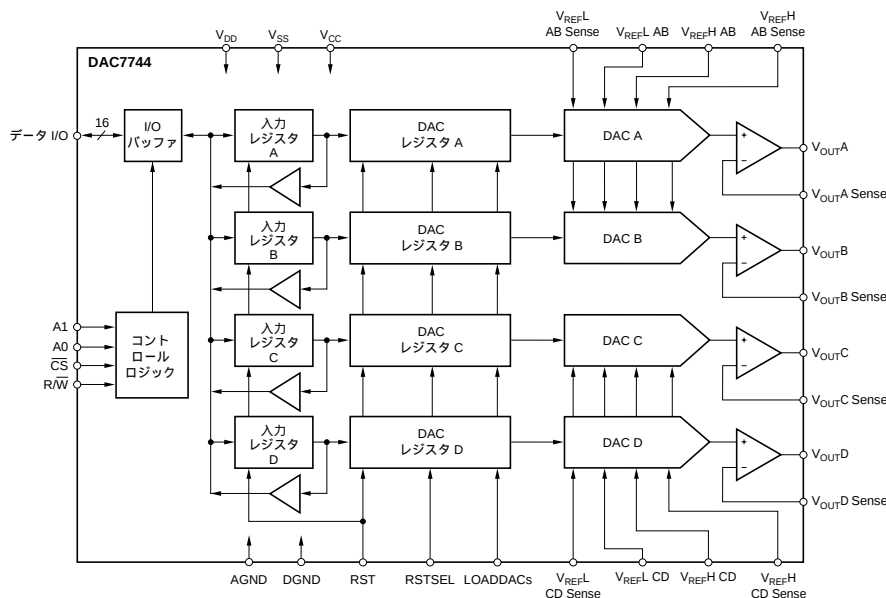
アプリケーション

- プロセス制御
- 自動試験装置のピン・エレクトロニクス
- 閉ループ・サーボ制御
- モータ制御
- データ・アキュイジション・システム
- DAC-PER-PIN プログラム

概 要

DAC7744は、仕様温度範囲にわたり16ビットの単調性が保証されたクワッド・タイプの16ビット電圧出力D/Aコンバータです。16ビットの平行データ入力、全てのDACの同時更新が可能なダブル・バッファ方式のDAC入力ロジック、内部入力レジスタのリードバック・モードを備えています。非同期のプログラマブル・リセット機能は、全てのレジスタをミッドスケール(8000_H)またはゼロスケール(0000_H)コードに設定します。DAC7744は、+15Vの単一電源または+15V、−15Vおよび+5Vの電源で動作します。

小型かつ低消費電力のDAC7744は、自動試験装置、DAC-PER-PINプログラム、データ・アキュイジション・システム、閉ループ・サーボ制御に理想的です。パッケージは、48ピンSSOPで供給され、−40 から+85 の温度範囲で仕様が保証されています。



仕様 (両電源)

特に記述のない限り、 $T_A = T_{MIN} \sim T_{MAX}$ 、 $V_{CC} = +15V$ 、 $V_{DD} = +5V$ 、 $V_{SS} = -15V$ 、 $V_{REFH} = +10V$ 、 $V_{REFL} = -10V$ です。

パラメータ	条件	DAC7744E			DAC7744EB			DAC7744EC			単位
		最小	標準	最大	最小	標準	最大	最小	標準	最大	
精度 直線性誤差 $T_{MIN} \sim T_{MAX}$ 直線性のマッチング 微分直線性誤差 $T_{MIN} \sim T_{MAX}$ 単調性、 $T_{MIN} \sim T_{MAX}$ パイポラ・ゼロ誤差 パイポラ・ゼロ誤差、 $T_{MIN} \sim T_{MAX}$ フルスケール誤差 フルスケール誤差、 $T_{MIN} \sim T_{MAX}$ パイポラ・ゼロのマッチング フルスケールのマッチング 電源除去比(PSRR)	T = 25 T = 25 T = 25 T = 25 チャンネル間のマッチング チャンネル間のマッチング フルスケール	 14 									

* 印は、DAC7744Eのグレードと同じ値であることを示します。

このデータシートに記載されている情報は、信頼し得るものと考えておりますが、不正確な情報や記載漏れ等に関して弊社は責任を負うものではありません。情報の使用について弊社は責任を負えませんので、各ユーザーの責任において御使用下さい。価格や仕様は予告なしに変更される場合がありますのでご了承下さい。ここに記載されているいかなる回路についても工業所有権その他の権利またはその実施権を付与したり承諾したりするものではありません。弊社は弊社製品を生命維持に関する機器またはシステムに使用することを承認しまたは保証するものではありません。

仕様(単一電源)

特に記述のない限り、 $T_A = T_{MIN} \sim T_{MAX}$ 、 $V_{CC} = +15V$ 、 $V_{DD} = +5V$ 、 $V_{SS} = GND$ 、 $V_{REFH} = +10V$ 、 $V_{REFL} = +50mV$ です。

パラメータ	条件	DAC7744E			DAC7744EB			DAC7744EC			単位
		最小	標準	最大	最小	標準	最大	最小	標準	最大	
精度 直線性誤差 ⁽¹⁾ $T_{MIN} \sim T_{MAX}$ 直線性のマッチング 微分直線性誤差 $T_{MIN} \sim T_{MAX}$ 単調性、 $T_{MIN} \sim T_{MAX}$ ユニポーラ・ゼロ ユニポーラ・ゼロ誤差、 $T_{MIN} \sim T_{MAX}$ フルスケール誤差 フルスケール誤差、 $T_{MIN} \sim T_{MAX}$ ユニポーラ・ゼロのマッチング フルスケールのマッチング 電源除去比(PSRR)	T = 25 T = 25 T = 25 T = 25 チャンネル間のマッチング チャンネル間のマッチング フルスケール	14	±4	±3 ±4 ±3 ±3 ±0.025 ±0.05 ±0.025 ±0.05 ±0.024 ±0.024 25	15	*	* * ±2 ±2 * * * * * *	16	±2	±2 ±3 ±1 ±1 * * * * * * *	LSB LSB LSB LSB LSB Bits % of FSR % of FSR % of FSR % of FSR % of FSR % of FSR ppm/V
アナログ出力 電圧出力 出力電流 最大負荷キャパシタンス 短絡電流 短絡時間	$V_{REFL} = 0V$ 、 $V_{SS} = 0V$ $R = 10k\Omega$ V_{SS} 、 V_{CC} またはGND	0	±5	V_{REFH} 500 ±20 無制限	*	*	*	*	*	*	V mA pF mA
リファレンス入力 高電位リファレンス入力電圧範囲 低電位リファレンス入力電圧範囲 高電位リファレンス入力電流 低電位リファレンス入力電流		$V_{REFL} + 1.25$ 0 -0.3 -1.5		+10 $V_{REFH} - 1.25$ 1.0 -0.3	*	*	*	*	*	*	V V mA mA
ダイナミック特性 セトリングタイム チャンネル間クロストーク デジタル・フィードスルー 出力雑音電圧	±0.003%まで、 10V出力ステップ 図6参照 f = 10kHz		8	10		*	*		*	*	μs LSB nV-s nV/√Hz
デジタル入力 V_{IH} V_{IL} I_{IH} I_{IL}		$0.7 \cdot V_{DD}$ 0		V_{DD} $0.3 \cdot V_{DD}$ ±10 ±10	*		*	*			V V μA μA
デジタル出力 V_{OH} V_{OL}	$I_{OH} = -0.8mA$ $I_{OL} = 1.6mA$	3.6	4.5	0.4	*	*	*	*	*	*	V V
電源 V_{DD} V_{CC} V_{SS} I_{DD} I_{CC} 電力		+4.75 +14.25	+5.0 +15.0 0 50 3.5 50	+5.25 +15.75	*	*	*	*	*	*	V V V μA mA mW
温度範囲 仕様に規定された性能		-40		+85	*		*	*		*	

*印は、DAC7744Eのグレードと同じ値であることを示します。

注：(1) $V_{SS} = 0V$ の場合、ゼロスケール誤差が負になる可能性があるため、仕様は0021_μ以上のコードに適用されます。

絶対最大定格⁽¹⁾

$V_{CC} \sim V_{SS}$	-0.3V ~ +32V
$V_{CC} \sim AGND$	-0.3V ~ +16V
$V_{SS} \sim AGND$	+0.3V ~ -16V
$AGND \sim DGND$	-0.3V ~ +0.3V
$V_{REFH} \sim AGND$	-9V ~ +11V
$V_{REFL} \sim AGND$	-11V ~ +9V
$V_{DD} \sim GND$	-0.3V ~ +6V
$V_{REFH} \sim V_{REFL}$	-1V ~ +22V
デジタル入力電圧 (対GND)	-0.3V ~ $V_{DD} + 0.3V$
デジタル出力電圧 (対GND)	-0.3V ~ $V_{DD} + 0.3V$
最大接合部温度	+150
動作温度範囲	-40 ~ +85
保存温度範囲	-65 ~ +150
リード温度(10秒間の半田付け)	+300

注：(1) 定格を超えるオーバーストレスは、デバイスに永久的な損傷を与えます。また長時間にわたり、絶対最大定格の条件下で使用すると、デバイスの信頼性が損なわれることがあります。



静電気放電対策

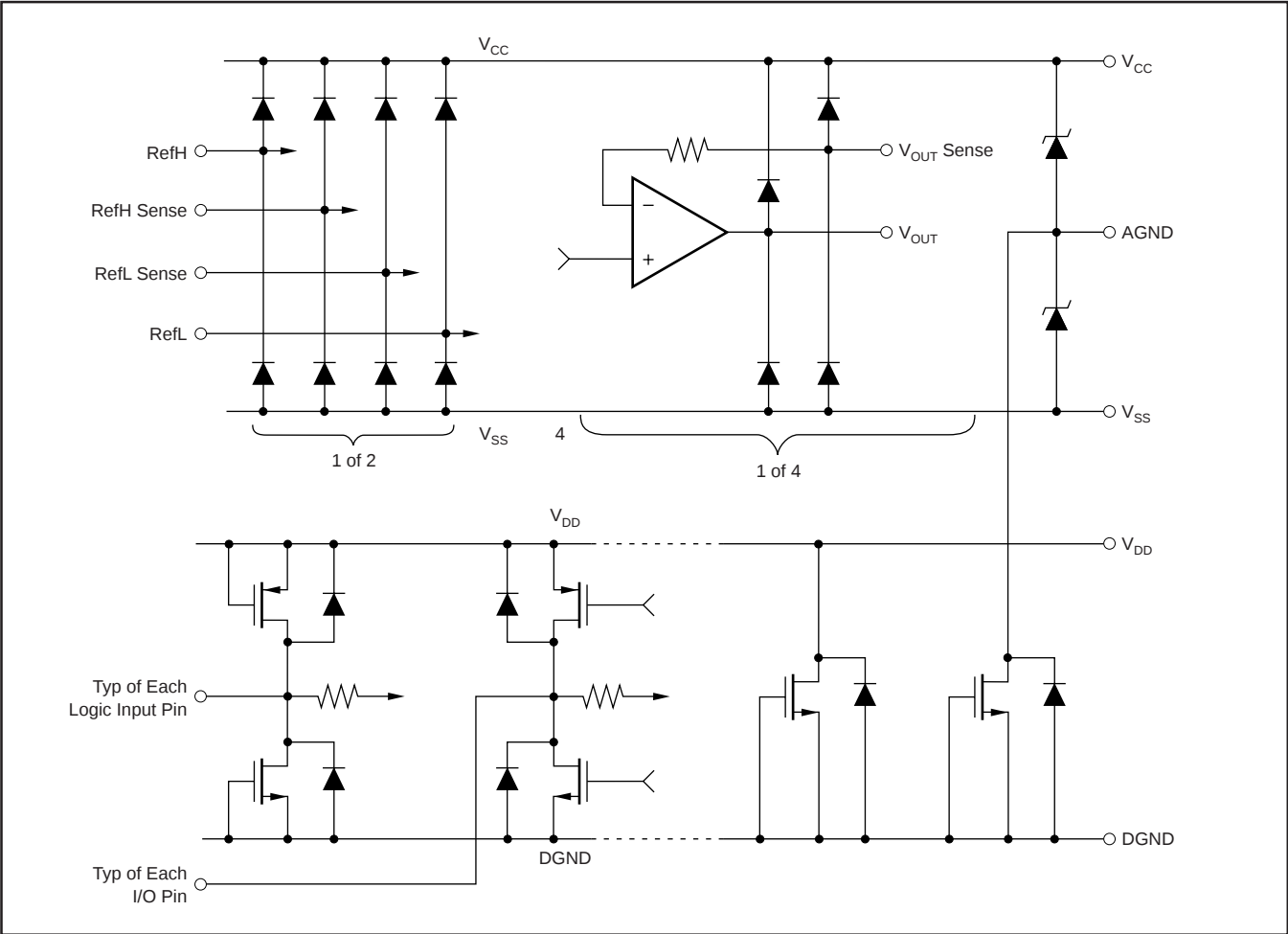
静電気放電はわずかな性能の低下から完全なデバイスの故障に至るまで、様々な損傷を与えます。すべての集積回路は、適切なESD保護方法を用いて、取扱いと保存を行うようにして下さい。高精度の集積回路は、損傷に対して敏感であり、極めてわずかなパラメータの変化により、デバイスに規定された仕様に適合しなくなる場合があります。

パッケージ情報/ご発注の手引き

モデル	直線性誤差 (LSB)	微分非直線性 (LSB)	パッケージ	パッケージ図番号	仕様温度範囲	発注番号 ⁽¹⁾	供給時の状態
DAC7744E	±4	±3	48ピンSSOP	333	-40 ~ +85	DAC7744E	マガジン
DAC7744E	±4	±3	48ピンSSOP	333	-40 ~ +85	DAC7744E/1K	テーブリール
DAC7744EB	±4	±2	48ピンSSOP	333	-40 ~ +85	DAC7744EB	マガジン
DAC7744EB	±4	±2	48ピンSSOP	333	-40 ~ +85	DAC7744EB/1K	テーブリール
DAC7744EC	±3	±1	48ピンSSOP	333	-40 ~ +85	DAC7744EC	マガジン
DAC7744EC	±3	±1	48ピンSSOP	333	-40 ~ +85	DAC7744EC/1K	テーブリール

注：(1) スラッシュ(/)の付いたモデルは、その後に示される数量を単位として、テーブリールでのみ供給されます(例えば、/1Kはリール1本あたり1,000個入りであることを示します)。“DAC7744E/1K”を発注すると、1,000個入りテーブリール1本が納品されます。(2) 詳細図および寸法表は、データシートの巻末を参照してください。

ESD保護回路



ピン配置

TOP View		SSOP	
DB15 (MSB)	1	48	NC
DB14	2	47	NC
DB13	3	46	NC
DB12	4	45	NC
DB11	5	44	V _{OUT} A Sense
DB10	6	43	V _{OUT} A
DB9	7	42	V _{REF} L AB Sense
DB8	8	41	V _{REF} L AB
DB7	9	40	V _{REF} H AB
DB6	10	39	V _{REF} H AB Sense
DB5	11	38	V _{OUT} B Sense
DB4	12	37	V _{OUT} B
DB3	13	36	V _{OUT} C Sense
DB2	14	35	V _{OUT} C
DB1	15	34	V _{REF} H CD Sense
DB0 (LSB)	16	33	V _{REF} H CD
RSTSEL	17	32	V _{REF} L CD
RST	18	31	V _{REF} L CD Sense
LOADDACs	19	30	V _{OUT} D Sense
R/W	20	29	V _{OUT} D
A1	21	28	V _{SS}
A0	22	27	AGND
CS	23	26	V _{CC}
DGND	24	25	V _{DD}

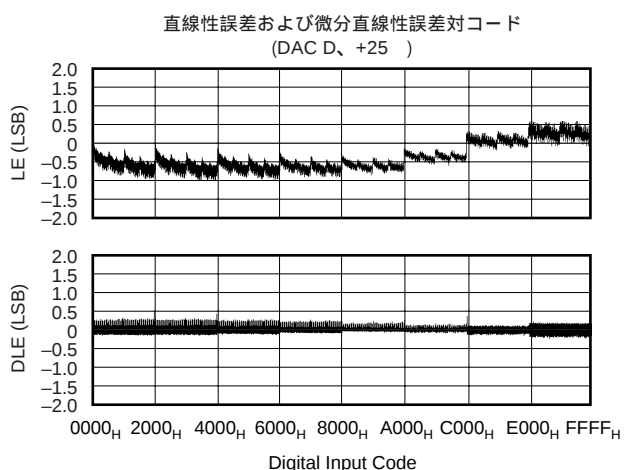
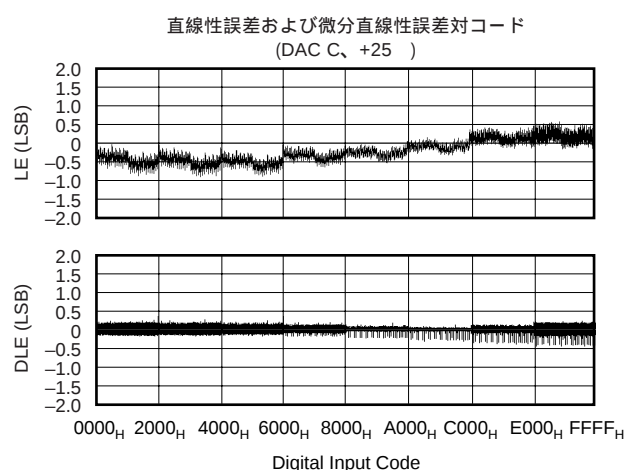
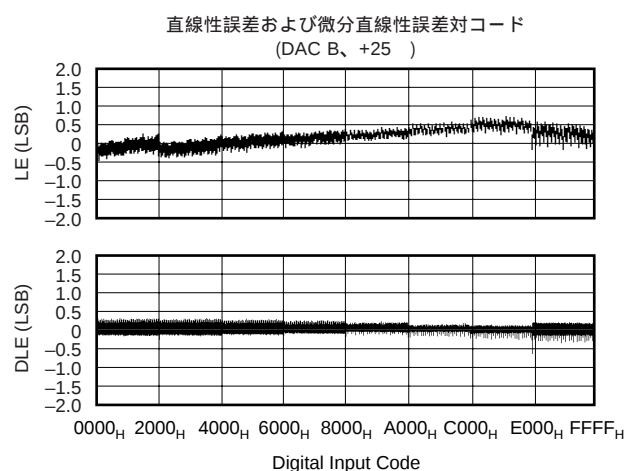
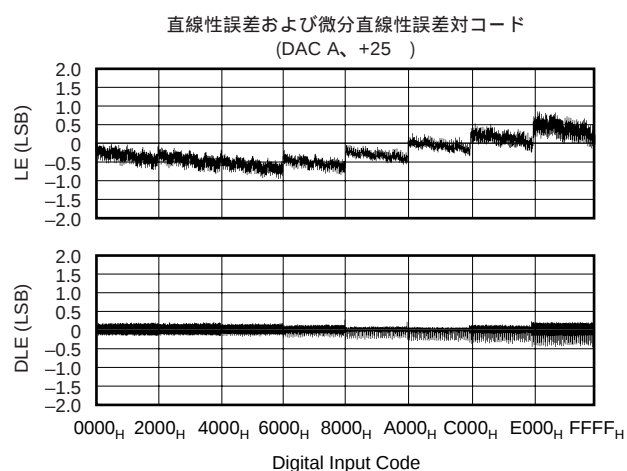
ピン構成

ピン	名称	説明
1	DB15	データ・ビット15、MSB
2	DB14	データ・ビット14
3	DB13	データ・ビット13
4	DB12	データ・ビット12
5	DB11	データ・ビット11
6	DB10	データ・ビット10
7	DB9	データ・ビット9
8	DB8	データ・ビット8
9	DB7	データ・ビット7
10	DB6	データ・ビット6
11	DB5	データ・ビット5
12	DB4	データ・ビット4
13	DB3	データ・ビット3
14	DB2	データ・ビット2
15	DB1	データ・ビット1
16	DB0	データ・ビット0、LSB
17	RSTSEL	リセット・セレクト。RSTの動作を決定する。“ハイ”の場合、DACレジスタはRSTコマンドによってミッドスケールに設定される。“ロー”の場合、DACレジスタはRSTコマンドによってゼロに設定される。
18	RST	リセット。エッジでトリガする。DAC入出力レジスタをRSTSELの状態に応じてミッドスケールまたはゼロに設定する。
19	LOADDAC _s	DAC出力レジスタ・ロード制御。立ち上がりエッジでトリガする。
20	R/W	CSでイネーブルされ、入力レジスタのデータの読み取りと書き込みを制御する。
21	A1	CSでイネーブルされ、A0との組み合わせにより各DAC入力レジスタを選択する。
22	A0	CSでイネーブルされ、A1との組み合わせにより各DAC入力レジスタを選択する。
23	CS	チップ・セレクト。アクティブ・ロー。
24	DGND	デジタル・グラウンド
25	V _{DD}	正電源
26	V _{CC}	正電源
27	AGND	アナログ・グラウンド
28	V _{SS}	負電源
29	V _{OUT} D	DAC Dの電圧出力
30	V _{OUT} D Sense	DAC Dの出力アンプの反転入力。帰還ループを負荷で閉じるために使用する。
31	V _{REF} L CD Sense	DAC CとDの低電位リファレンス・センス入力
32	V _{REF} L CD	DAC CとDの低電位リファレンス入力
33	V _{REF} H CD	DAC CとDの高電位リファレンス入力
34	V _{REF} H CD Sense	DAC CとDの高電位リファレンス・センス入力
35	V _{OUT} C	DAC Cの電圧出力
36	V _{OUT} C Sense	DAC Cの出力アンプの反転入力。帰還ループを負荷で閉じるために使用する。
37	V _{OUT} B	DAC Bの電圧出力
38	V _{OUT} B Sense	DAC Bの出力アンプの反転入力。帰還ループを負荷で閉じるために使用する。
39	V _{REF} H AB Sense	DAC AとBの高電位リファレンス・センス入力
40	V _{REF} H AB	DAC AとBの高電位リファレンス入力
41	V _{REF} L AB	DAC AとBの低電位リファレンス入力
42	V _{REF} L AB Sense	DAC AとBの低電位リファレンス・センス入力
43	V _{OUT} A	DAC Aの電圧出力
44	V _{OUT} A Sense	DAC Aの出力アンプの反転入力。帰還ループを負荷で閉じるために使用する。
45	NC	接続なし(オープン)
46	NC	接続なし(オープン)
47	NC	接続なし(オープン)
48	NC	接続なし(オープン)

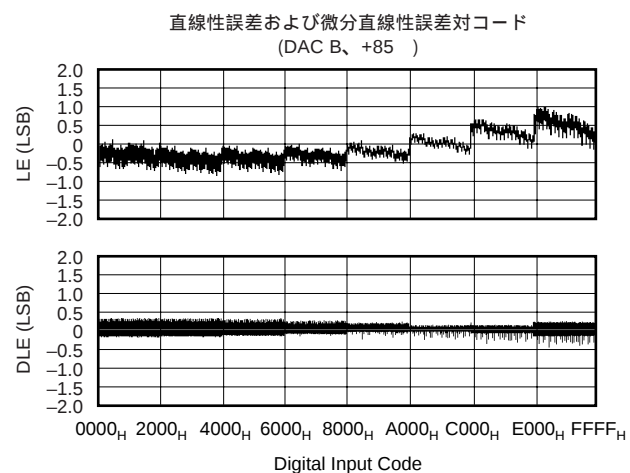
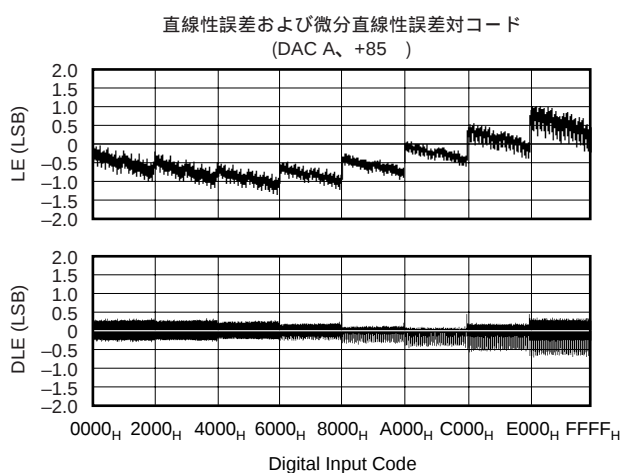
代表的性能曲線: $V_{SS} = 0V$

特に記述のない限り、 $T_A = +25$ 、 $V_{DD} = +5V$ 、 $V_{CC} = +15V$ 、 $V_{SS} = 0V$ 、 $V_{REFH} = +10V$ 、 $V_{REFL} = 0V$ 、代表的ユニットです。

+25



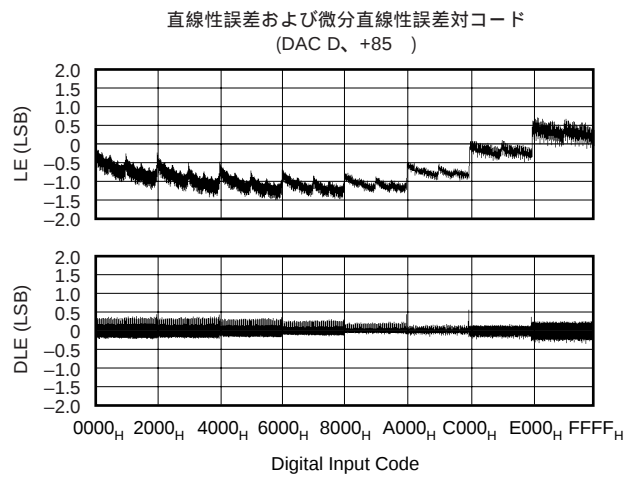
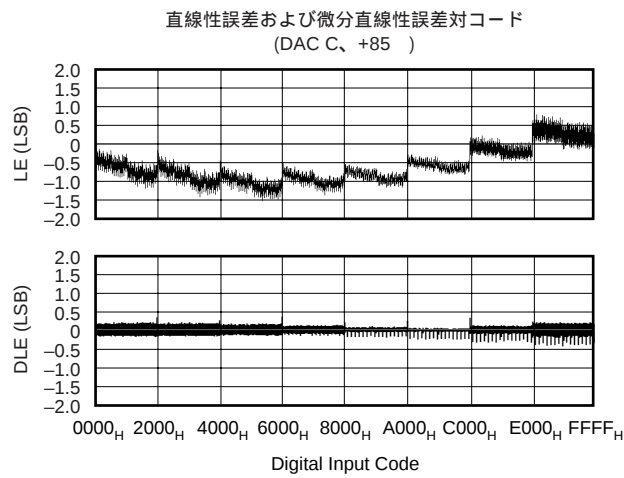
+85



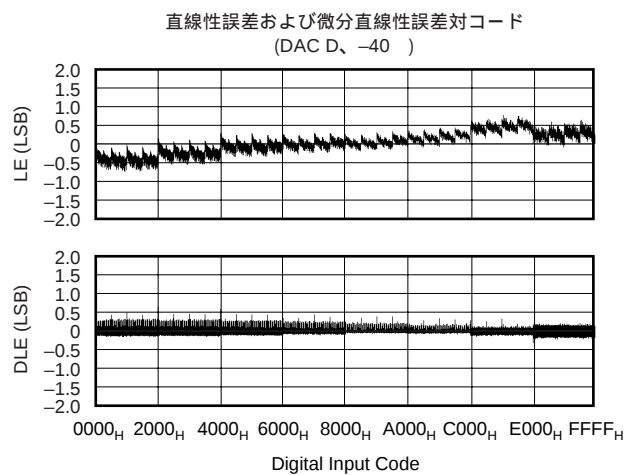
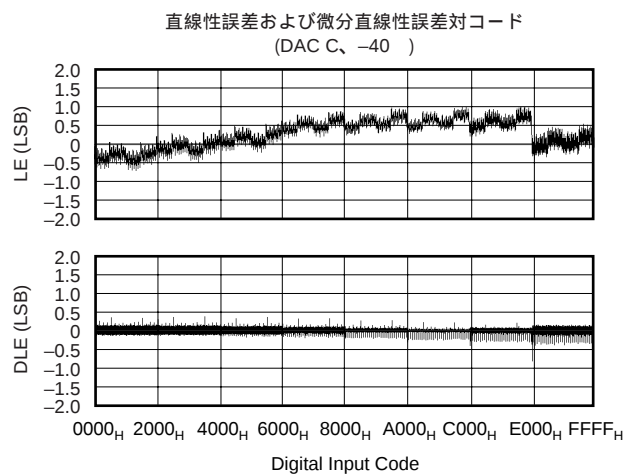
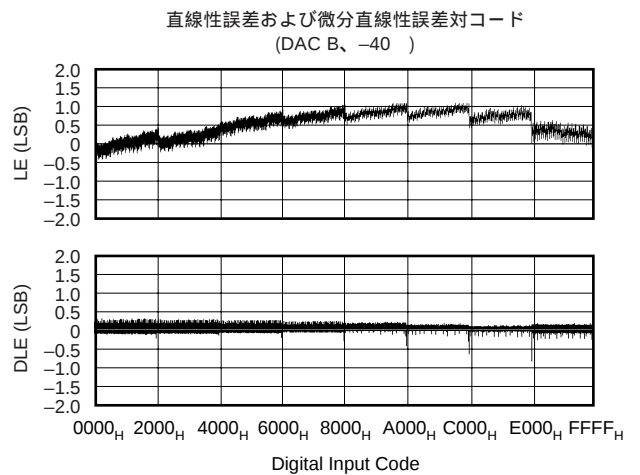
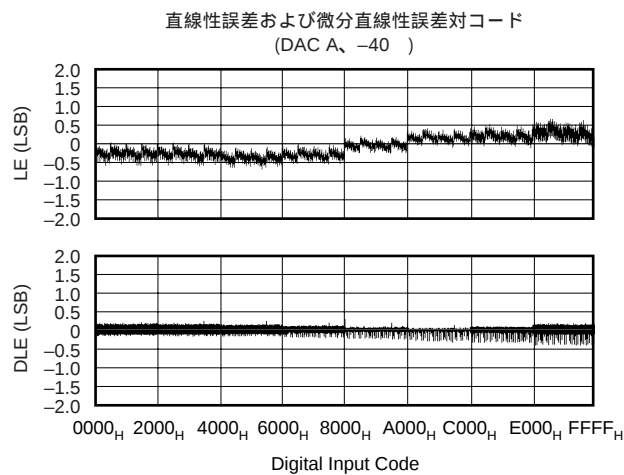
代表的性能曲線: $V_{SS} = 0V$

特に記述のない限り、 $T_A = +25^\circ C$ 、 $V_{DD} = +5V$ 、 $V_{CC} = +15V$ 、 $V_{SS} = 0V$ 、 $V_{REFH} = +10V$ 、 $V_{REFL} = 0V$ 、代表的ユニットです。

+85

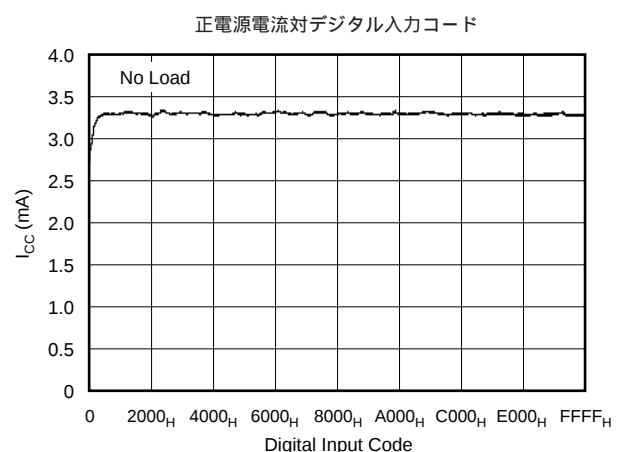
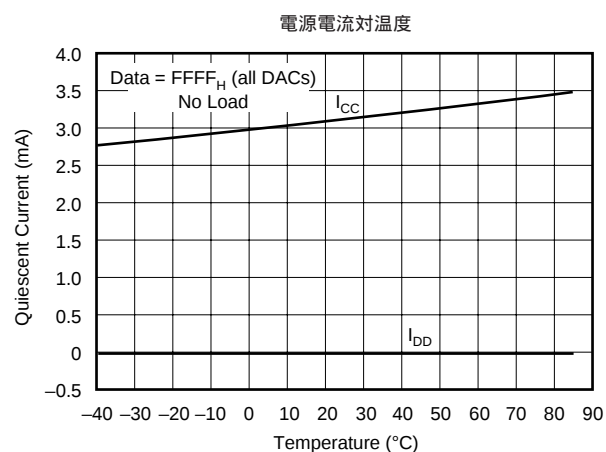
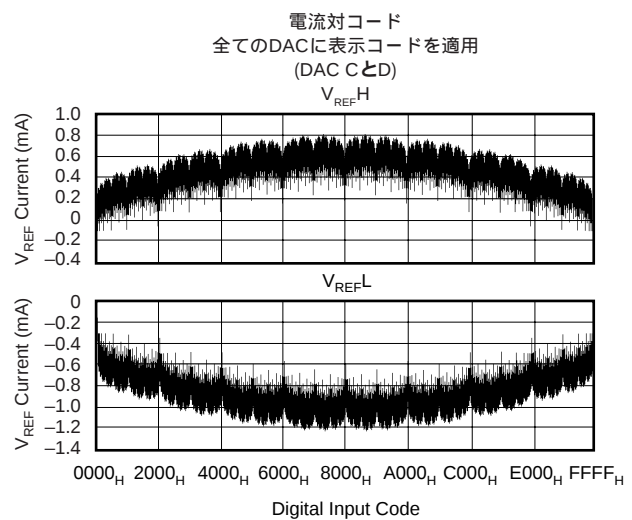
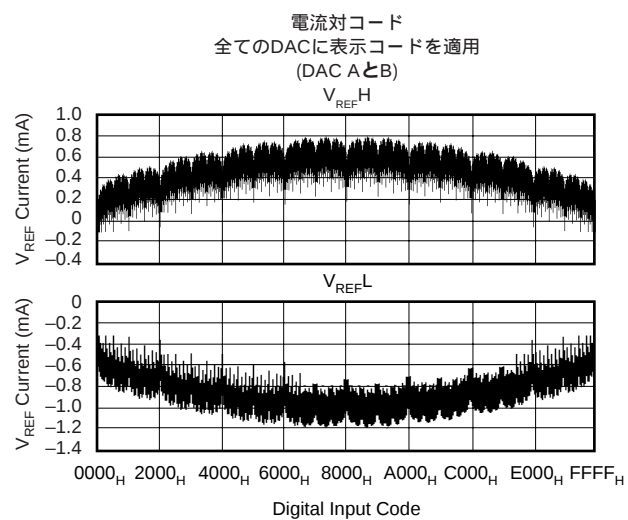
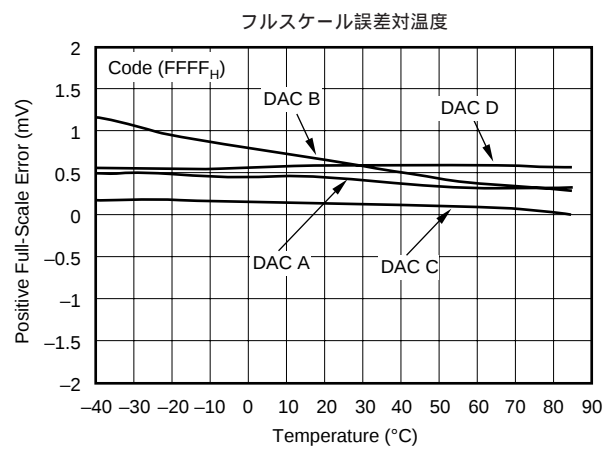
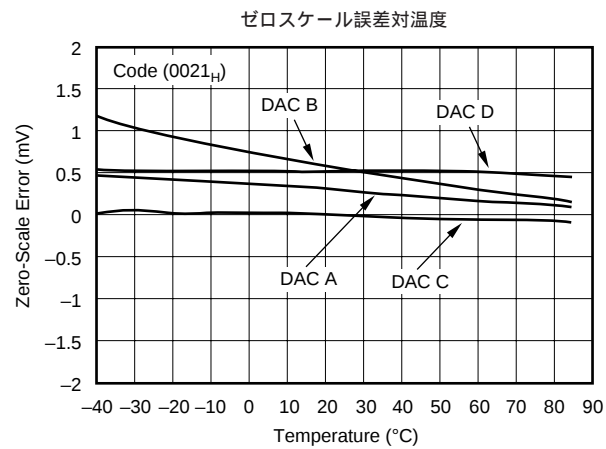


-40



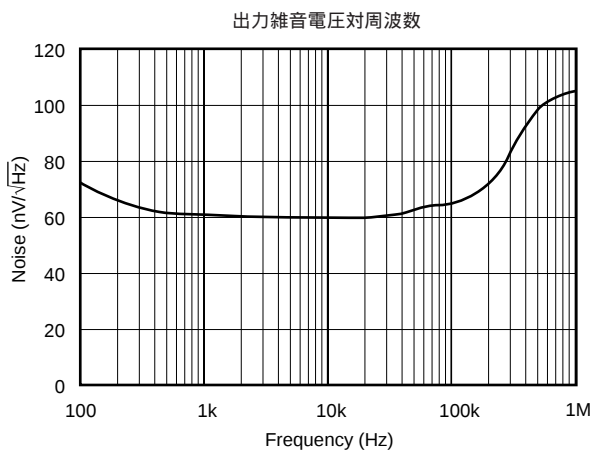
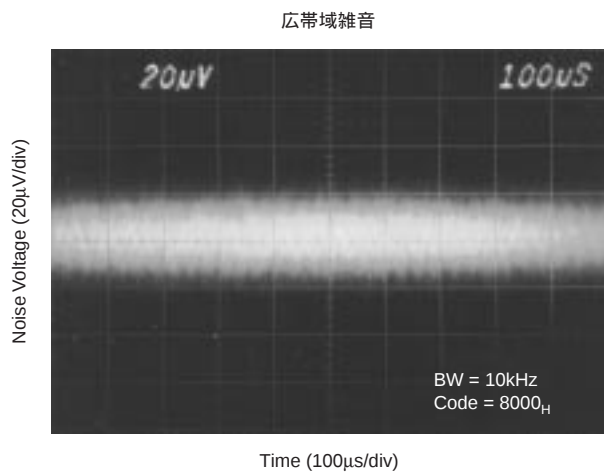
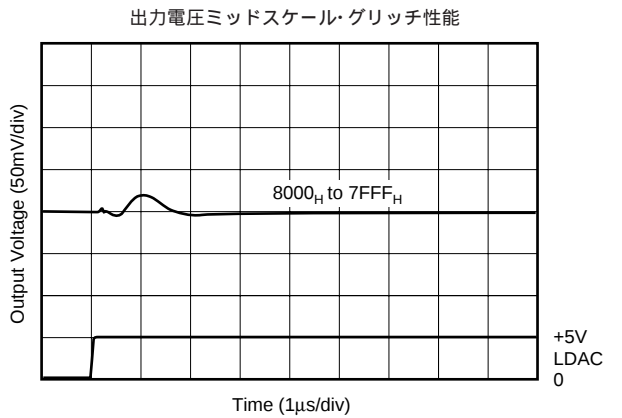
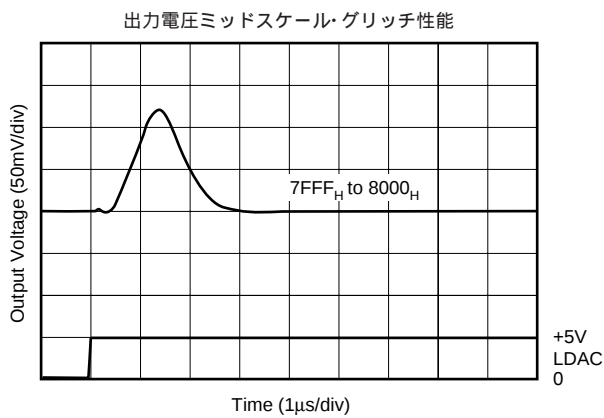
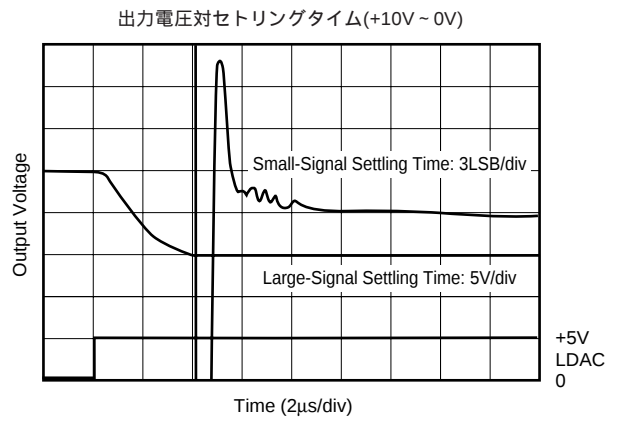
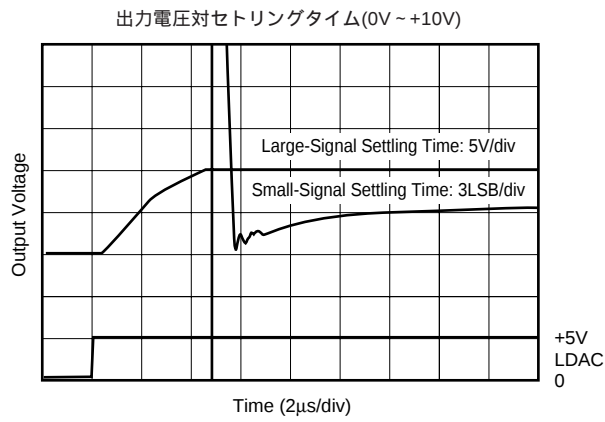
代表的性能曲線: $V_{SS} = 0V$

特に記述のない限り、 $T_A = +25^\circ C$ 、 $V_{DD} = +5V$ 、 $V_{CC} = +15V$ 、 $V_{SS} = 0V$ 、 $V_{REFH} = +10V$ 、 $V_{REFL} = 0V$ 、代表的ユニットです。



代表的性能曲線: $V_{SS} = 0V$

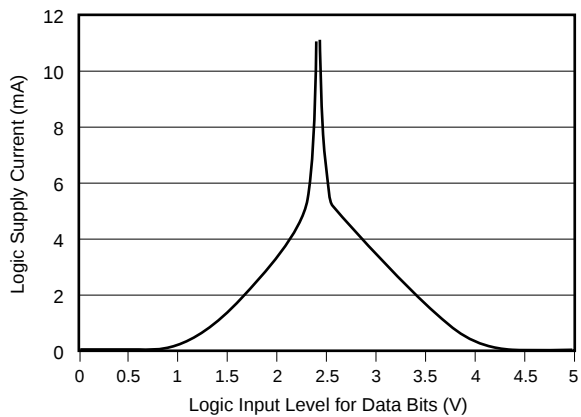
特に記述のない限り、 $T_A = +25^\circ C$ 、 $V_{DD} = +5V$ 、 $V_{CC} = +15V$ 、 $V_{SS} = 0V$ 、 $V_{REF_H} = +10V$ 、 $V_{REF_L} = 0V$ 、代表的ユニットです。



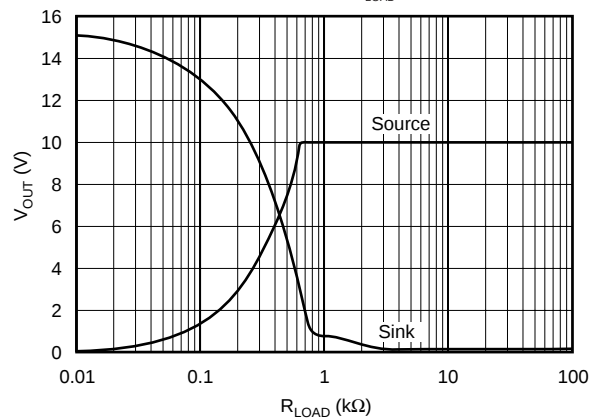
代表的性能曲線: $V_{SS} = 0V$

特に記述のない限り、 $T_A = +25^\circ C$ 、 $V_{DD} = +5V$ 、 $V_{CC} = +15V$ 、 $V_{SS} = 0V$ 、 $V_{REF_H} = +10V$ 、 $V_{REF_L} = 0V$ 、代表的ユニットです。

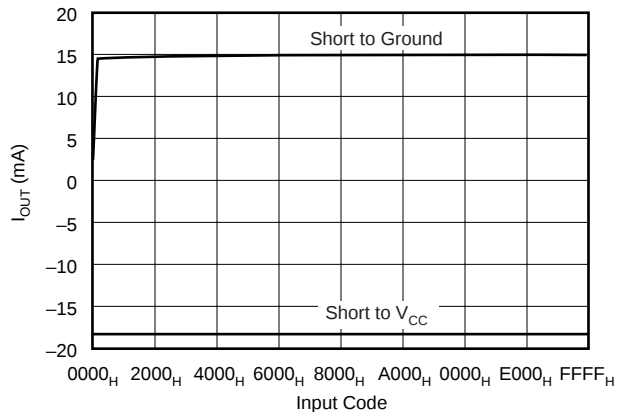
ロジック電源電流対データ・ビットのロジック入力レベル



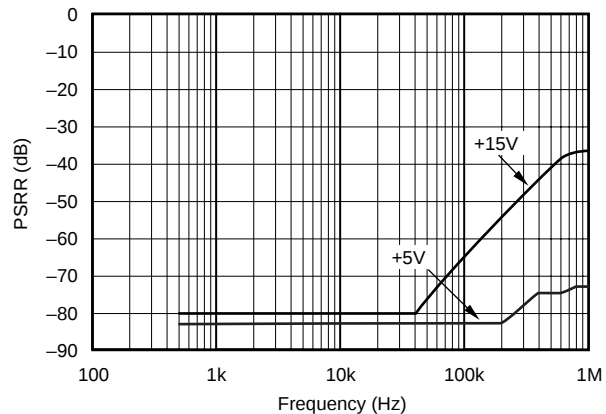
出力電圧対 R_{LOAD}



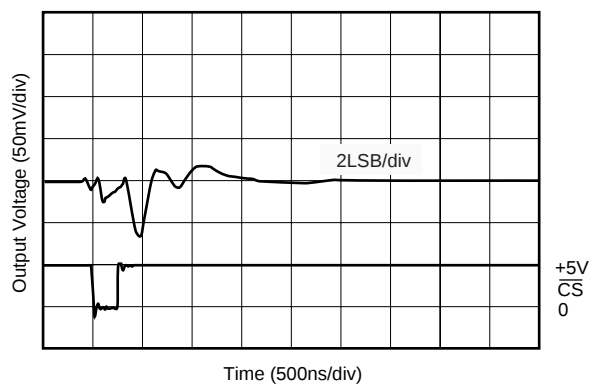
単一電源電流制限対入力コード



電源除去比対周波数



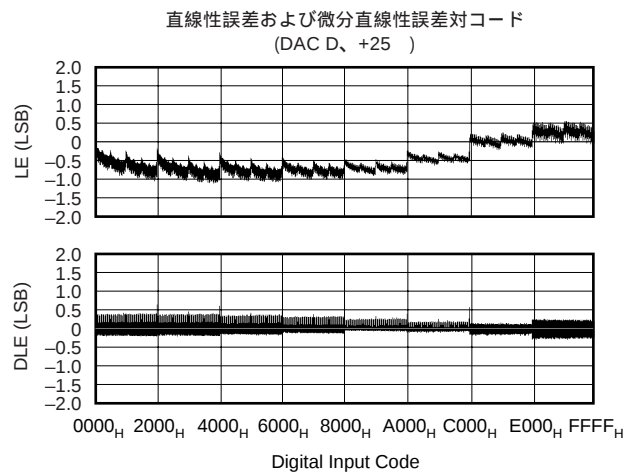
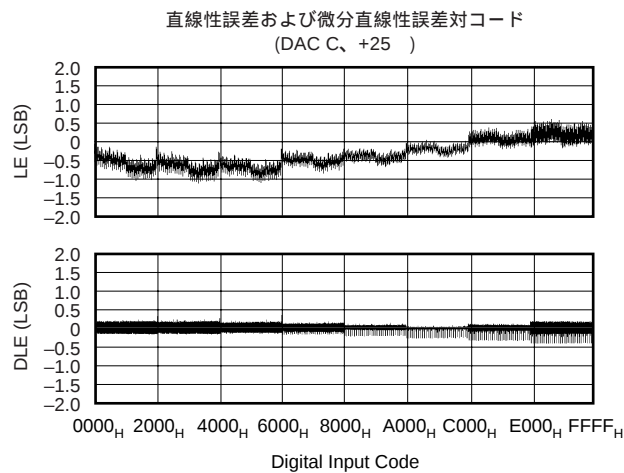
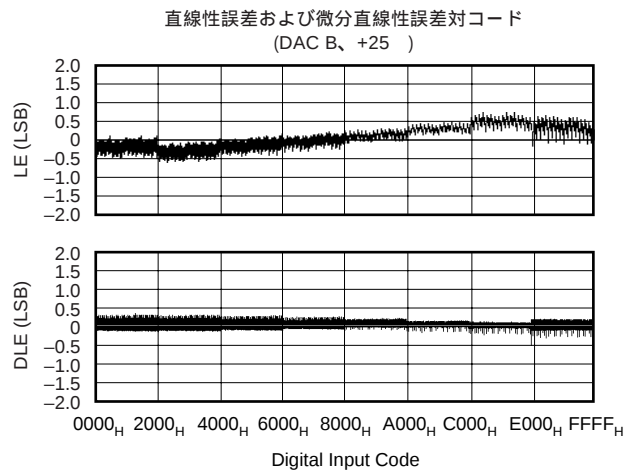
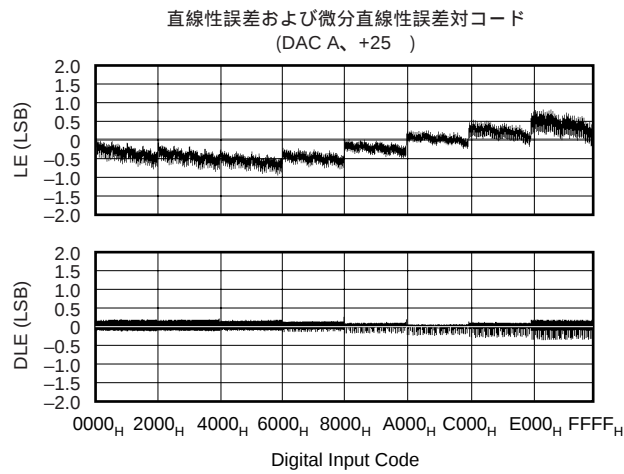
D/A出力グリッチ



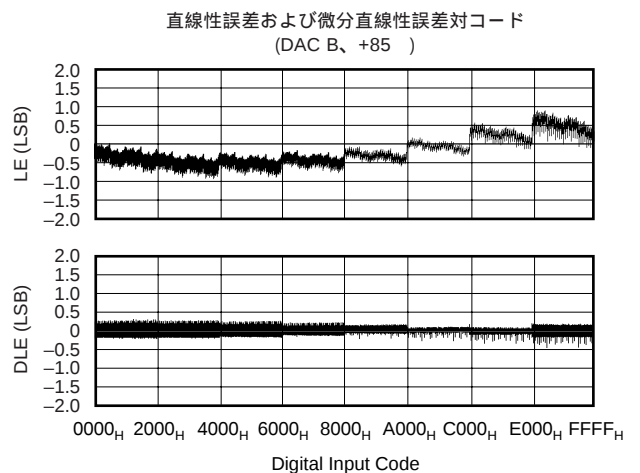
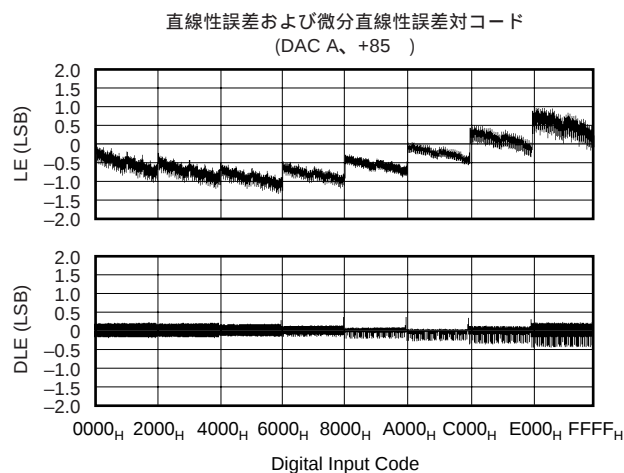
代表的性能曲線: $V_{SS} = -15V$

特に記述のない限り、 $T_A = +25$ 、 $V_{DD} = +5V$ 、 $V_{CC} = +15V$ 、 $V_{SS} = -15V$ 、 $V_{REFH} = +10V$ 、 $V_{REFL} = -10V$ 、代表的ユニットです。

+25



+85

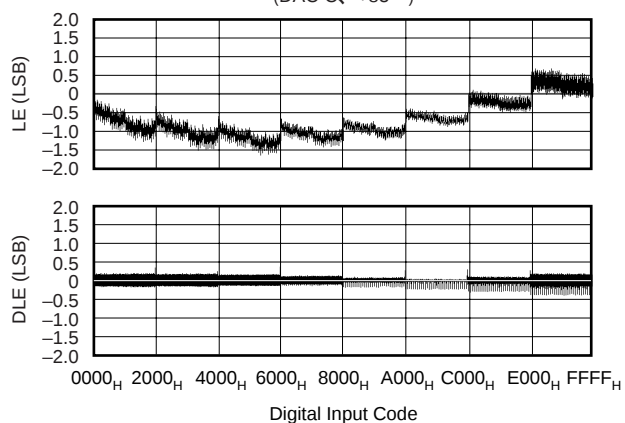


代表的性能曲線: $V_{SS} = -15V$

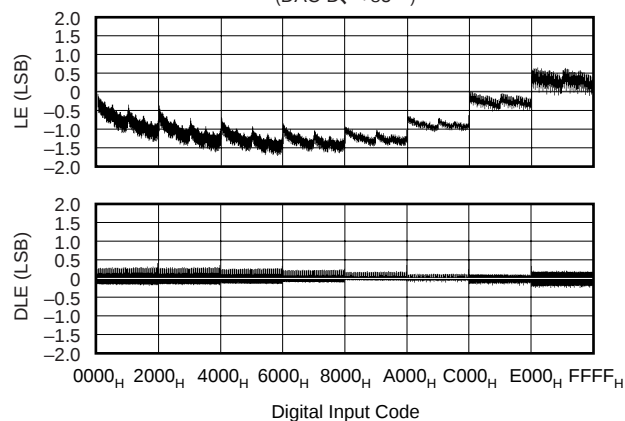
特に記述のない限り、 $T_A = +25$ 、 $V_{DD} = +5V$ 、 $V_{CC} = +15V$ 、 $V_{SS} = -15V$ 、 $V_{REFH} = +10V$ 、 $V_{REFL} = -10V$ 、代表的ユニットです。

+85

直線性誤差および微分直線性誤差対コード
(DAC C、+85)

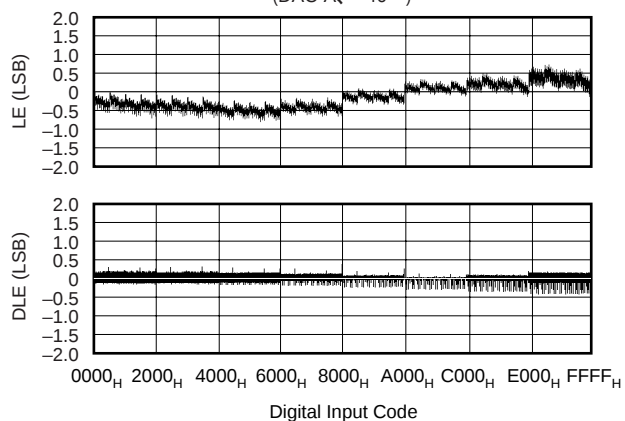


直線性誤差および微分直線性誤差対コード
(DAC D、+85)

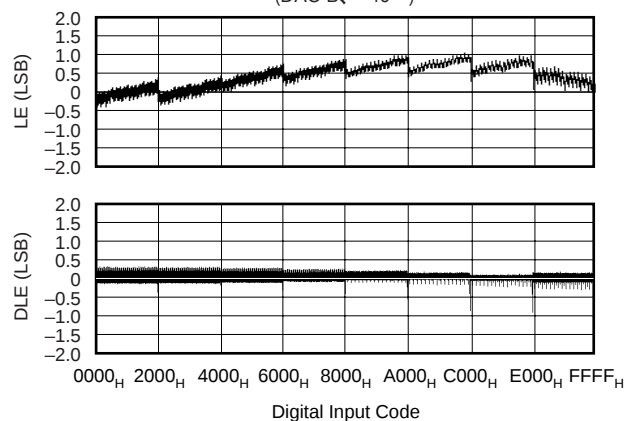


-40

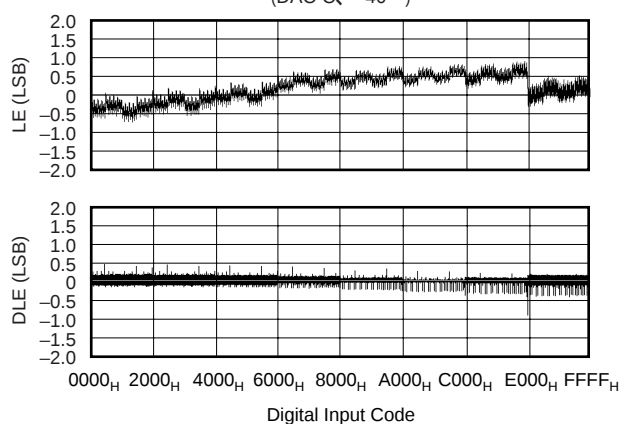
直線性誤差および微分直線性誤差対コード
(DAC A、-40)



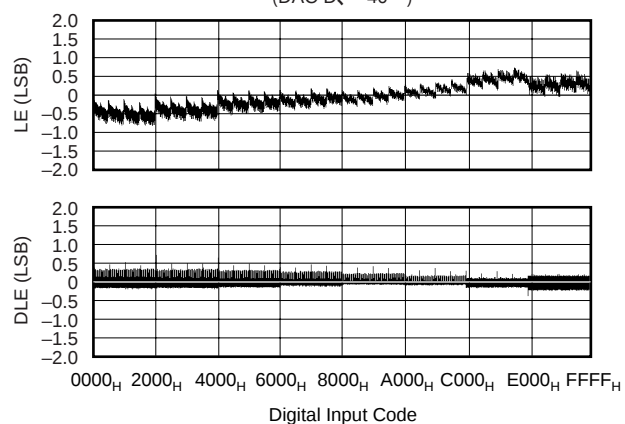
直線性誤差および微分直線性誤差対コード
(DAC B、-40)



直線性誤差および微分直線性誤差対コード
(DAC C、-40)

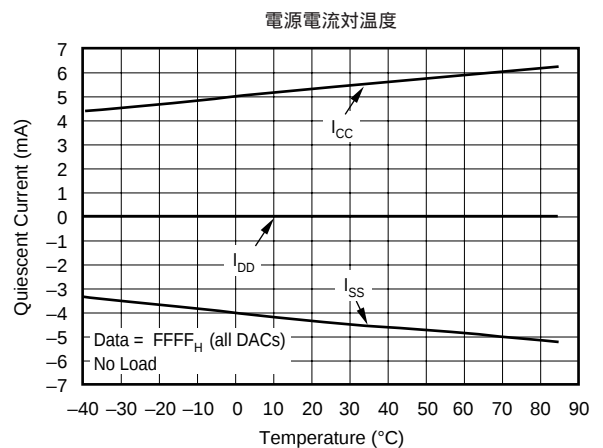
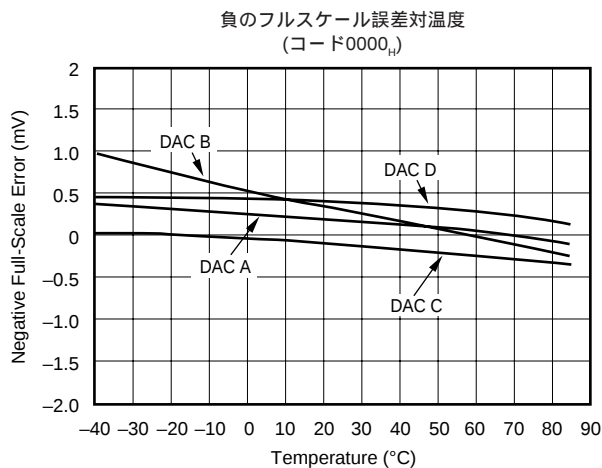
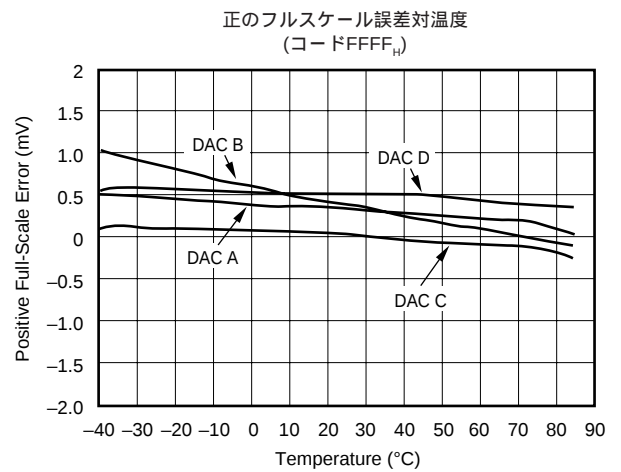
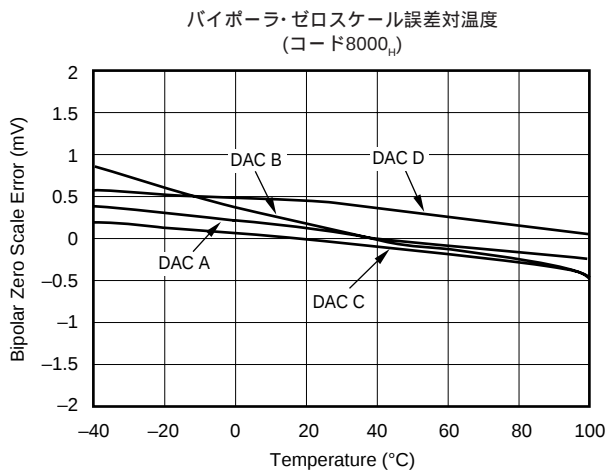
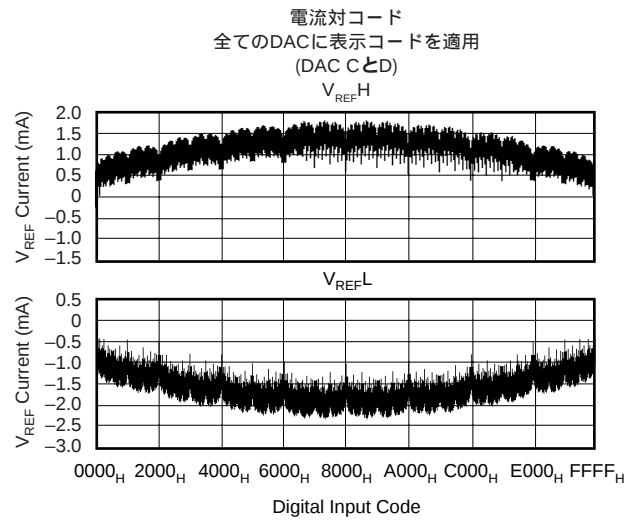
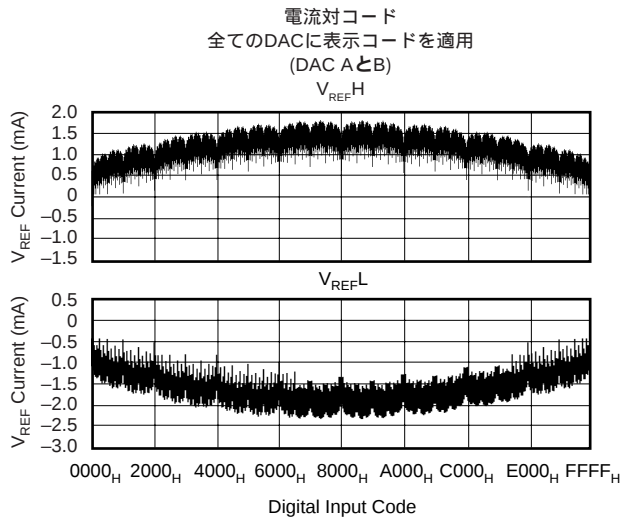


直線性誤差および微分直線性誤差対コード
(DAC D、-40)



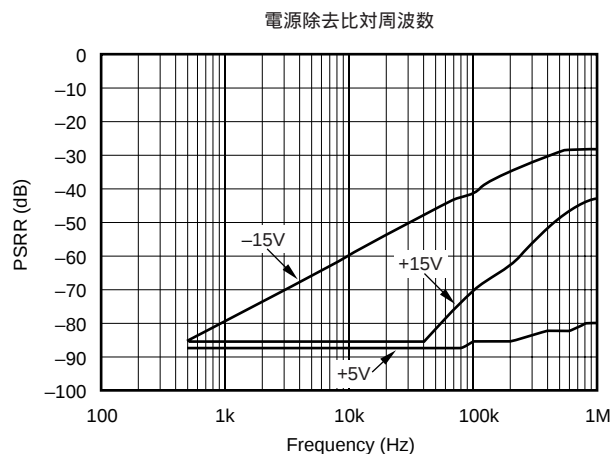
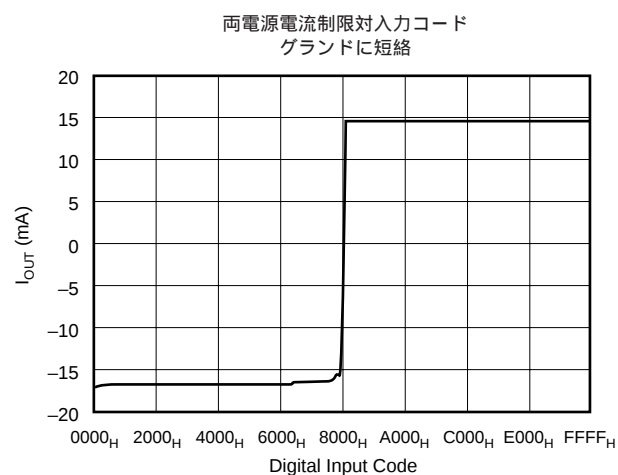
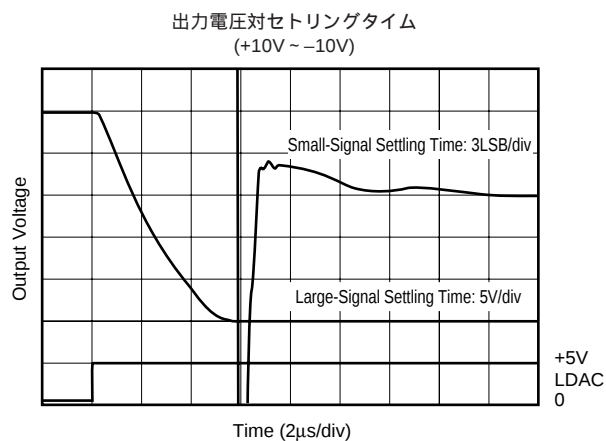
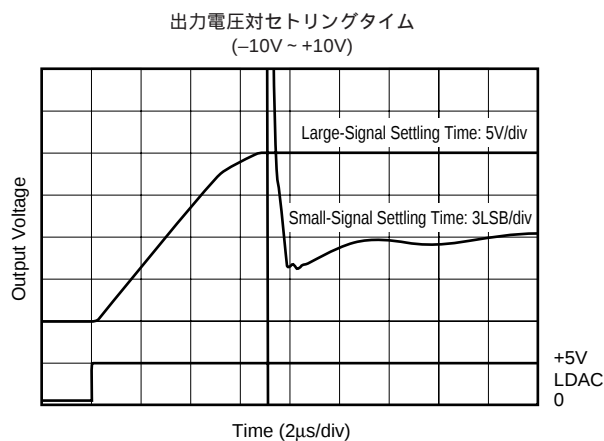
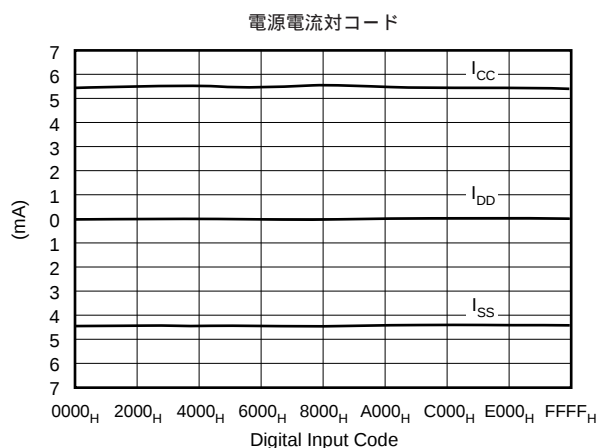
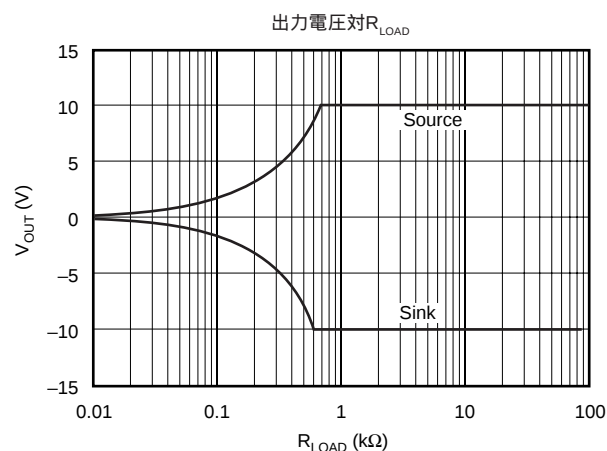
代表的性能曲線: $V_{SS} = -15V$

特に記述のない限り、 $T_A = +25^\circ C$ 、 $V_{DD} = +5V$ 、 $V_{CC} = +15V$ 、 $V_{SS} = -15V$ 、 $V_{REFH} = +10V$ 、 $V_{REFL} = -10V$ 、代表的ユニットです。



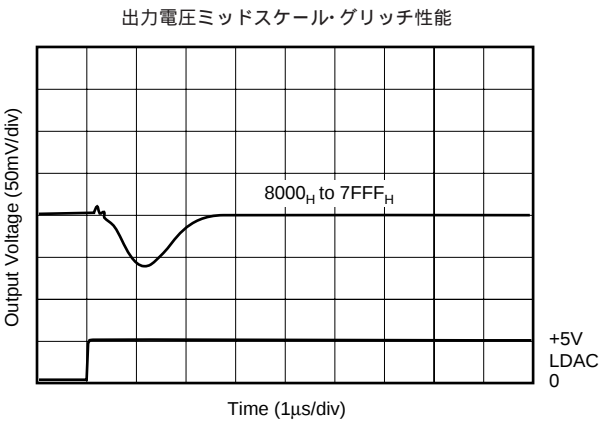
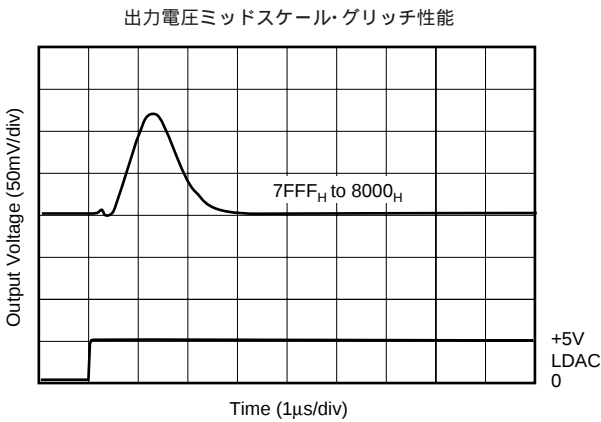
代表的性能曲線: $V_{SS} = -15V$

特に記述のない限り、 $T_A = +25^\circ C$ 、 $V_{DD} = +5V$ 、 $V_{CC} = +15V$ 、 $V_{SS} = -15V$ 、 $V_{REFH} = +10V$ 、 $V_{REFL} = -10V$ 、代表的ユニットです。



代表的性能曲線: $V_{SS} = -15V$

特に記述のない限り、 $T_A = +25$ 、 $V_{DD} = +5V$ 、 $V_{CC} = +15V$ 、 $V_{SS} = -15V$ 、 $V_{REFH} = +10V$ 、 $V_{REFL} = -10V$ 、代表的ユニットです。



動作原理

DAC7744は、クワッド・タイプの16ビット電圧出力D/Aコンバータ(DAC)です。アーキテクチャは、3つのMSBをセグメント化したR-2Rラダー構成で、後段にバッファとして動作するオペアンプがあります。各DACごとにR-2Rラダー・ネットワーク、MSBセグメント、出力オペアンプがあります(図1参照)。最小電圧出力(ゼロスケール)および最大電圧出力(フルスケール)は、それぞれ外部電圧リファレンス V_{REFL} および V_{REFH} によって設定し

ます。デジタル入力は16ビットの平行ル・ワードで、DAC入力レジスタにはリードバック機能があります。DAC7744は、+15Vの単一電源または $\pm 15V$ の両電源で動作させることができ、全てのDACの出力電圧およびDACレジスタを直ちにミッドスケール(コード8000_H)またはゼロスケール(コード0000_H)に設定するリセット機能を備えています。DAC7744の基本動作については図2および3を参照して下さい。

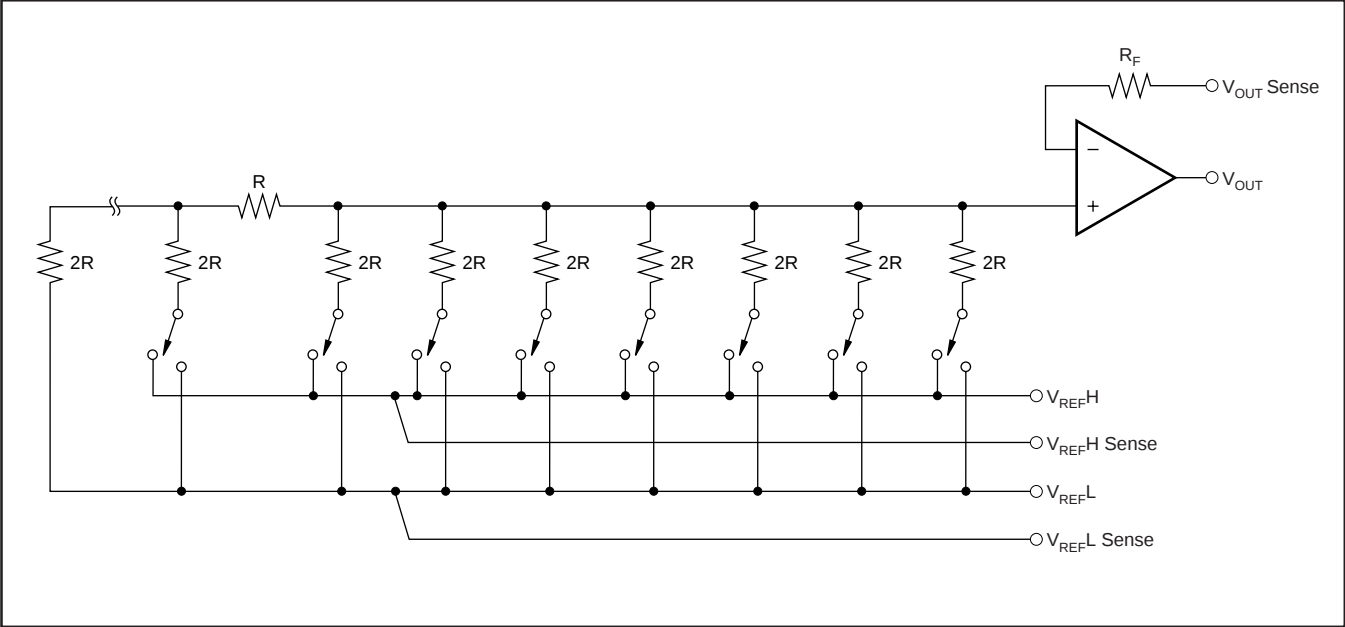


図1 . DAC7744のアーキテクチャ

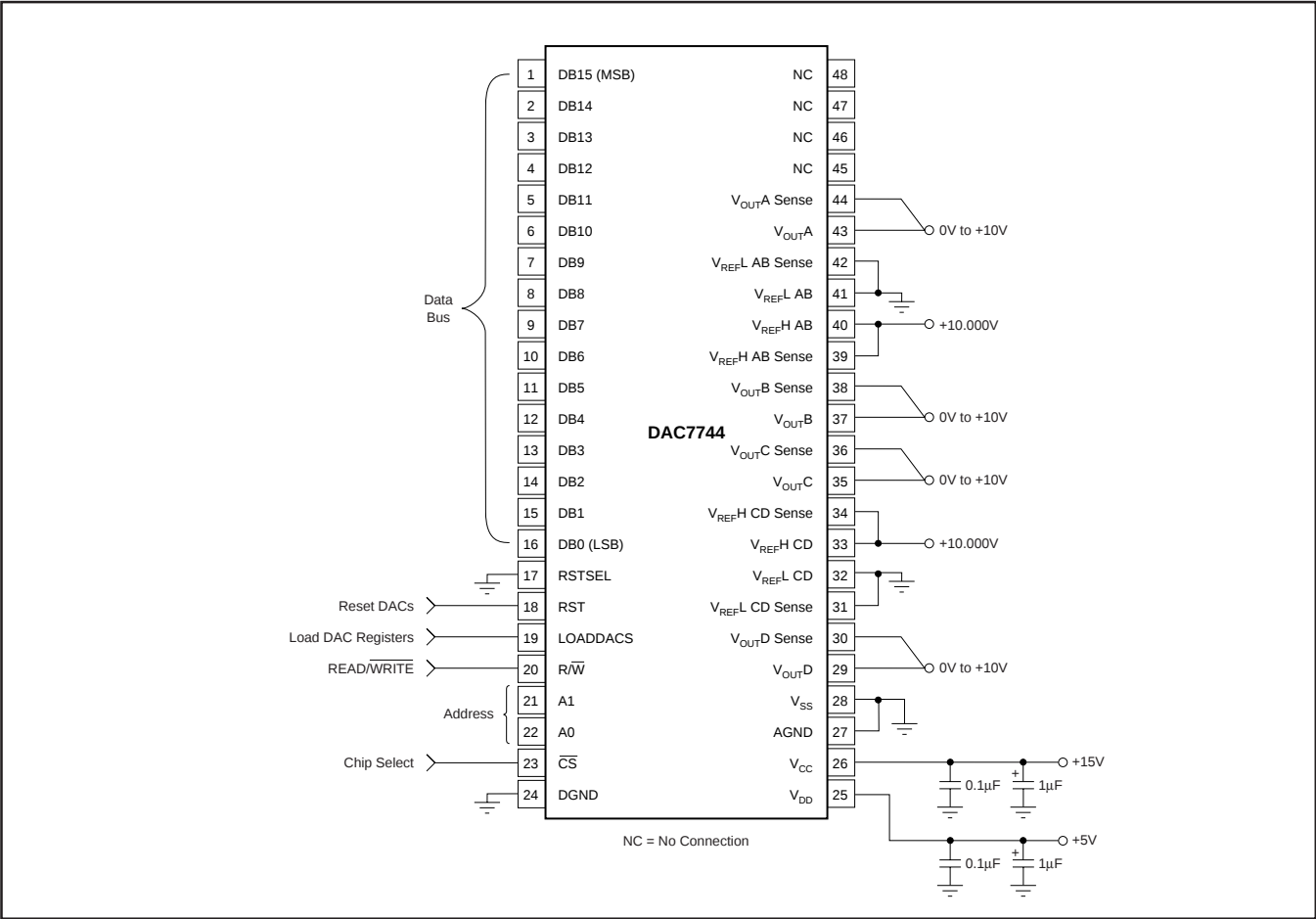


図2 . DAC7744の基本的な単一電源動作

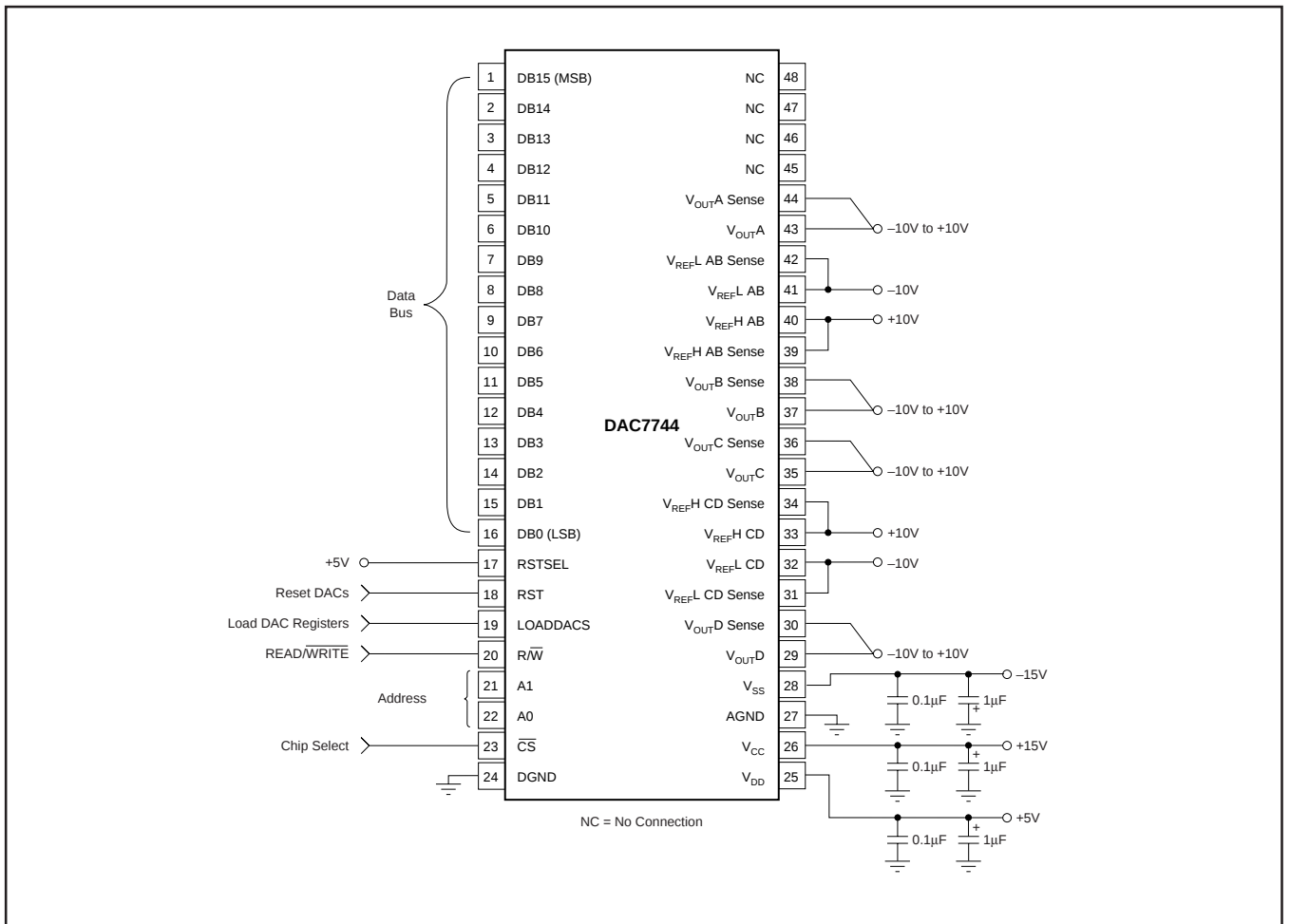


図3 . DAC7744の基本的な両電源動作

アナログ出力

$V_{SS} = -15V$ (両電源動作)のとき、出力アンプは電源レールの4V以内までスイングでき、 $-40 \sim +85$ の温度範囲にわたり保証されています。 $V_{SS} = 0V$ (単一電源動作)で R_{LOAD} もグランドに接続しているとき、出力はグランドまでスイングできます。 $V_{SS} = 0V$ のときは、ゼロスケール誤差の測定にも注意が必要です。出力アンプのオフセットが負の場合、出力電圧はグランド以下にスイングできないため、最初のいくつかのデジタル入力コード(0000_H、0001_H、0002_Hなど)で出力電圧が変化しないことがあります。負の制限値の $-5mV$ の場合、最初の仕様出力はコード0021_Hから始まります。

D/Aコンバータは高精度なため、接地や接触抵抗などのシステム設計の問題が非常に重要になります。フルスケール・レンジが10Vの16ビット・コンバータでは、1LSBの値は $152\mu V$ になります。負荷電流が1mAの場合、わずかに $150m\Omega$ の配線およびコネクタの直列抵抗(R_{W2} 、図4参照)によって $150\mu V$ の電圧降下が発生します。システム・レイアウトの観点からは、標準的な1オンス銅箔プリント基板の面積当たりの抵抗が $0.5m\Omega$ であることから、負荷が1mAの場合、幅20ミリインチ、長さ6インチのプリント基板のパターンで $150\mu V$ の電圧降下が発生することになります。DAC7744では、高開ループ・ゲインの出力アンプのフォースおよびセンスの出力構成を使用できます。この機能によって出力アンプのループを負荷で閉じ(図4参照)、高精度な出力電圧を確保できます。

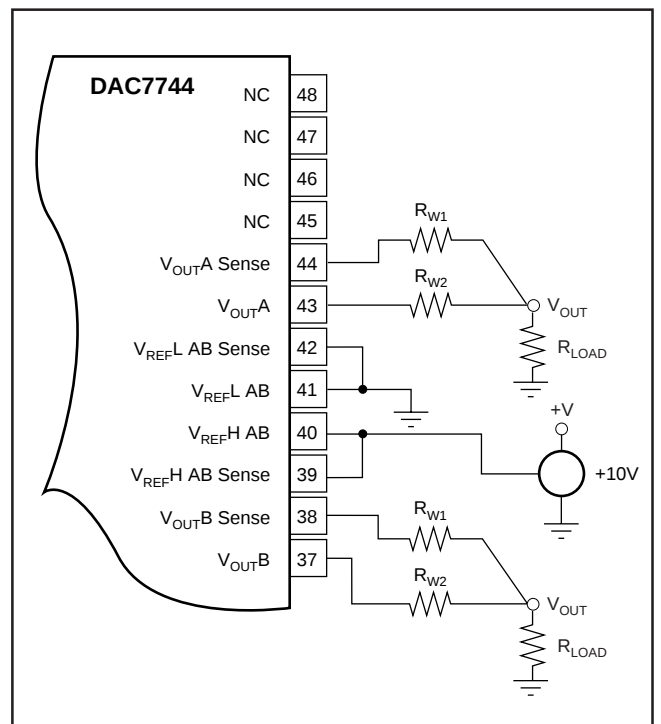


図4 . アナログ出力の閉ループ構成(DAC7744の1/2)。 R_W は配線の抵抗を示す。

リファレンス入力 V_{REFL} および V_{REFH} は、 V_{REFH} が V_{REFL} より1.25V以上高い限り、 $V_{SS} + 4V$ から $V_{CC} - 4V$ までの任意の電圧を使用することができます。各DACの最小出力は、 $V_{REFL} +$ わずかなオフセット電圧(ほぼ出力オペアンプのオフセット)に等しくなります。最大出力は、 $V_{REFH} +$ 同様のオフセット電圧に等しくなります。 V_{SS} (負電源)は、グランドに接続するか、 $-14.25V$ から $-15.75V$ の範囲に保たなければならないことに注意して下さい。 V_{SS} の電圧は、コンバータ内部の複数のバイアス・ポイントを設定します。 V_{SS} が上記の2つの構成のいずれでもない場合、バイアス値が不正になり、デバイスの正しい動作が保証されません。

間で変動します。リファレンス入力は、リファレンスに対して変動する負荷として作用します。リファレンスが必要な電流をシンクまたはソースできる場合、リファレンス・バッファは不要です。DAC7744は、変動するリファレンス電流や回路インピーダンスによって発生する内部誤差を最小限に抑えることができるリファレンスのドライブおよびセンス端子を備えています。図5から図12に、各種のリファレンスの構成と、直線性および微分直線性への影響を示します。

The circuit diagram shows the DAC7744 DAC and the OPA2234 op-amp. The DAC7744 is a 4-channel DAC with pins for NC (48, 47, 46, 45), V_{OUTA} Sense (44), V_{OUTA} (43), V_{REFL} AB Sense (42), V_{REFL} AB (41), V_{REFH} AB (40), V_{REFH} AB Sense (39), V_{OUTB} Sense (38), and V_{OUTB} (37). The OPA2234 is a dual op-amp with pins for +V, -V, and GND. The circuit includes two 100Ω resistors, two 2200pF capacitors, and two 1000pF capacitors. The output of the DAC is connected to the non-inverting input of the op-amp. The op-amp is configured as a voltage follower. The output of the op-amp is connected to the DAC output. The circuit is powered by a +10V supply and a -10V supply.

注 : V_{REFL} には、電流をシンクする100Ω抵抗の電圧降下とバッファ・オペアンプ出力段を考慮して50mVを選択しています。

18

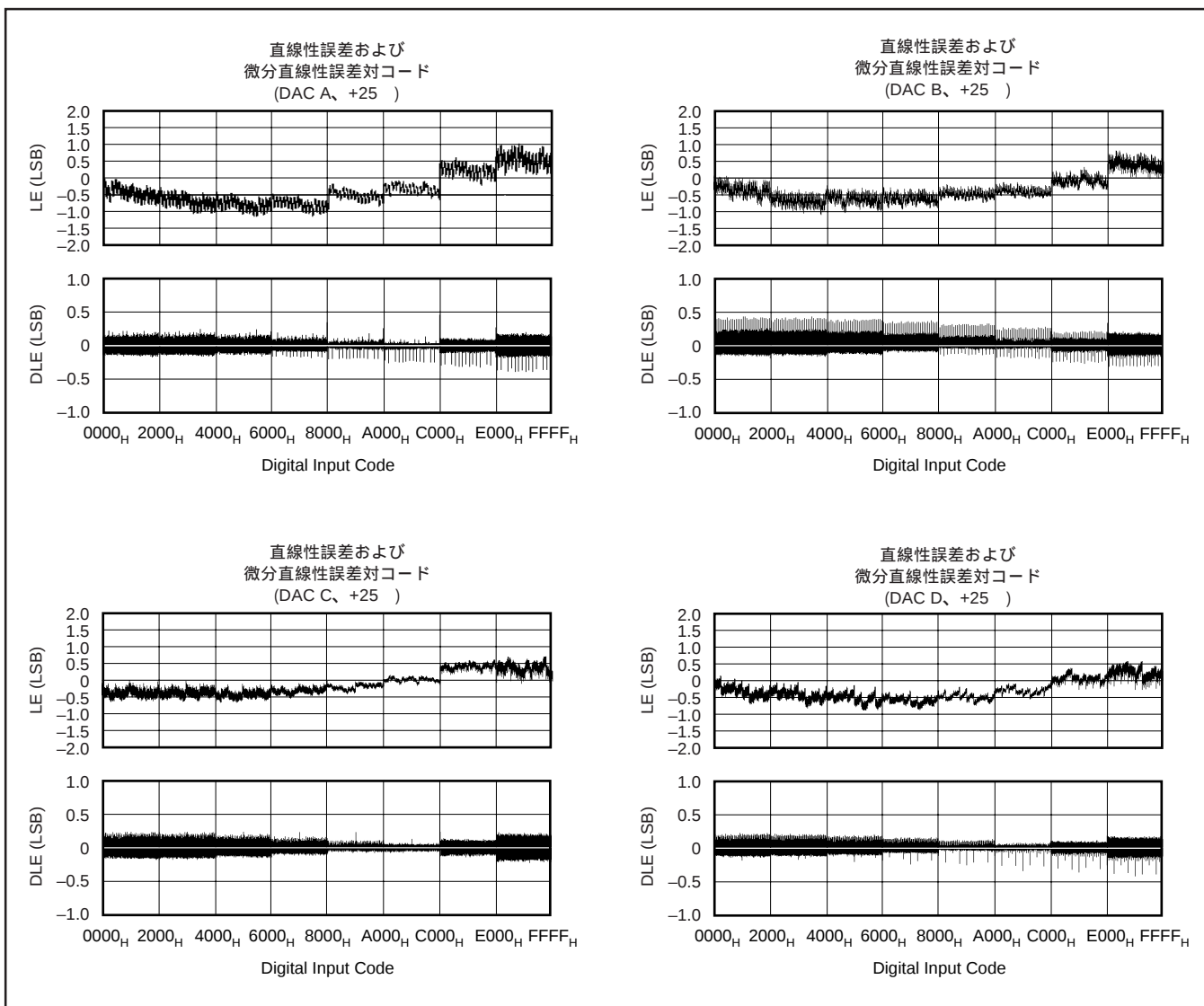


図7．図8の積分直線性および微分直線性誤差の曲線

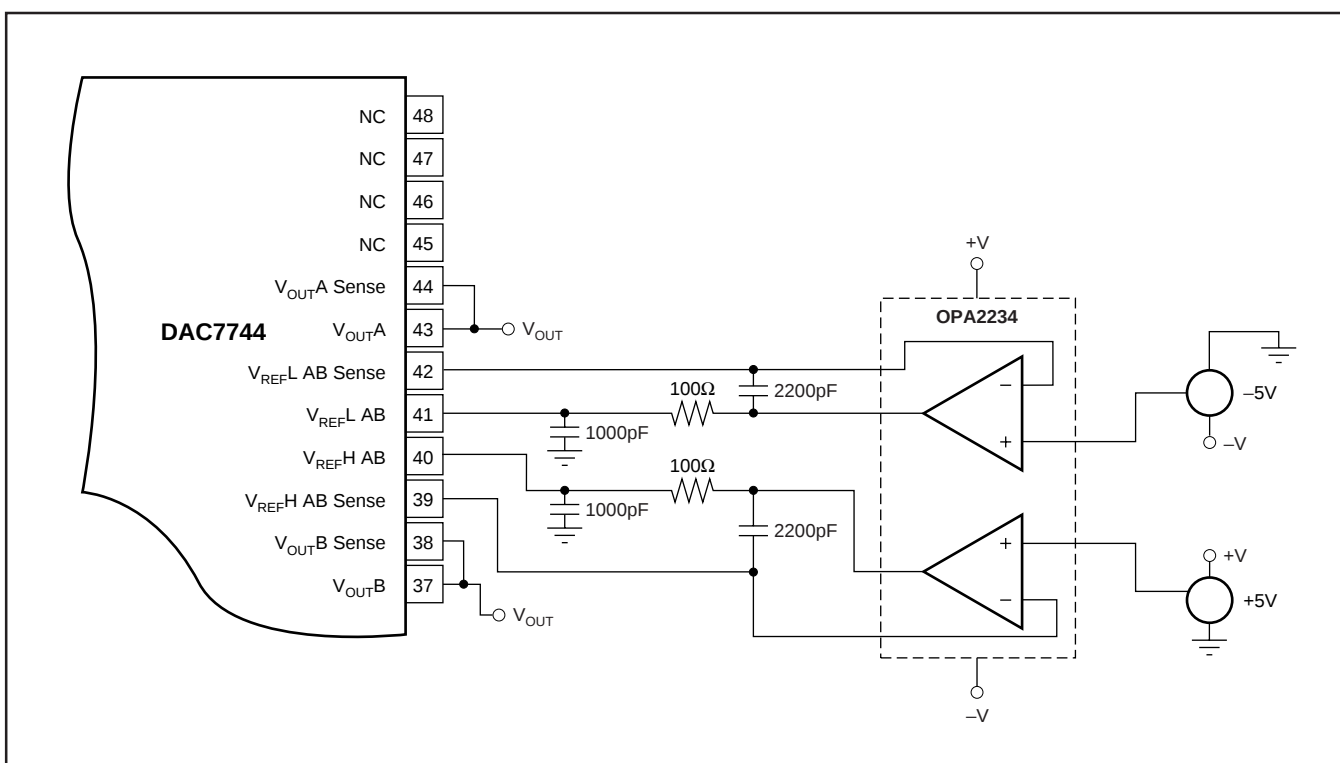


図8．V_{REF}L = -5V、V_{REF}H = +5Vの両電源バッファ付きリファレンス(DAC7744の1/2)

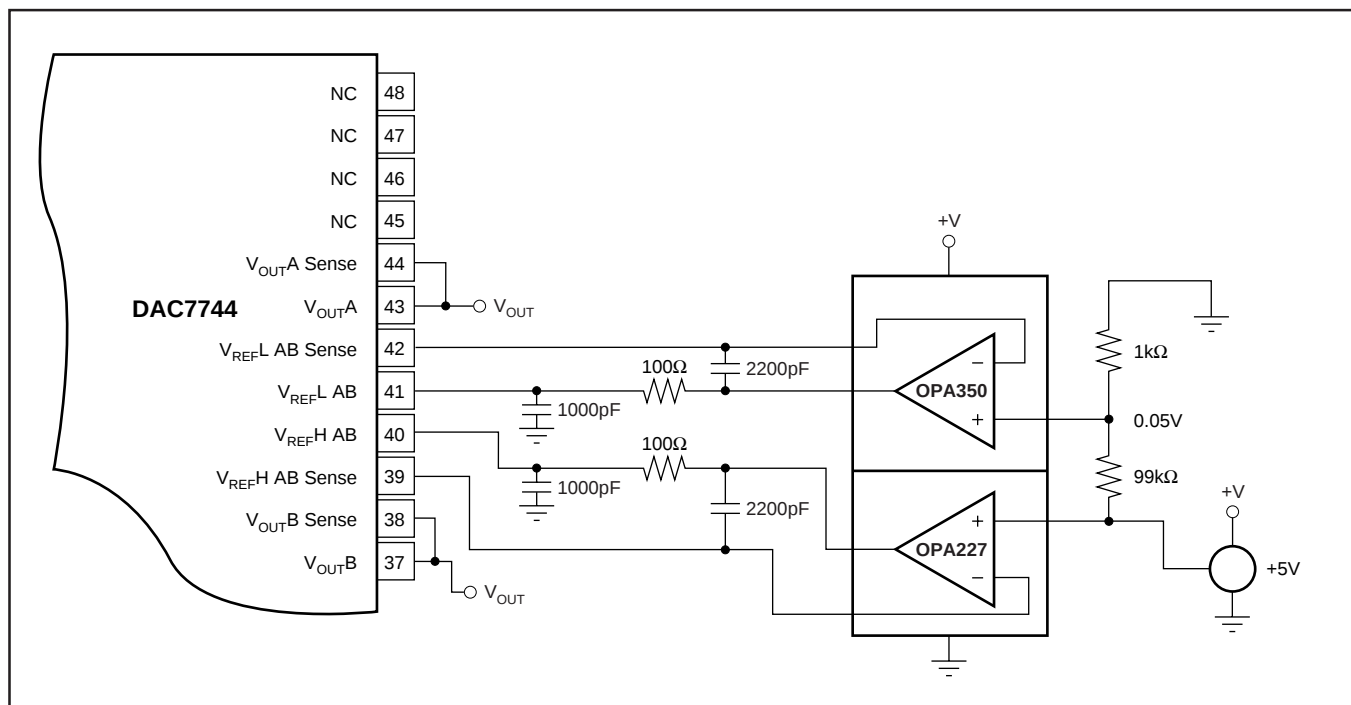


図9 . $V_{REFL} = 50\text{mV}$ 、 $V_{REFH} = +5\text{V}$ の単一電源バッファ付きリファレンス

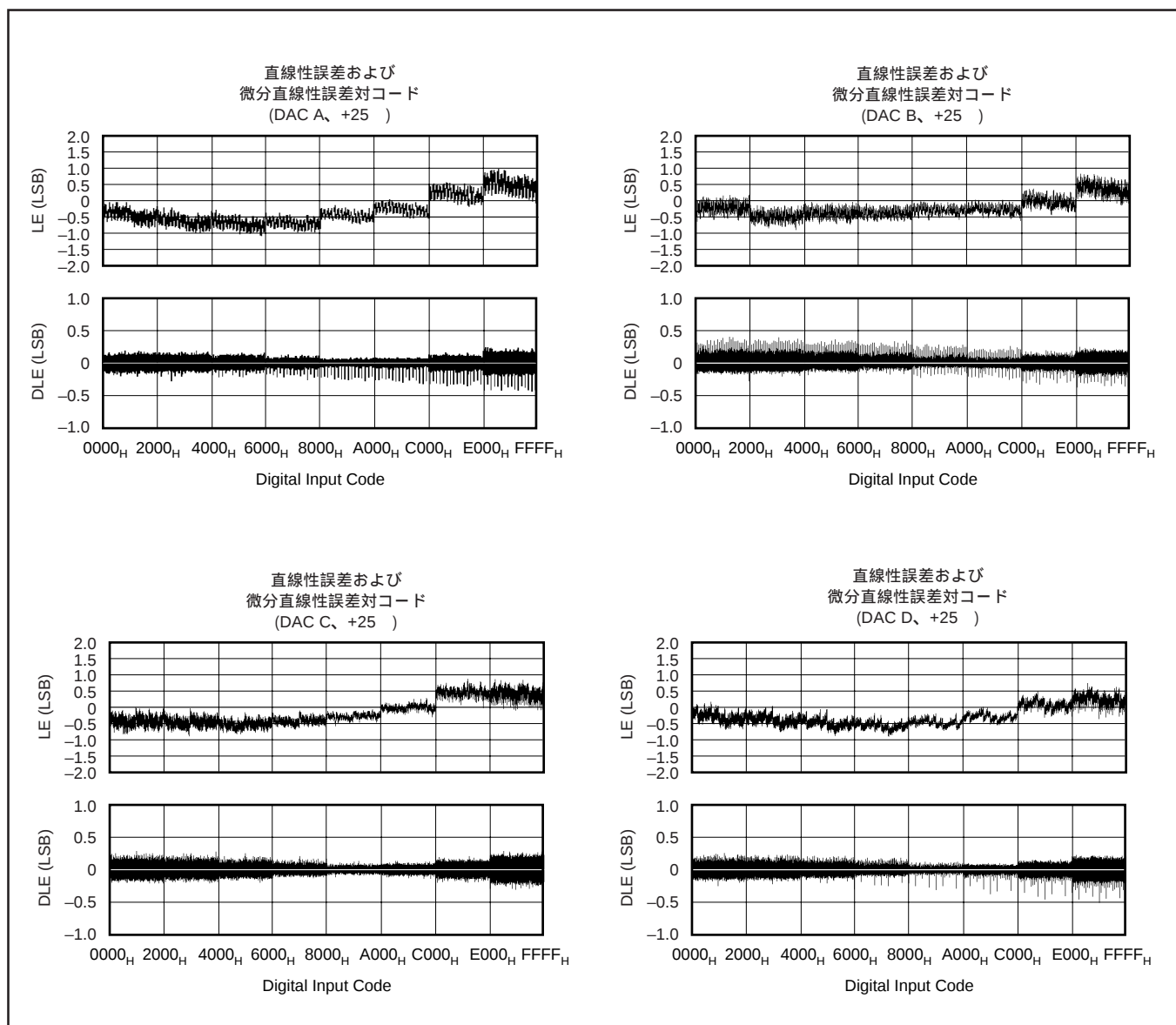


図10 . 図9の積分直線性および微分直線性誤差の曲線

A1	A0	R/W	CS	RST	RSTSEL	LOADDACS	入力レジスタ	DACレジスタ	モード	DAC
L	L	L	L	X	X	X	書き込み	ホールド	書き込み入力	A
L	H	L	L	X	X	X	書き込み	ホールド	書き込み入力	B
H	L	L	L	X	X	X	書き込み	ホールド	書き込み入力	C
H	H	L	L	X	X	X	書き込み	ホールド	書き込み入力	D
L	L	H	L	X	X	X	読み取り	ホールド	読み取り入力	A
L	H	H	L	X	X	X	読み取り	ホールド	読み取り入力	B
H	L	H	L	X	X	X	読み取り	ホールド	読み取り入力	C
H	H	H	L	X	X	X	読み取り	ホールド	読み取り入力	D
X	X	X	H	X	X	↑	書き込み	書き込み	更新	全て
X	X	X	H	X	X	H	ホールド	ホールド	ホールド	全て
X	X	X	X	↑	L	X		ゼロにリセット	ゼロにリセット	全て
X	X	X	X	↑	H	X		ミッドスケールにリセット	ミッドスケールにリセット	全て

表 . DAC7744のロジックの真理値表

デジタル・インターフェース

表IにDAC7744の基本的なコントロール・ロジックを示します。各DACレジスタは、レベル・トリガではなくエッジ・トリガで動作することに注意して下さい。LOADDACS信号が“ハイ”に遷移すると、DACレジスタにあるデジタル・ワードがラッチされます。1段目のレジスタ(入力レジスタ)は、A0、A1、R/W、およびCS入力によってトリガされます。一度に1つのレジスタだけがトランスペアレントになります。

ダブル・バッファ方式のアーキテクチャは、各DACの入力レジスタにいつでも書き込みを実行し、LOADDACSの立ち上がりエッジで全てのDAC電圧を同時に更新できるように設計されています。また、任意の時点でDAC入力レジスタに書き込みを実行し、LOADDACSに接続したトリガ信号によってDAC出力電圧を同期して変更することもできます。

デジタルのタイミング

図11および表 は、DAC7744のデジタル・インターフェースのタイミングを表しています。

デジタル入力のコーディング

DAC7744の入力データは、ストレート・バイナリ・フォーマットです。出力電圧は式1で求められます。

$$V_{OUT} = V_{REF}L + \frac{(V_{REF}H - V_{REF}L) \cdot N}{65,536} \quad (1)$$

ここで、Nはデジタル入力コードです。この式には、オフセット(ゼロスケール)またはゲイン(フルスケール)誤差の影響は含まれていません。

デジタル制御のプログラマブル電流ソース

DAC7744は、プログラマブル電流ソースなどのアプリケーション回路の設計に応じ柔軟性を持たせるユニークな機能を備えています。DAC7744では出力アンプの開ループ構成と差動リファレンス入力の両方を利用できます。出力アンプの開ループ構成によりループ内にトランジスタを配置してデジタル制御の単方向電流ソースを実現し、差動リファレンスによりフルスケール電流とゼロスケール電流の両方をプログラムすることができます。出力電流は次のように計算されます。

$$I_{OUT} = \left(\left(\frac{V_{REF}H - V_{REF}L}{R_{SENSE}} \right) \cdot \left(\frac{N}{65,536} \right) \right) + (V_{REF}L / R_{SENSE}) \quad (2)$$

図12にDAC7744の4mAから20mAの電流出力構成を示します。出力電流は式3によって計算されます。

$$I_{OUT} = \left(\left(\frac{5V - 1V}{250\Omega} \right) \cdot \left(\frac{N}{65,536} \right) \right) + \left(\frac{1V}{250\Omega} \right) \quad (3)$$

フルスケールの出力電流は16mAとゼロ電流の4mAの合計です。ゼロスケールの出力電流は4mA(1V / 250Ω)のオフセット電流です。

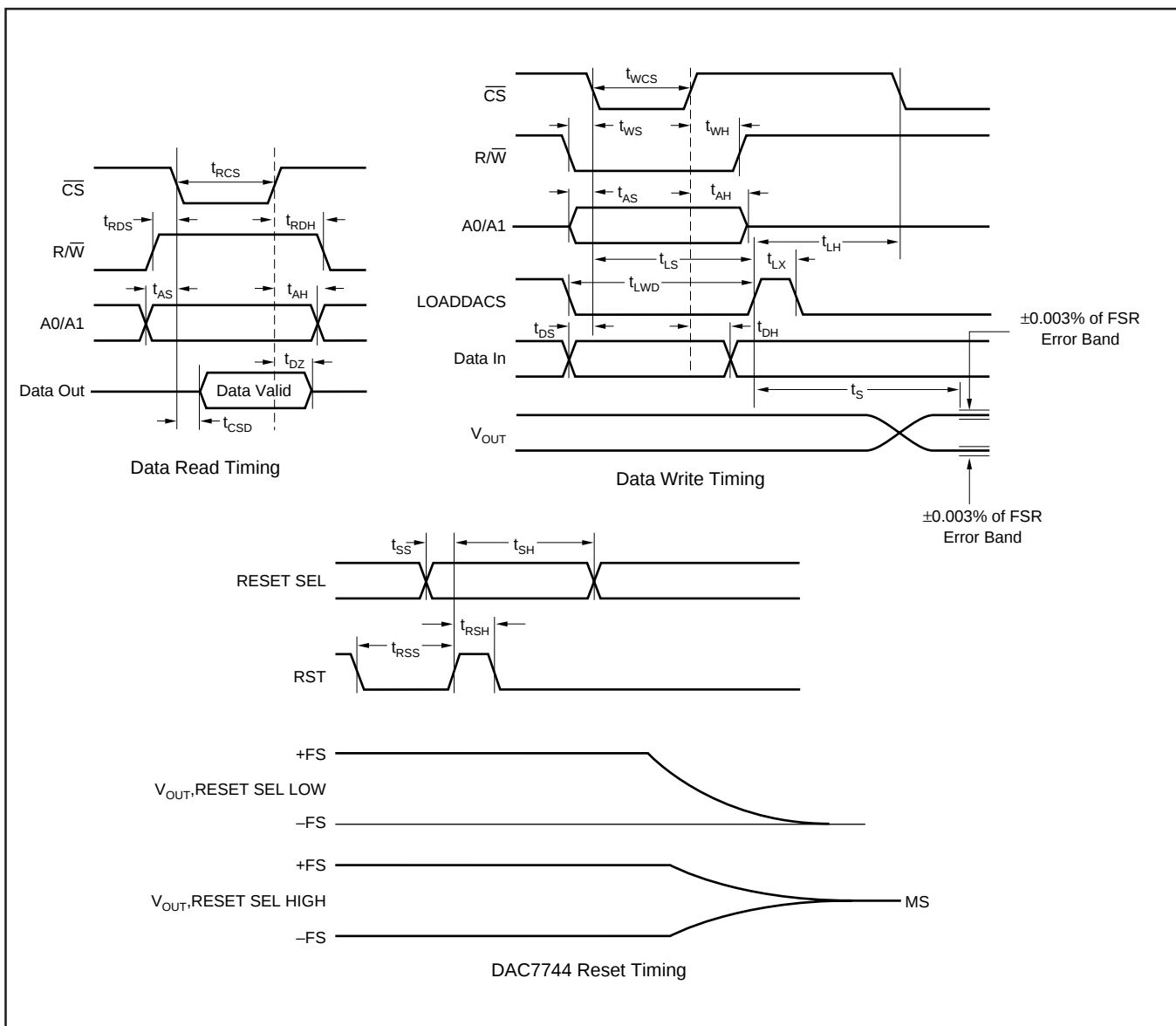


図11 . デジタル入出力のタイミング

記号	説明	最小	標準	最大	単位
t_{RCS}	読み取りの $\overline{CS}$ "ロー"	100			ns
t_{RDS}	$R/\overline{W}$ "ハイ" から $\overline{CS}$ "ロー" まで	10			ns
t_{RDH}	$\overline{CS}$ "ハイ" 後の $R/\overline{W}$ "ハイ"	10			ns
t_{DZ}	$\overline{CS}$ "ハイ" からデータ・バス・ハイ・インピーダンスまで	10		70	ns
t_{CSD}	$\overline{CS}$ "ロー" からデータ・バス有効まで		85	130	ns
t_{WCS}	書き込みの $\overline{CS}$ "ロー"	40			ns
t_{WS}	$R/\overline{W}$ "ロー" から $\overline{CS}$ "ロー" まで	0			ns
t_{WH}	$\overline{CS}$ "ハイ" 後の $R/\overline{W}$ "ロー"	10			ns
t_{AS}	アドレス有効から $\overline{CS}$ "ロー" まで	0			ns
t_{AH}	$\overline{CS}$ "ハイ" 後のアドレス有効	15			ns
t_{LS}	$\overline{CS}$ "ロー" からLOADDACS "ハイ" まで	40			ns
t_{LH}	LOADDACS "ハイ" 後の $\overline{CS}$ "ロー"	80			ns
t_{LX}	LOADDACS "ハイ"	40			ns
t_{DS}	データ有効から $\overline{CS}$ "ロー" まで	0			ns
t_{DH}	$\overline{CS}$ "ハイ" 後のデータ有効	15			ns
t_{LWD}	LOADDACS "ロー"	40			ns
t_{SS}	RESET "ハイ" 前のRSTSEL有効	0			ns
t_{SH}	RESET "ハイ" 後のRSTSEL有効	120			ns
t_{RSS}	RESET "ハイ" 前のRESET "ロー"	10			ns
t_{RSH}	RESET "ハイ" 後のRESET "ロー"	10			ns
t_S	セトリングタイム			11	μs

表 . タイミング仕様 ($T_A = -40 \sim +85$)

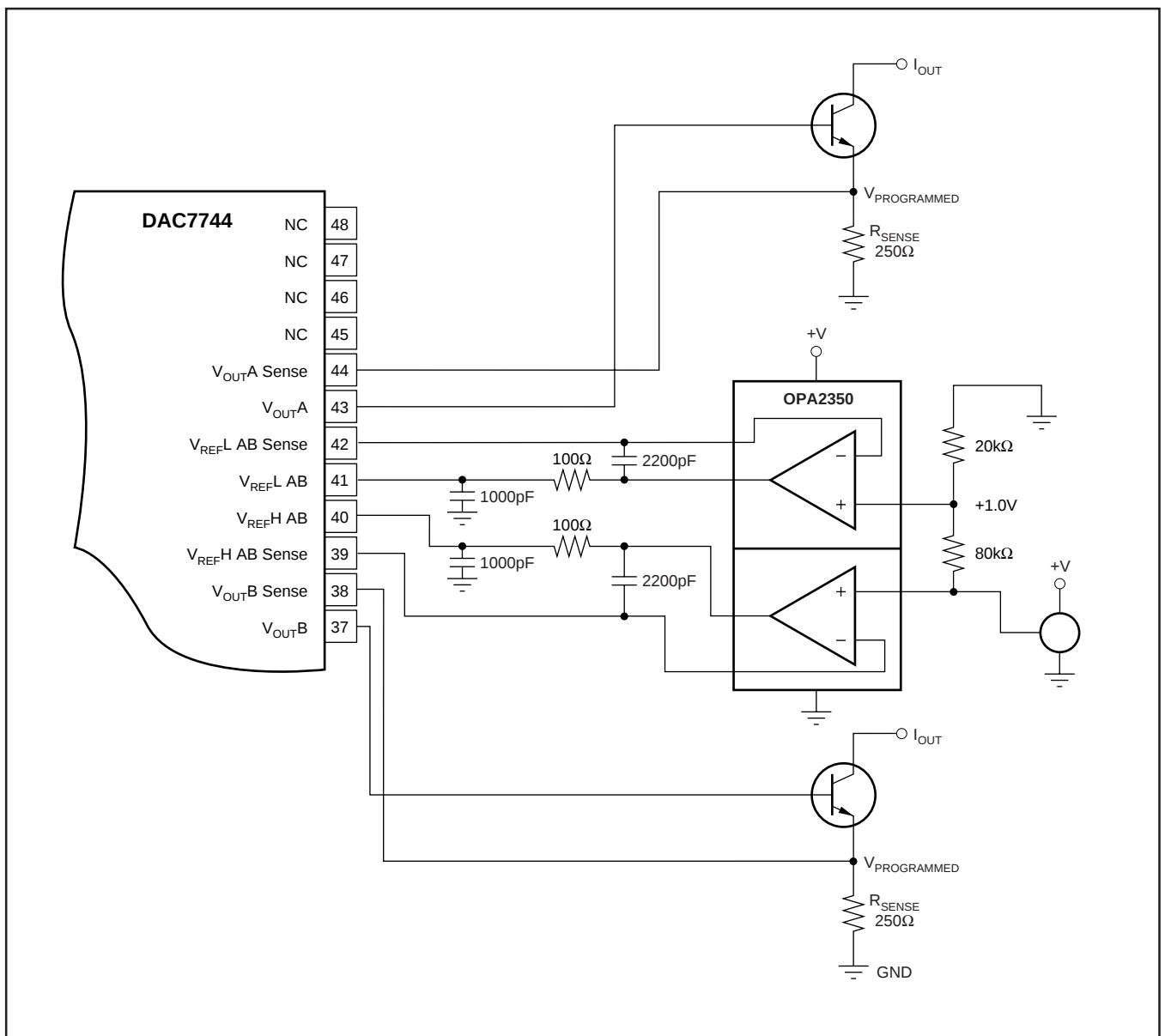


図12 . デジタル制御の4 ~ 20mAの電流ソース(DAC7744の1/2)

