

12ビット、クワッド、電圧出力 D/Aコンバータ

特 長

- 低消費電力：250mW(最大)
- 単一電源出力レンジ：+10V
- デュアル電源出力レンジ：±10V
- セトリングタイム：10 μ s(0.012%まで)
- 直線性および単調性：12ビット(−40°C~+85°C)
- ミッドスケール(DAC7724)またはゼロスケール(DAC7725)にリセット
- データ・リードバック
- データ入力のダブル・バッファリング

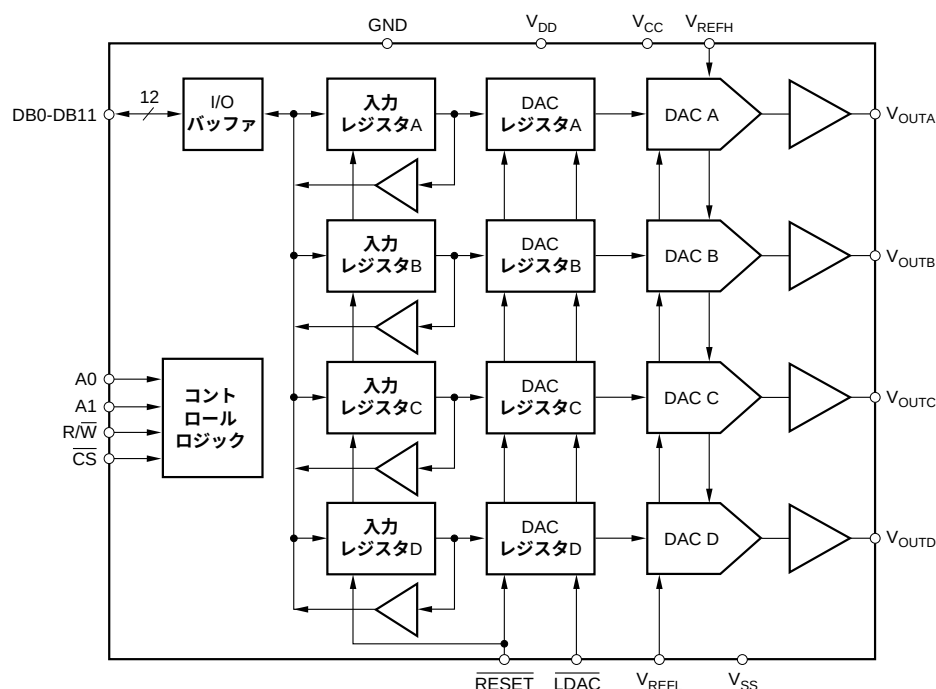
アプリケーション

- プロセス制御
- 閉ループ・サーボ制御
- モータ制御
- データ・アキュイジション・システム

概 要

DAC7724およびDAC7725は、仕様温度範囲にわたり12ビットの単調性が保証された12ビット、クワッド・タイプの電圧出力D/Aコンバータです。データ入力は12ビット並列で、ダブル・バッファリングDAC入力ロジック(全DACの同時更新が可能)および内部入力レジスタのリードバック・モードを備えています。非同期リセット機能により、すべてのレジスタがミッドスケール・コードの800_H(DAC7724)またはゼロスケールの000_H(DAC7725)にクリアされます。DAC7724およびDAC7725は、+15Vの単一電源、または+15Vと−15Vのデュアル電源で動作できます。

各DACの消費電力が低くサイズも小さいため、DAC7724およびDAC7725は、自動試験装置、DAC PER PINプログラマ、データ・アキュイジション・システム、閉ループ・サーボ制御に理想的です。DAC7724およびDAC7725のパッケージは28ピンPLCCまたは28ピンSOPで供給され、−40°C~+85°Cの温度範囲で保証されています。



仕様：デュアル電源

特に記述のない限り、 $T_A = -40^{\circ}\text{C} \sim +85^{\circ}\text{C}$ 、 $V_{CC} = +15\text{V}$ 、 $V_{DD} = +5\text{V}$ 、 $V_{SS} = -15\text{V}$ 、 $V_{REFH} = +10\text{V}$ 、 $V_{REFL} = -10\text{V}$ です。

パラメータ	条件	DAC7724N, U DAC7725N, U			DAC7724NB, UB DAC7725NB, UB			単位
		最小	標準	最大	最小	標準	最大	
精度 直線性誤差 直線性マッチング ⁽²⁾ 微分直線性誤差 単調性 ゼロスケール誤差 ゼロスケール・ドリフト ゼロスケール・マッチング ⁽²⁾ フルスケール誤差 フルスケール・マッチング ⁽²⁾ 電源感度	$T_{MIN} \sim T_{MAX}$ コード = 000 _H コード = FFF _H フルスケール時	12	1	10	*	*	*	LSB ⁽¹⁾ LSB LSB Bits LSB ppm/ $^{\circ}\text{C}$ LSB LSB LSB ppm/V
アナログ出力 電圧出力 ⁽³⁾ 出力電流 負荷キャパシタンス 短絡電流 短絡時間	発振なし 対 V_{SS} 、 V_{CC} 、またはGND	V_{REFL} ±5	500 ±20 無制限	V_{REFH}	*	*	*	V mA pF mA
リファレンス入力 V_{REFH} 入力レンジ V_{REFL} 入力レンジ Ref “ハイ” 入力電流 Ref “ロー” 入力電流		$V_{REFL} + 1.25$ −10 −0.5 −3.5		+10 $V_{REFH} - 1.25$ 3.0 0	*	*	*	V V mA mA
ダイナミック性能 セトリングタイム チャンネル間クロストーク デジタル・フィードスルー 出力雑音電圧	±0.012%まで、20V出力ステップ フルスケール・ステップ f = 10kHz		8 0.25 2 65	10		*	*	μs LSB nV·s nV/ $\sqrt{\text{Hz}}$
デジタル入出力 ロジック・ファミリ ロジック・レベル V_{IH} V_{IL} V_{OH} V_{OL} データ・フォーマット	$I_{IH} \leq \pm 10\mu\text{A}$ $I_{IL} \leq \pm 10\mu\text{A}$ $I_{OH} = -0.8\text{mA}$ $I_{OL} = 1.6\text{mA}$	TTLコンパチブルCMOS 2.4 −0.3 3.6 0.0 $V_{DD} + 0.3$ 0.8 V_{DD} 0.4 ストレート・バイナリ			*	*	*	V V V V
電源条件 V_{DD} V_{CC} V_{SS} I_{DD} I_{CC} I_{SS} 消費電力		+4.75 +14.25 −14.25	50 6 180	+5.25 +15.75 −15.75 8.5 250	*	*	*	V V V μA mA mA mW
温度範囲 仕様に規定された性能		−40		+85	*	*	*	$^{\circ}\text{C}$

* 印はDAC7724/25N、Uと同じであることを示します。
注：(1)LSBは最下位ビットを意味します。 $V_{REFH} = +10\text{V}$ 、 $V_{REFL} = -10\text{V}$ の場合、1LSBは4.88mVです。(2)すべてのDAC出力は、仕様に規定された誤差の範囲内でマッチします。(3)ゼロスケール誤差およびフルスケール誤差を含まない理想的な出力電圧です。

このデータシートに記載されている情報は、信頼し得るものと考えておりますが、不正確な情報や記載漏れ等に関して弊社は責任を負うものではありません。情報の使用について弊社は責任を負えませんが、各ユーザーの責任において御使用下さい。価格や仕様は予告なしに変更される場合がありますのでご了承下さい。ここに記載されているいかなる回路についても工業所有権その他の権利またはその実施権を付与したり承諾したりするものではありません。弊社は弊社製品を生命維持に関する機器またはシステムに使用することを承認しまたは保証するものではありません。

仕様：単一電源

特に記述のない限り、 $T_A = -40^{\circ}\text{C} \sim +85^{\circ}\text{C}$ 、 $V_{CC} = +15\text{V}$ 、 $V_{DD} = +5\text{V}$ 、 $V_{SS} = \text{GND}$ 、 $V_{REFH} = +10\text{V}$ 、 $V_{REFL} = 0\text{V}$ です。

パラメータ	条件	DAC7724N, U DAC7725N, U			DAC7724NB, UB DAC7725NB, UB			単位
		最小	標準	最大	最小	標準	最大	
精度 直線性誤差 ⁽¹⁾ 直線性マッチング ⁽³⁾ 微分直線性誤差 単調性 ゼロスケール誤差 ゼロスケール・ドリフト ゼロスケール・マッチング ⁽³⁾ フルスケール誤差 フルスケール・マッチング ⁽³⁾ 電源感度	$T_{MIN} \sim T_{MAX}$ コード = 004_H コード = FFF_H フルスケール時	12		± 2 ± 2 ± 1 ± 4 ± 4 ± 4	*		± 1 ± 1 ± 1 * * ± 2 * ± 2	LSB ⁽²⁾ LSB LSB Bits LSB ppm/ $^{\circ}\text{C}$ LSB LSB LSB ppm/V
アナログ出力 電圧出力 ⁽⁴⁾ 出力電流 負荷キャパシタンス 短絡電流 短絡時間	発振なし 対 V_{CC} またはGND	V_{REFL} ± 5	500 ± 20 無制限	V_{REFH}	*	*	*	V mA pF mA
リファレンス入力 V_{REFH} 入力レンジ V_{REFL} 入力レンジ Ref “ハイ” 入力電流 Ref “ロー” 入力電流		$V_{REFL} + 1.25$ 0 -0.3 -2.0		$+10$ $V_{REFH} - 1.25$ 1.5 0	*	*	*	V V mA mA
ダイナミック性能 セトリングタイム ⁽⁵⁾ チャンネル間クロストーク デジタル・フィードスルー 出力雑音電圧	$\pm 0.012\%$ まで、10V出力ステップ $f = 10\text{kHz}$		8 0.25 2 65	10		*	*	μs LSB nV-s $\text{nV}/\sqrt{\text{Hz}}$
デジタル入出力 ロジック・ファミリ ロジック・レベル V_{IH} V_{IL} V_{OH} V_{OL} データ・フォーマット	$I_{IH} \leq \pm 10\mu\text{A}$ $I_{IL} \leq \pm 10\mu\text{A}$ $I_{OH} = -0.8\text{mA}$ $I_{OL} = 1.6\text{mA}$	2.4 -0.3 3.6 0.0	TTLコンパチブルCMOS ストレート・バイナリ	$V_{DD} + 0.3$ 0.8 V_{DD} 0.4	*	*	*	V V V V
電源条件 V_{DD} V_{CC} I_{DD} I_{CC} 消費電力		+4.75 14.25	50 3.0 45	+5.25 15.75	*	*	*	V V μA mA mW
温度範囲 仕様に規定された性能		-40		+85	*	*	*	$^{\circ}\text{C}$

注：(1) $V_{SS} = 0\text{V}$ の場合、仕様は 004_H 以上のコードに適用されます。(2)LSBは最下位ビットを意味します。 $V_{REFH} = +10\text{V}$ 、 $V_{REFL} = 0\text{V}$ の場合、1LSBは2.44mVです。(3)すべてのDAC出力は、仕様に規定された誤差の範囲内でマッチします。(4)ゼロスケール誤差およびフルスケール誤差を含まない理想的な出力電圧です。(5)正の10Vフルスケール・ステップ、およびコード FFF_H から 004_H までの負のステップです。

絶対最大定格⁽¹⁾

$V_{CC} \sim V_{SS}$	-0.3V~+32V
$V_{CC} \sim GND$	-0.3V~+16V
$V_{SS} \sim GND$	+0.3V~-16V
$V_{DD} \sim GND$	-0.3V~6V
$V_{REFH} \sim GND$	-9V~+11V
$V_{REFL} \sim GND (V_{SS} = -15V)$	-11V~+9V
$V_{REFL} \sim GND (V_{SS} = 0V)$	-0.3V~+9V
$V_{REFH} \sim V_{REFL}$	-1V~+22V
デジタル入力電圧(対GND)	-0.3V~ $V_{DD} + 0.3V$
デジタル出力電圧(対GND)	-0.3V~ $V_{DD} + 0.3V$
最大接合部温度	+150°C
動作温度範囲	-40°C~+85°C
保存温度範囲	-65°C~+150°C
リード温度(10秒間の半田付け)	+300°C

注：(1) 定格を超えるオーバーストレスは、デバイスに永久的な損傷を与えます。絶対最大条件下に長時間置いた場合は、デバイスの信頼性が低下することがあります。



静電気放電対策

この集積回路は静電気によって損傷を受ける場合があります。すべての集積回路の取り扱いには十分な注意を払ってください。適切な取り扱いや正しい設置手順の実行を怠った場合、損傷を与えるおそれがあります。

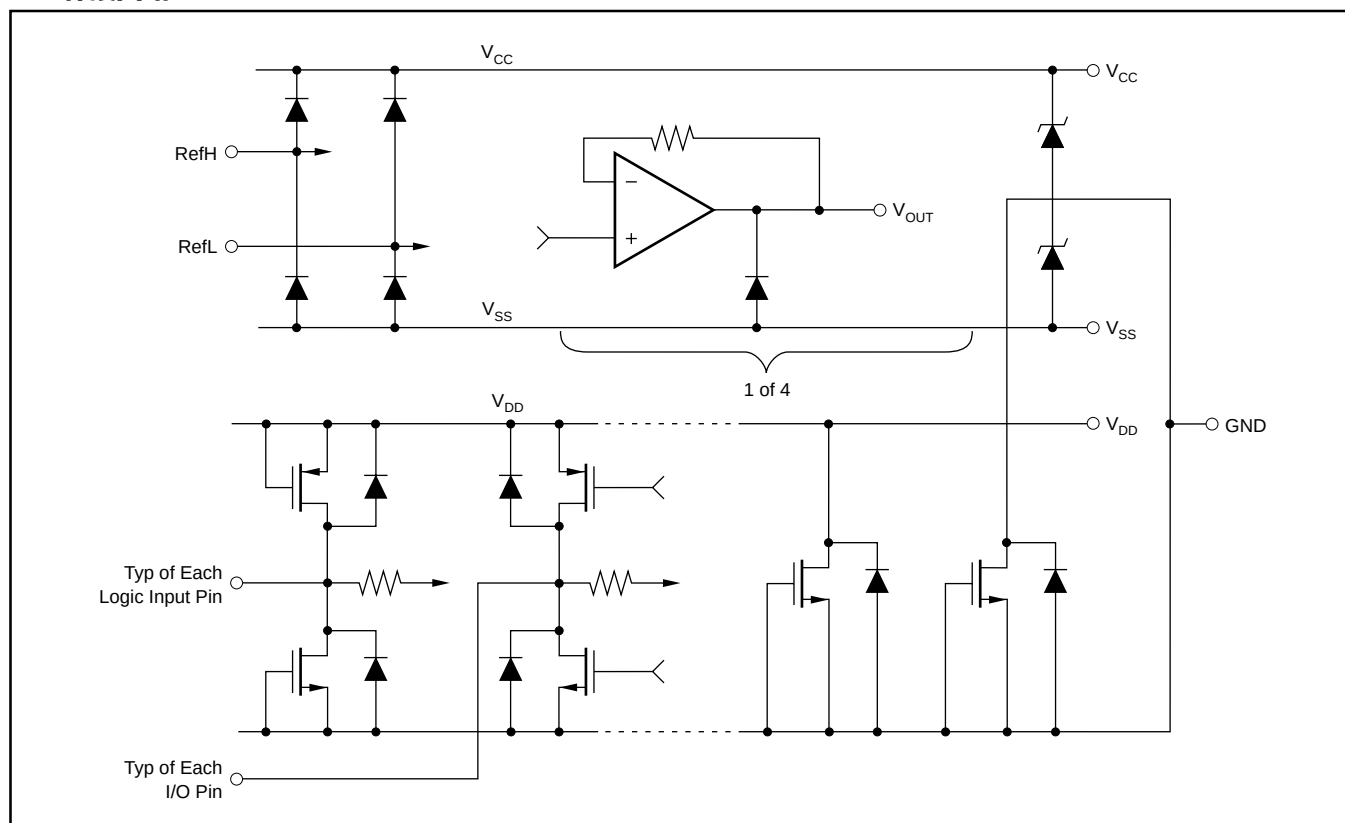
静電気放電はわずかな性能の低下から完全なデバイスの故障に至るまで、様々な損傷を与えます。高精度の集積回路は、損傷に対して敏感であり、極めてわずかなパラメータの変化により、デバイスに規定された仕様に適合しなくなる場合があります。

パッケージ情報/ご発注の手引き

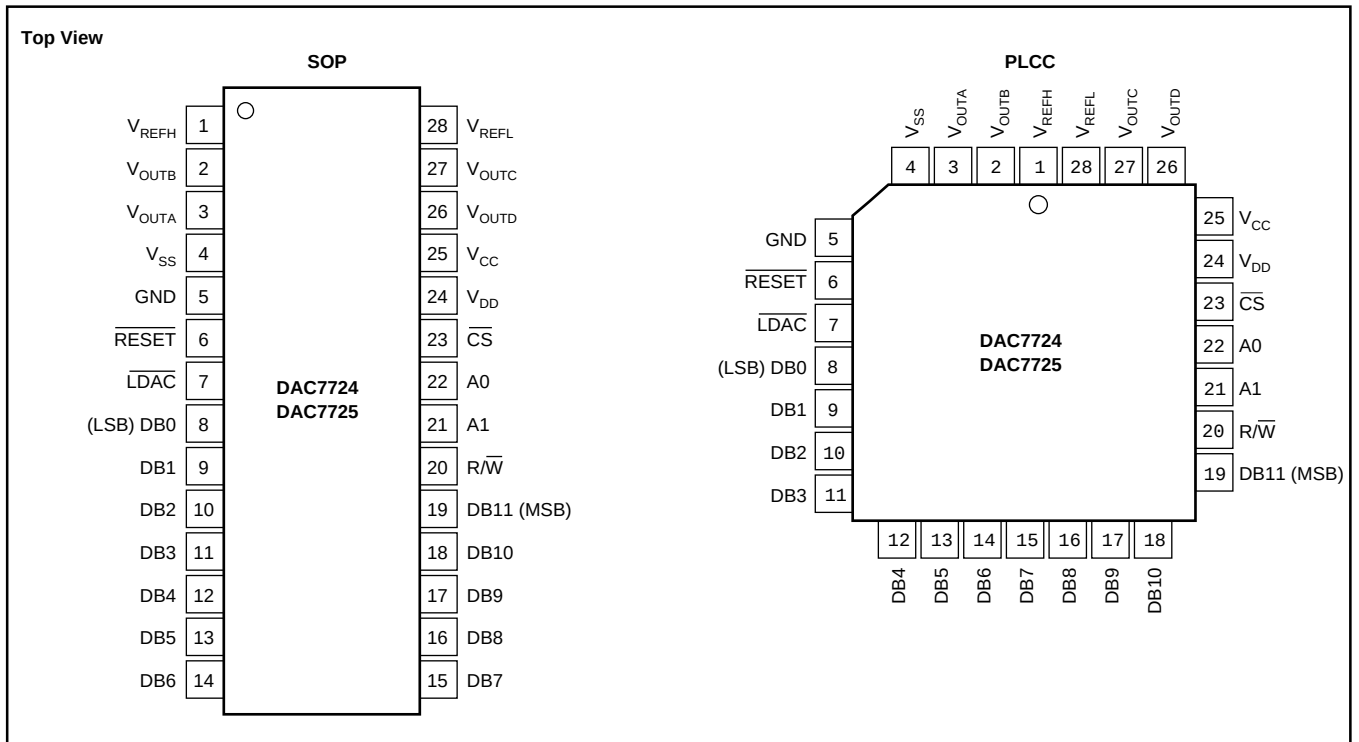
モデル	最大直線性誤差 (LSB)	最大微分非直線性誤差 (LSB)	パッケージ	パッケージ図番号	仕様温度範囲	発注番号 ⁽¹⁾	供給時の状態
DAC7724N	±2	±1	28ピンPLCC	251	-40°C~+85°C	DAC7724N	マガジン
DAC7724N	±2	±1	28ピンPLCC	251	-40°C~+85°C	DAC7724N/750	テーブリール
DAC7724NB	±1	±1	28ピンPLCC	251	-40°C~+85°C	DAC7724NB	マガジン
DAC7724NB	±1	±1	28ピンPLCC	251	-40°C~+85°C	DAC7724NB/750	テーブリール
DAC7724U	±2	±1	28ピンSOP	217	-40°C~+85°C	DAC7724U	マガジン
DAC7724U	±2	±1	28ピンSOP	217	-40°C~+85°C	DAC7724U/1K	テーブリール
DAC7724UB	±1	±1	28ピンSOP	217	-40°C~+85°C	DAC7724UB	マガジン
DAC7724UB	±1	±1	28ピンSOP	217	-40°C~+85°C	DAC7724UB/1K	テーブリール
DAC7725N	±2	±1	28ピンPLCC	251	-40°C~+85°C	DAC7725N	マガジン
DAC7725N	±2	±1	28ピンPLCC	251	-40°C~+85°C	DAC7725N/750	テーブリール
DAC7725NB	±1	±1	28ピンPLCC	251	-40°C~+85°C	DAC7725NB	マガジン
DAC7725NB	±1	±1	28ピンPLCC	251	-40°C~+85°C	DAC7725NB/750	テーブリール
DAC7725U	±2	±1	28ピンSOP	217	-40°C~+85°C	DAC7725U	マガジン
DAC7725U	±2	±1	28ピンSOP	217	-40°C~+85°C	DAC7725U/1K	テーブリール
DAC7725UB	±1	±1	28ピンSOP	217	-40°C~+85°C	DAC7725UB	マガジン
DAC7725UB	±1	±1	28ピンSOP	217	-40°C~+85°C	DAC7725UB/1K	テーブリール

注：(1) スラッシュ (/) が付記されたモデルは、表示数量のテーブリールでのみ供給されます(例えば、/750はリール1本あたり750個入りであることを示します)。「DAC7724/750」を発注すると、750個入りテーブリールが1本納品されます。

ESD保護回路



ピン配置



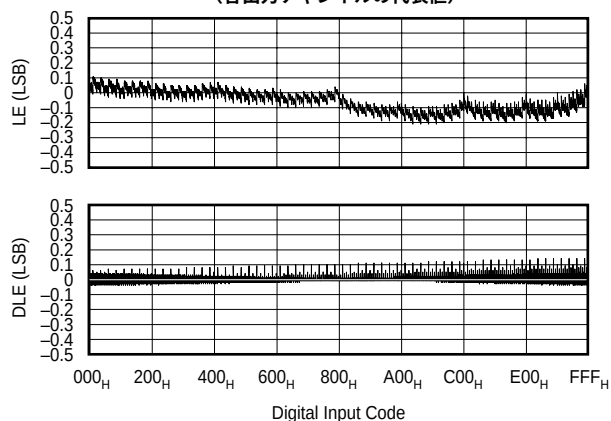
ピン構成

ピン	名称	説明
1	V_{REFH}	リファレンス入力電圧“ハイ”、すべてのDACの最大出力電圧を設定。
2	V_{OUTB}	DAC B電圧出力
3	V_{OUTA}	DAC A電圧出力
4	V_{SS}	負のアナログ電源電圧、0Vまたは-15V。
5	GND	グランド
6	$\overline{RESET}$	非同期リセット入力。“ロー”のとき、DACおよび入力レジスタがミッドスケール(800 μ 、DAC7724)またはゼロスケール(000 μ 、DAC7725)に設定される。
7	$\overline{LDAC}$	負荷DAC入力。“ロー”のとき、すべてのDACレジスタが透過的になる。
8	DB0	データ・ビット0、12ビット・ワードの最下位ビット。
9	DB1	データ・ビット1
10	DB2	データ・ビット2
11	DB3	データ・ビット3
12	DB4	データ・ビット4
13	DB5	データ・ビット5
14	DB6	データ・ビット6
15	DB7	データ・ビット7
16	DB8	データ・ビット8
17	DB9	データ・ビット9
18	DB10	データ・ビット10
19	DB11	データ・ビット11、12ビット・ワードの最上位ビット。
20	$R/\overline{W}$	読み取り/書き込み制御入力(読み取り=“ハイ”、書き込み=“ロー”)
21	A1	レジスタ/DAC選択(CまたはD=“ハイ”、AまたはB=“ロー”)
22	A0	レジスタ/DAC選択(BまたはD=“ハイ”、AまたはC=“ロー”)
23	$\overline{CS}$	チップ・セレクト入力
24	V_{DD}	正のデジタル電源、+5V。
25	V_{CC}	正のアナログ電源電圧、公称+15V。
26	V_{OUTD}	DAC D電圧出力
27	V_{OUTC}	DAC C電圧出力
28	V_{REFL}	リファレンス入力電圧“ロー”、すべてのDACの最小出力電圧を設定。

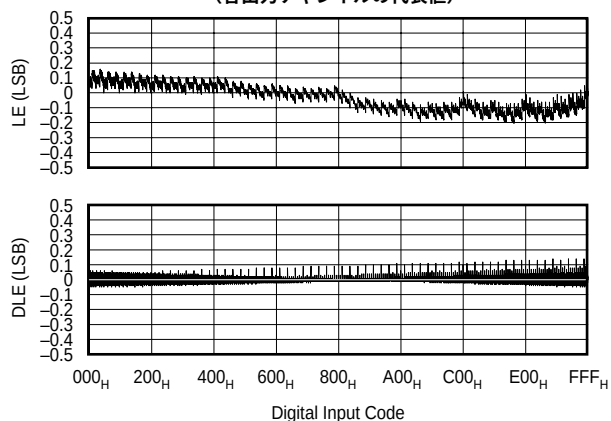
代表的性能曲線：V_{SS} = 0V

特に記述のない限り、T_A = +25°C、V_{CC} = +15V、V_{DD} = +5V、V_{SS} = 0V、V_{REFH} = +10V、V_{REFL} = 0V、代表的ユニットです。

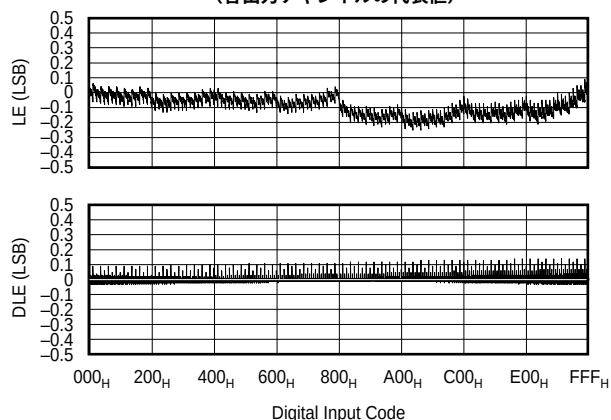
直線性誤差および微分直線性誤差対コード
1チャンネル：25°C
(各出力チャンネルの代表値)



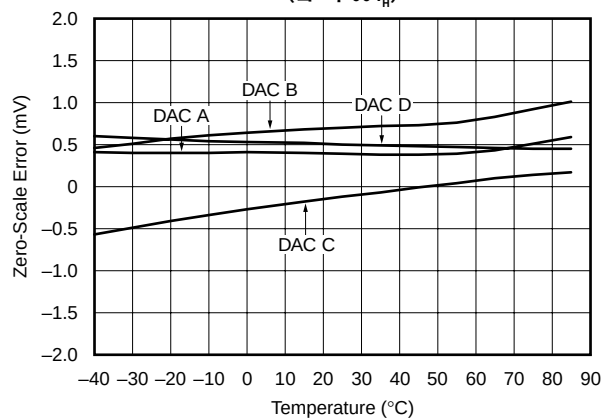
直線性誤差および微分直線性誤差対コード
1チャンネル：85°C
(各出力チャンネルの代表値)



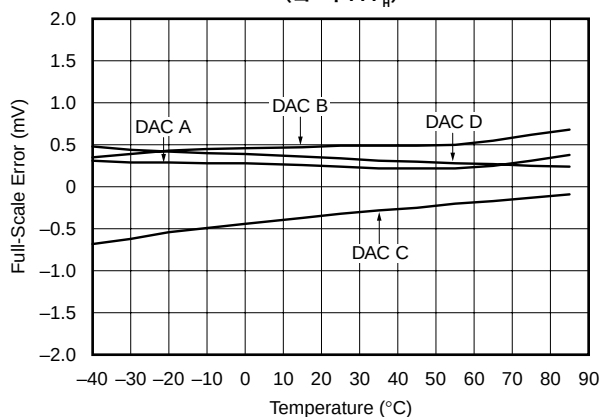
直線性誤差および微分直線性誤差対コード
1チャンネル：-40°C
(各出力チャンネルの代表値)



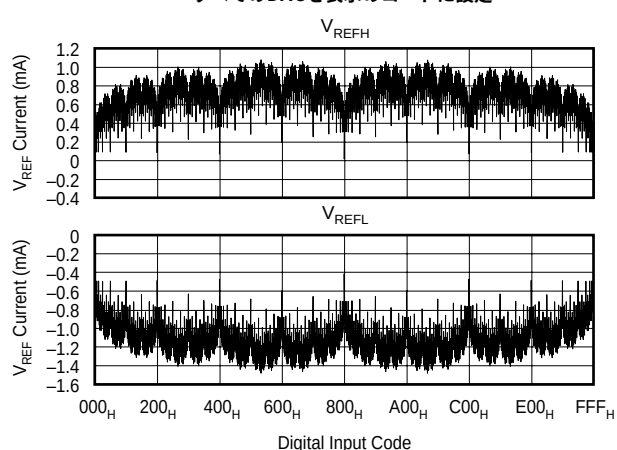
ゼロスケール誤差対温度
(コード004_H)



フルスケール誤差対温度
(コードFFF_H)

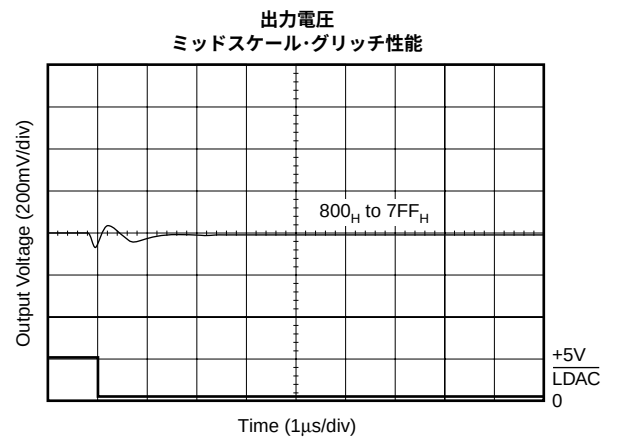
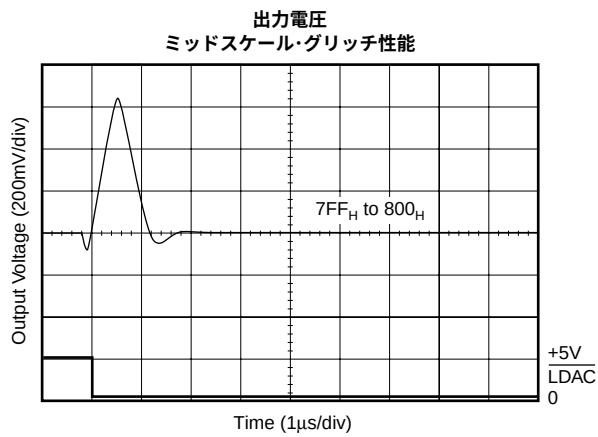
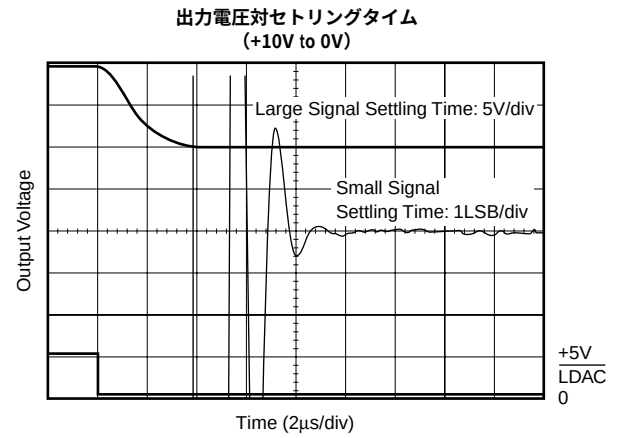
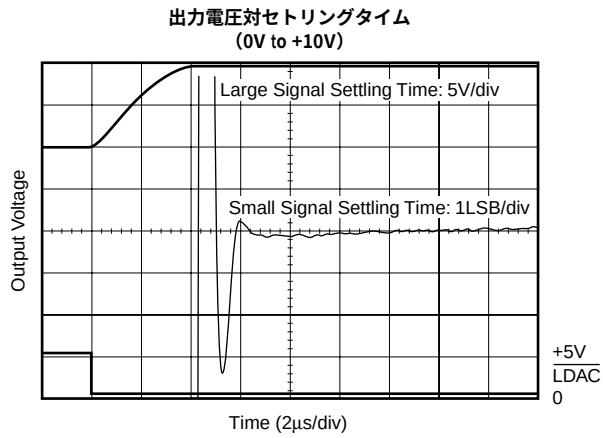
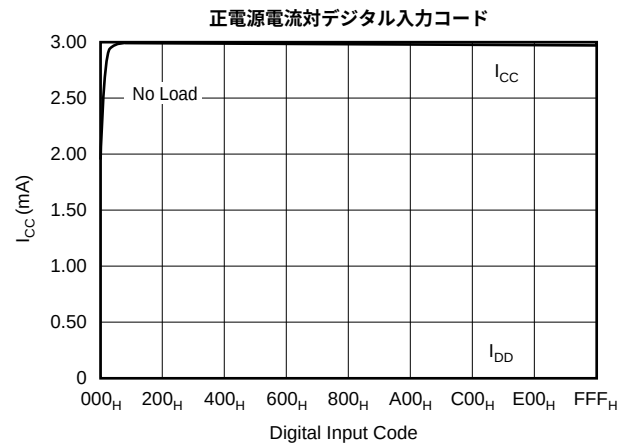
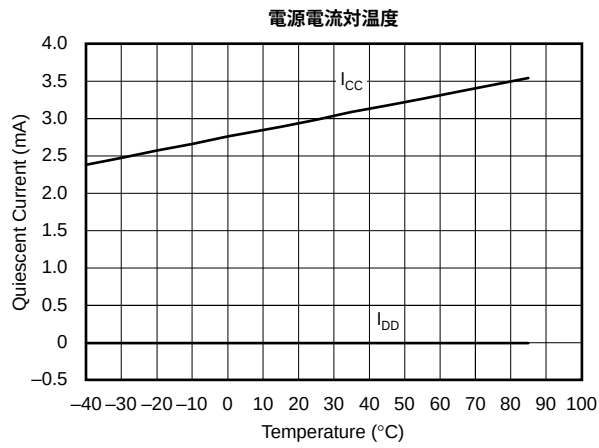


電流対コード
すべてのDACを表示のコードに設定



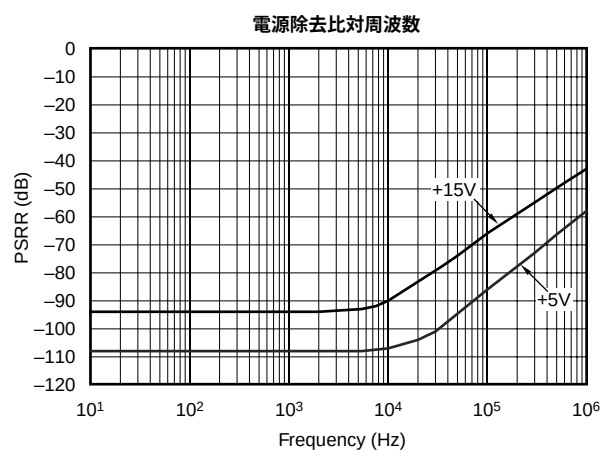
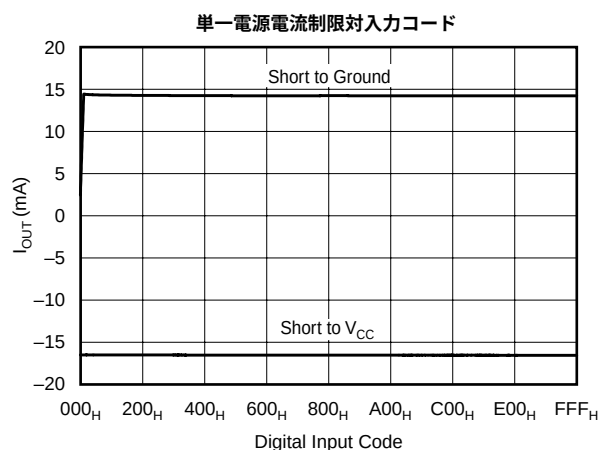
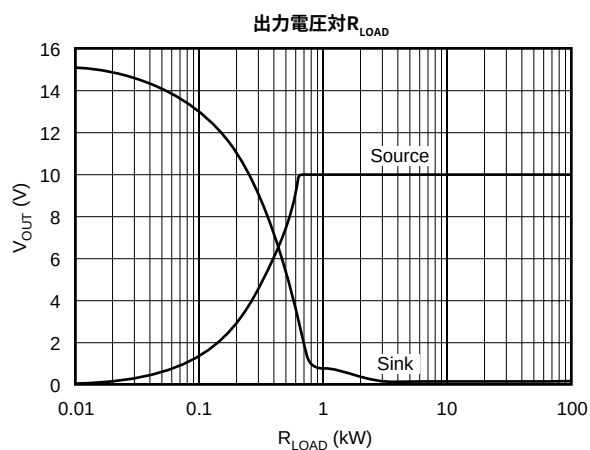
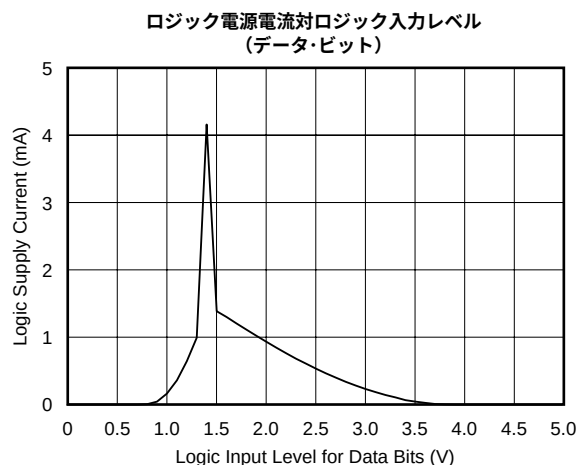
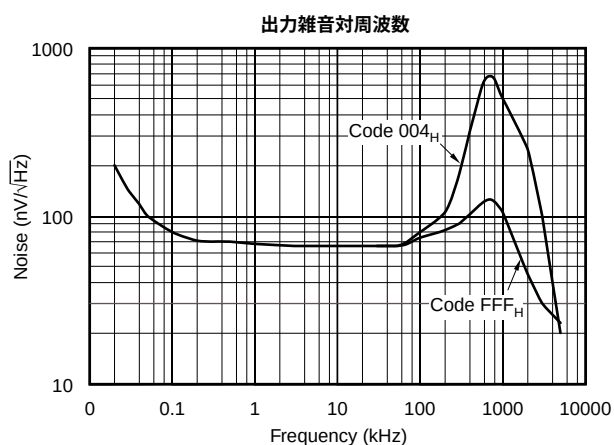
代表的性能曲線：V_{SS} = 0V

特に記述のない限り、T_A = +25°C、V_{CC} = +15V、V_{DD} = +5V、V_{SS} = 0V、V_{REFH} = +10V、V_{REFL} = 0V、代表的ユニットです。



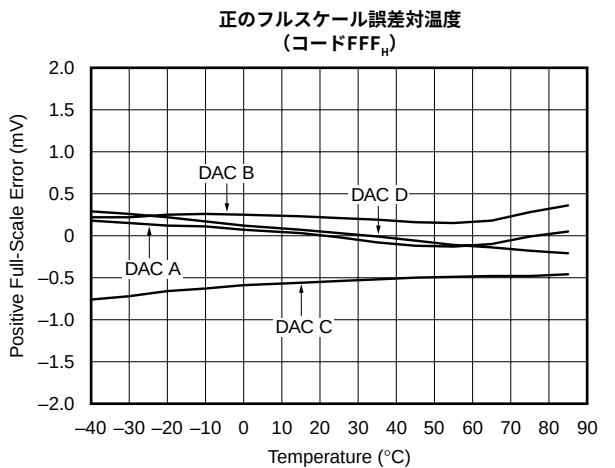
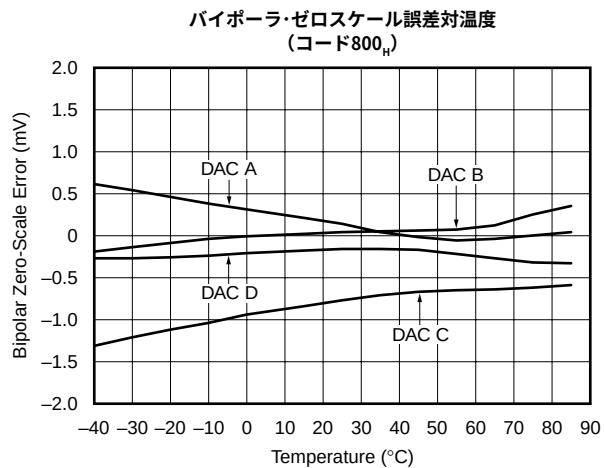
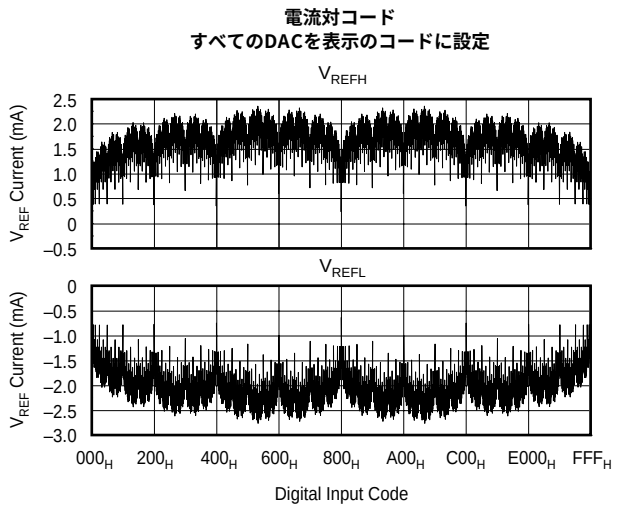
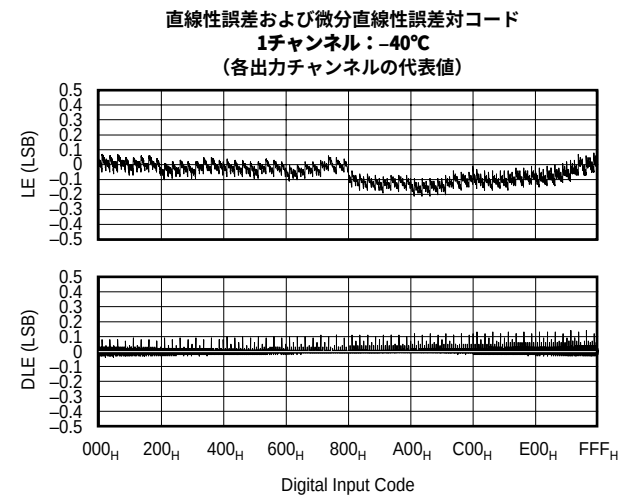
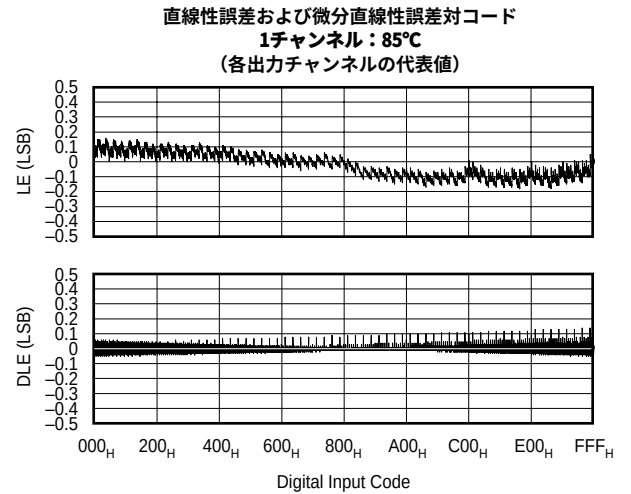
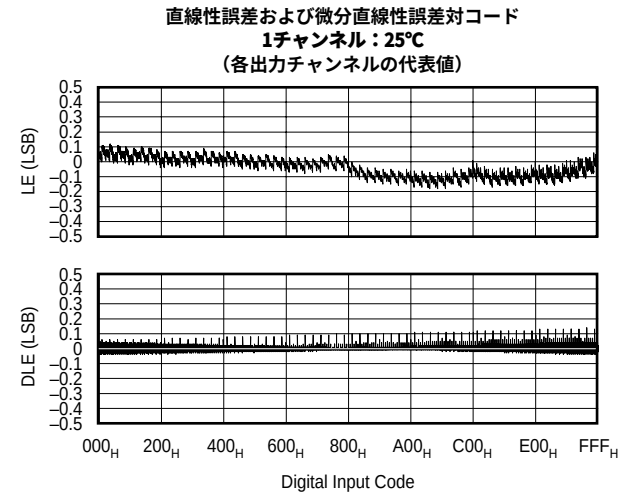
代表的性能曲線：V_{SS} = 0V

特に記述のない限り、T_A = +25°C、V_{CC} = +15V、V_{DD} = +5V、V_{SS} = 0V、V_{REFH} = +10V、V_{REFL} = 0V、代表的ユニットです。



代表的性能曲線：V_{SS} = -15V

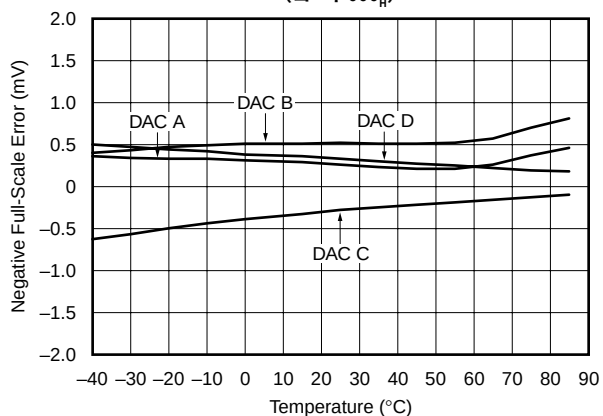
特に記述のない限り、T_A = +25°C、V_{CC} = +15V、V_{DD} = +5V、V_{SS} = -15V、V_{REFH} = +10V、V_{REFL} = -10V、代表的ユニットです。



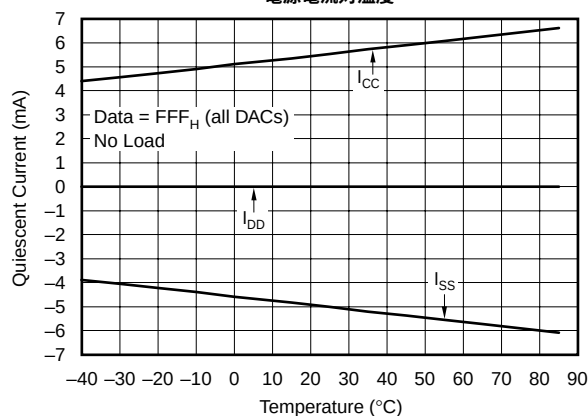
代表的性能曲線：V_{SS} = -15V

特に記述のない限り、T_A = +25°C、V_{CC} = +15V、V_{DD} = +5V、V_{SS} = -15V、V_{REFH} = +10V、V_{REFL} = -10V、代表的ユニットです。

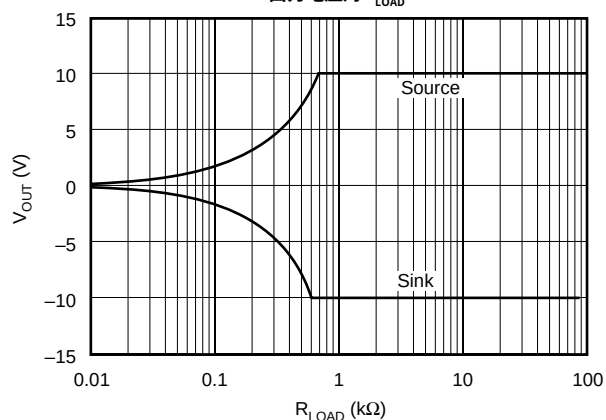
負のフルスケール誤差対温度
(コード000_H)



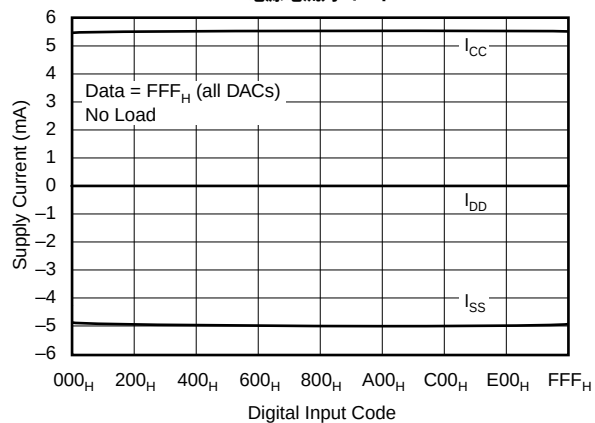
電源電流対温度



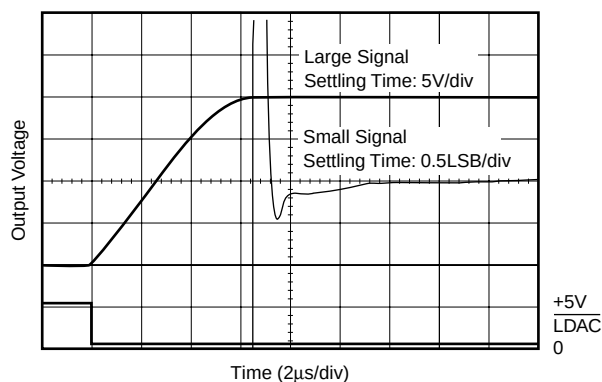
出力電圧対R_{LOAD}



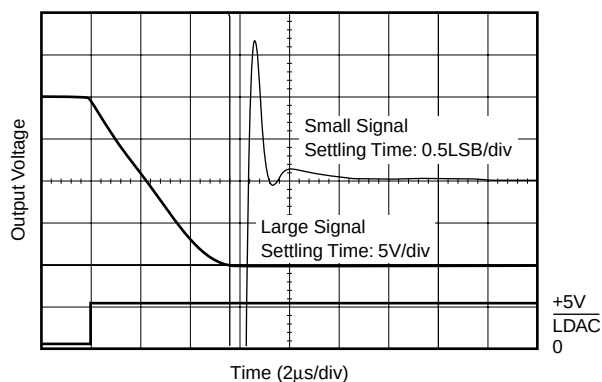
電源電流対コード



出力電圧対セトリングタイム
(-10V to +10V)



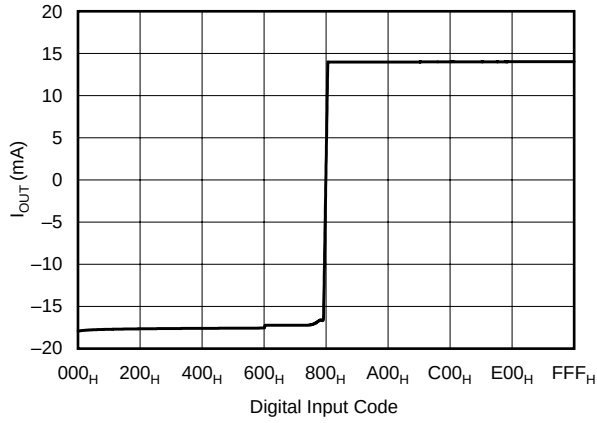
出力電圧対セトリングタイム
(+10V to -10V)



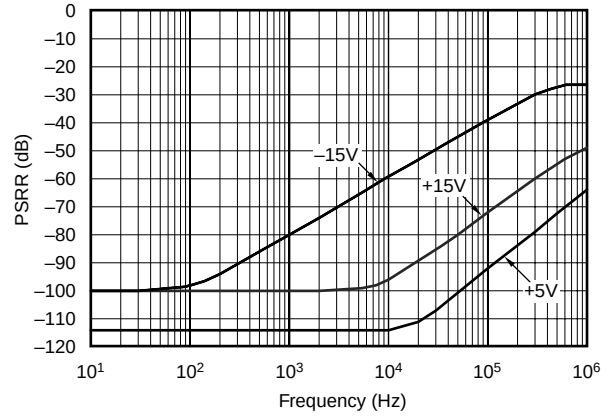
代表的性能曲線：V_{SS} = -15V

特に記述のない限り、T_A = +25°C、V_{CC} = +15V、V_{DD} = +5V、V_{SS} = -15V、V_{REFH} = +10V、V_{REFL} = -10V、代表的ユニットです。

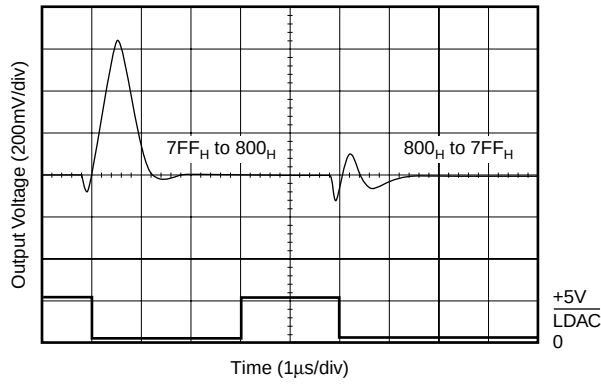
デュアル電源電流制限対入力コード
グラウンドに短絡



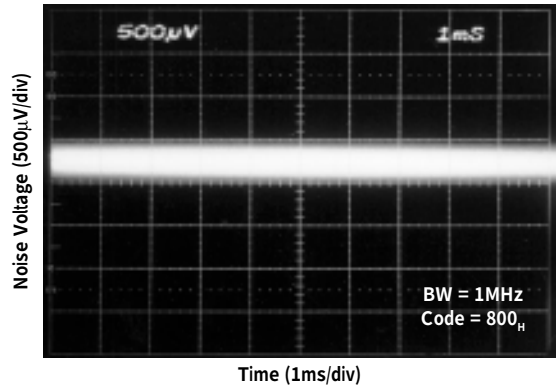
電源除去比対周波数



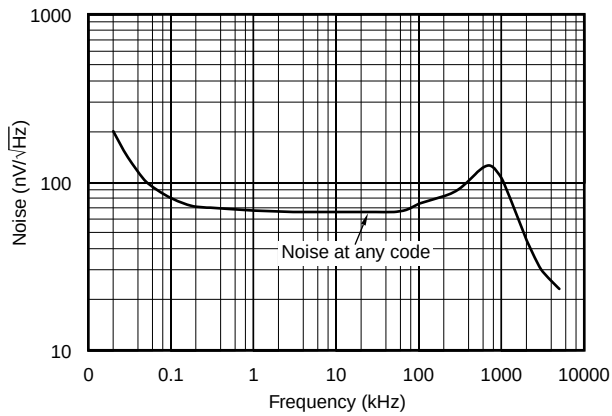
出力電圧
ミッドスケール・グリッチ性能



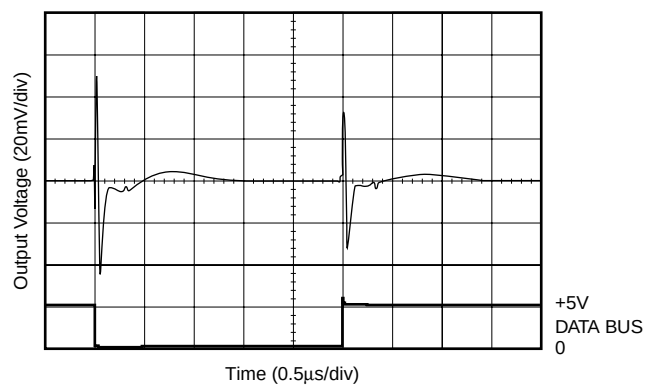
広帯域雑音



出力雑音対周波数



データ・バス・フィードスルー・グリッチ



動作原理

DAC7724およびDAC7725は、12ビット、クワッド・タイプの電圧出力D/Aコンバータ(DAC)です。アーキテクチャは、図1に示すように、クラシックなR-2Rラダー構成で、後段にバッファとして機能するオペアンプがあります。各DACごとにR-2Rラダー・ネットワークと出力オペアンプがありますが、リファレンス電圧入力はすべてのDACで共有しています。最小電圧出力(ゼロスケール)および最大電圧出力(フルスケール)は、それぞれ外部電

圧リファレンス V_{REFL} および V_{REFH} によって設定します。デジタル入力は12ビットの平行・ワードであり、DAC入力レジスタにはリードバック機能があります。このコンバータは、+15Vの単一電源または±15Vのデュアル電源で動作させることができます。各デバイスはリセット機能を備えており、すべてのDACレジスタおよびDAC出力電圧を直ちにミッドスケール(DAC7724、800_H)またはゼロスケール(DAC7725、000_H)に設定します。DAC7724/25の基本動作については、図2および図3を参照してください。

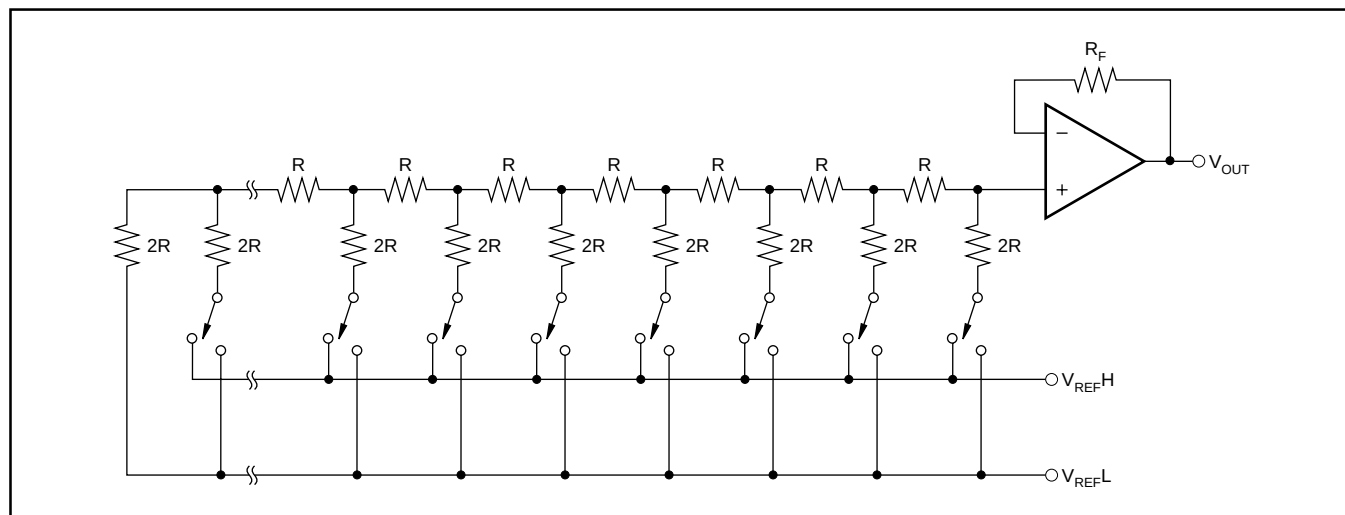


図1. DAC7724/25のアーキテクチャ

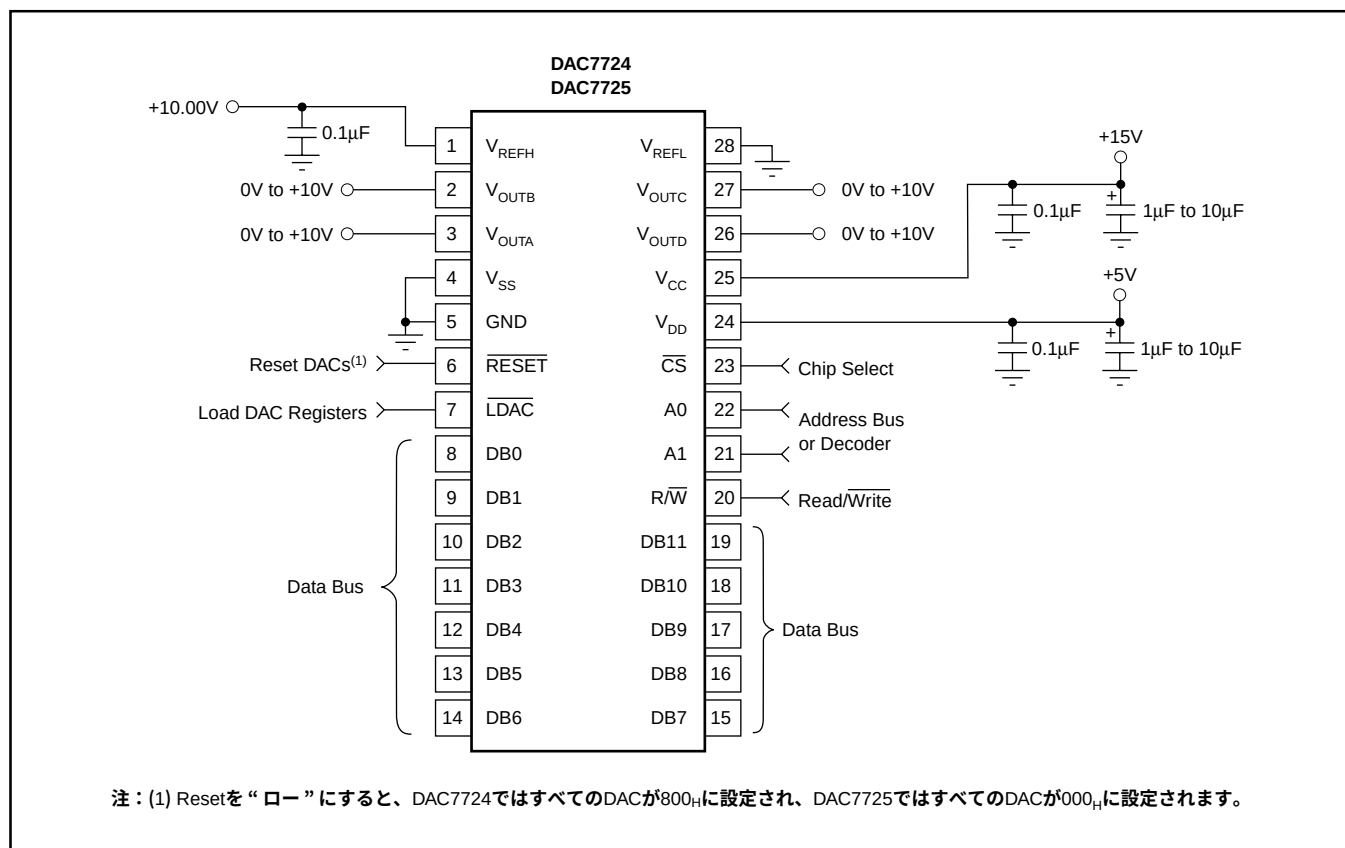


図2. DAC7724/25の基本的な単一電源動作

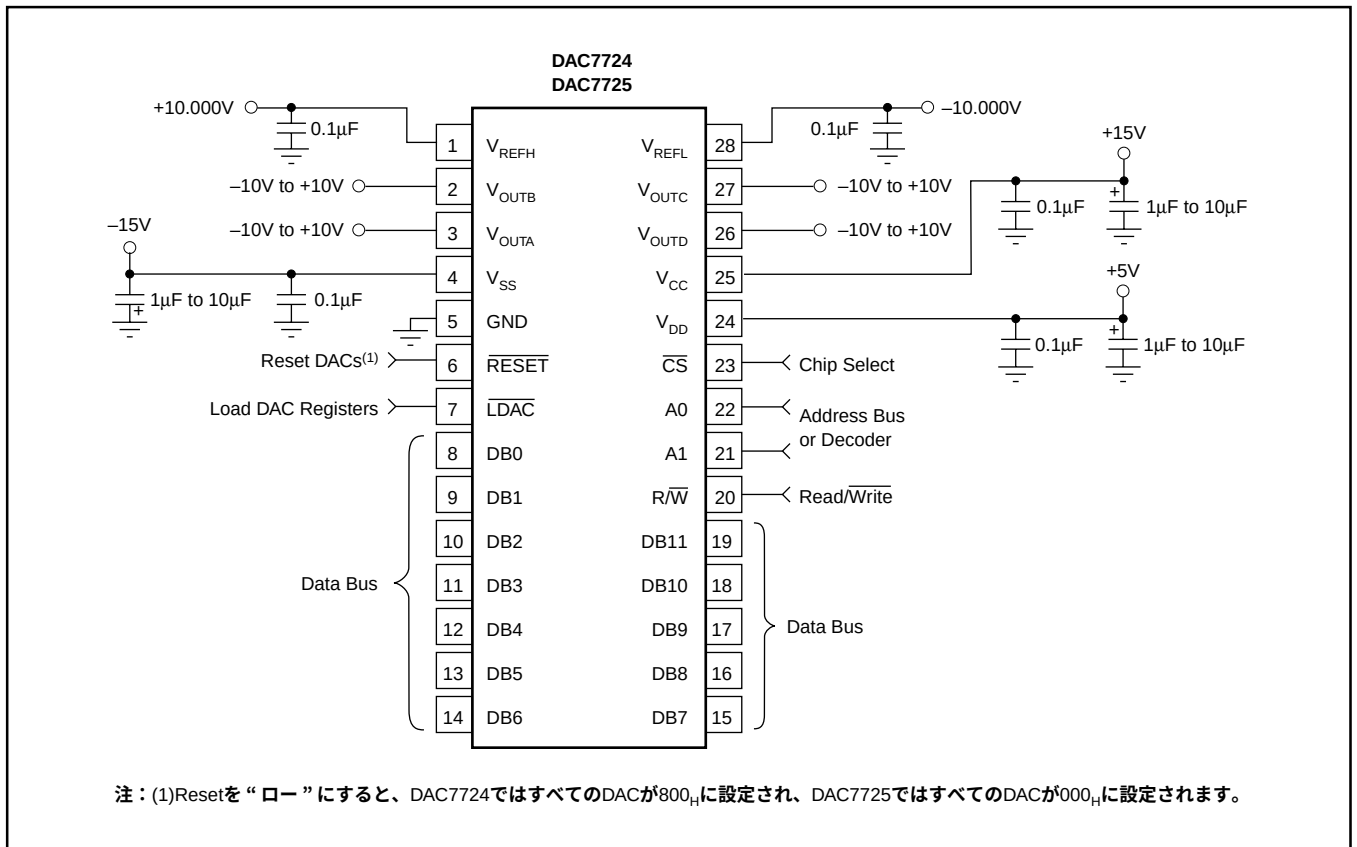


図3. DAC7724/25の基本的なデュアル電源動作

アナログ出力

$V_{SS} = -15V$ (デュアル電源動作) のとき、出力アンプは電源レールの4V以内までスイングでき、 $-40^{\circ}C \sim +85^{\circ}C$ の温度範囲にわたり保証されています。 $V_{SS} = 0V$ (単一電源動作) で R_{LOAD} をグランドに接続したとき、出力はグランドまでスイングできます。グランドにきわめて近い電圧では、出力オペアンプのセトリングタイムが長くなることに注意してください。 $V_{SS} = 0V$ のときは、ゼロスケール誤差の測定にも注意が必要です。出力アンプに負のオフセットがある場合、出力電圧はグランド以下にスイングできないため、最初のいくつかのデジタル入力コード (000_H、001_H、002_H など) に対して出力電圧が変化しないことがあります。単一電源の場合、負のオフセットの制限値が4LSB (−9.76mV) で、仕様が規定される最初の出力はコード004_H となります。

リファレンス入力

デュアル電源動作の場合、リファレンス入力 V_{REFL} および V_{REFH} は、 V_{REFH} が V_{REFL} より1.25V以上高い限り、 $V_{SS} + 4V$ から $V_{CC} - 4V$ までの任意の電圧を使用することができます。単一電源動作 ($V_{SS} = 0V$) の場合、同様に V_{REFH} が V_{REFL} より1.25V以上高い限り、 V_{REFL} は0V以上の任意の電圧を使用できます。各DACの最小出力は、 V_{REFL} にわずかなオフセット電圧 (ほぼ出力オペアンプのオフセット) を加えたものになります。最大出力は、 V_{REFH} に同様のオフセット電圧を加えたものになります。 V_{SS} (負電源) は、グランドに接続するか、 $-14.25V \sim -15.75V$ の範囲内でなければなりません。 V_{SS} の電圧によって、コンバータ内部の複数のバイアス・ポイントが設定されます。 V_{SS} がこれらの値になっていない場合、バイアス値が不正になり、デバイスの正しい動作が保証されません。

V_{REFH} 入力に流れ込む電流および V_{REFL} から流れ出す電流は、DACの出力電圧に依存し、数 μA から約0.3mAまでの範囲で変動します。リファレンス入力、リファレンスに対する可変負荷として作用します。リファレンスで必要なシンク電流またはソース電流が得られるならば、リファレンス・バッファは必要ありません。代表的性能曲線の「リファレンス電流対コード」を参照してください。

アナログ電源は、リファレンス電源と同時に、それより先にオンになる必要があります。リファレンスの電源が先にオンになると、 V_{CC} と V_{SS} の電源は「ESD保護ダイオードを介してリファレンスから電源が供給される」状態になります (ESD保護回路を参照)。

DAC7724/25パッケージのできるだけ近くに0.1 μF 以上のコンデンサを配置してリファレンス電圧をバイパスすることを強く推奨します。

デジタル・インターフェース

表Iに、DAC7724/25の基本的な制御ロジックを示します。各内部レジスタはレベル・トリガであり、エッジ・トリガではないことに注意してください。対応する信号が「ロー」になると、レジスタは透過的になります。この信号が「ハイ」に戻ると、現在レジスタ内にあるデジタル・ワードがラッチされます。最初のレジスタ・セット (入力レジスタ) は、A0、A1、 $R/\overline{W}$ 、および $\overline{CS}$ 入力によってトリガされます。これらのレジスタのうち、同時に透過的になるのは1つだけです。2番目のレジスタ・セット (DACレジスタ) は、 $\overline{LDAC}$ 入力 が「ロー」になるとすべて透過的になります。

各DACは、対応する入力レジスタに書き込んでからDACレジスタを更新することにより、それぞれ独立して更新できます。ま

たは、LDACを“ロー”に維持することで、DACレジスタ全体が常に透過的になるように設定することもできます。DACの更新は、入力レジスタに書き込まれたときに行われます。

ダブル・バッファリング・アーキテクチャの主な目的は、各DAC入力レジスタにいつでも書き込むことができ、その後でLDACを“ロー”にしてすべてのDAC出力電圧を同時に更新できるようにすることです。また、DAC入力レジスタに任意の時点で書き込んで、LDACに接続されたトリガ信号を介してDAC電圧を同時に変更することもできます。

デジタル・タイミング

図4と表IIに、DAC7724およびDAC7725のデジタル・インターフェースの詳細なタイミングを示しています。

デジタル入力コーディング

DAC7724およびDAC7725の入力データは、ストレート・バイナリ・フォーマットです。出力電圧は次の式で与えられます。

$$V_{OUT} = V_{REFL} + \frac{(V_{REFH} - V_{REFL}) \cdot N}{4096}$$

ここでNはデジタル入力コードです。この式には、オフセット（ゼロスケール）誤差の影響は含まれていません。

A1	A0	R/W	CS	RESET	LDAC	選択される 入力レジスタ	選択された 入力レジスタの状態	すべての DACレジスタの状態
L ⁽¹⁾	L	L	L	H ⁽²⁾	L	A	透過的	透過的
L	H	L	L	H	L	B	透過的	透過的
H	L	L	L	H	L	C	透過的	透過的
H	H	L	L	H	L	D	透過的	透過的
L	L	L	L	H	H	A	透過的	ラッチ
L	H	L	L	H	H	B	透過的	ラッチ
H	L	L	L	H	H	C	透過的	ラッチ
H	H	L	L	H	H	D	透過的	ラッチ
L	L	H	L	H	H	A	リードバック	ラッチ
L	H	H	L	H	H	B	リードバック	ラッチ
H	L	H	L	H	H	C	リードバック	ラッチ
H	H	H	L	H	H	D	リードバック	ラッチ
X ⁽³⁾	X	X	H	H	L	なし	(すべてラッチ)	透過的
X	X	X	H	H	H	なし	(すべてラッチ)	ラッチ
X	X	X	X	L	X	すべて	リセット ⁽⁴⁾	リセット ⁽⁴⁾

注：(1)L = ロジック“ロー”。(2)H = ロジック“ハイ”。(3)X = 無視(4)DAC7724は800_hにリセットされます。DAC7725は000_hにリセットされます。RESETが立ち上がると、ラッチされた状態のレジスタはすべてリセット値を保持します。

表I. DAC7724とDAC7725の制御ロジック真理値表

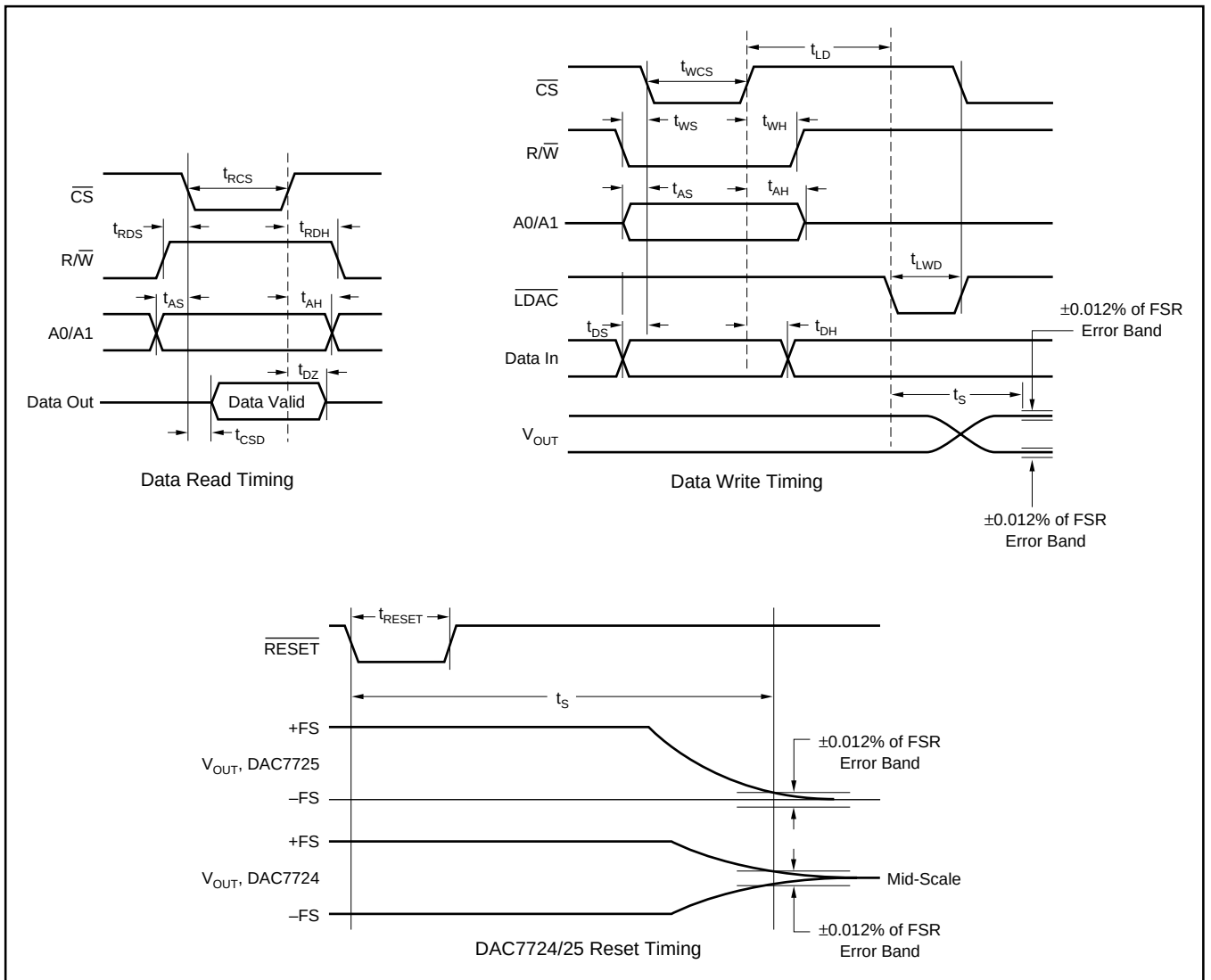


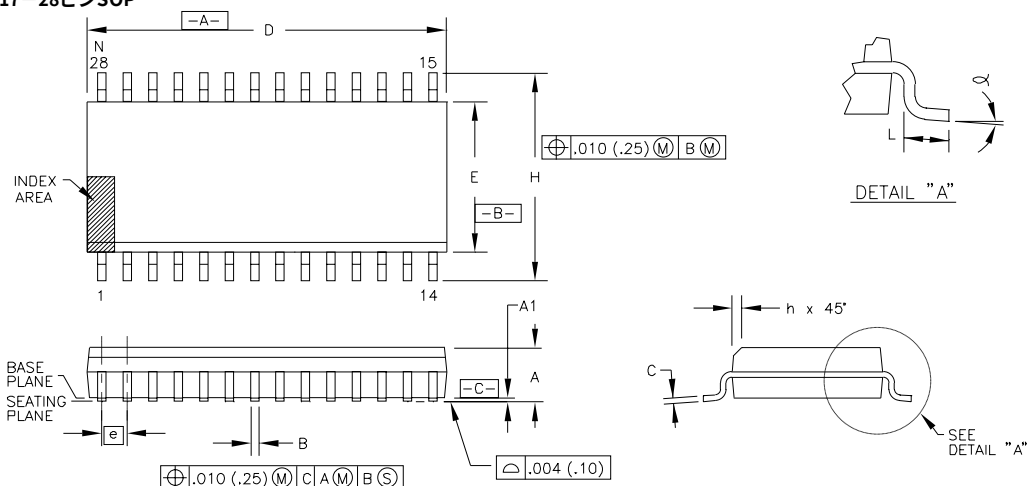
図4. デジタル入力および出力のタイミング

記号	説明	最小	標準	最大	単位
t_{RCS}	読み取り時の $\overline{CS}$ “ロー”	200			ns
t_{RDS}	$R/\overline{W}$ “ハイ”から $\overline{CS}$ “ロー”まで	10			ns
t_{RDH}	$\overline{CS}$ “ハイ”後の $R/\overline{W}$ “ハイ”	10			ns
t_{DZ}	$\overline{CS}$ “ハイ”からデータ・バスのハイ・インピーダンスまで		100		ns
t_{CSD}	$\overline{CS}$ “ロー”からデータ・バス有効まで		100	160	ns
t_{WCS}	書き込み時の $\overline{CS}$ “ロー”	50			ns
t_{WS}	$R/\overline{W}$ “ロー”から $\overline{CS}$ “ロー”まで	0			ns
t_{WH}	$\overline{CS}$ “ハイ”後の $R/\overline{W}$ “ロー”	0			ns
t_{AS}	アドレス有効から $\overline{CS}$ “ロー”まで	0			ns
t_{AH}	$\overline{CS}$ “ハイ”後のアドレス有効	0			ns
t_{LD}	$\overline{CS}$ “ハイ”からのLDAC遅延	10			ns
t_{DS}	データ有効から $\overline{CS}$ “ロー”まで	0			ns
t_{DH}	$\overline{CS}$ “ハイ”後のデータ有効	0			ns
t_{LWD}	LDAC“ロー”	50			ns
t_{RESET}	RESET“ロー”時間	50			ns
t_S	セトリングタイム			10	μ s

表II. タイミング仕様($T_A = -40^\circ\text{C} \sim +85^\circ\text{C}$)

外観

パッケージ番号217-28ピンSOP



DIM	INCHES		MILLIMETERS		N	E	DIM	INCHES		MILLIMETERS		N	E
	MIN.	MAX.	MIN.	MAX.				MIN.	MAX.	MIN.	MAX.		
A	.0926	.1043	2.35	2.65									
A1	.004	.0118	0.10	0.30									
B	.013	.020	0.33	0.51	7								
C	.0091	.0125	0.23	0.32									
D	.6969	.7125	17.70	18.10	2								
E	.2914	.2992	7.40	7.60	3								
e	.050	BASIC	1.27	BASIC									
H	.398	.419	10.11	10.65									
h	.010	.0295	0.25	0.75	4								
L	.020	.040	.508	1.02	5								
N	28		28		6								
α	0°	8°	0°	8°									

NOTES:

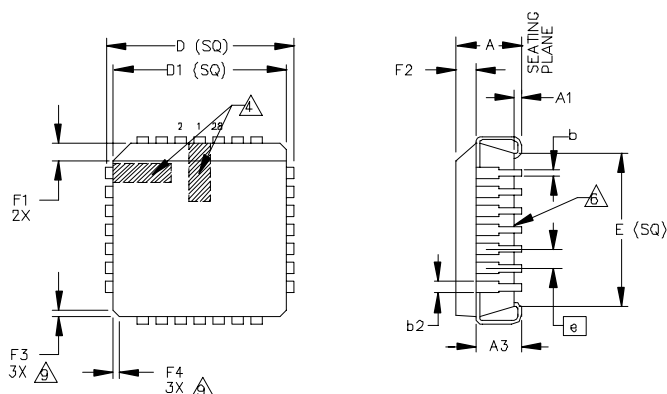
- DIMENSIONING AND TOLERANCING PER ANSI Y14.5M-1982.
- DIMENSION D DOES NOT INCLUDE MOLD FLASH, PROTRUSIONS OR GATE BURRS. MOLD FLASH, PROTRUSIONS AND GATE BURRS SHALL NOT EXCEED .006 IN. (0.15 mm) PER SIDE.
- DIMENSION E DOES NOT INCLUDE INTER-LEAD FLASH OR PROTRUSIONS. INTER-LEAD FLASH AND PROTRUSIONS SHALL NOT EXCEED .010 IN. (0.25 mm) PER SIDE.
- THE CHAMFER ON THE BODY IS OPTIONAL. IF IT IS NOT PRESENT, A VISUAL INDEX FEATURE MUST BE LOCATED WITHIN THE
- L IS THE LENGTH OF TERMINAL FOR SOLDERING TO A SUBSTRATE.
- N IS THE NUMBER OF TERMINAL POSITIONS.
- THE LEAD WIDTH B, AS MEASURED .014 IN. (0.36 mm) OR GREATER ABOVE THE SEATING PLANE, SHALL NOT EXCEED A MAXIMUM VALUE OF .024 IN. (0.61 mm).
- LEAD TO LEAD COPLANARITY SHALL BE LESS THAN .004 IN. (0.10 mm) FROM SEATING PLANE.

CROSSHATCHED AREA.

PACKAGE NUMBER: ZZ217 REV.: G

JEDEC NUMBER: MS-013-AE WITH THE EXCEPTION OF DIM. H, L.

パッケージ番号251-28ピンPLCC



DIM	INCHES		MILLIMETERS		N	E	DIM	INCHES		MILLIMETERS		N	E
	MIN.	MAX.	MIN.	MAX.				MIN.	MAX.	MIN.	MAX.		
A	.165	.180	4.19	4.57									
A1	.020	—	0.51	—									
A3	.090	.120	2.29	3.05									
b	.013	.021	0.33	0.53									
b2	.026	.032	0.66	0.81									
D	.485	.495	12.32	12.57									
D1	.450	.456	11.43	11.58	8								
E	.390	.430	9.91	10.92									
e	.050	BASIC	1.27	BASIC									
F1	.042	.048	1.07	1.22									
F2	.042	.056	1.07	1.42									
F3	—	.020	—	0.51									
F4	—	.020	—	0.51									
N	28		28		5								

NOTES:

- ALL DIMENSIONS AND TOLERANCES CONFORM TO ANSI Y14.5M-1982.
- CONTROLLING DIMENSION, INCH.
- PIN NUMBERS SHOWN FOR REFERENCE ONLY. NUMBERS MAY NOT BE MARKED ON PACKAGE.
- DETAILS OF PIN 1 IDENTIFIER ARE OPTIONAL BUT MUST BE LOCATED WITHIN ONE OF THE TWO ZONES INDICATED.
- N IS THE MAXIMUM OF TERMINAL POSITIONS.
- PLASTIC BODY DETAILS BETWEEN LEADS ARE OPTIONAL.
- LEADS IN TRUE POSITION WITHIN .010" (0.25mm) R @ MMC AT SEATING PLANE.
- DIMENSION D1 DOES NOT INCLUDE MOLD PROTRUSION. ALLOWABLE MOLD PROTRUSION IS .010 in. (0.254mm).
- EXACT SHAPE OF THIS FEATURE IS OPTIONAL.

PACKAGE NUMBER: ZZ251 REV.: C

JEDEC NUMBER: MO-047-AB