



## 16ビット、クワッド電圧出力型D/Aコンバータ

### 特長

- 低消費電力：10mW
- ユニポーラおよびバイポーラ動作
- セトリングタイム：10 $\mu$ s(0.003%)
- 15ビット直線性および単調性：-40 ~ +85
- ミッドスケールまたはゼロスケールへのリセット
- データのリードバック
- 入力データのダブルバッファ化

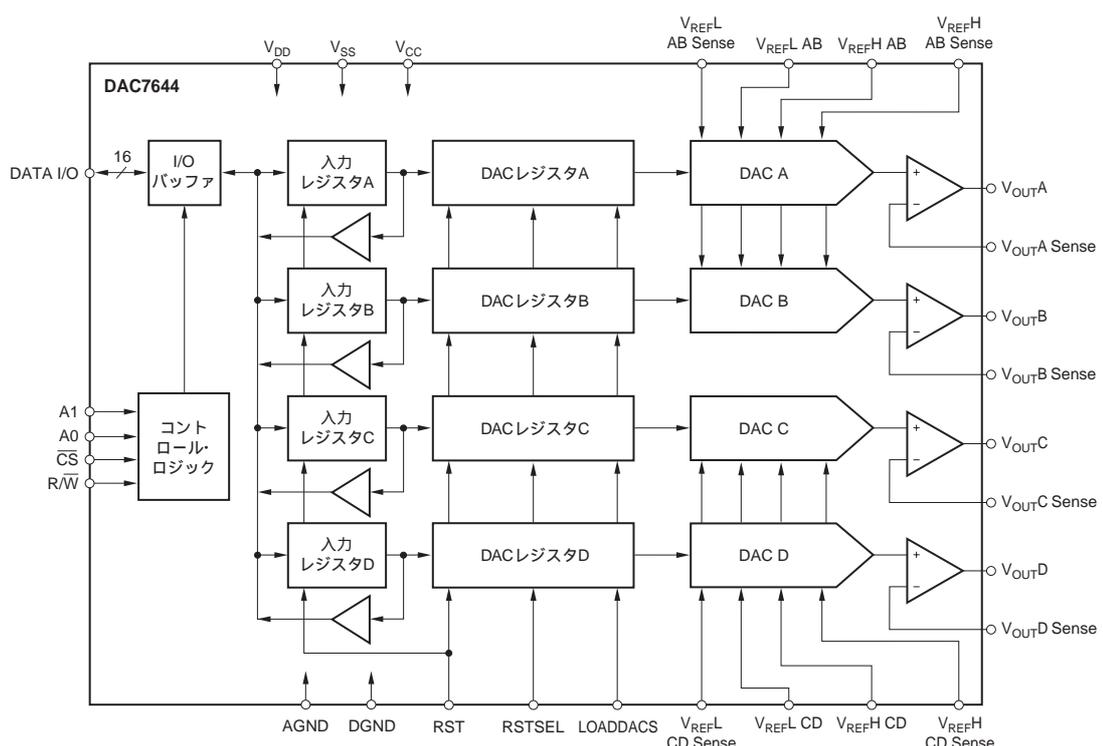
### アプリケーション

- プロセス制御
- 閉ループ・サーボ制御
- モータ制御
- データ・アキュイジション・システム
- DAC-PER-PINプログラマ

### 概要

DAC7644は、仕様温度範囲において15ビットの単調性が保証された16ビットのクワッド電圧出力型D/Aコンバータです。16ビットの平行入力データ、DAC入力段のダブルバッファ化(全てのDACを同時に更新できます)、内部入力レジスタのリードバック・モードなどを備えています。また、非同期リセットにより全てのレジスタは8000<sub>H</sub>のミッドスケールまたは0000<sub>H</sub>のゼロスケールにクリアされます。この製品は、単一-5Vまたは+5Vと-5V電源で動作します。

小型かつ低消費電力のDAC7644は、自動テスト装置やDAC-PER-PINプログラマ、データ・アキュイジション・システム、閉ループ・サーボ制御などに最適です。パッケージは48ピンSSOPで供給され、-40 から+85 の温度範囲で仕様が保証されています。



# 仕様 (デュアル電源)

特に記述のない限り、 $T_A = T_{MIN} \sim T_{MAX}$ 、 $V_{DD} = V_{CC} = +5V$ 、 $V_{SS} = -5V$ 、 $V_{REF,H} = +2.5V$ 、 $V_{REF,L} = -2.5V$ です。

パラメータ	条件	DAC7644E			DAC7644EB			単位
		最小	標準	最大	最小	標準	最大	
<b>精度</b> 直線性誤差 直線性マッチング 微分直線性誤差 単調性、 $T_{MIN} \sim T_{MAX}$ バイポーラゼロ誤差 バイポーラゼロ誤差ドリフト フルスケール誤差 フルスケール誤差ドリフト バイポーラゼロ・マッチング フルスケール・マッチング 電源除去比(PSRR)	チャンネル間マッチング チャンネル間マッチング フルスケール	14	±3 ±4 ±2 ±1 5 ±1 5 ±1 ±1 10	±4 ±3 ±2 ±2 10 ±2 ±2 ±2 100	15	±2 ±2 ±1 * * * * ±1 ±1 *	±3 * * * * ±2 ±2 *	LSB LSB LSB Bits mV ppm/ mV ppm/ mV mV ppm/V
<b>アナログ出力</b> 出力電圧 出力電流 最大負荷容量 短絡電流 短絡時間	$V_{REF} = -2.5V$ 、 $R_L = 10k\Omega$ 、 $V_{SS} = -5V$ 無発振 GND or $V_{CC}$ or $V_{SS}$	$V_{REF,L}$ -1.25	500 -10, +30 indefinite	$V_{REF,H}$ +1.25	*	*	*	V mA pF mA
<b>リファレンス入力</b> リファレンス“ハイ”入力電圧範囲 リファレンス“ロー”入力電圧範囲 リファレンス“ハイ”入力電流 リファレンス“ロー”入力電流		$V_{REF,L} + 1.25$ -2.5	500 -500	+2.5 $V_{REF,H} - 1.25$	*	*	*	V V $\mu A$ $\mu A$
<b>ダイナミック特性</b> セトリングタイム チャンネル間クロストーク デジタルフィードスルー 出力ノイズ電圧 DACグリッチ	$\pm 0.003\%$ まで、5V出力ステップ 図5を参照 f = 10kHz $7FFF_H$ to $8000_H$ or $8000_H$ to $7FFF_H$		8 0.5 2 60 40	10 * * * *	*	*	$\mu s$ LSB nV-s nV/ $\sqrt{Hz}$ nV-s	
<b>デジタル入力</b> $V_{IH}$ $V_{IL}$ $I_{IH}$ $I_{IL}$		$0.7 \cdot V_{DD}$		$0.3 \cdot V_{DD}$ ±10 ±10	*	*	*	V V $\mu A$ $\mu A$
<b>デジタル出力</b> $V_{OH}$ $V_{OL}$	$I_{OH} = -0.8mA$ $I_{OL} = 1.2mA$	3.6	4.5 0.3	0.4	*	*	*	V V
<b>電源条件</b> $V_{DD}$ $V_{CC}$ $V_{SS}$ $I_{CC}$ $I_{DD}$ $I_{SS}$ 電力		+4.75 +4.75 -5.25	+5.0 +5.0 -5.0 1.5 50 -2.3 -1.5 15	+5.25 +5.25 -4.75 2 * * 20	*	*	*	V V V mA $\mu A$ mA mW
<b>温度範囲</b> 仕様に規定された性能		-40		+85	*	*	*	

\* 印は、DAC7644Eと同じ仕様であることを示します。

このデータシートに記載されている情報は、信頼しうるものと考えておりますが、不正確な情報や記載漏れ等に関して弊社は責任を負うものではありません。情報の使用について弊社は責任を負いませんので、各ユーザの責任において御使用下さい。価格や仕様は予告なしに変更される場合がありますのでご了承下さい。ここに記載されているいかなる回路についても工業所有権その他の権利またはその実施権を付与したり承諾したりするものではありません。弊社は弊社製品を生命維持に関する機器またはシステムに使用することを承認または保証するものではありません。

# 仕様(シングル電源)

特に記述のない限り、 $T_A = T_{MIN} \sim T_{MAX}$ 、 $V_{DD} = V_{CC} = +5V$ 、 $V_{SS} = 0V$ 、 $V_{REFH} = +2.5V$ 、 $V_{REFL} = 0V$ です。

パラメータ	条件	DAC7644E			DAC7644EB			単位
		最小	標準	最大	最小	標準	最大	
<b>精度</b> 直線性誤差 <sup>(1)</sup> 直線性マッチング 微分直線性誤差 単調性、 $T_{MIN} \sim T_{MAX}$ ゼロスケール誤差 ゼロスケール誤差ドリフト フルスケール誤差 フルスケール誤差ドリフト ゼロスケール・マッチング フルスケール・マッチング 電源除去比(PSRR)	チャンネル間マッチング チャンネル間マッチング フルスケール	14	±3 ±4 ±2 ±1 5 ±1 5 ±1 5 ±1 ±1 10	±4 ±3 ±2 ±2 10 ±2 ±2 ±2 ±2 ±2 100	15	±2 ±2 ±1 * * * * * ±1 ±1 * *	±3 * * * * * ±2 ±2 * *	LSB LSB LSB Bits mV ppm/ mV ppm/ mV mV ppm/V
<b>アナログ出力</b> 出力電圧 出力電流 最大負荷容量 短絡電流 短絡時間	$V_{REFL} = 0V$ 、 $V_{SS} = 0V$ 、 $R_L = 10k\Omega$ 無発振 GND or $V_{CC}$	0 -1.25	500 ±30 indefinite	$V_{REFH}$ +1.25	* *	* *	V mA pF mA	
<b>リファレンス入力</b> リファレンス“ハイ”入力電圧範囲 リファレンス“ロー”入力電圧範囲 リファレンス“ハイ”入力電流 リファレンス“ロー”入力電流		$V_{REFL} + 1.25$ 0	250 -250	$+2.5$ $V_{REFH} - 1.25$	* *	* *	V V $\mu A$ $\mu A$	
<b>ダイナミック特性</b> セトリングタイム チャンネル間クロストーク デジタルフィードスルー 出力ノイズ電圧、 $f = 10kHz$ DACグリッチ	$\pm 0.003\%$ まで、2.5V出力ステップ 図6を参照 $7FFF_H$ to $8000_H$ or $8000_H$ to $7FFF_H$		8 0.5 2 60 40	10	* * * * *	* * * * *	$\mu s$ LSB nV-s $nV/\sqrt{Hz}$ nV-s	
<b>デジタル入力</b> $V_{IH}$ $V_{IL}$ $I_{IH}$ $I_{IL}$		$0.7 \cdot V_{DD}$		$0.3 \cdot V_{DD}$ ±10 ±10	*	* * *	V V $\mu A$ $\mu A$	
<b>デジタル出力</b> $V_{OH}$ $V_{OL}$	$I_{OH} = -0.8mA$ $I_{OL} = 1.2mA$	3.6	4.5 0.3	0.4	* *	* *	V V	
<b>電源条件</b> $V_{DD}$ $V_{CC}$ $V_{SS}$ $I_{CC}$ $I_{DD}$ 電力		+4.75 +4.75 0	+5.0 +5.0 0 1.5 50 7.5	+5.25 +5.25 0 2 10	* * * * * *	* * * * * *	V V V mA $\mu A$ mW	
<b>温度範囲</b> 仕様に規定された性能		-40		+85	*	*		

\*印は、DAC7644Eと同じ仕様であることを示します。

注：(1)  $V_{SS} = 0V$ の場合、負のゼロスケール誤差により、仕様は0040<sub>H</sub>とそれ以上のコードに適用されます。

## 絶対最大定格<sup>(1)</sup>

$V_{CC}$ および $V_{DD}$ から $V_{SS}$ まで	-0.3V ~ 11V
$V_{CC}$ および $V_{DD}$ からGNDまで	-0.3V ~ 5.5V
$V_{REFL}$ から $V_{SSH}$ まで	-0.3V ~ ( $V_{CC} - V_{SS}$ )
$V_{CC}$ から $V_{REFH}$ まで	-0.3V ~ ( $V_{CC} - V_{SS}$ )
$V_{REFH}$ から $V_{REFL}$ まで	-0.3V ~ ( $V_{CC} - V_{SS}$ )
デジタル入力電圧からGNDまで	-0.3V ~ $V_{DD} + 0.3V$
デジタル出力電圧からGNDまで	-0.3V ~ $V_{DD} + 0.3V$
最大接合部温度	+150
動作温度範囲	-40 ~ +85
保存温度範囲	-65 ~ +125
リード温度 (10秒間の半田付け)	+300

注：(1)上記の絶対最大定格を超えるストレスを与えると、デバイスが永久に損傷する恐れがあります。また長時間にわたり、絶対最大定格の条件下で使用すると、デバイスの信頼性が損なわれることがあります。



## 静電気放電対策

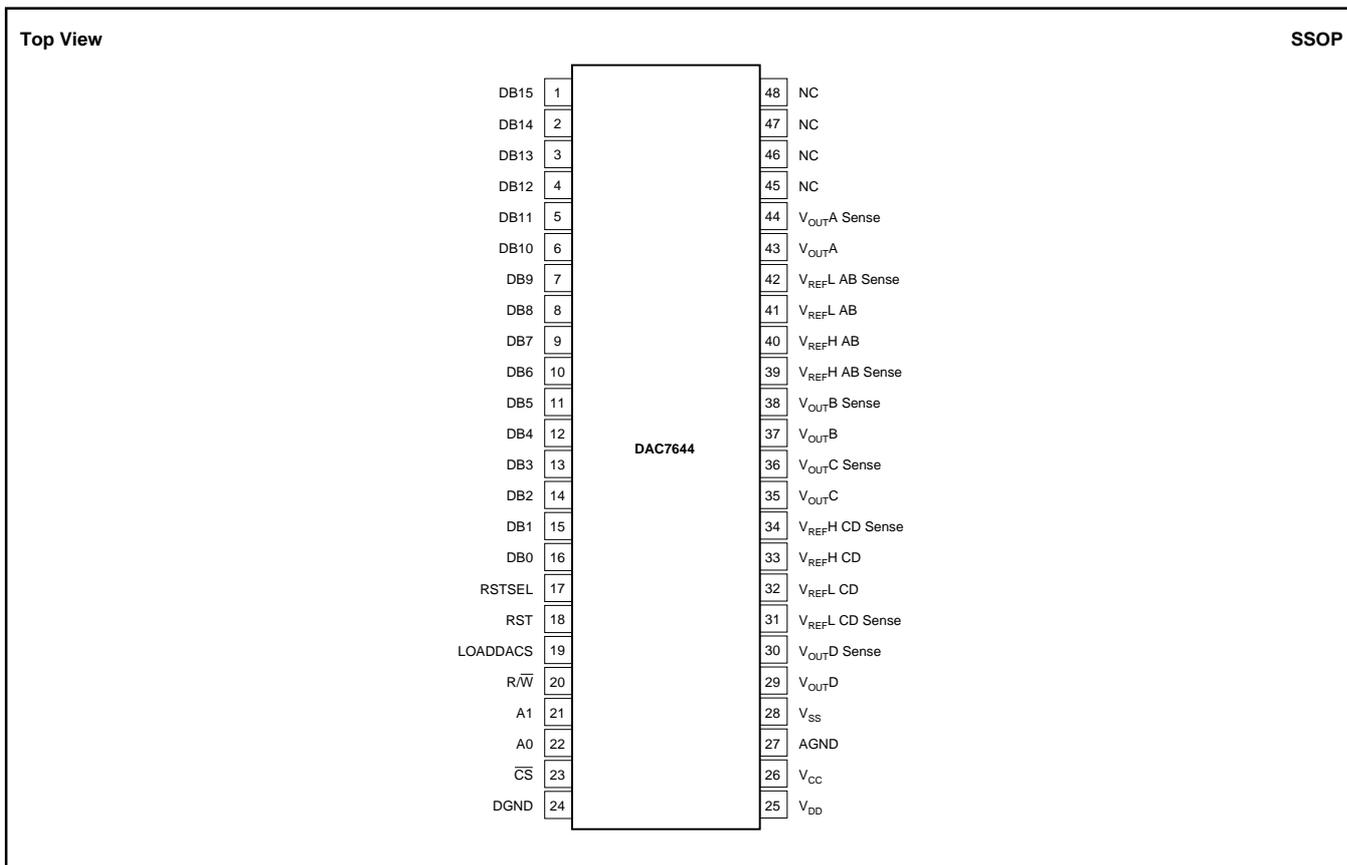
静電気放電はわずかな性能の低下から完全なデバイスの故障に至るまで、様々な損傷を与えます。すべての集積回路は、適切なESD保護方法を用いて、取扱いと保存を行うようにして下さい。高精度の集積回路は、損傷に対して敏感であり、極めてわずかなパラメータの変化により、デバイスに規定された仕様に適合しなくなる場合があります。

## パッケージ情報/ご発注の手引き

モデル	直線性誤差 (LSB)	微分非直線性 (LSB)	パッケージ	パッケージ図番号 <sup>(1)</sup>	仕様温度範囲	発注番号 <sup>(2)</sup>	供給時の状態
DAC7644E	±4	±3	48ピンSSOP	333	-40 ~ +85	DAC7644E	マガジン
DAC7644E	±4	±3	48ピンSSOP	333	-40 ~ +85	DAC7644E/1K	テープリール
DAC7644EB	±3	±2	48ピンSSOP	333	-40 ~ +85	DAC7644EB	マガジン
DAC7644EB	±3	±2	48ピンSSOP	333	-40 ~ +85	DAC7644EB/1K	テープリール

注：(1)詳細図および寸法表は、データシートの巻末を参照して下さい。(2)スラッシュ(/)の付いたモデルは、その後に示される数量を単位として、テープリールでのみ供給されます(例えば、/1Kは1,000個で1リールであることを示します)。「DAC7644E/1K」をご発注の場合、DAC7644Eが1,000個入ったテープリールが1本納入されます。

## ピン配置



## ピン構成

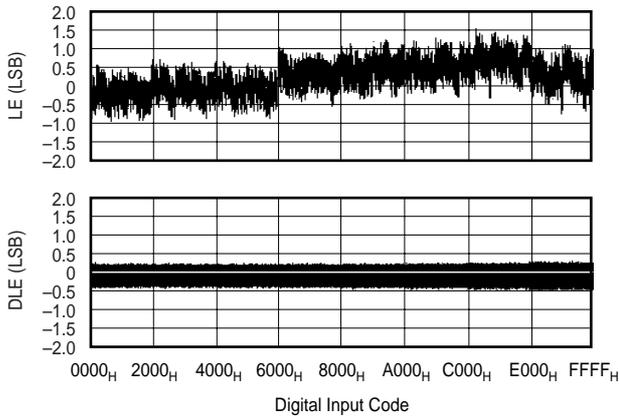
ピン番号	ピン名称	説明	ピン番号	ピン名称	説明
1	DB15	データビット15、MSB	23	CS	チップセレクト入力。アクティブ“ロー”
2	DB14	データビット14	24	DGND	デジタル・グラウンド
3	DB13	データビット13	25	V <sub>DD</sub>	正電源(デジタル)
4	DB12	データビット12	26	V <sub>CC</sub>	正電源(アナログ)
5	DB11	データビット11	27	AGND	アナログ・グラウンド
6	DB10	データビット10	28	V <sub>SS</sub>	負電源
7	DB9	データビット9	29	V <sub>OUTD</sub>	DAC D電圧出力
8	DB8	データビット8	30	V <sub>OUTD</sub> Sense	DAC Dの出力アンプ反転入力。負荷側でフィードバック・ループを閉じるのに使用する。
9	DB7	データビット7	31	V <sub>REFL</sub> CD Sense	DAC CおよびDリファレンス“ロー”センス入力
10	DB6	データビット6	32	V <sub>REFL</sub> CD	DAC CおよびDリファレンス“ロー”入力
11	DB5	データビット5	33	V <sub>REFH</sub> CD	DAC CおよびDリファレンス“ハイ”入力
12	DB4	データビット4	34	V <sub>REFH</sub> CD Sense	DAC CおよびDリファレンス“ハイ”センス入力
13	DB3	データビット3	35	V <sub>OUTC</sub>	DAC C電圧出力
14	DB2	データビット2	36	V <sub>OUTC</sub> Sense	DAC Cの出力アンプ反転入力。負荷側でフィードバック・ループを閉じるのに使用する。
15	DB1	データビット1	37	V <sub>OUTB</sub>	DAC B電圧出力
16	DB0	データビット0、LSB	38	V <sub>OUTB</sub> Sense	DAC Bの出力アンプ反転入力。負荷側でフィードバック・ループを閉じるのに使用する。
17	RSTSEL	リセット選択。RSTの状態を決定する。“ハイ”の場合RSTコマンドはDACレジスタをミッド・スケールに設定する。“ロー”の場合、RSTコマンドはDACレジスタをゼロに設定する。	39	V <sub>REFH</sub> AB Sense	DAC AおよびBリファレンス“ハイ”センス入力
18	RST	リセット入力。立ち上がりエッジでトリガされる。RSTSELの状態により、DACレジスタはミッドスケールまたはゼロに設定される。	40	V <sub>REFH</sub> AB	DAC AおよびBリファレンス“ハイ”入力
19	LOADDACs	DAC出力レジスタ負荷制御。立ち上がりエッジでトリガされる。	41	V <sub>REFL</sub> AB	DAC AおよびBリファレンス“ロー”入力
20	R/W	CSによってイネーブルされ、入力レジスタからのデータの読み出しおよび書き込みを制御する。	42	V <sub>REFL</sub> AB Sense	DAC AおよびBリファレンス“ロー”センス入力
21	A1	CSによってイネーブルされる。A0の組み合わせにより各々のDAC入力レジスタを選択する。	43	V <sub>OUTA</sub>	DAC A電圧入力
22	A0	CSによってイネーブルされる。A1の組み合わせにより各々のDAC入力レジスタを選択する。	44	V <sub>OUTA</sub> Sense	DAC Aの出力アンプ反転入力。負荷側でフィードバック・ループを閉じるのに使用する。
			45	NC	接続なし
			46	NC	接続なし
			47	NC	接続なし
			48	NC	接続なし

# 代表的性能曲線 : $V_{SS} = 0V$

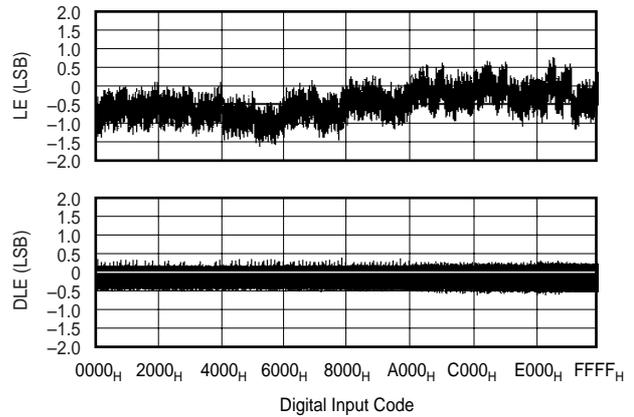
特に記述のない限り、 $T_A = +25$ 、 $V_{DD} = V_{CC} = +5V$ 、 $V_{SS} = 0V$ 、 $V_{REFH} = +2.5V$ 、 $V_{REFL} = 0V$ 、代表的ユニットです。

+25

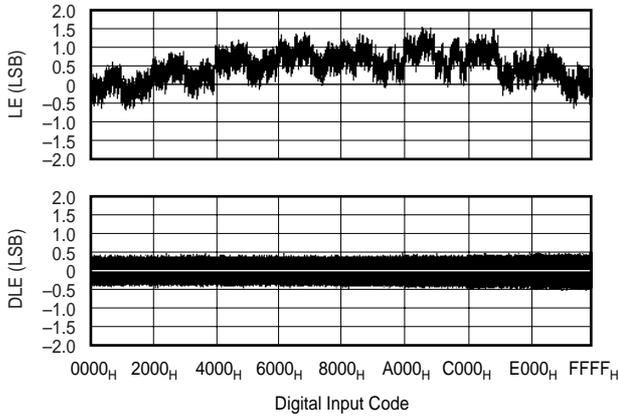
直線性誤差および微分直線性誤差対コード  
(DAC A, +25 )



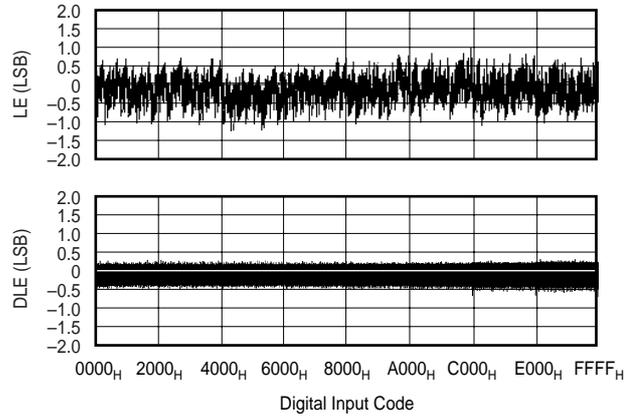
直線性誤差および微分直線性誤差対コード  
(DAC B, +25 )



直線性誤差および微分直線性誤差対コード  
(DAC C, +25 )

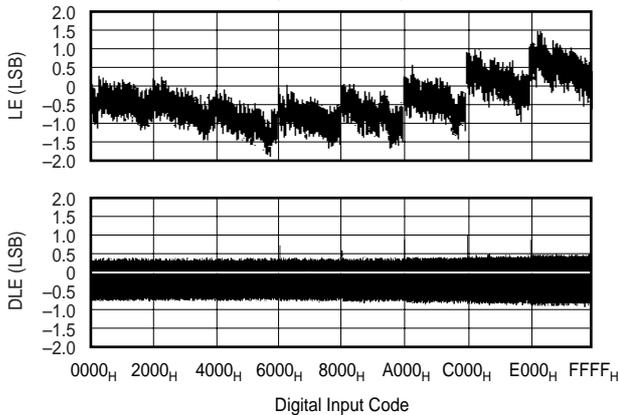


直線性誤差および微分直線性誤差対コード  
(DAC D, +25 )

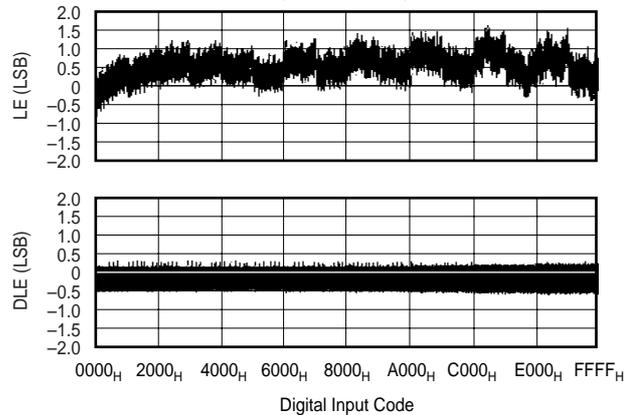


+85

直線性誤差および微分直線性誤差対コード  
(DAC B, +85 )



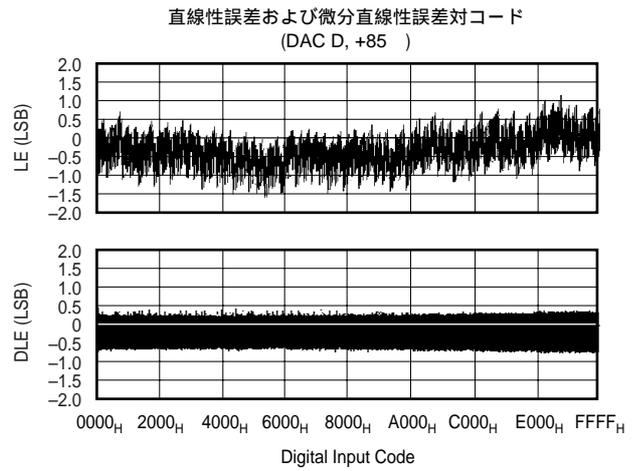
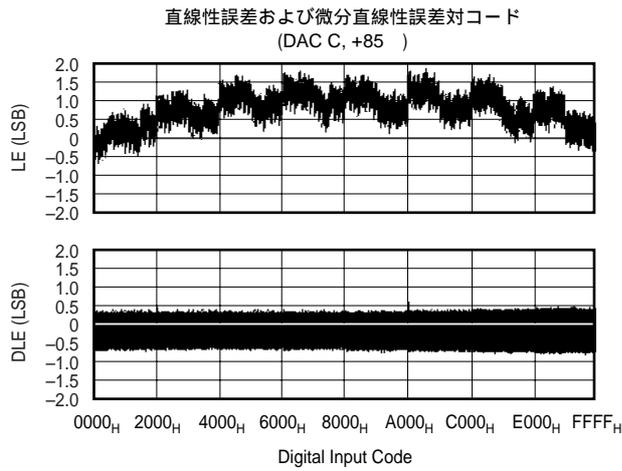
直線性誤差および微分直線性誤差対コード  
(DAC B, +85 )



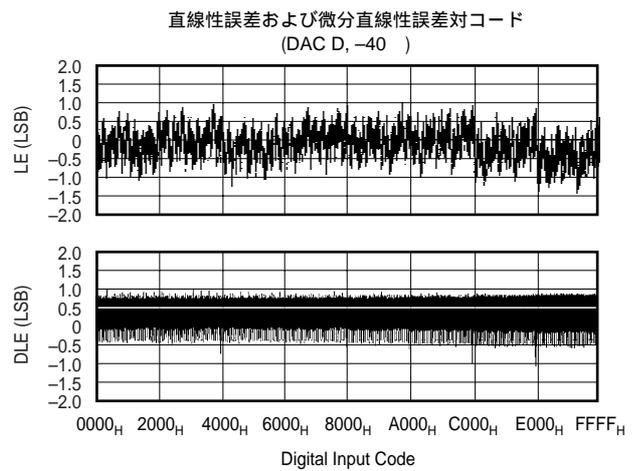
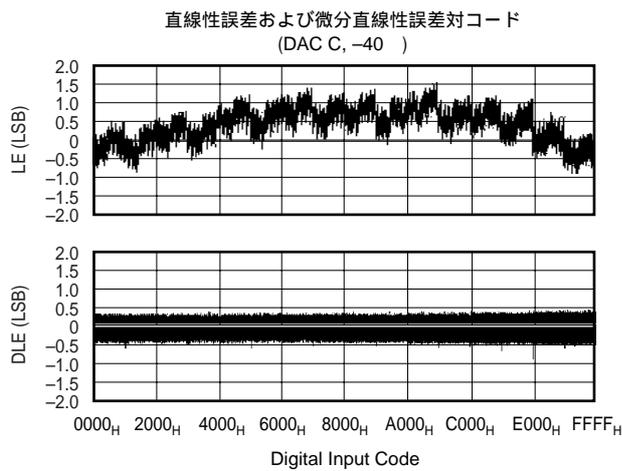
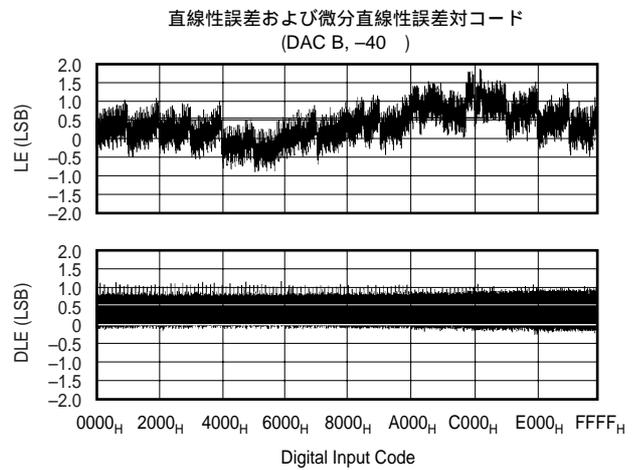
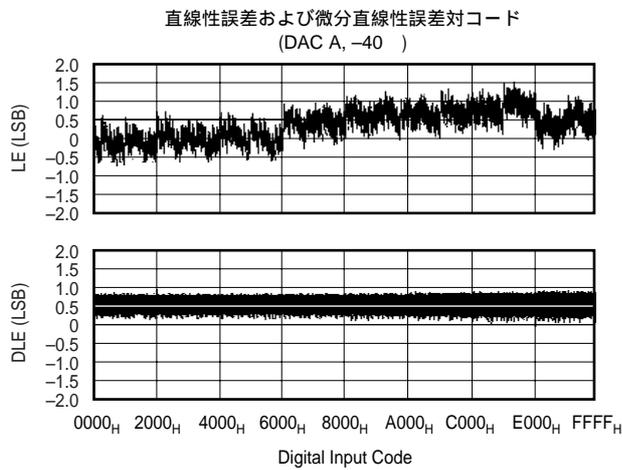
# 代表的性能曲線： $V_{SS} = 0V$

特に記述のない限り、 $T_A = +25$ 、 $V_{DD} = V_{CC} = +5V$ 、 $V_{SS} = 0V$ 、 $V_{REFH} = +2.5V$ 、 $V_{REFL} = 0V$ 、代表的ユニットです。

## +85 (続き)

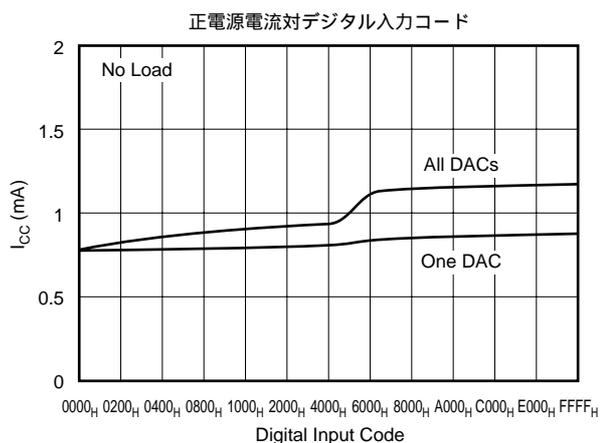
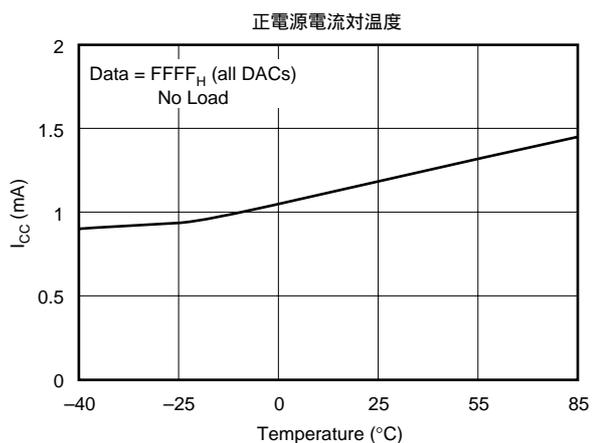
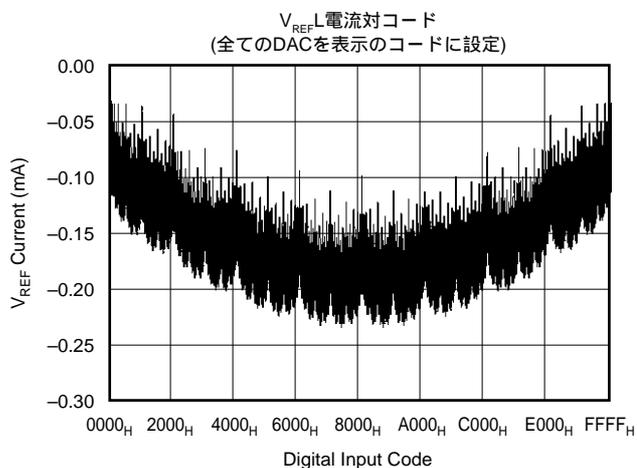
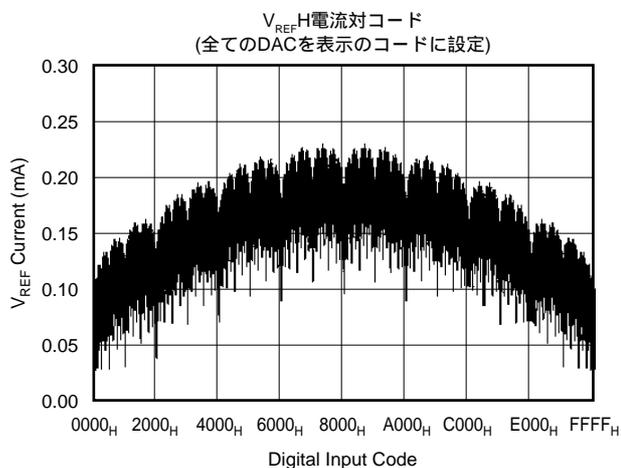
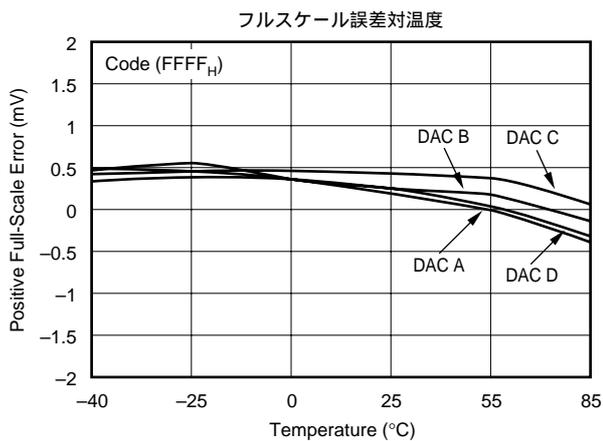
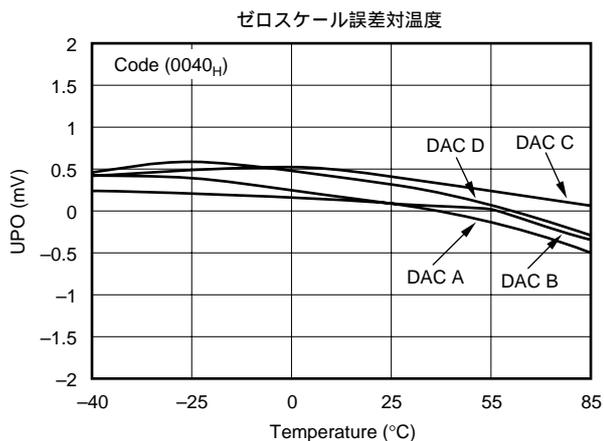


## -40



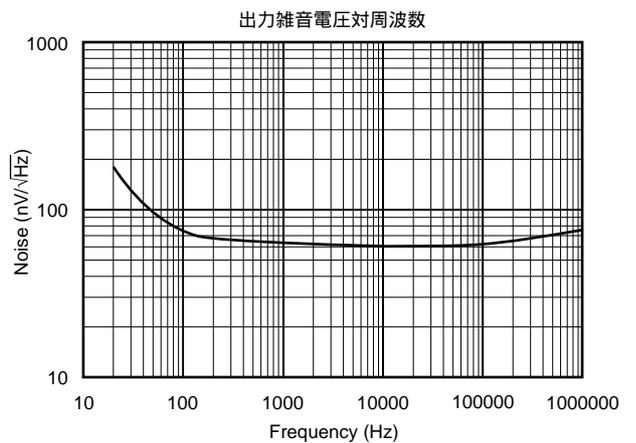
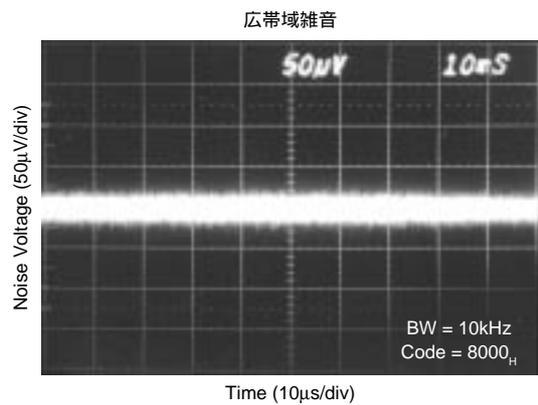
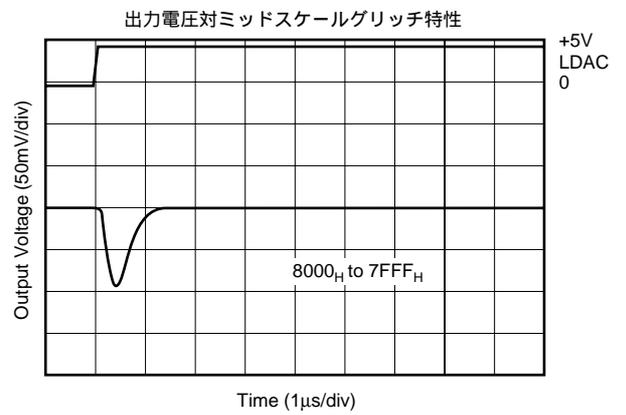
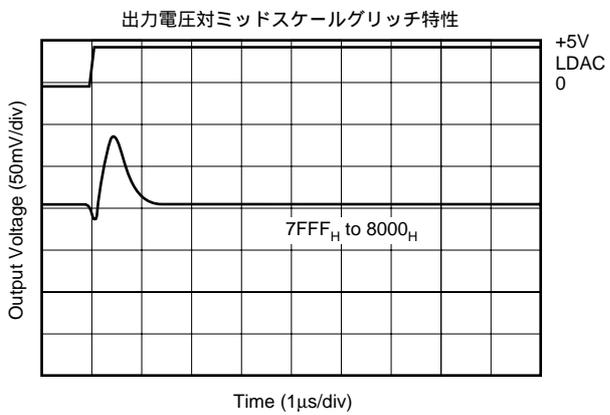
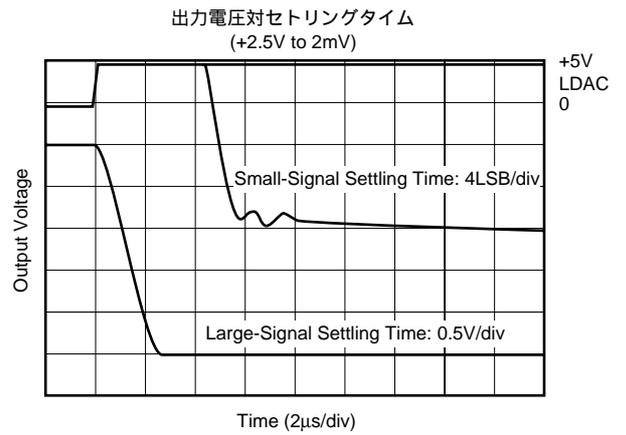
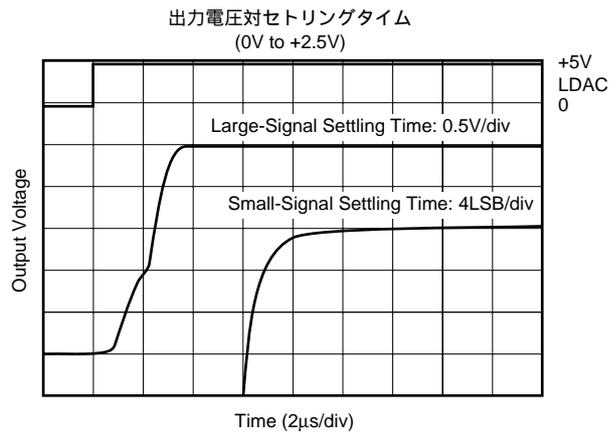
# 代表的性能曲線 : $V_{SS} = 0V$

特に記述のない限り、 $T_A = +25$ 、 $V_{DD} = V_{CC} = +5V$ 、 $V_{SS} = 0V$ 、 $V_{REF,H} = +2.5V$ 、 $V_{REF,L} = 0V$ 、代表的ユニットです。



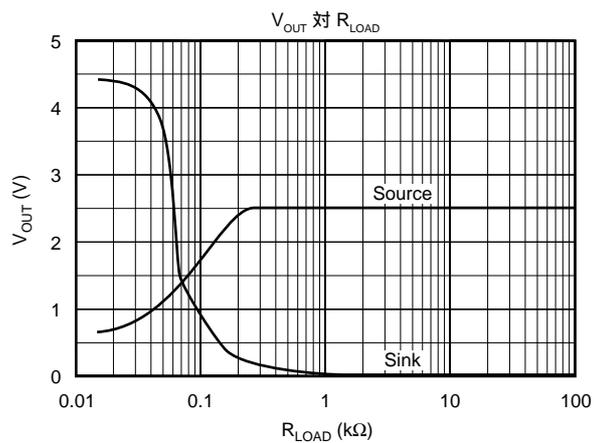
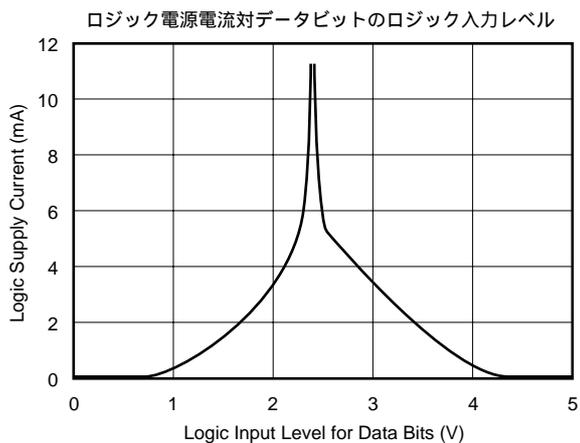
# 代表的性能曲線 : $V_{SS} = 0V$

特に記述のない限り、 $T_A = +25$ 、 $V_{DD} = V_{CC} = +5V$ 、 $V_{SS} = 0V$ 、 $V_{REF,H} = +2.5V$ 、 $V_{REF,L} = 0V$ 、代表的ユニットです。



# 代表的性能曲線： $V_{SS} = 0V$

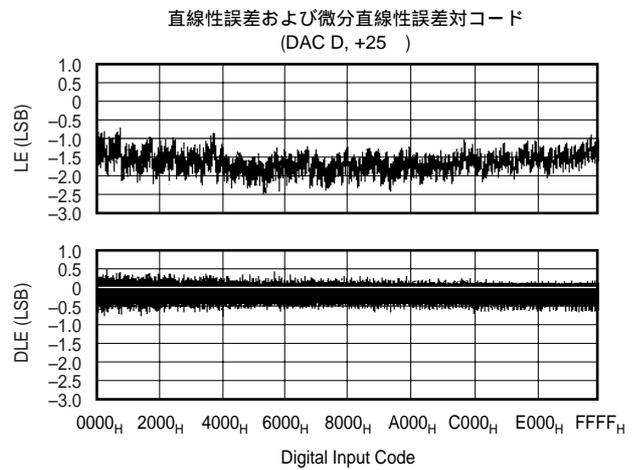
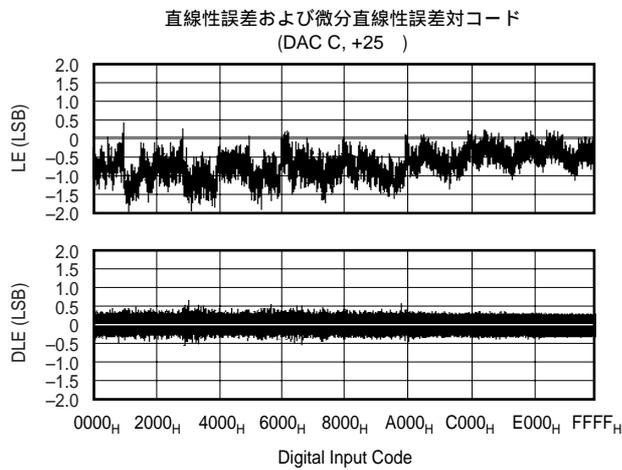
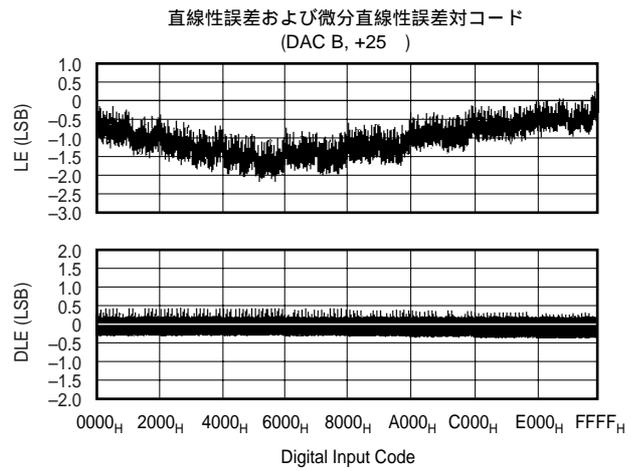
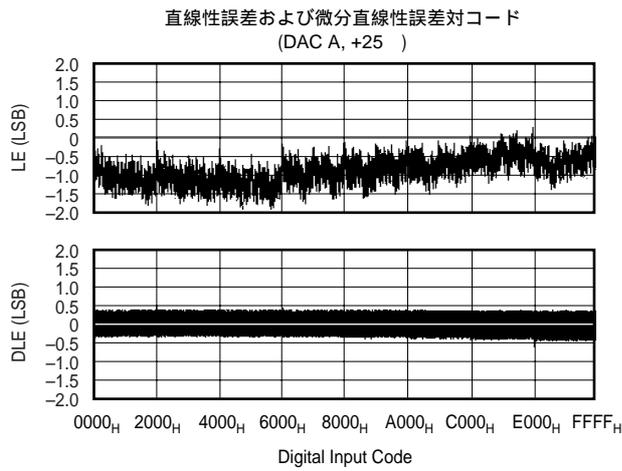
特に記述のない限り、 $T_A = +25$ 、 $V_{DD} = V_{CC} = +5V$ 、 $V_{SS} = 0V$ 、 $V_{REFH} = +2.5V$ 、 $V_{REFL} = 0V$ 、代表的ユニットです。



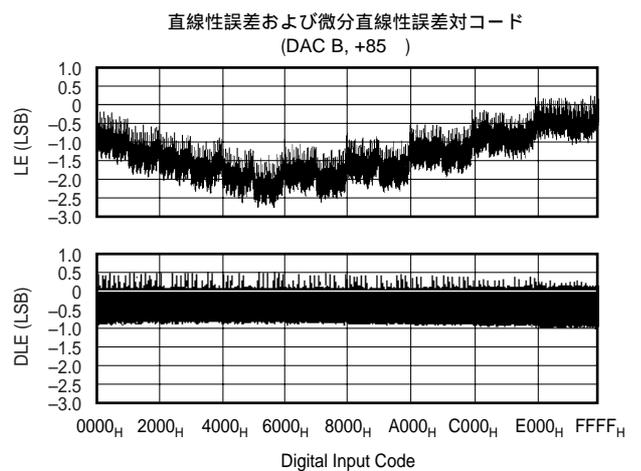
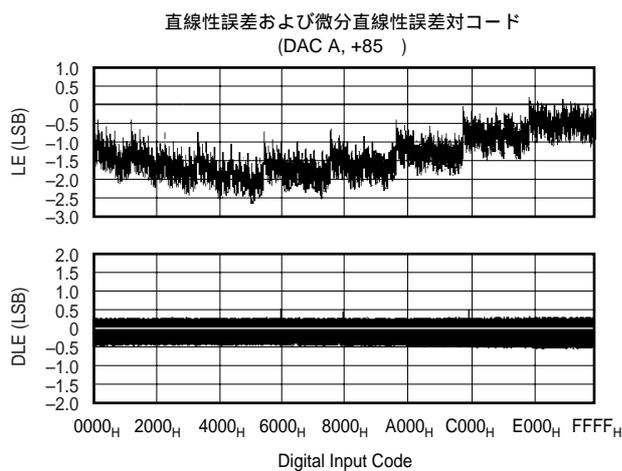
# 代表的性能曲線： $V_{SS} = -5V$

特に記述のない限り、 $T_A = +25$ 、 $V_{DD} = V_{CC} = +5V$ 、 $V_{SS} = -5V$ 、 $V_{REF,H} = +2.5V$ 、 $V_{REF,L} = -2.5V$ 、代表的ユニットです。

+25



+85

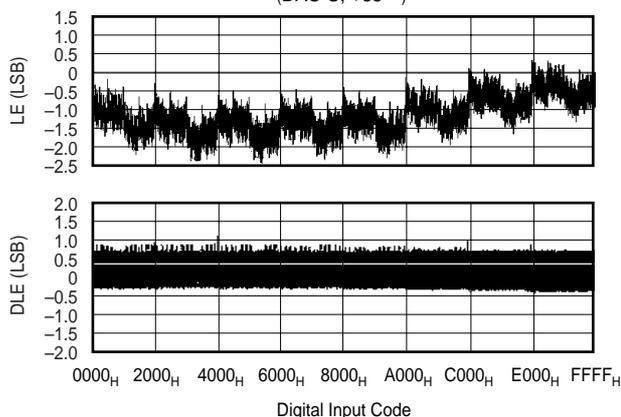


# 代表的性能曲線 : $V_{SS} = -5V$

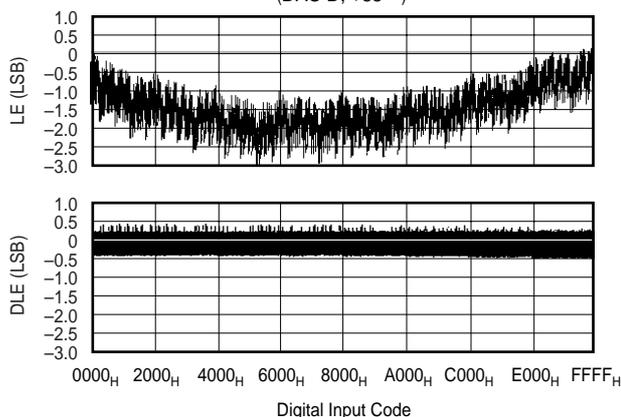
特に記述のない限り、 $T_A = +25$ 、 $V_{DD} = V_{CC} = +5V$ 、 $V_{SS} = -5V$ 、 $V_{REF,H} = +2.5V$ 、 $V_{REF,L} = -2.5V$ 、代表的ユニットです。

+85

直線性誤差および微分直線性誤差対コード  
(DAC C, +85 )

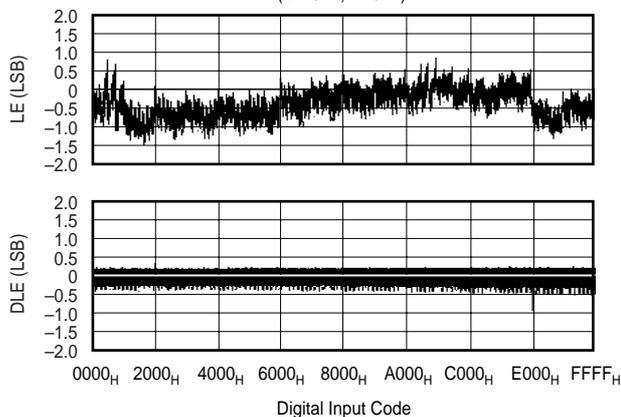


直線性誤差および微分直線性誤差対コード  
(DAC D, +85 )

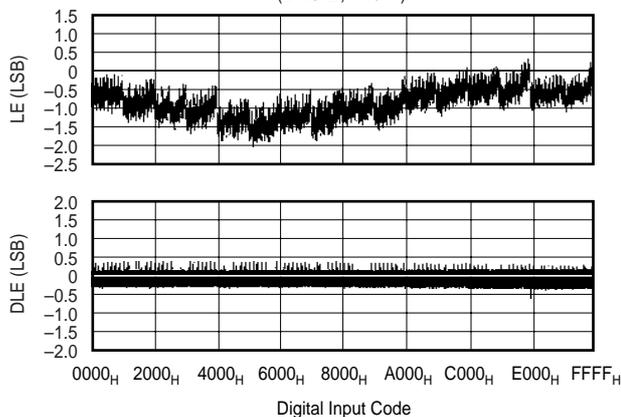


-40

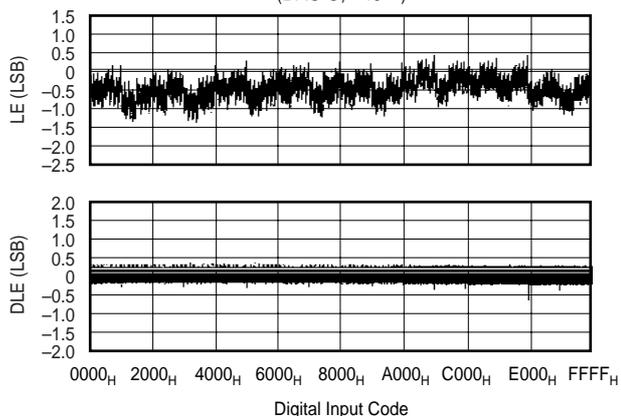
直線性誤差および微分直線性誤差対コード  
(DAC A, -40 )



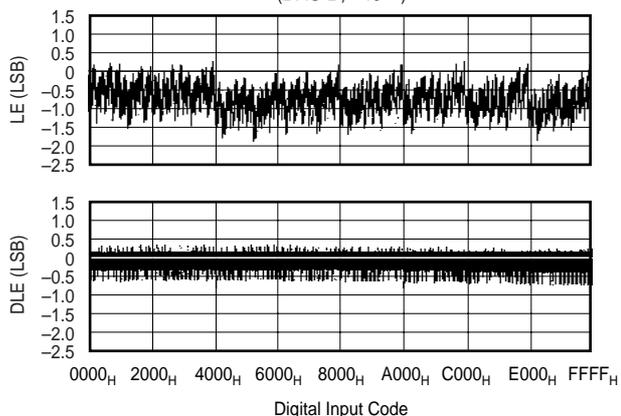
直線性誤差および微分直線性誤差対コード  
(DAC B, -40 )



直線性誤差および微分直線性誤差対コード  
(DAC C, -40 )

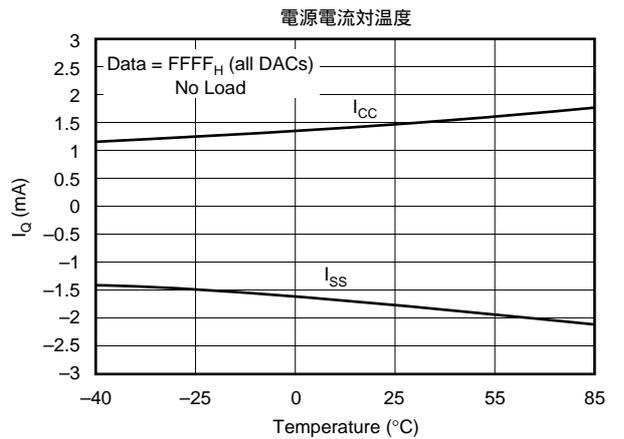
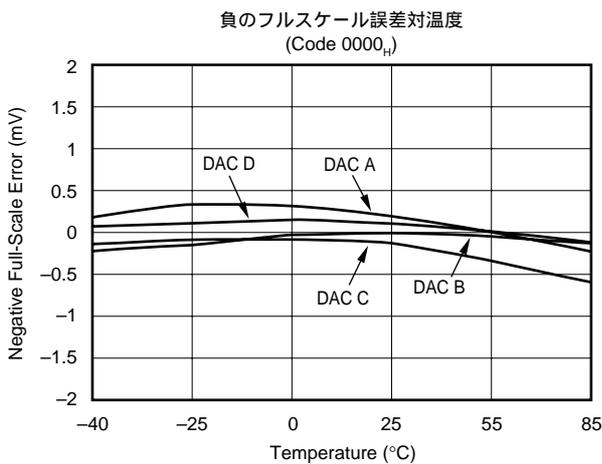
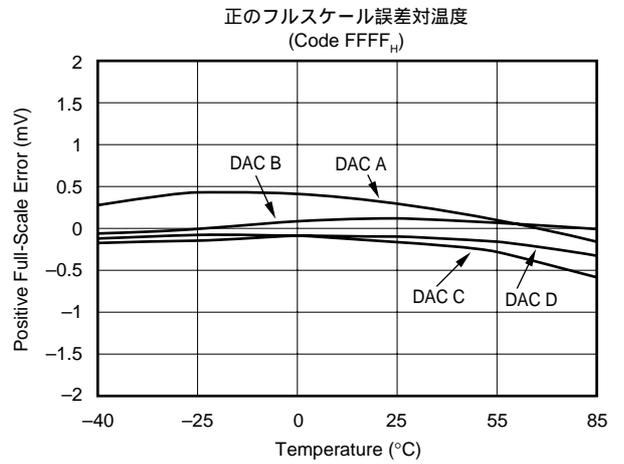
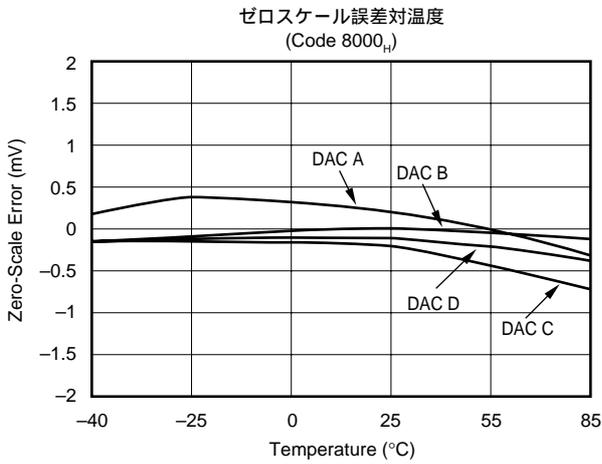
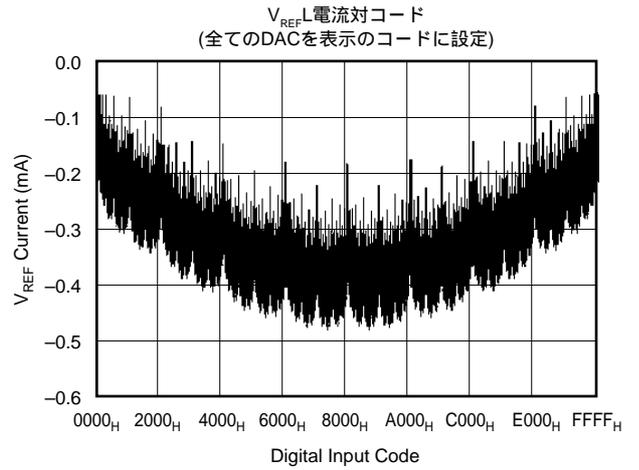
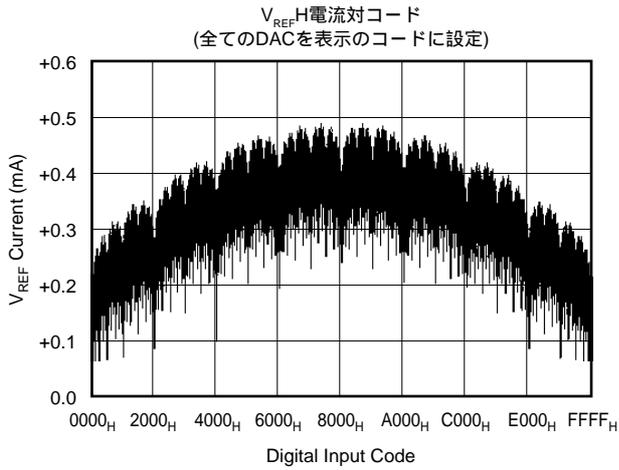


直線性誤差および微分直線性誤差対コード  
(DAC D, -40 )



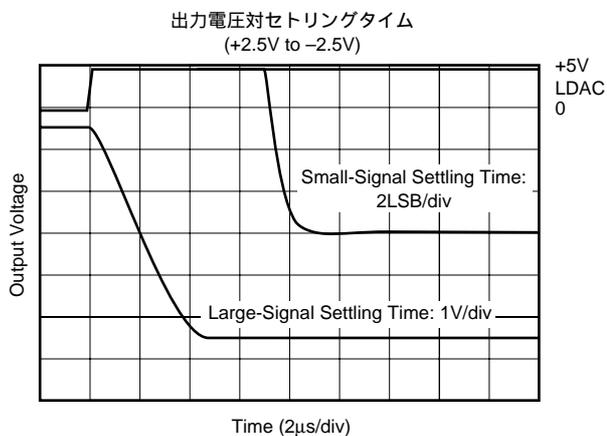
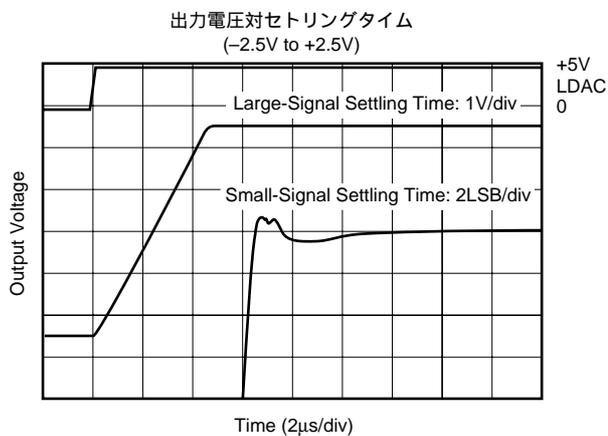
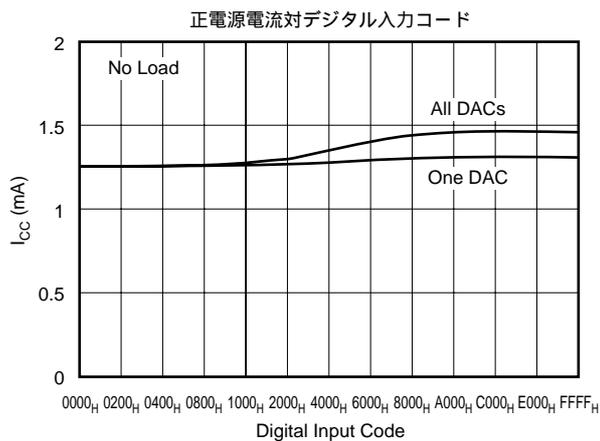
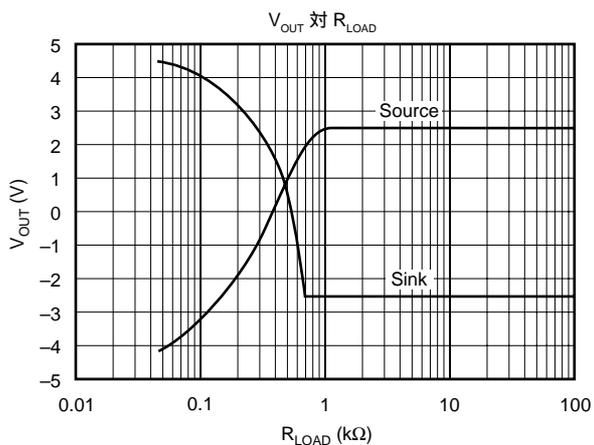
# 代表的性能曲線： $V_{SS} = -5V$

特に記述のない限り、 $T_A = +25$ 、 $V_{DD} = V_{CC} = +5V$ 、 $V_{SS} = -5V$ 、 $V_{REF,H} = +2.5V$ 、 $V_{REF,L} = -2.5V$ 、代表的ユニットです。



# 代表的性能曲線 : $V_{SS} = -5V$

特に記述のない限り、 $T_A = +25$ 、 $V_{DD} = V_{CC} = +5V$ 、 $V_{SS} = -5V$ 、 $V_{REF,H} = +2.5V$ 、 $V_{REF,L} = -2.5V$ 、代表的ユニットです。



# 動作説明

DAC7644は、16ビットのクワッド電圧出力型D/Aコンバータ(DAC)です。アーキテクチャには、バッファとして動作するオペアンプに接続され、3つのMSBセグメントを備えたR-2Rラダー構成を採用しています。各DACは個別にR-2Rラダー・ネットワーク、セグメントMSBおよび出力オペアンプ(図1を参照)を持っています。最小電圧出力(ゼロスケール)と最大電圧出力(フルスケール)は外部のリファレンス電圧( $V_{REFL}$ や $V_{REFH}$ で表されます)

により設定されます。また、デジタル入力は16ビットの平行ワードで、DAC入力レジスタはリードバック機能を提供します。このコンバータは単一+5Vまたは、 $\pm 5V$ のデュアル電源で動作します。さらに、このデバイスにはリセット機能があり、全てのDAC出力電圧とDACレジスタをミッドスケール(コード8000<sub>H</sub>)またはゼロスケール(コード0000<sub>H</sub>)に即座に設定することが可能です。図2と3に、DAC7644の基本的な使用方法を示します。

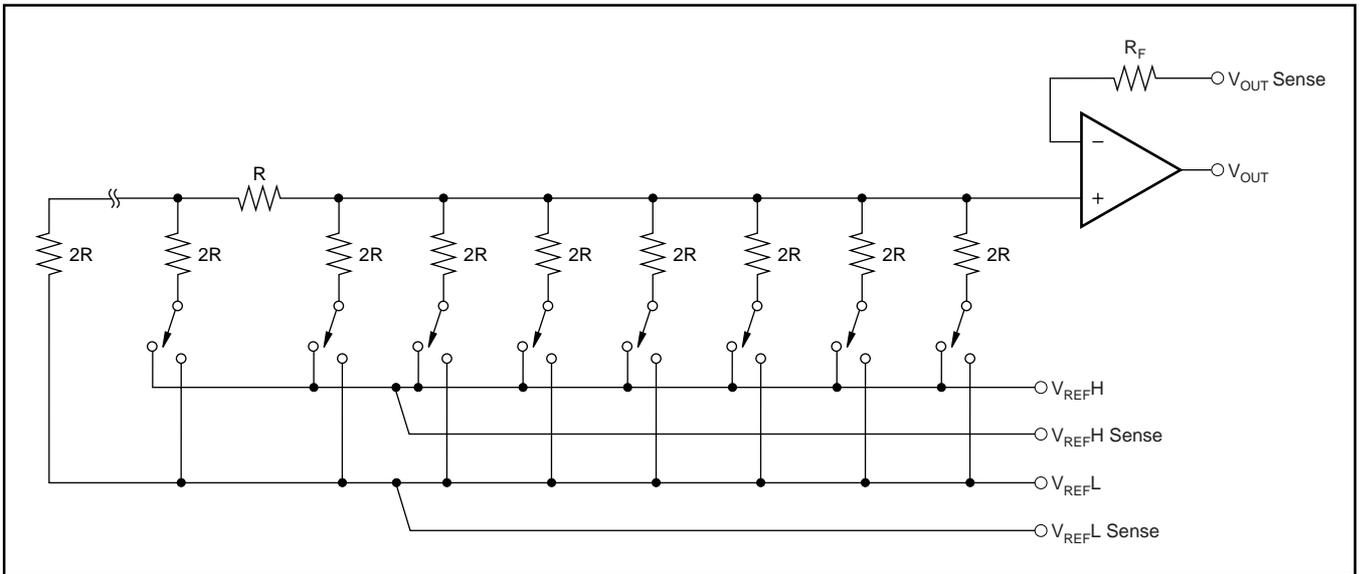


図1. DAC7644のアーキテクチャ

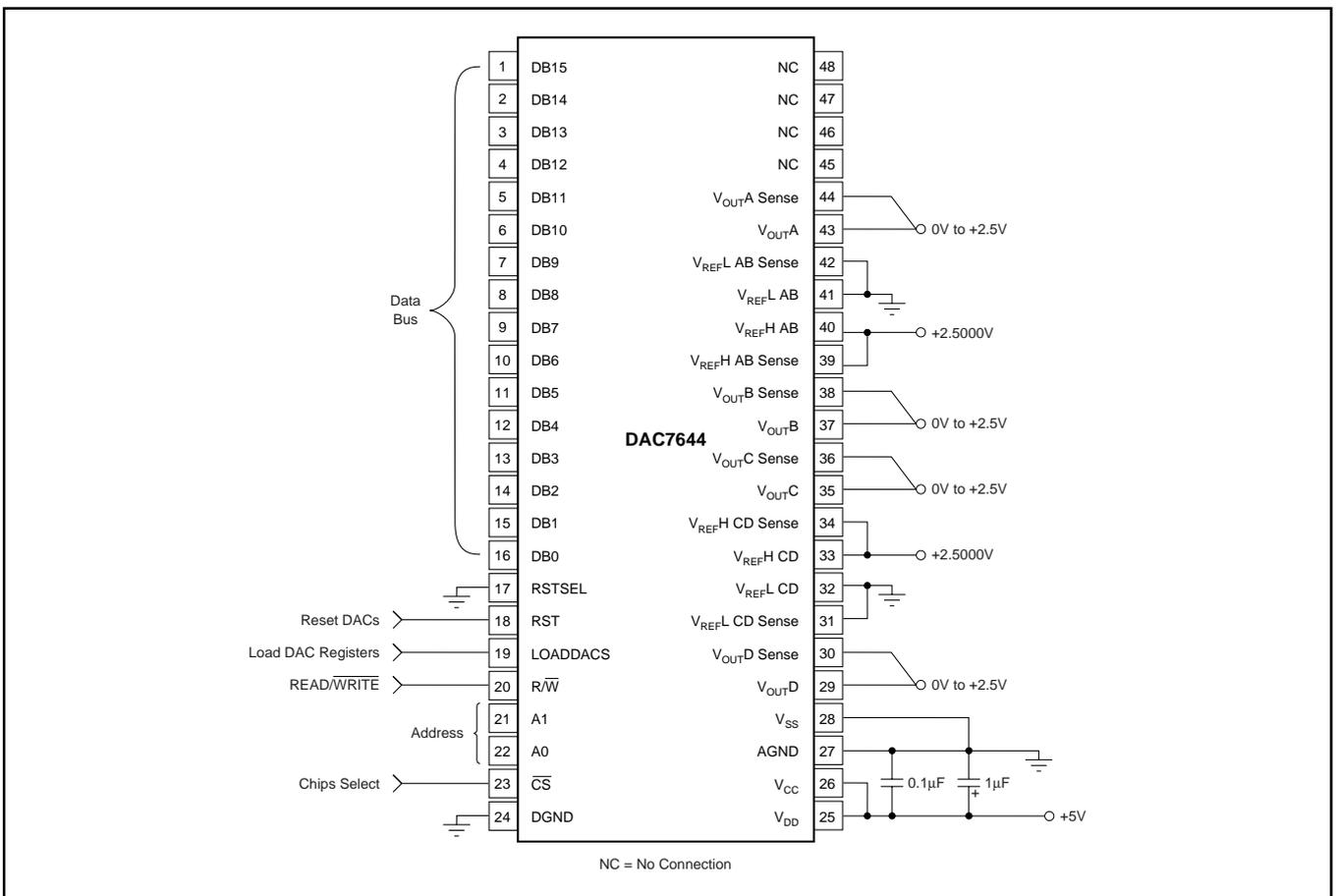


図2. 単一電源におけるDAC7644の基本的な動作

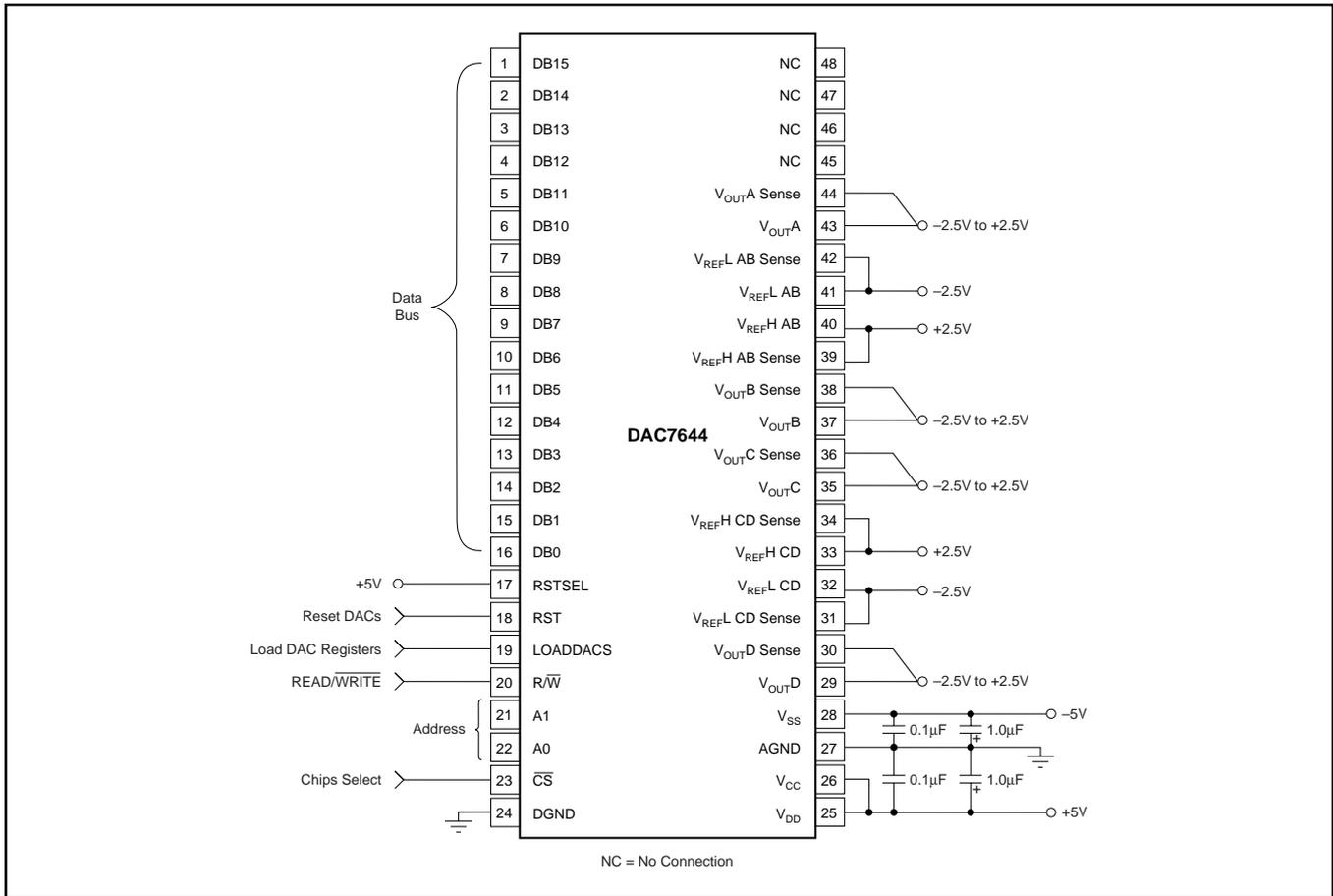


図3. デュアル電源におけるDAC7644の基本的な動作

### アナログ出力

$V_{SS} = -5V$  (デュアル電源動作時) の場合、出力アンプは電源レールの  $2.25V$  以内までスイングが可能で、動作温度範囲は  $-40$  から  $+85$  で保証されています。  $V_{SS} = 0V$  (単一電源動作時) で、  $R_{LOAD}$  がグランドに接続されている場合、出力はグランドまでスイングが可能です。  $V_{SS} = 0V$  の場合はゼロスケール誤差測定に注意して下さい。出力電圧はグランド以下のレベルにスイングできないため、出力アンプが負のオフセットを持つ場合、出力電圧は初めのいくつかのデジタル入力コード (  $0000_H$ ,  $0001_H$ ,  $0002_H$  など ) では変化しない場合があります。負の制限値が  $-2mV$  の場合、最初の仕様出力はコード  $0040_H$  から始まります。

これらのD/Aコンバータは高精度であるため、接地や接触抵抗などのシステムデザイン上の問題が重要になります。  $2.5V$  フルスケール・レンジの16ビット・コンバータでは、1LSBの値が  $38\mu V$  になります。負荷電流が  $1mA$  の場合、直列接続および接触抵抗がわずかに  $40m\Omega$  ( $R_{W2}$ 、図4を参照) の場合でも  $40\mu V$  の電圧ドロップを引き起こします。システムレイアウトにおいてこれがどういう意味かということ、標準的な1オンス銅箔プリント基板の抵抗はスクエアあたり  $1/2m\Omega$  です。  $1mA$  の負荷に対しては、10ミリインチ幅で60ミリインチの長さのプリント基板で  $30\mu V$  の電圧ドロップになります。

DAC7644は、高開ループ・ゲイン出力アンプによるフォース・アンド・センス出力構成を提供します。この特長により出力アンプのループを負荷 (図4参照) の近くで接続することにより、正確な出力電圧を得ることができます。

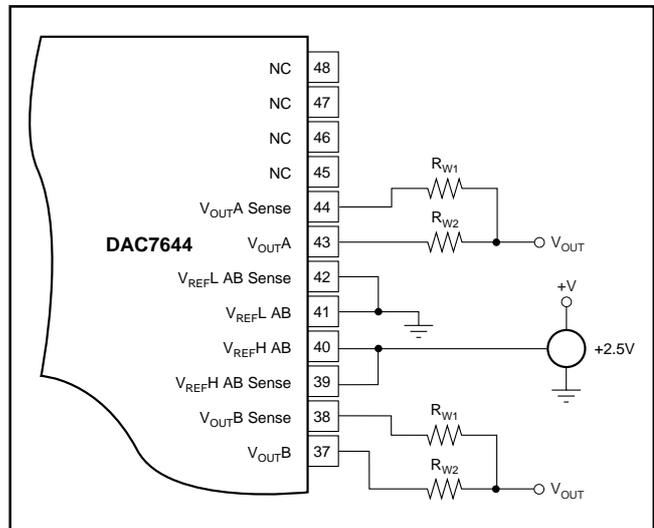


図4. アナログ出力閉ループ構成 (1/2 DAC7644)。  $R_W$  は接続抵抗を表わします。

### リファレンス入力

$V_{REFL}$  および  $V_{REFH}$  のリファレンス入力は、  $V_{SS} + 2.5V$  と  $V_{CC} - 2.5V$  のいかなる電圧範囲にも設定が可能ですが、  $V_{REFH}$  は  $V_{REFL}$  より少なくとも  $1.25V$  以上高く設定する必要があります。各DACの最小出力は、  $V_{REFL}$  と小さなオフセット電圧 (特に、出力オペアンプのオフセット) を加えた電圧に等しくなります。また、最大出力電圧は  $V_{REFH}$  に同様のオフセットを加えた電圧に等しくなります。

$V_{SS}$  (負の供給電源)はグラウンドに接続されるか、または-4.75Vから-5.75Vの範囲になります。 $V_{SS}$ の電圧はコンバータ内で数種類のバイアスポイントを設定します。 $V_{SS}$ がこれらのコンフィギュレーションを満たしていない場合、バイアス値に誤差が発生しデバイスの動作は保証されません。

$V_{REFH}$ 入力電流および $V_{REFL}$ 出力電流はDAC出力電圧に依存し、数 $\mu$ Aから約0.5mAの範囲で変化します。リファレンス入力は

リファレンスに対して変動する負荷として表れます。もしリファレンスが必要な電流をシンクまたはソースできれば、リファレンス・バッファは必要ありません。DAC7644はリファレンス電流の変化や回路インピーダンスによって引き起こされる入力誤差を最小に抑えるリファレンス・ドライブとセンス接続を備えています。図5から図12に様々なリファレンス構成と、直線性および微分直線性に対する影響を示します。

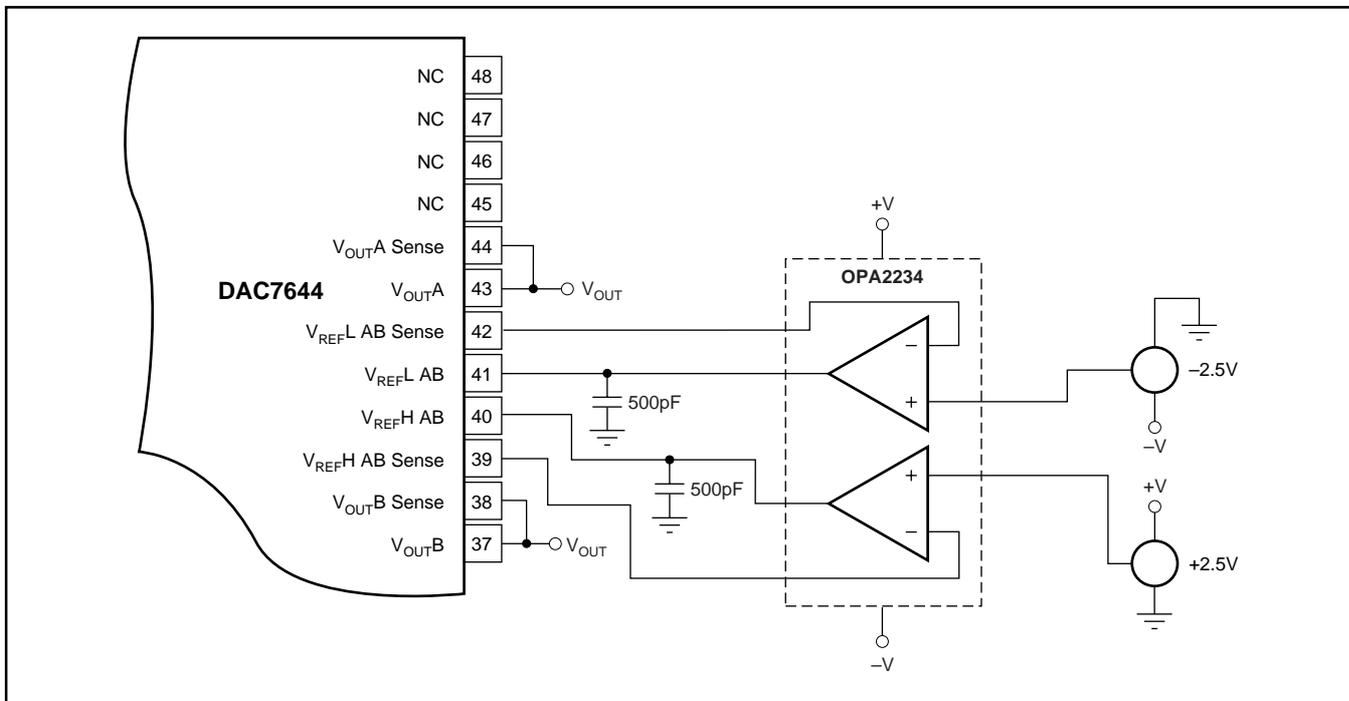


図5. デュアル電源の性能曲線に使用したデュアル電源構成のバッファ付リファレンス(1/2 DAC7644)

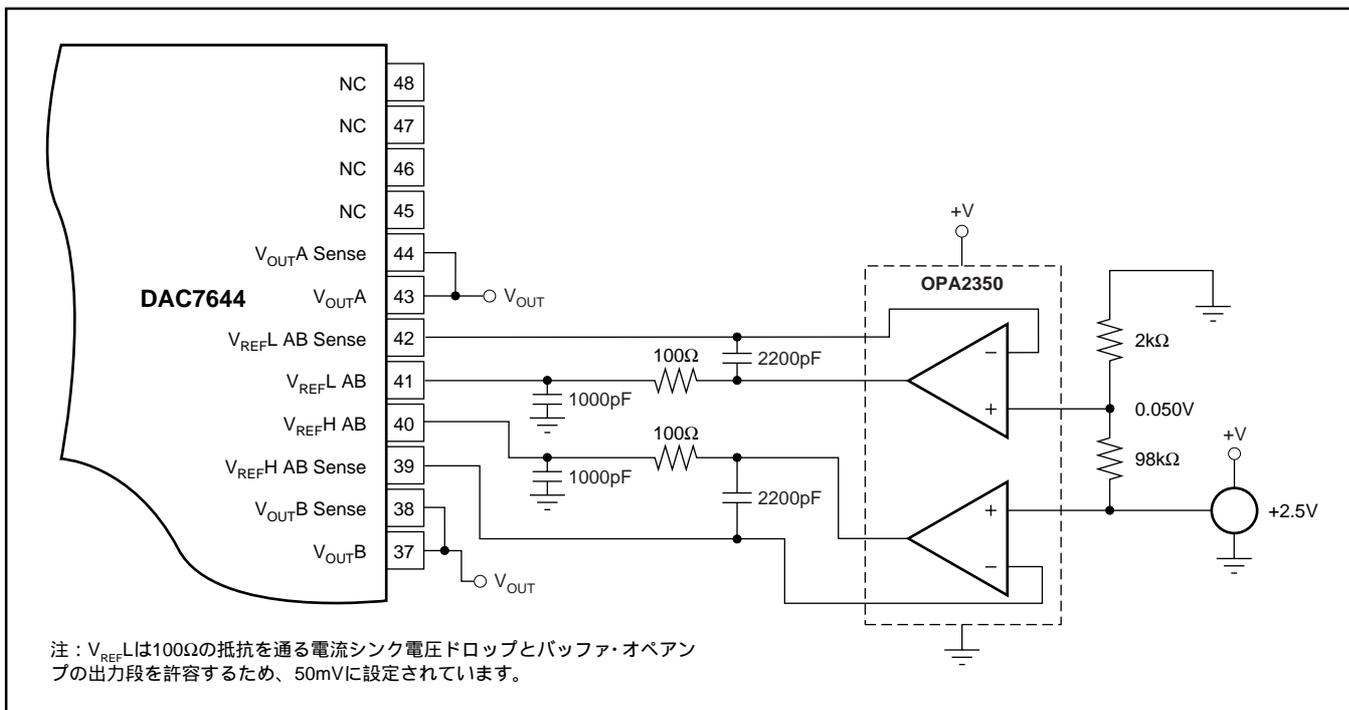


図6. リファレンス“ロー”が50mVのシングル電源バッファ付リファレンス(1/2 DAC7644)

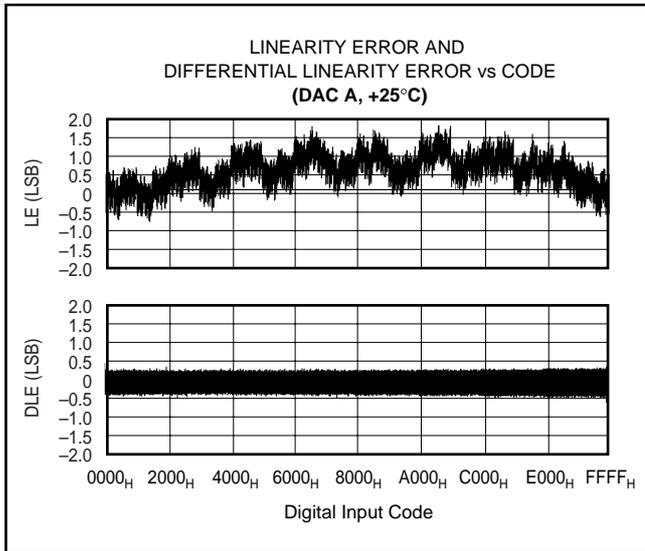


図7. 図6の積分直線性誤差および微分直線性誤差

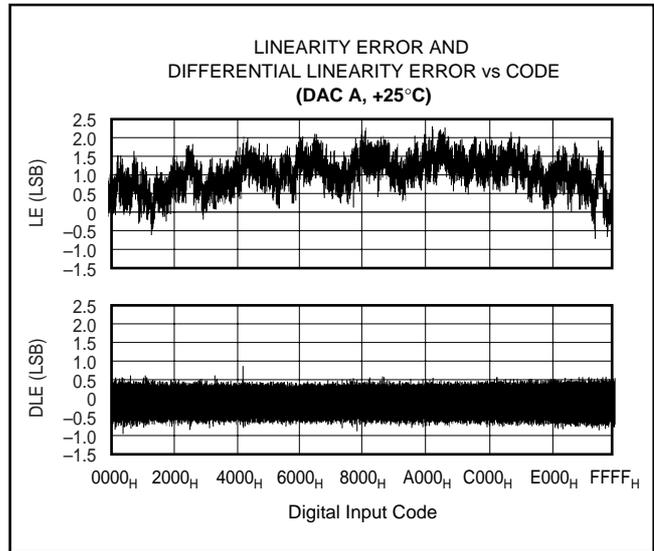


図8. 図9の積分直線性誤差および微分直線性誤差

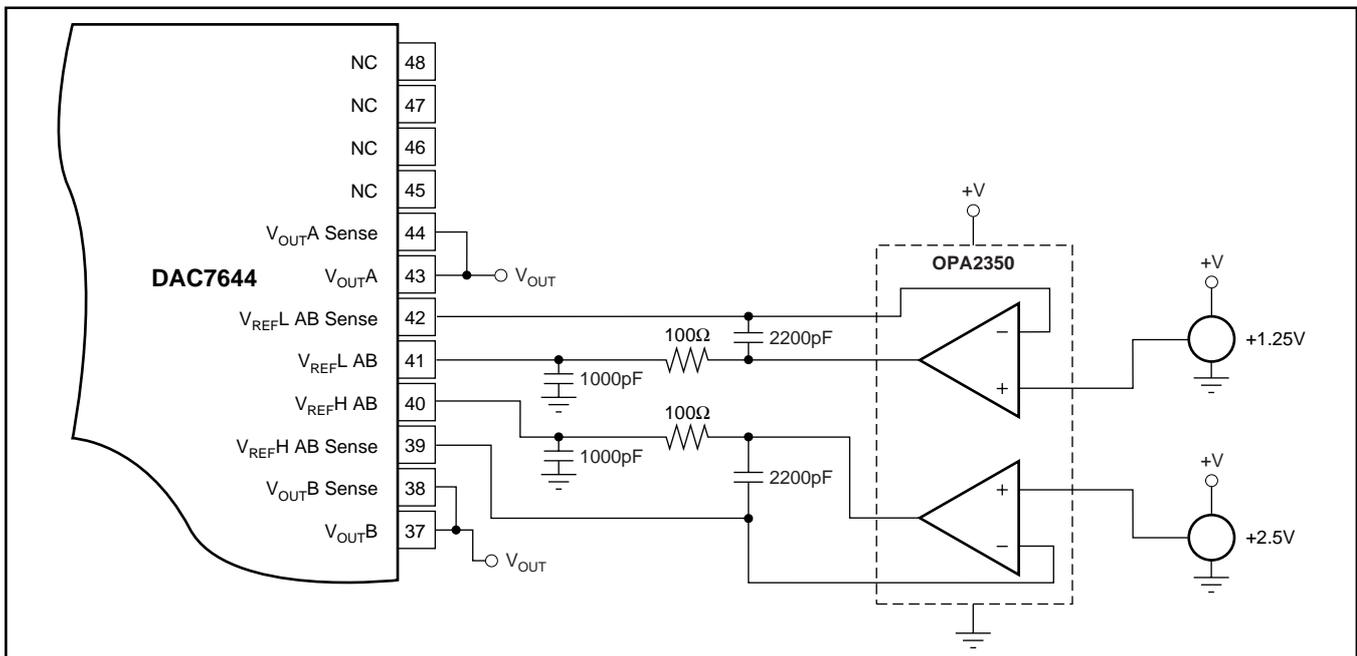


図9.  $V_{REFL} = +1.25V$ および $V_{REFH} = +2.5V$  (1/2 DAC7644) シングル電源バッファ付リファレンス

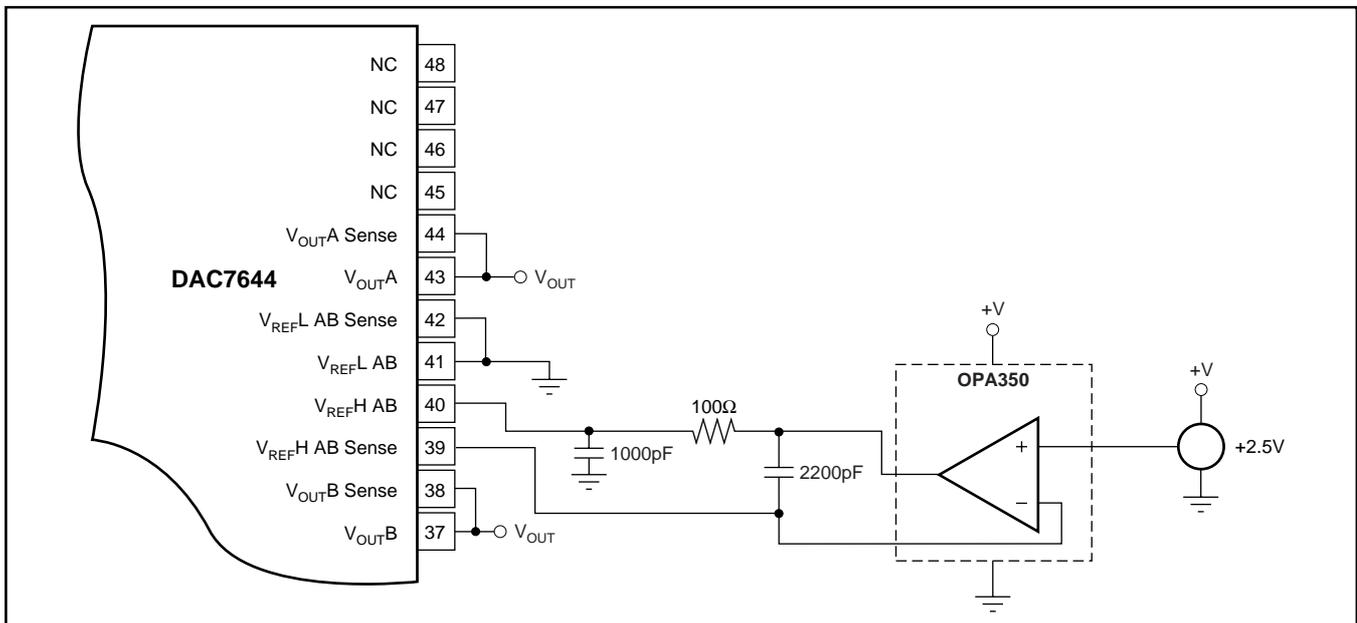


図10. シングル電源バッファ付 $V_{REFH}$  (1/2 DAC7644)

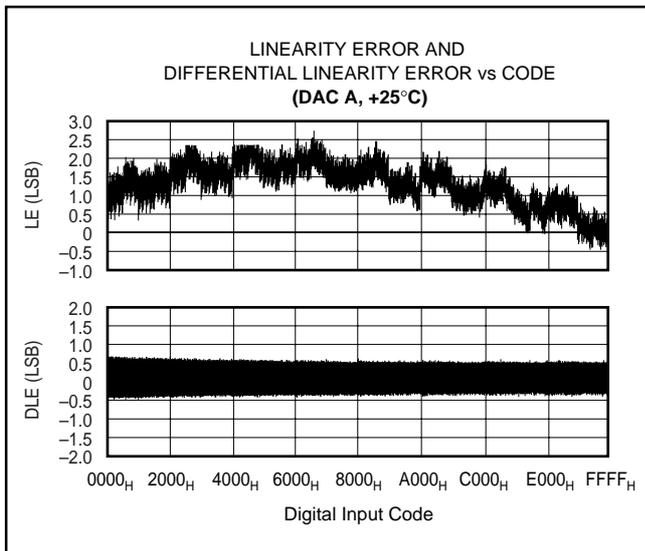


図11. 図10の直線性誤差および微分直線性誤差曲線

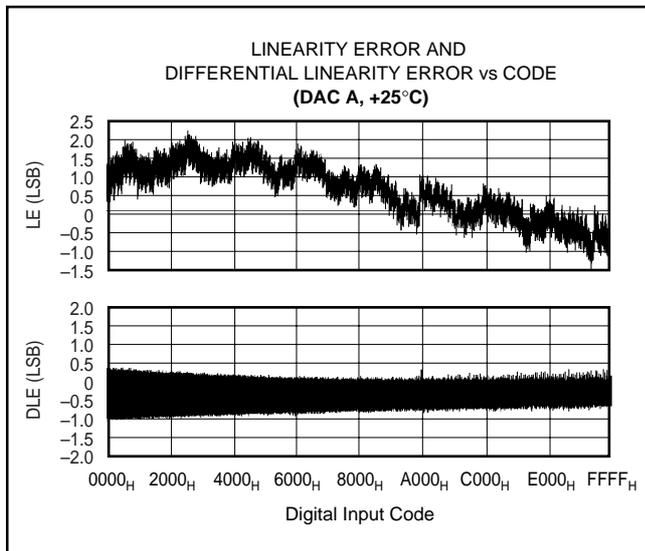


図13. 図12の直線性誤差および微分直線性誤差

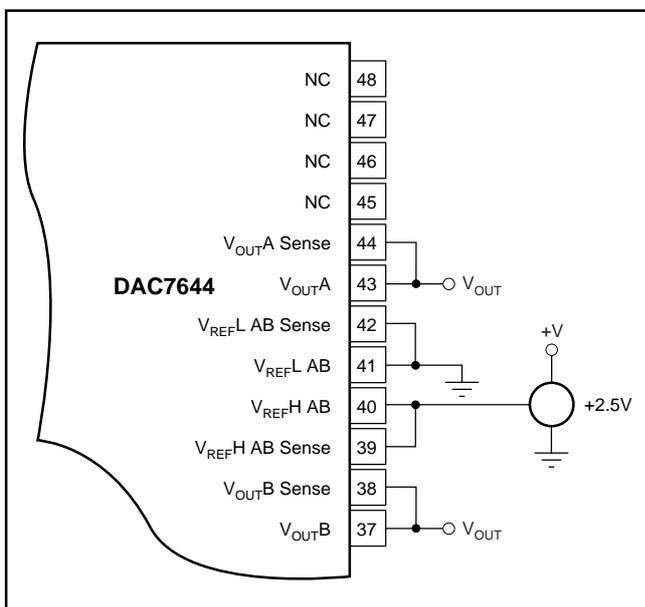


図12. ローコストシングル電源構成

### デジタル・インターフェース

表 I に DAC7644 の基本的なコントロール・ロジックを示します。各内部レジスタがレベル・トリガ型ではなくエッジ・トリガ型になっていることに注意して下さい。LOADDACs 信号が「ハイ」に変遷すれば、レジスタにあるデジタル・ワードがラッチされます。一段目のレジスタ(入力レジスタ)への設定は、A0、A1、R/W、CS 入力により行われます。このとき、一つのレジスタだけがトランスペアレントになります。

ダブルバッファ・アーキテクチャは、各 DAC の入力レジスタにいつでも書き込み、LOADDACs の立ち上がりエッジで全ての DAC 電圧の更新が連続的に可能になるように設計されています。また、DAC 入力レジスタはどのポイントでも書き込みが可能で、トリガ信号が LOADDACs に接続されることにより、DAC 電圧は同期して変更が可能になります。

### デジタル・タイミング

図14および表 は、DAC7644のデジタル・インターフェースのタイミングを表しています。

A1	A0	R/W	CS	RST	RSTSEL	LOADDACs	入力レジスタ	DACレジスタ	MODE	DAC
L	L	L	L	H	X	X	書き込み	ホールド	書き込み入力	A
L	H	L	L	H	X	X	書き込み	ホールド	書き込み入力	B
H	L	L	L	H	X	X	書き込み	ホールド	書き込み入力	C
H	H	L	L	H	X	X	書き込み	ホールド	書き込み入力	D
L	L	H	L	H	X	X	読み取り	ホールド	読み取り入力	A
L	H	H	L	H	X	X	読み取り	ホールド	読み取り入力	B
H	L	H	L	H	X	X	読み取り	ホールド	読み取り入力	C
H	H	H	L	H	X	X	読み取り	ホールド	読み取り入力	D
X	X	X	H	H	X	X	ホールド	書き込み	アップデート	全て
X	X	X	H	H	X	H	ホールド	ホールド	ホールド	全て
X	X	X	X		L	X		ゼロにリセット	ゼロにリセット	全て
X	X	X	X		H	X		ミッドスケールにリセット	ミッドスケールにリセット	全て

表 . DAC7644のロジック真理値表

## デジタル入力コーディング

DAC7644の入力データは、ストレートバイナリ・フォーマットです。出力電圧は式1で求めることができます。

$$V_{OUT} = V_{REF}L + \frac{(V_{REF}H - V_{REF}L) \cdot N}{65,536} \quad (1)$$

ここで、Nはデジタル入力コードです。この方程式は、オフセット(ゼロスケール)の影響または、ゲイン(フルスケール)誤差を含みません。

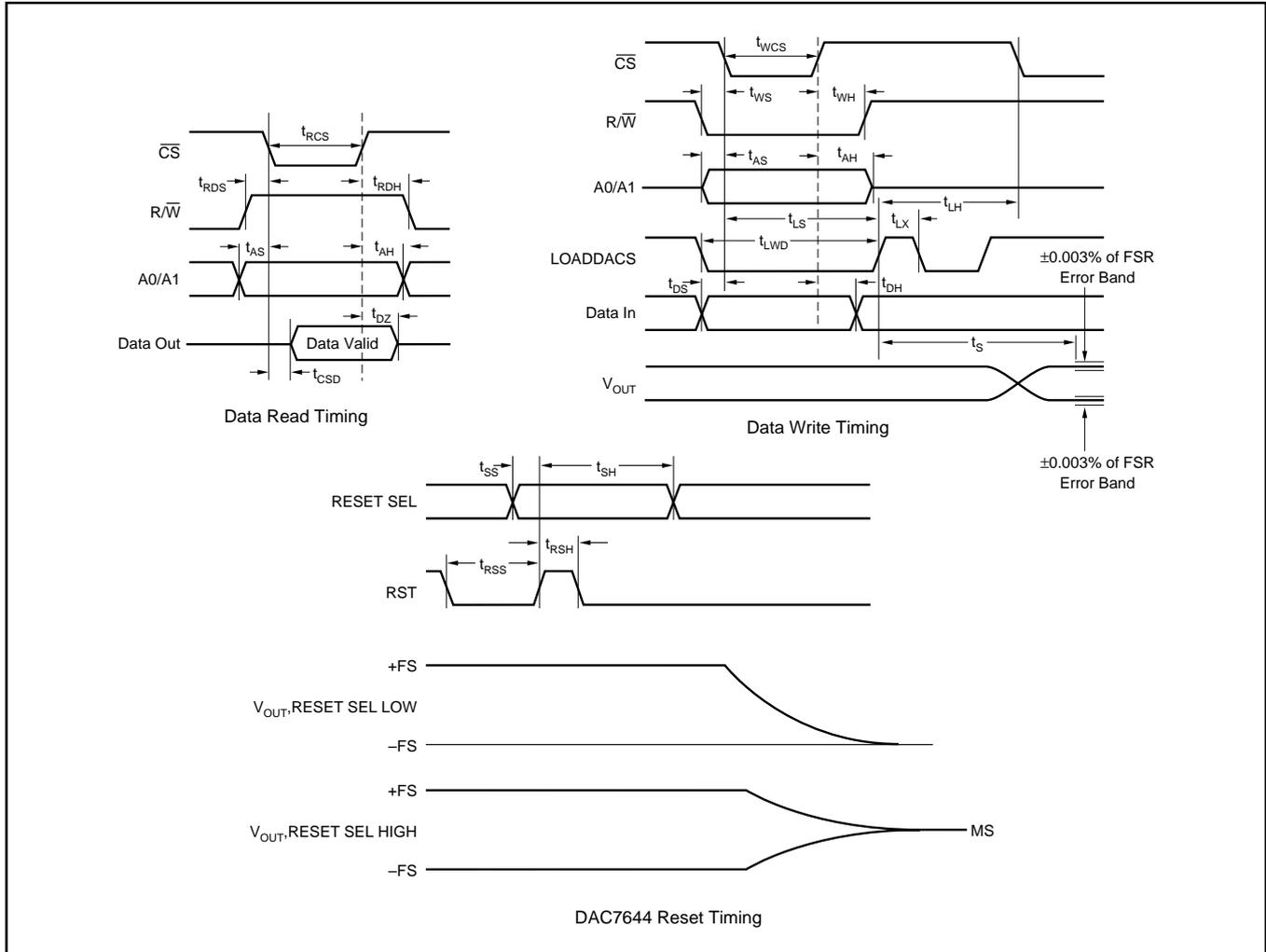


図14. デジタル入力と出力タイミング

記号	説明	最小	標準	最大	単位
$t_{RCS}$	読み取り時の $\overline{CS}$ ロー期間	150			ns
$t_{RDS}$	$R/\overline{W}$ ハイから $\overline{CS}$ ローまで	10			ns
$t_{RDH}$	$\overline{CS}$ ハイ後の $R/\overline{W}$ ハイ期間	10			ns
$t_{DZ}$	$\overline{CS}$ ハイからデータバスがハイインピーダンスになるまで	10		100	ns
$t_{CSD}$	$\overline{CS}$ ローからデータバス有効まで		100	150	ns
$t_{WCS}$	書き込み時の $\overline{CS}$ ロー期間	40			ns
$t_{WS}$	$R/\overline{W}$ ローから $\overline{CS}$ ローまで	0			ns
$t_{WH}$	$\overline{CS}$ ハイ後の $R/\overline{W}$ ロー期間	10			ns
$t_{AS}$	アドレス有効から $\overline{CS}$ ローまで	0			ns
$t_{AH}$	$\overline{CS}$ ハイ後のアドレス有効期間	10			ns
$t_{LS}$	$\overline{CS}$ ローから $LOADDACS$ ハイまで	30			ns
$t_{LH}$	$LOADDACS$ ハイ後の $\overline{CS}$ ロー期間	100			ns
$t_{LX}$	$LOADDACS$ ハイ期間	100			ns
$t_{DS}$	データ有効から $\overline{CS}$ ローまで	0			ns
$t_{DH}$	$\overline{CS}$ ハイ後の有効データ期間	10			ns
$t_{LWD}$	$LOADDACS$ ロー期間	100			ns
$t_{SS}$	RSTハイ前のRSTSEL有効	0			ns
$t_{SH}$	RSTハイ後のRSTSEL有効	200			ns
$t_{RSS}$	RSTハイ前のRSTロー	10			ns
$t_{RSH}$	RSTハイ後のRSTハイ	10			ns
$t_s$	セトリングタイム			10	$\mu$ s

表 . タイミング仕様 ( $T_A = -40 \sim +85$ )

## デジタル制御可能な電流ソース

DAC7644は、プログラマブル電流ソースのようなアプリケーションを設計する上で必要な柔軟性や幅の広さを、その優れた特長により可能にしています。DAC7644は、出力アンプ周りの開ループ構成や差動リファレンス入力などの特長を持ち、この開ループ構成によりトランジスタがループ内に配置され、デジタルでプログラムされる単方向電流ソースを可能にします。また差動リファレンスの使用によりフルスケール電流とゼロスケール電流をプログラム可能にします。出力電流は下記のように計算されます。

$$I_{OUT} = \left[ \left( \frac{V_{REFH} - V_{REFL}}{R_{SENSE}} \right) \cdot \left( \frac{N \text{ Value}}{65,536} \right) \right] + (V_{REFL} / R_{SENSE}) \quad (2)$$

図15にDAC7644による4mAから20mAの電流出力構成を示します。出力電流は式3によって算出されます。

$$I_{OUT} = \left[ \left( \frac{2.5V - 0.5V}{125\Omega} \right) \cdot \left( \frac{N \text{ Value}}{65,536} \right) \right] + \left( \frac{0.5V}{125\Omega} \right) \quad (3)$$

フルスケールにおいては、出力電流は16mAとゼロ電流である4mAが加算された値となります。ゼロスケールでは出力電流は4mA(0.5V/125Ω)のオフセット電流です。

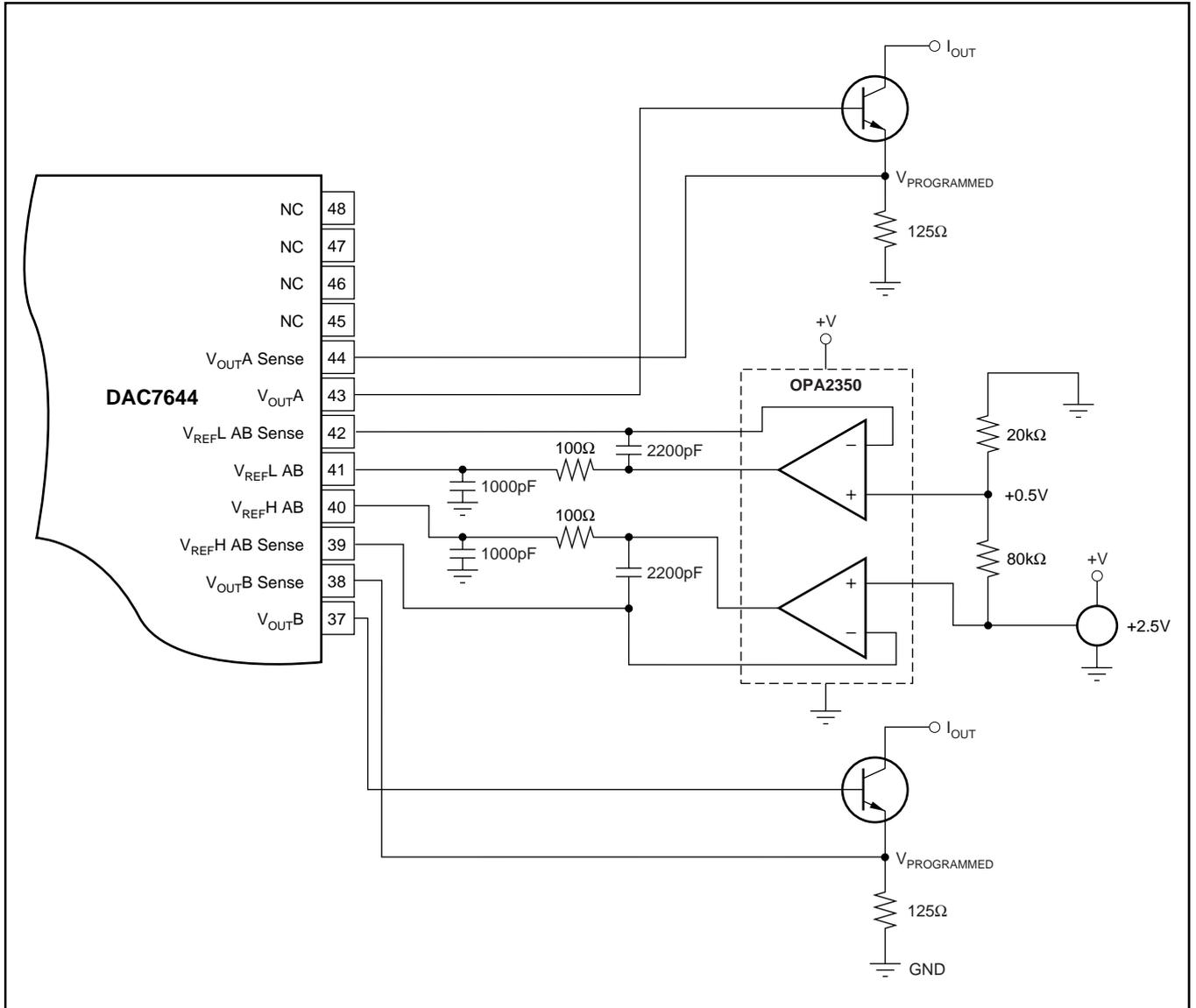
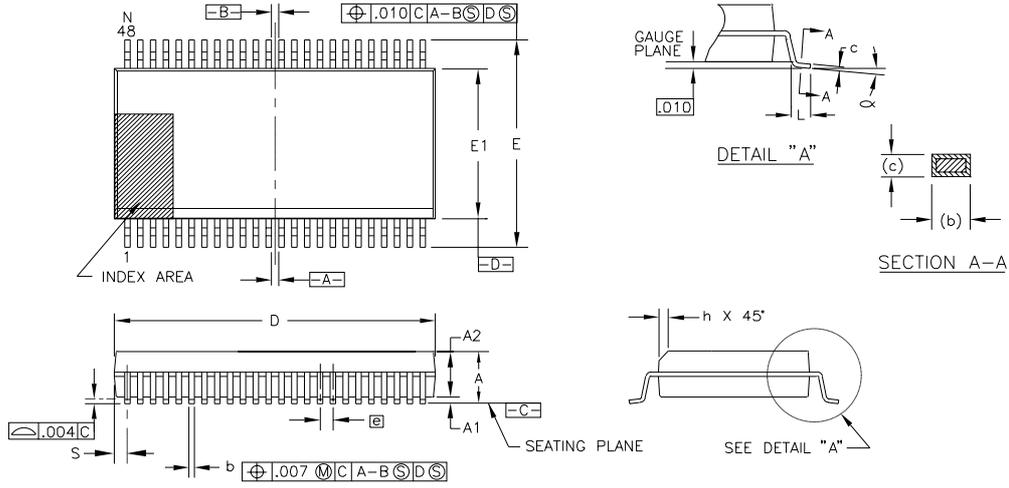


図15. 4-20mA デジタル制御電流ソース(1/2 DAC7644)

外觀

パッケージ番号333 - 48ピンSSOP



DIM	INCHES		MILLIMETERS		N	E	DIM	INCHES		MILLIMETERS		N	E
	MIN.	MAX.	MIN.	MAX.				MIN.	MAX.	MIN.	MAX.		
A	.095	.110	2.41	2.79									
A1	.008	.016	0.20	0.41									
A2	.088	.092	2.24	2.34									
b	.008	.0135	0.20	0.34	8								
c	.005	.010	0.13	0.25	8								
D	.620	.630	15.75	16.00	2								
E	.395	.420	10.03	10.67									
E1	.291	.299	7.39	7.59	3								
e	.025	BASIC	0.635	BASIC									
L	.020	.040	0.51	1.02	5								
h	.015	.025	0.38	0.64	4								
N	48		48		6.7								
S	.023	.027	0.58	0.69									
alpha	0°	8°	0°	8°									

- NOTES:
1. DIMENSIONING AND TOLERANCING PER ANSI Y14.5M-1982.
  2. DIMENSION D DOES NOT INCLUDE MOLD FLASH, PROTRUSIONS OR GATE BURRS. MOLD FLASH, PROTRUSIONS OR GATE BURRS SHALL NOT EXCEED .006 INCH (0.15mm) PER SIDE.
  3. DIMENSION E1 DOES NOT INCLUDE INTERLEAD FLASH OR PROTRUSION. INTERLEAD FLASH OR PROTRUSION SHALL NOT EXCEED .015 INCH (0.38mm) PER SIDE.

4. THE CHAMFER ON THE BODY IS OPTIONAL. IF IT IS NOT PRESENT, A VISUAL INDEX FEATURE MUST BE LOCATED WITHIN THE CROSS-HATCHED AREA.
5. L IS THE LENGTH OF THE TERMINAL FOR SOLDERING TO A SUBSTRATE.
6. N IS THE MAXIMUM NUMBER OF TERMINAL POSITIONS.
7. TERMINAL NUMBERS ARE SHOWN FOR REFERENCE ONLY.
8. SECTION A-A DIMENSIONS APPLY TO THE FLAT SECTION OF THE LEAD BETWEEN .005" AND .010" FROM LEAD TIP.

PACKAGE NUMBER: Z3333 | REV.: B  
 JEDEC NUMBER: MO-118-AA  
 WITH THE EXCEPTION OF DIM. S & A2.