



16ビット、クワッド、電圧出力 D/Aコンバータ

特 長

- 低消費電力：10mW
- ユニポーラまたはバイポーラ動作
- セトリングタイム：10 μ s(0.003%まで)
- 直線性および単調性：15ビット(−40 ~ +85)
- プログラマブル・リセット：ミッドスケールまたはゼロスケール
- ダブル・バッファ方式のデータ入力

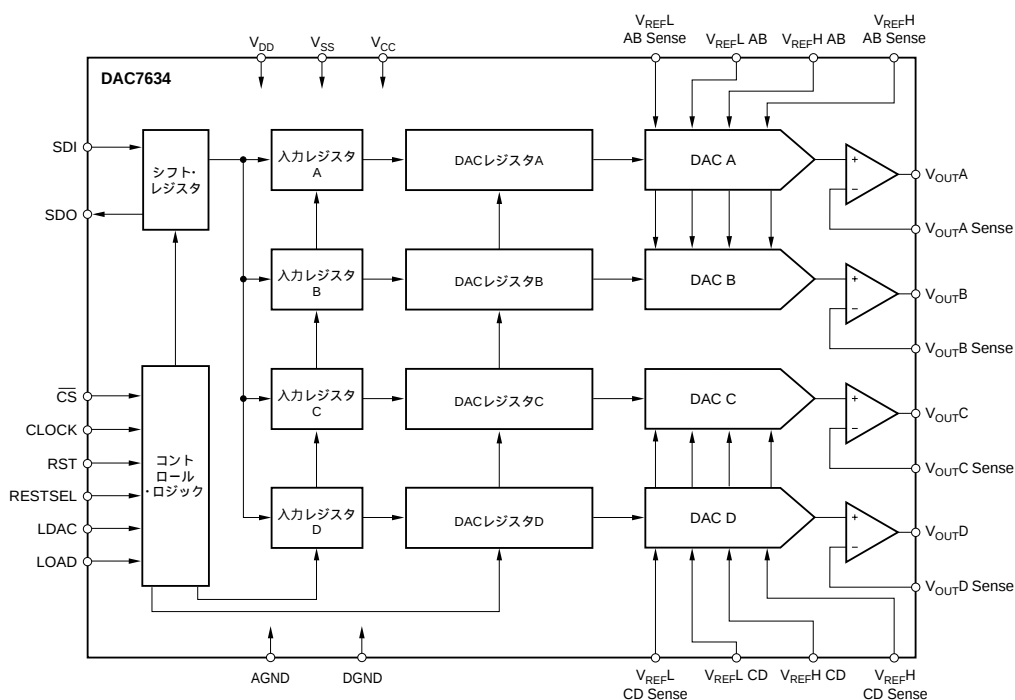
アプリケーション

- プロセス制御
- 閉ループ・サーボ制御
- モータ制御
- データ・アキュイジション・システム
- DAC-PER-PIN プログラム

概 要

DAC7634は、仕様温度範囲にわたり15ビットの単調性が保証されたクワッド・タイプの16ビット電圧出力D/Aコンバータです。24ビットのシリアルデータ入力、全てのDACの同時更新が可能なダブル・バッファ方式のDAC入力ロジック、複数のDACをデジチェーン接続するシリアルデータ出力を備えています。非同期的プログラマブル・リセット機能は、全てのレジスタをミッドスケール(8000_H)またはゼロスケール(0000_H)コードに設定します。DAC7634は、単一電源(+5V)でも両電源(±5V)でも動作します。

小型かつ低消費電力のDAC7634は、自動テスト装置、DAC-PER-PIN プログラム、データ・アキュイジション・システム、閉ループ・サーボ制御に理想的です。パッケージは、48ピンSSOPで供給され、−40 ~ +85 の温度範囲で仕様が保証されています。



仕様

特に記述のない限り、 $T_A = T_{MIN} \sim T_{MAX}$ 、 $V_{DD} = V_{CC} = +5V$ 、 $V_{SS} = -5V$ 、 $V_{REFH} = +2.5V$ 、 $V_{REFL} = -2.5V$ です。

パラメータ	条件	DAC7634E			DAC7634EB			単位
		最小	標準	最大	最小	標準	最大	
精度 直線性誤差 直線性のマッチング 微分直線性誤差 単調性、 $T_{MIN} \sim T_{MAX}$ バイポーラ・ゼロ誤差 バイポーラ・ゼロ誤差ドリフト フルスケール誤差 フルスケール誤差ドリフト バイポーラ・ゼロのマッチング フルスケールのマッチング 電源除去比 (PSRR)	チャンネル間のマッチング チャンネル間のマッチング フルスケール	14	±3 ±4 ±2 ±1 5 ±1 5 ±1 ±1 10	±4 ±3 ±2 ±2 10 ±2 ±2 ±2 ±2 100	15	±2 ±2 ±1 * * * * ±1 ±1 *	±3 ±2 ±2 * * * * ±2 ±2 *	LSB LSB LSB Bits mV ppm/ mV ppm/ mV mV ppm/
アナログ出力 電圧出力 出力電流 最大負荷キャパシタンス 短絡電流 短絡時間	$V_{REF} = -2.5V$ 、 $R_L = 10k\Omega$ 、 $V_{SS} = -5V$ 発振なし GNDまたは V_{CC} または V_{SS}	$V_{REFL} - 1.25$	500 -10、+30 無制限	$V_{REFH} + 1.25$	* *	* *	* *	V mA pF mA
リファレンス入力 高電位リファレンス入力電圧範囲 低電位リファレンス入力電圧範囲 高電位リファレンス入力電流 低電位リファレンス入力電流		$V_{REFL} + 1.25$ -2.5	500 -500	+2.5 $V_{REFH} - 1.25$	* *	* *	* *	V V μA μA
ダイナミック特性 セトリングタイム チャンネル間クロストーク デジタル・フィードスルー 出力雑音電圧 DACグリッチ	±0.003%まで、 5V出力ステップ 図5参照 f = 10kHz 7FFF _H ~ 8000 _H または 8000 _H ~ 7FFF _H		8 0.5 2 60 40	10		* * * * *	* 	μs LSB nV-s nV/√Hz nV-s
デジタル入力 V_{IH} V_{IL} I_{IH} I_{IL}		$0.7 \cdot V_{DD}$		$0.3 \cdot V_{DD}$ ±10 ±10	*		* * *	V V μA μA
デジタル出力 V_{OH} V_{OL}	$I_{OH} = -0.8mA$ $I_{OL} = 1.6mA$	3.6	4.5 0.3	0.4	*	* *	* *	V V
電源 V_{DD} V_{CC} V_{SS} I_{CC} I_{DD} I_{SS} 電力		+4.75 +4.75 -5.25 -2.3	+5.0 +5.0 -5.0 1.5 50 -1.5 15	+5.25 +5.25 -4.75 2 20	* * * *	* * * * * * *	* * * * *	V V V mA μA mA mW
温度範囲 仕様に規定された性能		-40		+85	*		*	

* 印は、DAC7634Eのグレードと同じ値であることを示します。

このデータシートに記載されている情報は、信頼し得るものと考えておりますが、不正確な情報や記載漏れ等に関して弊社は責任を負うものではありません。情報の使用について弊社は責任を負えませんので、各ユーザーの責任において御使用下さい。価格や仕様は予告なしに変更される場合がありますのでご了承下さい。ここに記載されているいかなる回路についても工業所有権その他の権利またはその実施権を付与したり承諾したりするものではありません。弊社は弊社製品を生命維持に関する機器またはシステムに使用することを承認しまたは保証するものではありません。

仕様

特に記述のない限り、 $T_A = T_{MIN} \sim T_{MAX}$ 、 $V_{DD} = V_{CC} = +5V$ 、 $V_{SS} = 0V$ 、 $V_{REFH} = +2.5V$ 、 $V_{REFL} = 0V$ です。

パラメータ	条件	DAC7634E			DAC7634EB			単位
		最小	標準	最大	最小	標準	最大	
精度 直線性誤差 ⁽¹⁾ 直線性のマッチング 微分直線性誤差 単調性、 $T_{MIN} \sim T_{MAX}$ ゼロスケール誤差 ゼロスケール誤差ドリフト フルスケール誤差 フルスケール誤差ドリフト ゼロスケールのマッチング フルスケールのマッチング 電源除去比 (PSRR)	チャンネル間のマッチング チャンネル間のマッチング フルスケール	14	± 3 ± 4 ± 2 ± 1 5 ± 1 5 ± 1 ± 1 10	± 4 ± 3 ± 2 ± 2 10 ± 2 ± 2 ± 2 100	15	± 2 ± 2 ± 1 * * * * ± 1 ± 1 *	± 3 ± 2 ± 2 * * * * ± 2 ± 2 *	LSB LSB LSB Bits mV ppm/ mV ppm/ mV mV ppm/V
アナログ出力 電圧出力 出力電流 最大負荷キャパシタンス 短絡電流 短絡時間	$V_{REFL} = 0V$ 、 $V_{SS} = 0V$ 、 $R_L = 10k\Omega$ 発振なし GNDまたは V_{CC}	0 -1.25	500 ± 30 無制限	V_{REFH} $+1.25$	* *	* *	* *	V mA pF mA
リファレンス入力 高電位リファレンス入力電圧範囲 低電位リファレンス入力電圧範囲 高電位リファレンス入力電流 低電位リファレンス入力電流		$V_{REFL} + 1.25$ 0	250 -250	$+2.5$ $V_{REFH} - 1.25$	* *	* *	* *	V V μA μA
ダイナミック特性 セトリングタイム チャンネル間クロストーク デジタル・フィードスルー 出力雑音電圧、 $f = 10kHz$ DACグリッチ	$\pm 0.003\%$ まで、 2.5V出力ステップ 図6参照 7FFF _H ~ 8000 _H または 8000 _H ~ 7FFF _H		8 0.5 2 60 40	10		* * * *	*	μs LSB nV-s $nV/\sqrt{Hz}$ nV-s
デジタル入力 V_{IH} V_{IL} I_{IH} I_{IL}		$0.7 \cdot V_{DD}$		$0.3 \cdot V_{DD}$ ± 10 ± 10	*		* * *	V V μA μA
デジタル出力 V_{OH} V_{OL}	$I_{OH} = -0.8mA$ $I_{OL} = 1.6mA$	3.6	4.5 0.3	0.4	*	* *	* *	V V
電源 V_{DD} V_{CC} V_{SS} I_{CC} I_{DD} 電力		$+4.75$ $+4.75$ 0	$+5.0$ $+5.0$ 0 1.5 50 7.5	$+5.25$ $+5.25$ 0 2 10	* * *	* * * * * *	* * * * * *	V V V mA μA mW
温度範囲 仕様に規定された性能		-40		$+85$	*		*	

注：(1) $V_{SS} = 0V$ の場合、ゼロスケール誤差が負になる可能性があるため、仕様は0040_H以上のコードに適用されます。

*印は、DAC7634Eのグレードと同じ値であることを示します。

絶対最大定格⁽¹⁾

V_{CC} および $V_{DD} \sim V_{SS}$	$-0.3V \sim 11V$
V_{CC} および $V_{DD} \sim GND$	$-0.3V \sim 5.5V$
$V_{REFL} \sim V_{SS}$	$-0.3V \sim (V_{CC} - V_{SS})$
$V_{CC} \sim V_{REFH}$	$-0.3V \sim (V_{CC} - V_{SS})$
$V_{REFH} \sim V_{REFL}$	$-0.3V \sim (V_{CC} - V_{SS})$
デジタル入力電圧(対GND)	$-0.3V \sim V_{DD} + 0.3V$
デジタル出力電圧(対GND)	$-0.3V \sim V_{DD} + 0.3V$
最大接合部温度	+150
動作温度範囲	$-40 \sim +85$
保存温度範囲	$-65 \sim +125$
リード温度(10秒間の半田付け)	+300

注：(1) 定格を超えるオーバーストレスは、デバイスに永久的な損傷を与えます。絶対最大条件下に長時間置いた場合は、デバイスの信頼性が低下することがあります。



静電気放電対策

静電気放電はわずかな性能の低下から完全なデバイスの故障に至るまで、様々な損傷を与えます。すべての集積回路は、適切なESD保護方法を用いて、取扱いと保存を行うようにして下さい。高精度の集積回路は、損傷に対して敏感であり、極めてわずかなパラメータの変化により、デバイスに規定された仕様に適合しなくなる場合があります。

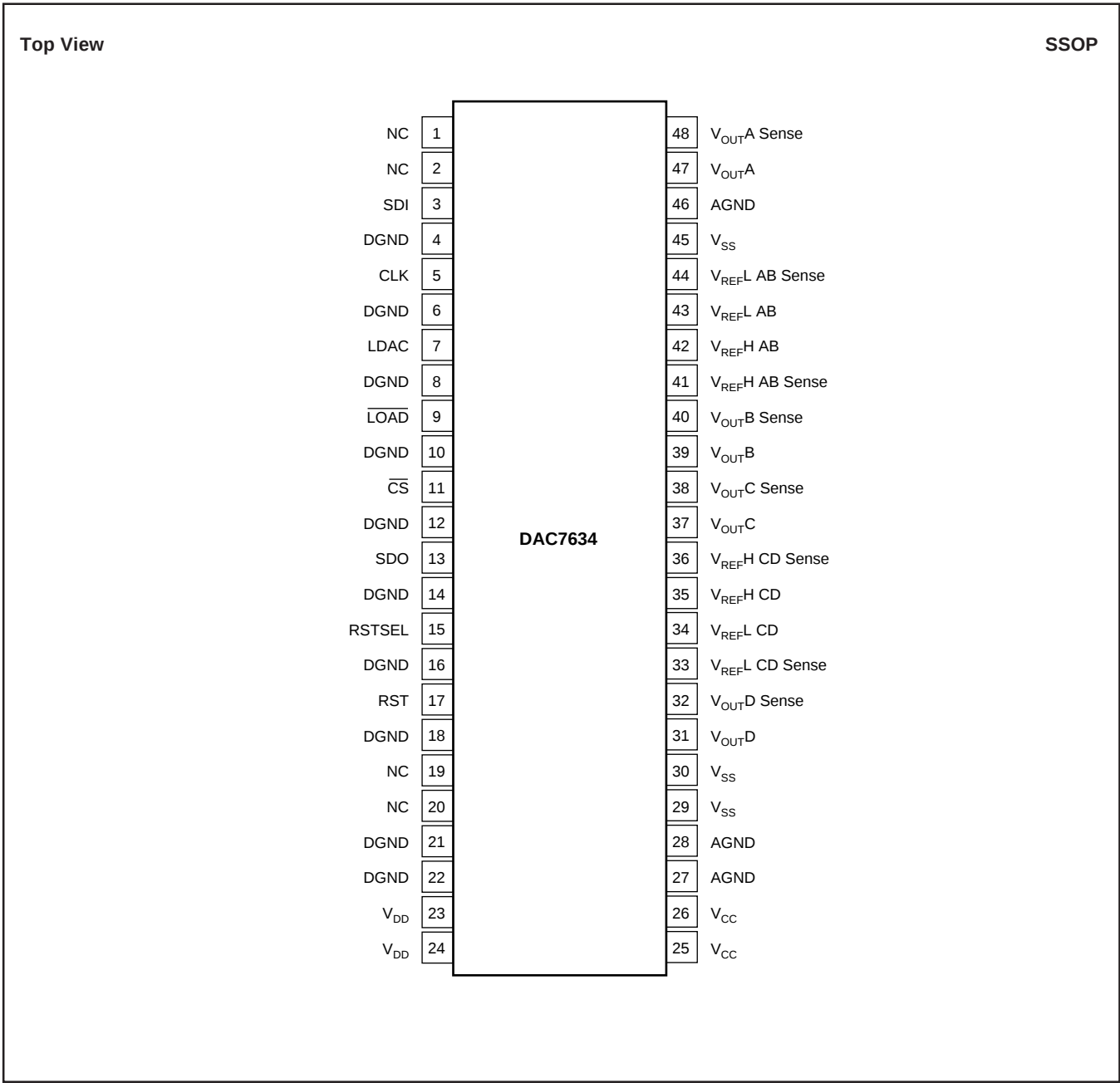
パッケージ情報/ご発注の手引き

モデル	直線性誤差 (LSB)	微分直線性誤差 (LSB)	パッケージ	パッケージ図番号	仕様温度範囲	発注番号 ⁽¹⁾	供給時の状態
DAC7634E	±4	±3	48ピンSSOP	333	$-40 \sim +85$	DAC7634E	マガジン
DAC7634E	±4	±3	48ピンSSOP	333	$-40 \sim +85$	DAC7634E/1K	テーブリール
DAC7634EB	±3	±2	48ピンSSOP	333	$-40 \sim +85$	DAC7634EB	マガジン
DAC7634EB	±3	±2	48ピンSSOP	333	$-40 \sim +85$	DAC7634EB/1K	テーブリール

注：(1) スラッシュ(/)の付いたモデルは、その後に示される数量を単位として、テーブリールでのみ供給されます(例えば、/1Kはリール1本あたり1,000個入りであることを示します)。“DAC7634E/1K”を発注すると、1,000個入りテーブリール1本が納品されます。

ピン構成

ピン	名称	説明	ピン	名称	説明
1	NC	接続なし(オープン)	24	V_{DD}	デジタル+5V電源
2	NC	接続なし(オープン)	25	V_{CC}	アナログ+5V電源
3	SDI	シリアルデータ入力	26	V_{CC}	アナログ+5V電源
4	DGND	デジタル・グラウンド	27	AGND	アナログ・グラウンド
5	CLK	データ・クロック入力	28	AGND	アナログ・グラウンド
6	DGND	デジタル・グラウンド	29	V_{SS}	アナログ-5V電源または0V単一電源
7	LDAC	DACレジスタ・ロード制御。立ち上がりエッジでトリガする。	30	V_{SS}	アナログ-5V電源または0V単一電源
8	DGND	デジタル・グラウンド	31	V_{OUTD}	DAC Dの出力電圧
9	$\overline{LOAD}$	DAC入力レジスタ・ロード制御。アクティブロー。	32	V_{OUTD} Sense	DAC Dの出力アンプの反転入力。帰還ループを負荷で閉じるために使用する。
10	DGND	デジタル・グラウンド	33	V_{REFL} CD Sence	DAC CとDの低電位リファレンス・センス入力
11	$\overline{CS}$	チップ・セレクト。アクティブロー。	34	V_{REFL} CD	DAC CとDの低電位リファレンス入力
12	DGND	デジタル・グラウンド	35	V_{REFH} CD	DAC CとDの高電位リファレンス入力
13	SDO	シリアルデータ出力	36	V_{REFH} CD Sence	DAC CとDの高電位リファレンス・センス入力
14	DGND	デジタル・グラウンド	37	V_{OUTC}	DAC Cの出力電圧
15	RSTSEL	リセット・セレクト。RSTの動作を決定する。“ハイ”の場合、DACレジスタはRSTコマンドによってミッドスケール(8000H)に設定される。“ロー”の場合、DACレジスタはRSTコマンドによってゼロ(0000H)に設定される。	38	V_{OUTC} Sense	DAC Cの出力アンプの反転入力。帰還ループを負荷で閉じるために使用する。
16	DGND	デジタル・グラウンド	39	V_{OUTB}	DAC Bの出力電圧
17	RST	リセット。立ち上がりエッジでトリガする。DACレジスタをRSTSELの状態に応じてミッドスケールまたはゼロに設定する。	40	V_{OUTB} Sense	DAC Bの出力アンプの反転入力。帰還ループを負荷で閉じるために使用する。
18	DGND	デジタル・グラウンド	41	V_{REFH} AB Sence	DAC AとBの高電位リファレンス・センス入力
19	NC	接続なし(オープン)	42	V_{REFH} AB	DAC AとBの高電位リファレンス入力
20	NC	接続なし(オープン)	43	V_{REFL} AB	DAC AとBの低電位リファレンス入力
21	DGND	デジタル・グラウンド	44	V_{REFL} AB Sence	DAC AとBの低電位リファレンス・センス入力
22	DGND	デジタル・グラウンド	45	V_{SS}	アナログ-5V電源または0V単一電源
23	V_{DD}	デジタル+5V電源	46	AGND	アナログ・グラウンド
			47	V_{OUTA}	DAC Aの出力電圧
			48	V_{OUTA} Sense	DAC Aの出力アンプの反転入力。帰還ループを負荷で閉じるために使用する。

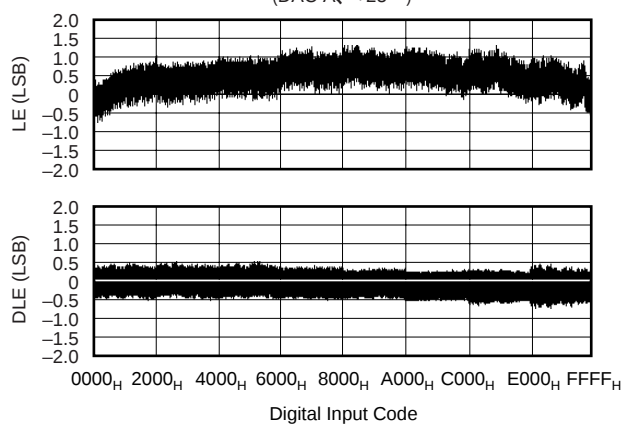


代表的性能曲線: $V_{SS} = 0V$

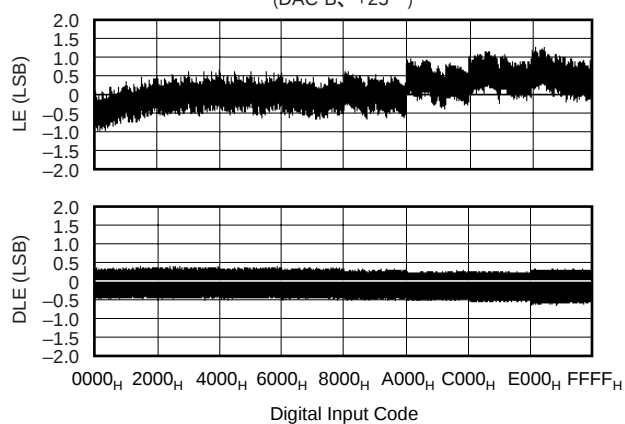
特に記述のない限り、 $T_A = +25$ 、 $V_{DD} = V_{CC} = +5V$ 、 $V_{SS} = 0V$ 、 $V_{REFH} = +2.5V$ 、 $V_{REFL} = 0V$ 、代表的ユニットです。

+25

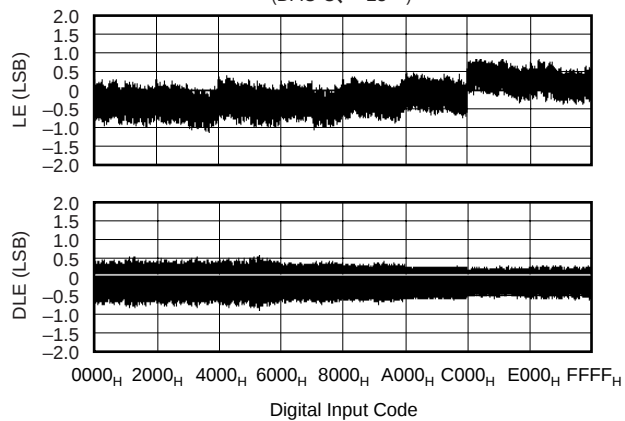
直線性誤差および微分直線性誤差対コード
(DAC A、+25)



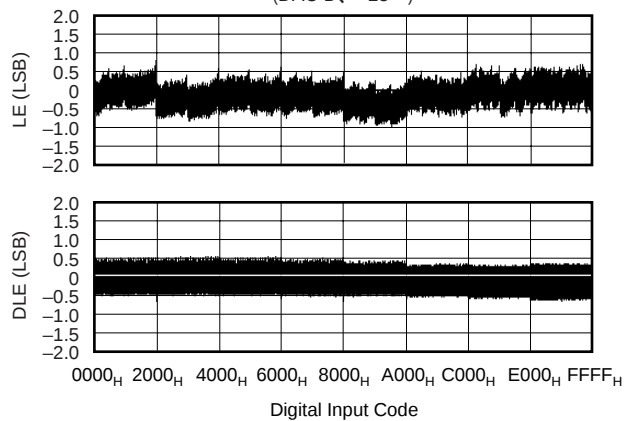
直線性誤差および微分直線性誤差対コード
(DAC B、+25)



直線性誤差および微分直線性誤差対コード
(DAC C、+25)

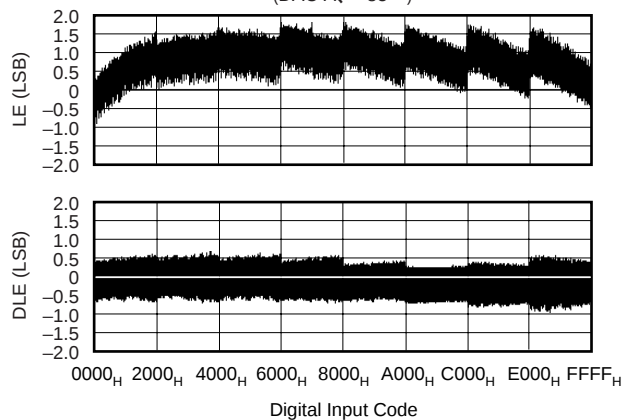


直線性誤差および微分直線性誤差対コード
(DAC D、+25)

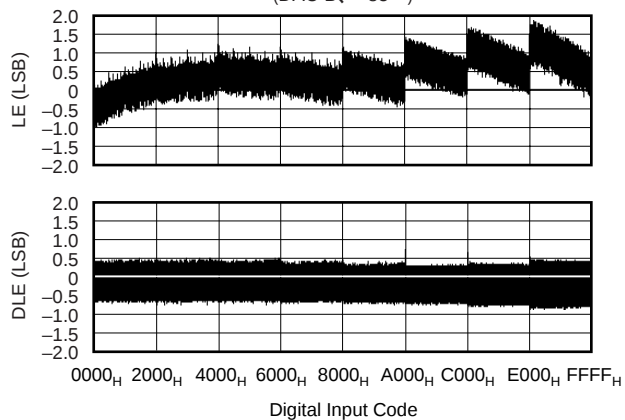


+85

直線性誤差および微分直線性誤差対コード
(DAC A、+85)



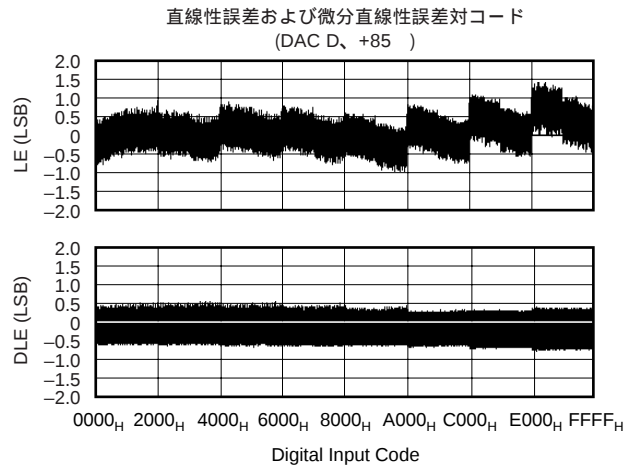
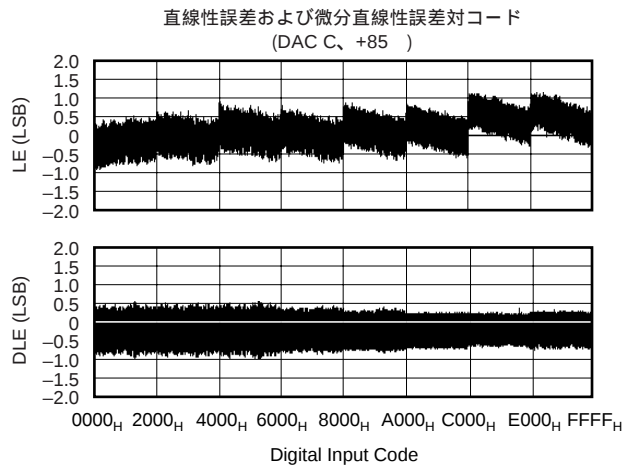
直線性誤差および微分直線性誤差対コード
(DAC B、+85)



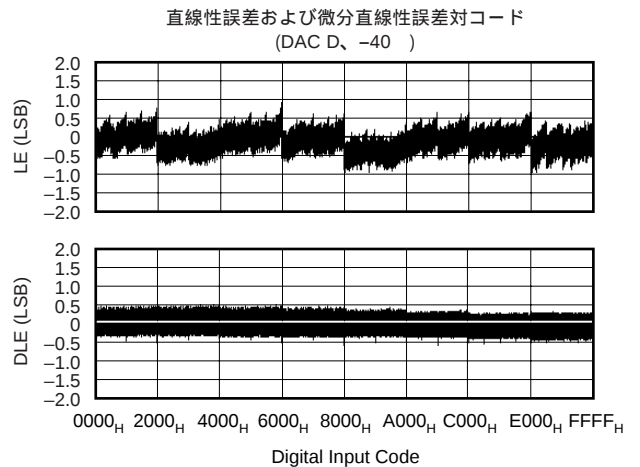
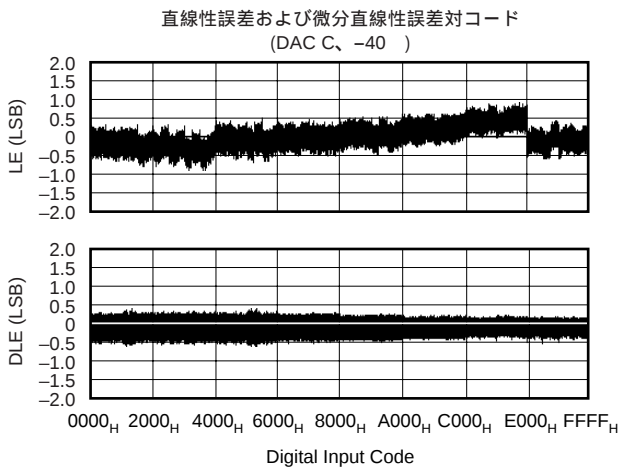
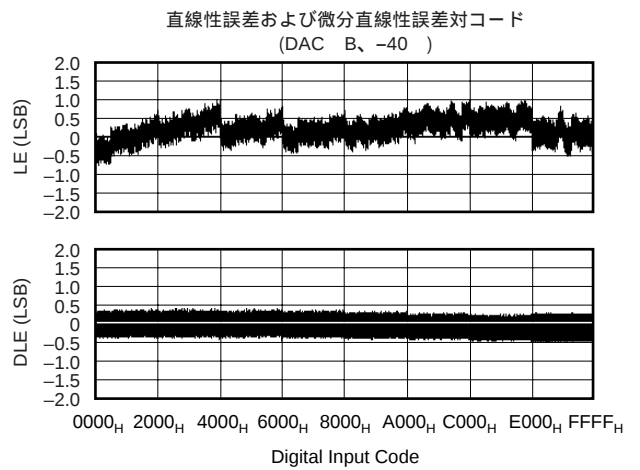
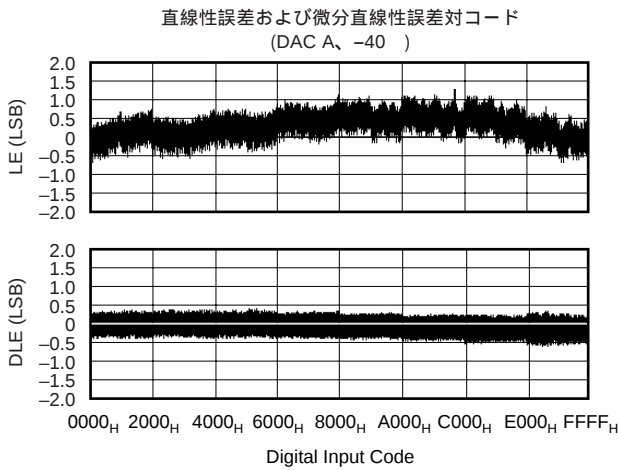
代表的性能曲線: $V_{SS} = 0V$

特に記述のない限り、 $T_A = +25^\circ C$ 、 $V_{DD} = V_{CC} = +5V$ 、 $V_{SS} = 0V$ 、 $V_{REF_H} = +2.5V$ 、 $V_{REF_L} = 0V$ 、代表的ユニットです。

+85

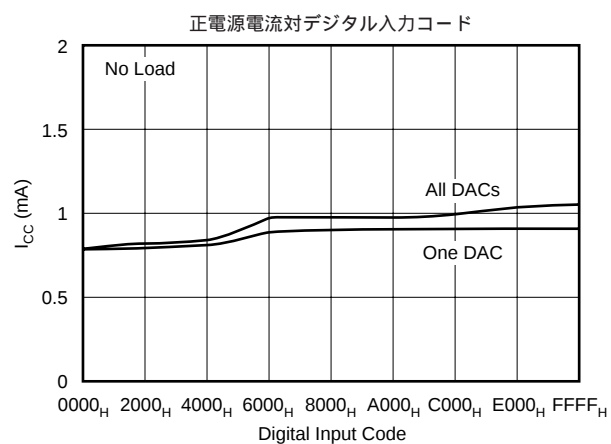
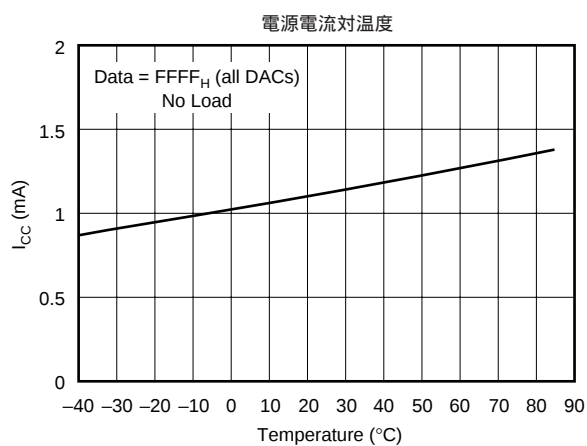
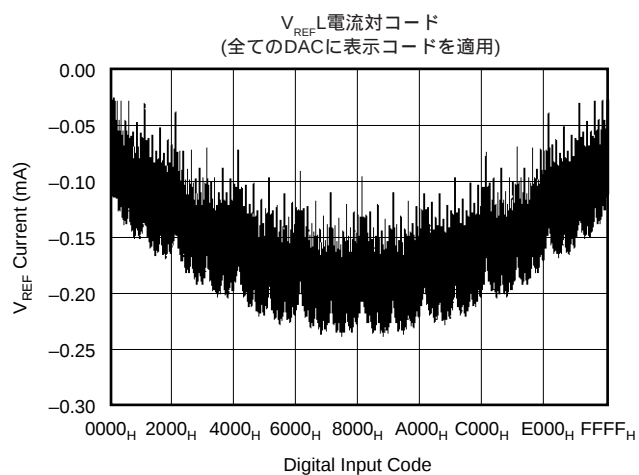
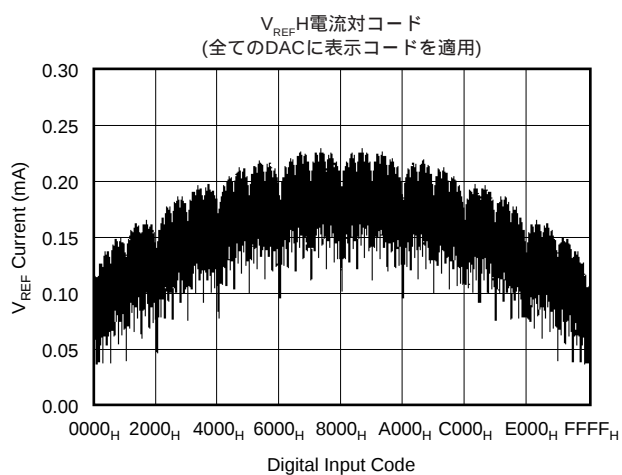
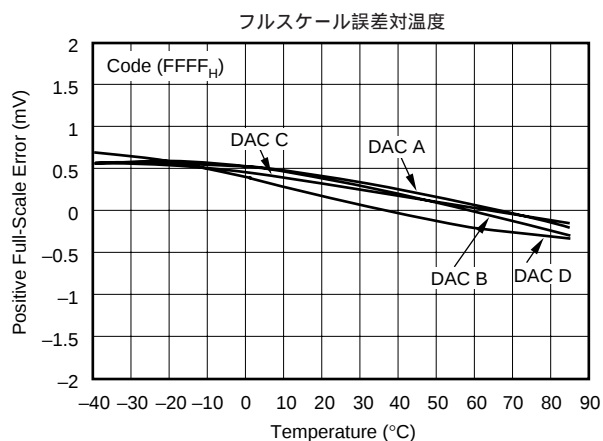
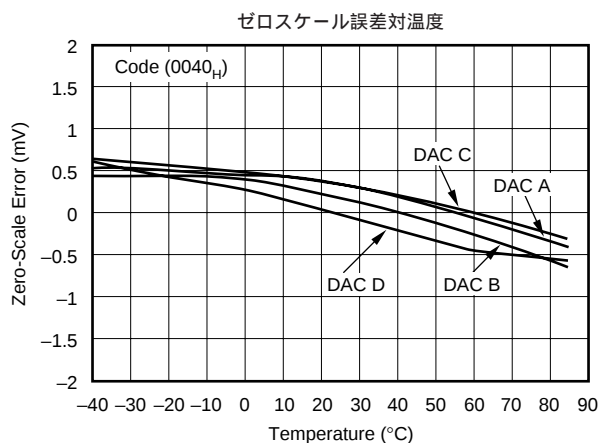


-40



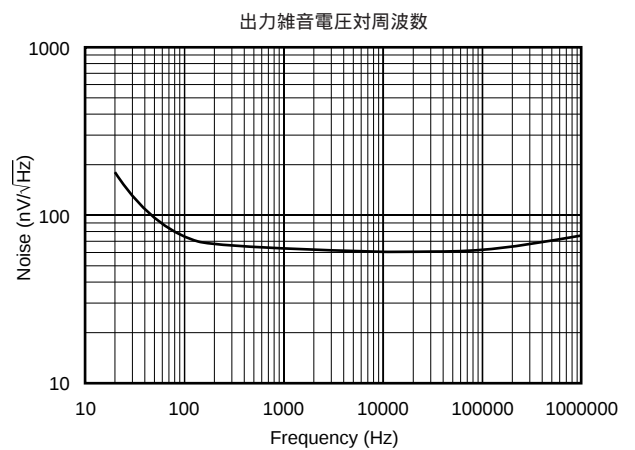
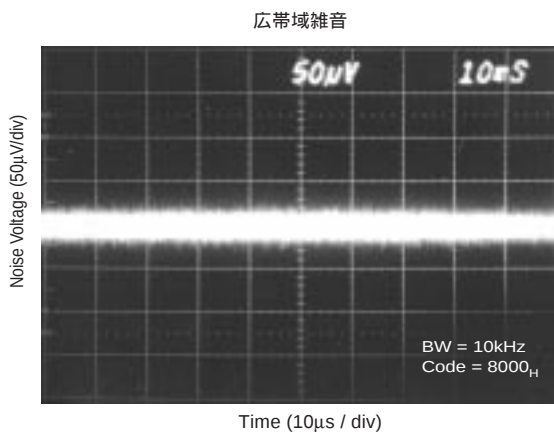
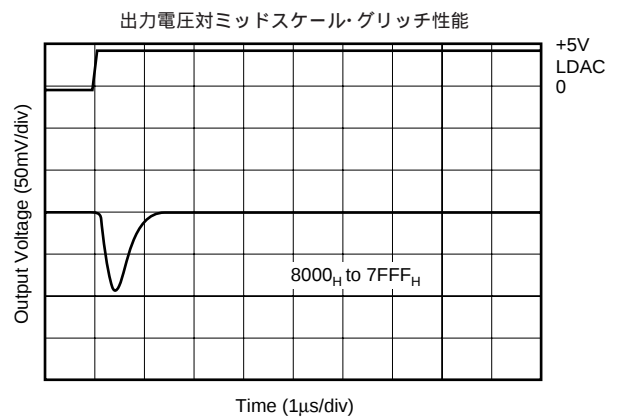
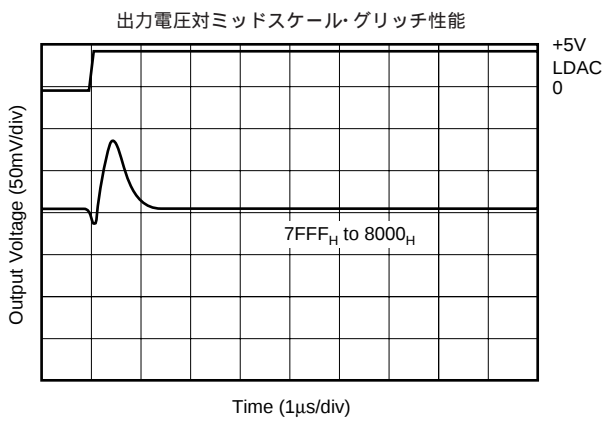
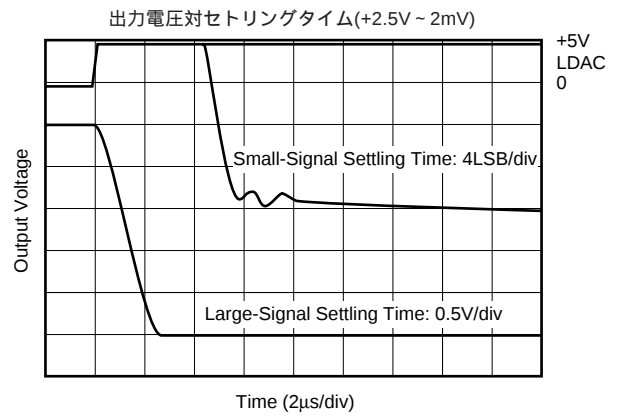
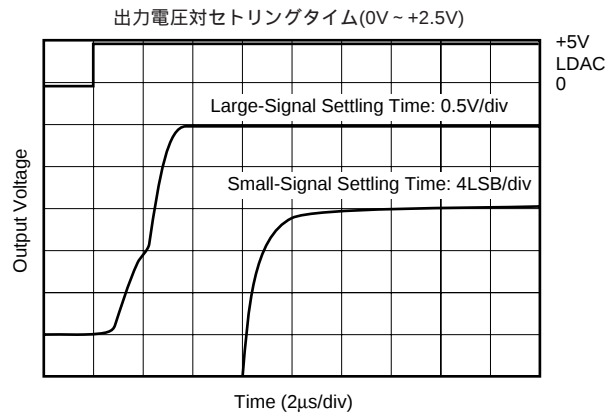
代表的性能曲線: $V_{SS} = 0V$

特に記述のない限り、 $T_A = +25^\circ C$ 、 $V_{DD} = V_{CC} = +5V$ 、 $V_{SS} = 0V$ 、 $V_{REF_H} = +2.5V$ 、 $V_{REF_L} = 0V$ 、代表的ユニットです。



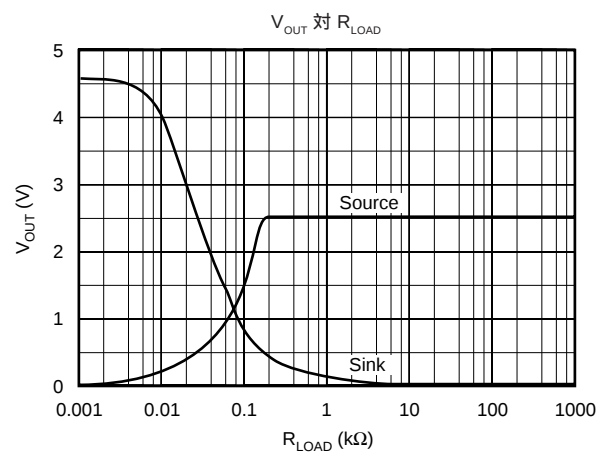
代表的性能曲線: $V_{SS} = 0V$

特に記述のない限り、 $T_A = +25^\circ C$ 、 $V_{DD} = V_{CC} = +5V$ 、 $V_{SS} = 0V$ 、 $V_{REF_H} = +2.5V$ 、 $V_{REF_L} = 0V$ 、代表的ユニットです。



代表的性能曲線: $V_{SS} = 0V$

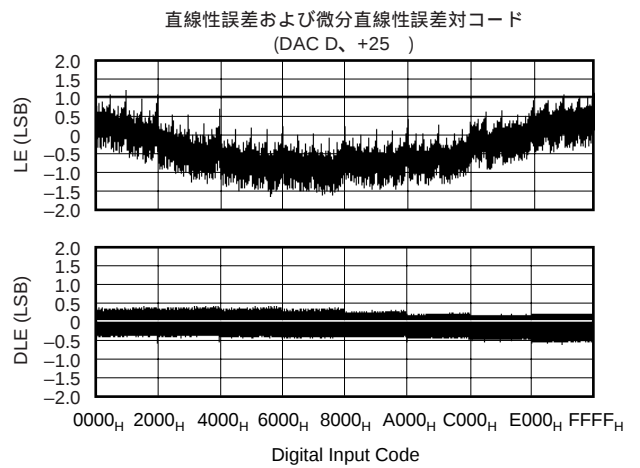
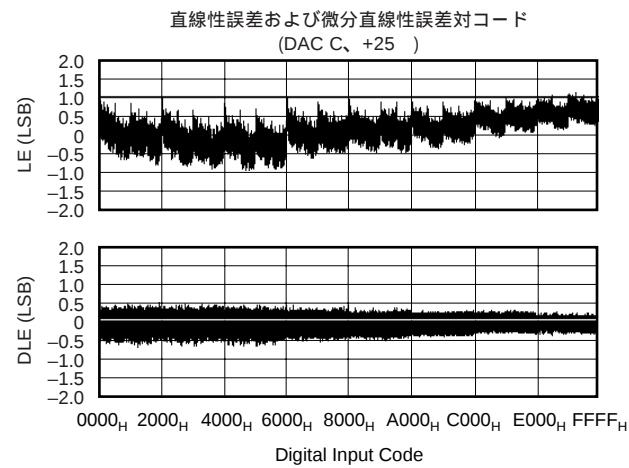
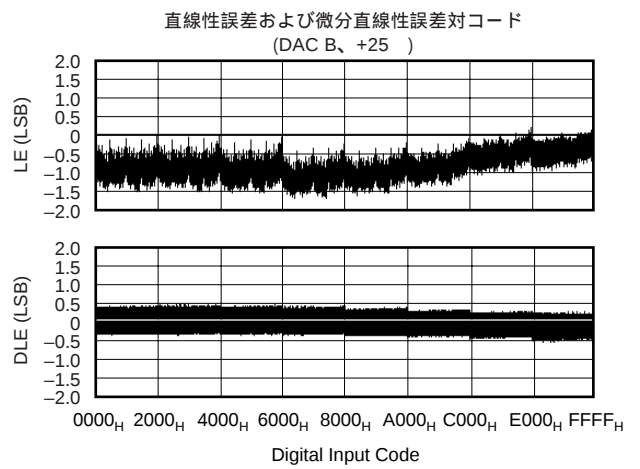
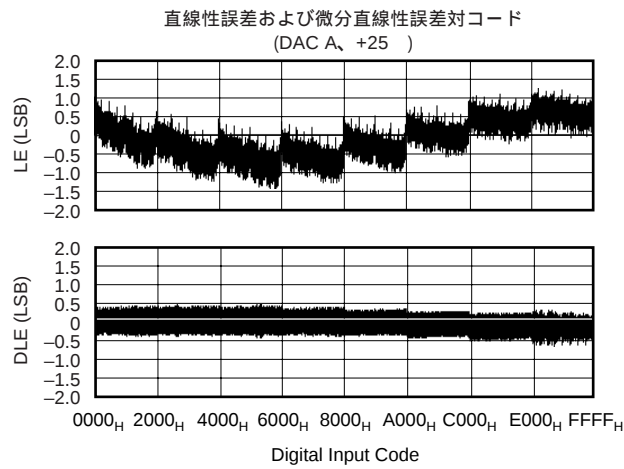
特に記述のない限り、 $T_A = +25$ 、 $V_{DD} = V_{CC} = +5V$ 、 $V_{SS} = 0V$ 、 $V_{REFH} = +2.5V$ 、 $V_{REFL} = 0V$ 、代表的ユニットです。



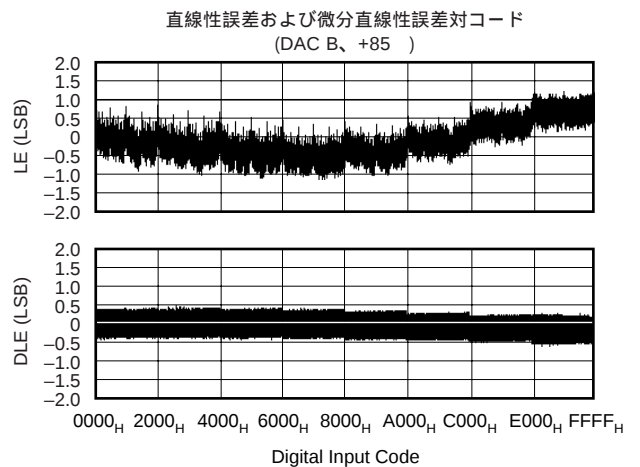
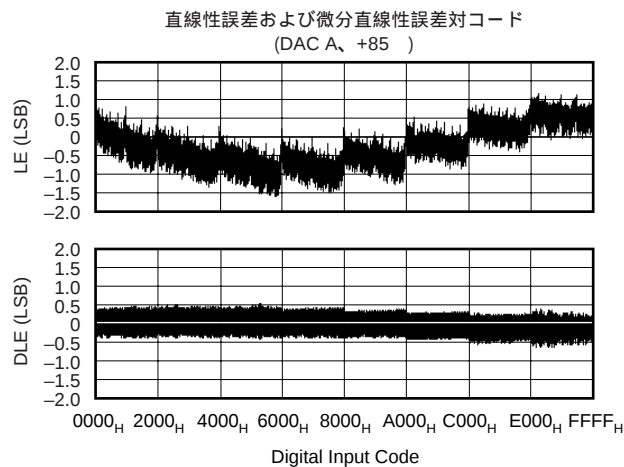
代表的性能曲線: $V_{SS} = -5V$

特に記述のない限り、 $T_A = +25$ 、 $V_{DD} = V_{CC} = +5V$ 、 $V_{SS} = -5V$ 、 $V_{REFH} = +2.5V$ 、 $V_{REFL} = -2.5V$ 、代表的ユニットです。

+25



+85

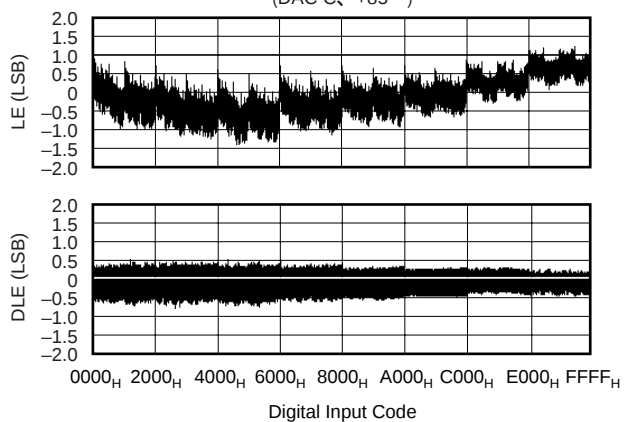


代表的性能曲線: $V_{SS} = -5V$

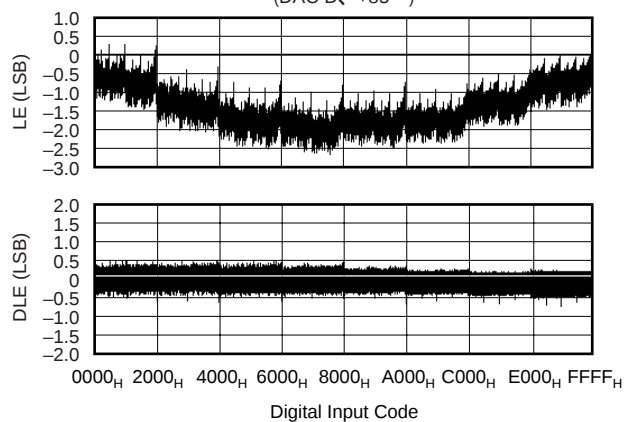
特に記述のない限り、 $T_A = +25$ 、 $V_{DD} = V_{CC} = +5V$ 、 $V_{SS} = -5V$ 、 $V_{REFH} = +2.5V$ 、 $V_{REFL} = -2.5V$ 、代表的ユニットです。

+85

直線性誤差および微分直線性誤差対コード
(DAC C、+85)

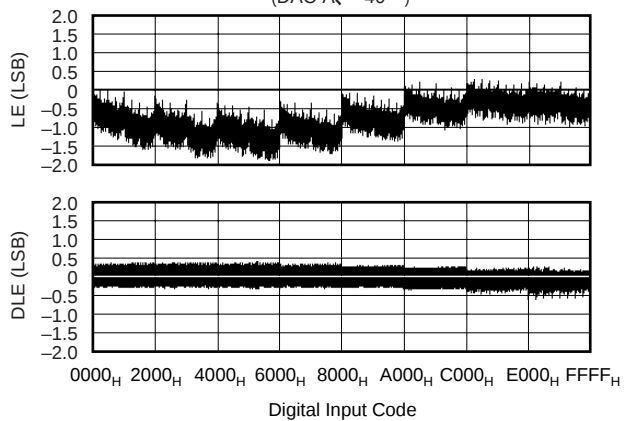


直線性誤差および微分直線性誤差対コード
(DAC D、+85)

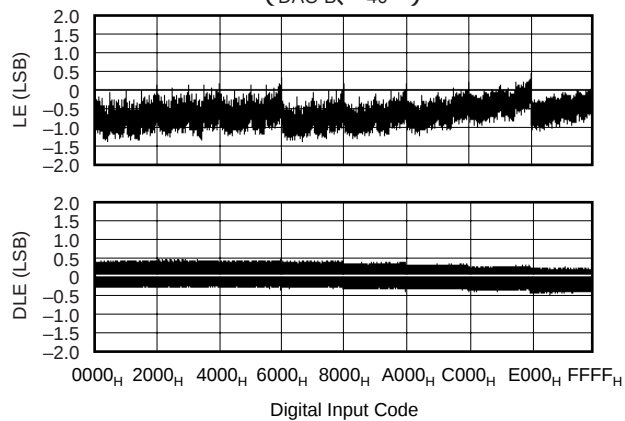


-40

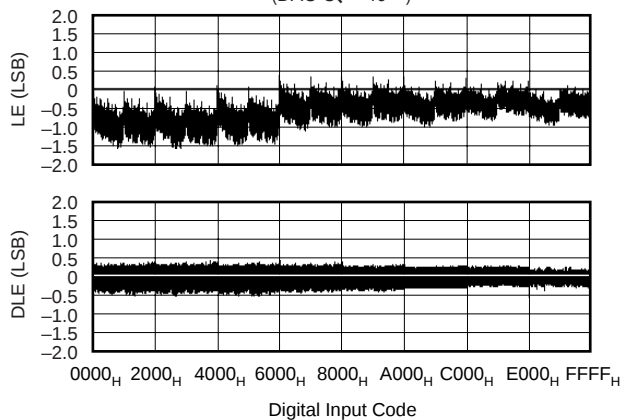
直線性誤差および微分直線性誤差対コード
(DAC A、-40)



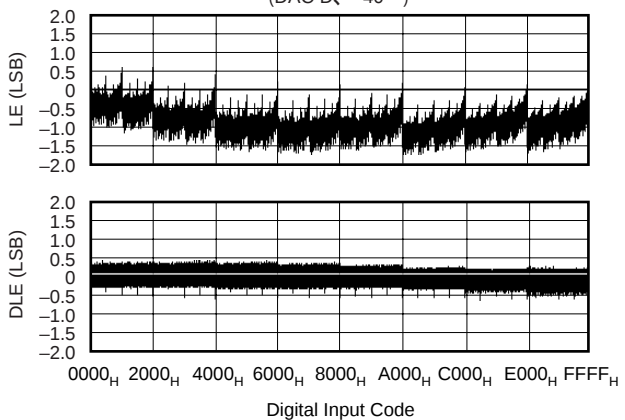
直線性誤差および微分直線性誤差対コード
(DAC B、-40)



直線性誤差および微分直線性誤差対コード
(DAC C、-40)

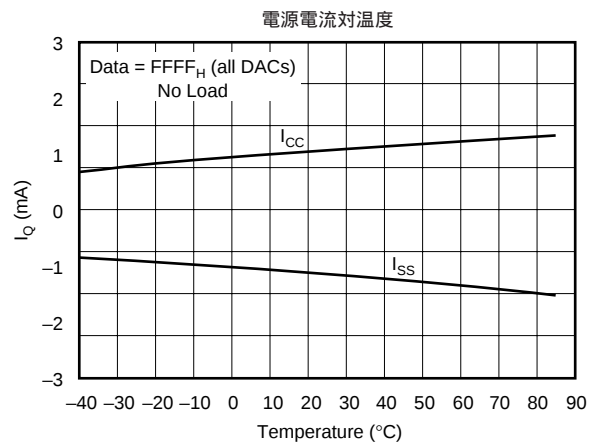
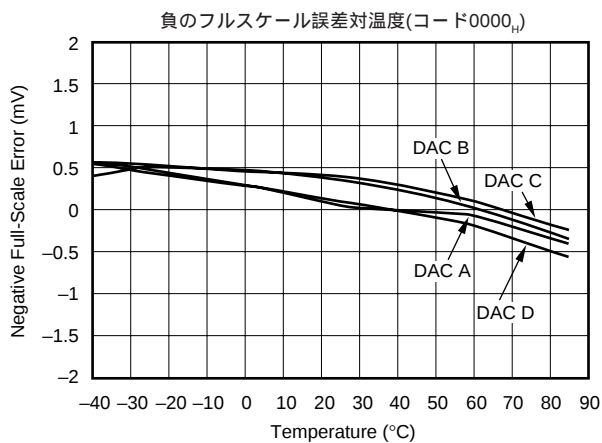
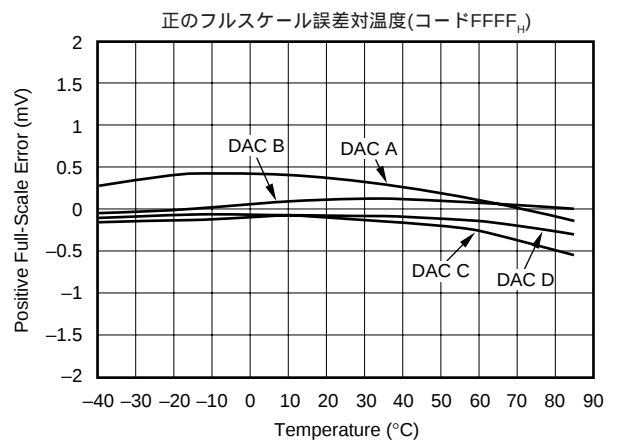
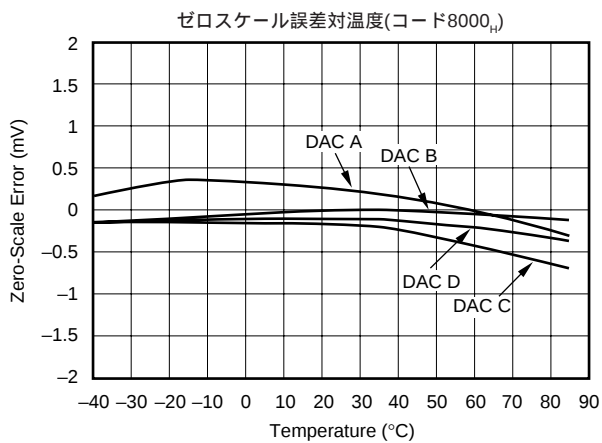
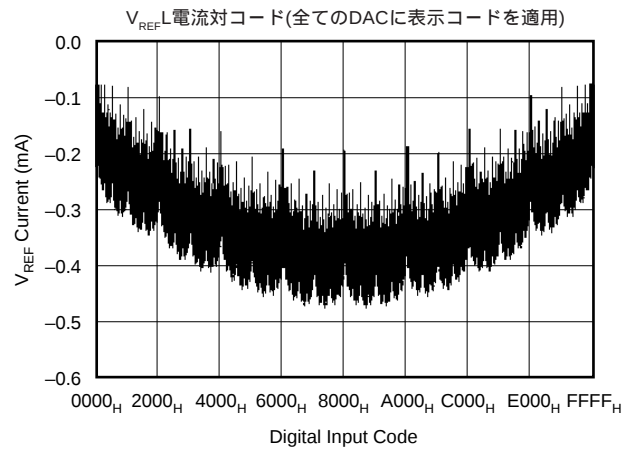
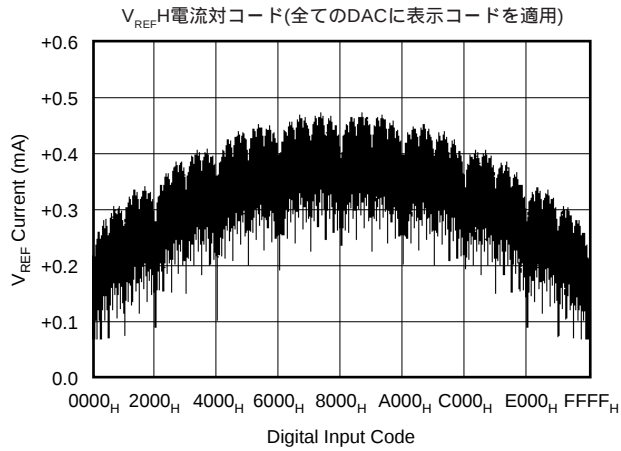


直線性誤差および微分直線性誤差対コード
(DAC D、-40)



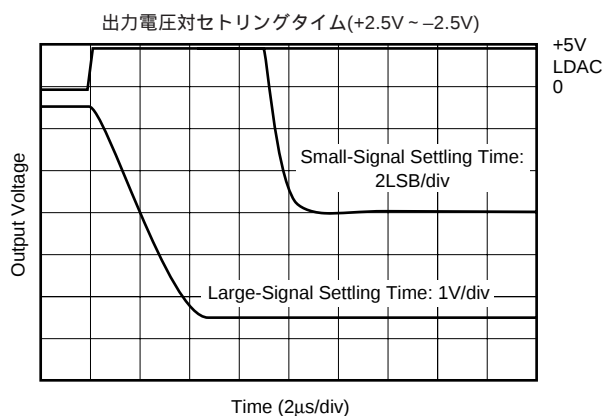
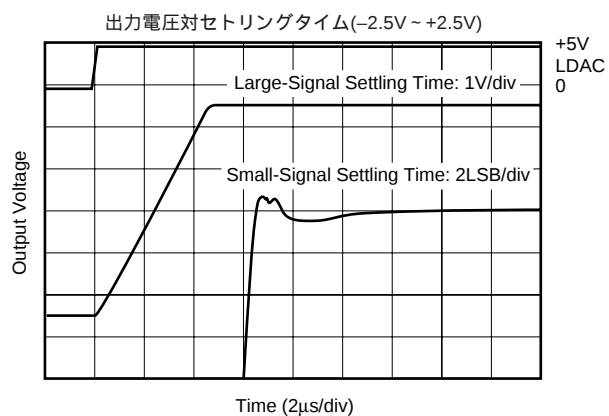
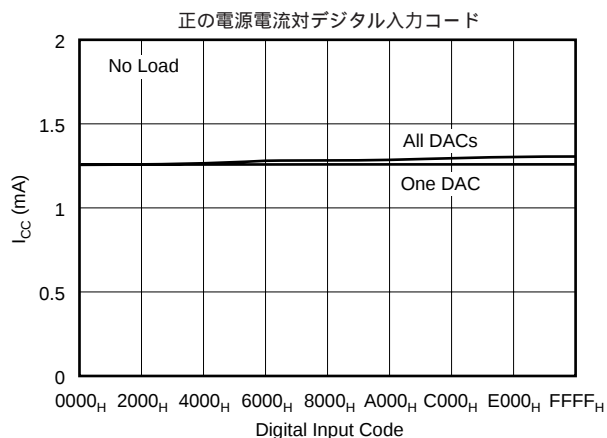
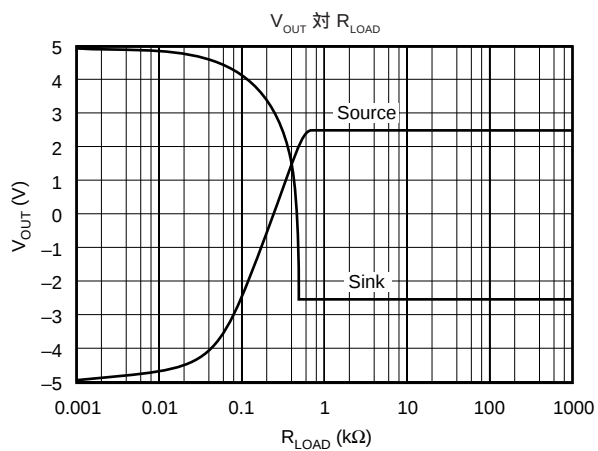
代表的性能曲線: $V_{SS} = -5V$

特に記述のない限り、 $T_A = +25^\circ\text{C}$ 、 $V_{DD} = V_{CC} = +5V$ 、 $V_{SS} = -5V$ 、 $V_{REFH} = +2.5V$ 、 $V_{REFL} = -2.5V$ 、代表的ユニットです。



代表的性能曲線: $V_{SS} = -5V$

特に記述のない限り、 $T_A = +25^\circ C$ 、 $V_{DD} = V_{CC} = +5V$ 、 $V_{SS} = -5V$ 、 $V_{REFH} = +2.5V$ 、 $V_{REFL} = -2.5V$ 、代表的ユニットです。



動作原理

DAC7634は、クワッド・タイプの16ビット電圧出力DACです。アーキテクチャは、上位の3MSBがセグメント化されたR-2Rラダー構成で、後段にバッファとして機能するオペアンプがあります。各DACごとにR-2Rラダー・ネットワーク、セグメント化されたMSB、出力オペアンプがあります(図1参照)。最小電圧出力(ゼロスケール)および最大電圧出力(フルスケール)は、それぞれ外部電圧リファレンス V_{REFL} および V_{REFH} によって設定します。デジタル入力は、4つのDACのいずれかを選択する2ビットのアドレ

ス・コード、1ビットのクイック・ロード・ビット、未使用の5ビットおよび16ビットのDACコード(MSBファースト)からなる24ビットのシリアル・ワードです。DAC7634は、+5Vの単一電源または $\pm 5V$ の両電源で動作させることができ、全てのDACの出力電圧およびDACレジスタを直ちにミッドスケール(コード8000_H)またはゼロスケール(コード0000_H)に設定するリセット機能を備えています。DAC7634の基本動作については図2および3を参照して下さい。

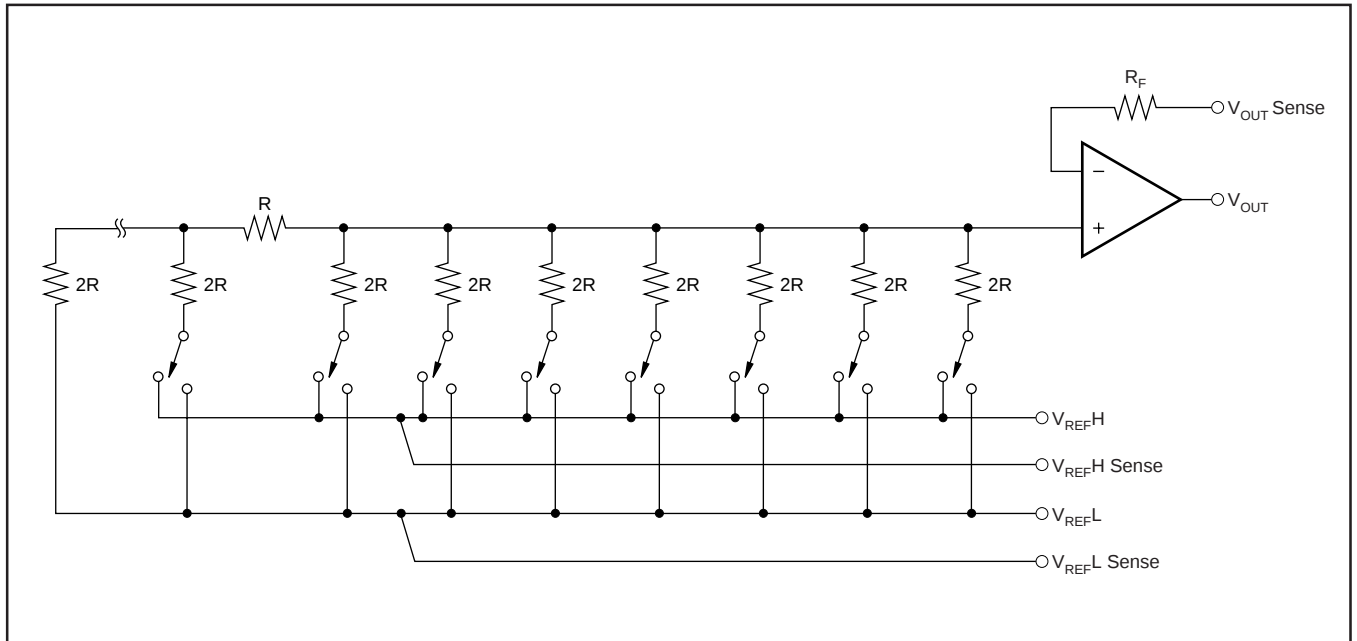


図1 . DAC7634のアーキテクチャ

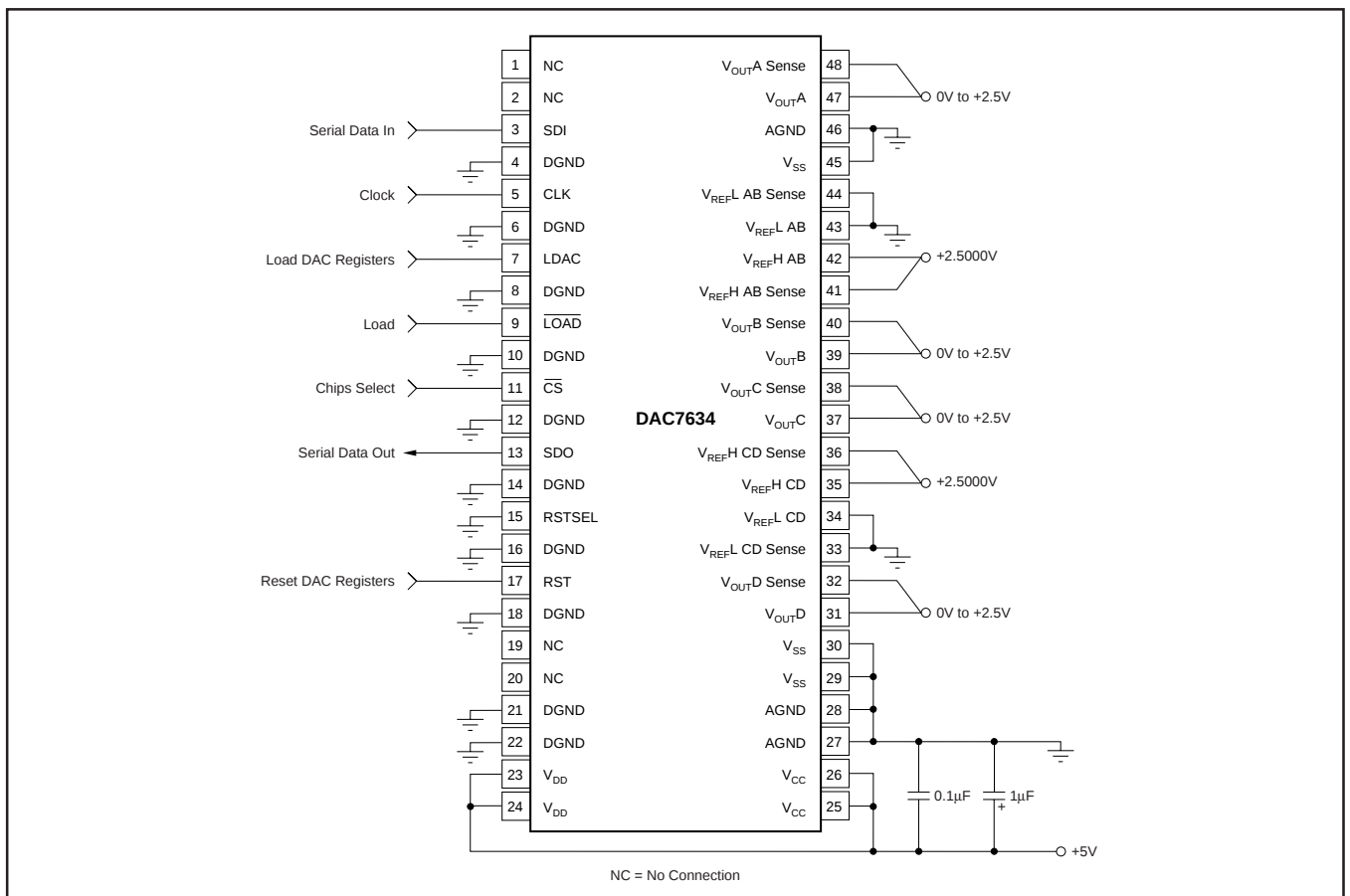


図2 . DAC7634の基本的な単一電源動作

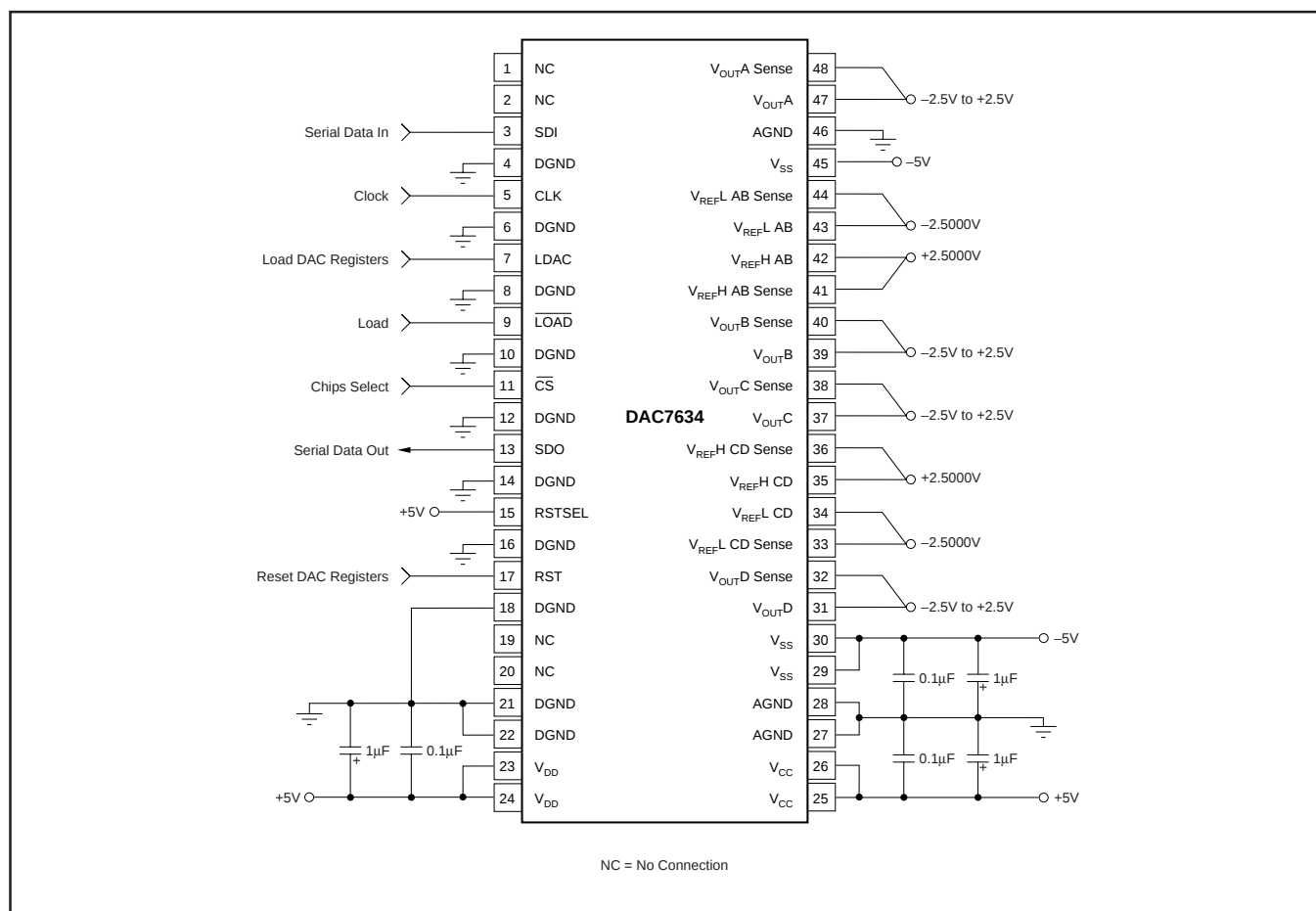


図3 . DAC7634の基本的な両電源動作

アナログ出力

$V_{SS} = -5V$ (両電源動作)のとき、出力アンプは電源レールの2.25V以内までスイングでき、 $-40 \sim +85$ の温度範囲にわたり保証されています。 $V_{SS} = 0V$ (単一電源動作)で R_{LOAD} もグランドに接続しているとき、出力はグランドまでスイングできます。 $V_{SS} = 0V$ のときは、ゼロスケール誤差の測定にも注意が必要です。出力アンプのオフセットが負の場合、出力電圧はグランド以下にスイングできないため、最初のいくつかのデジタル入力コード(0000_H、0001_H、0002_Hなど)で出力電圧が変化しないことがあります。負の制限値の $-2mV$ の場合、最初の仕様出力はコード0040_Hから始まります。

D/Aコンバータは高精度なため、接地や接触抵抗などのシステム設計の問題が非常に重要になります。フルスケール・レンジが2.5Vの16ビット・コンバータでは、1LSBの値は $38\mu V$ になります。負荷電流が1mAの場合、わずか $40m\Omega$ の配線およびコネクタの直列抵抗(R_{W2} 、図4参照)によって $40\mu V$ の電圧降下が発生します。システム・レイアウトの観点からは、標準的な1オンス銅箔プリント基板の面積当たりの抵抗が $0.5m\Omega$ であることから、負荷が1mAの場合、幅10ミリインチ、長さ600ミリインチのプリント基板のパターンで $30\mu V$ の電圧降下が発生することになります。DAC7634では、高開ループ・ゲインの出力アンプのフォースおよ

びセンスの出力構成を使用できます。この機能によって出力アンプのループを負荷で閉じ(図4参照)、高精度な出力電圧を確保できます。

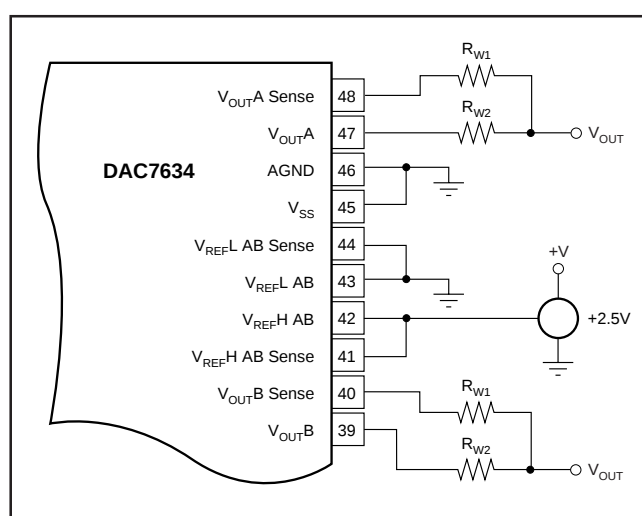


図4 . アナログ出力の閉ループ構成(DAC7634の2/1)。 R_W は配線の抵抗を示す。

リファレンス入力

リファレンス入力 V_{REF_L} および V_{REF_H} は、 V_{REF_H} が V_{REF_L} より1.25V以上高い限り、 $V_{SS}+2.5V$ から $V_{CC}-2.5V$ までの任意の電圧を使用することができます。各DACの最小出力は、 V_{REF_L} + わずかなオフセット電圧(ほぼ出力オペアンプのオフセット)に等しくなります。最大出力は、 V_{REF_H} + 同様のオフセット電圧に等しくなります。 V_{SS} (負電源)は、グラウンドに接続するか、 $-4.75V$ から $-5.25V$ の範囲に保たなければならないことに注意して下さい。 V_{SS} の電圧は、コンバータ内部の複数のバイアス・ポイントを設定します。 V_{SS} が上記の2つの構成のいずれでもない場合、バイアス値が不正になり、デバイスの正しい動作が保証されません。

V_{REF_H} に流れ込み V_{REF_L} から流れ出る電流は、DACの出力電圧に依存し、数マイクロアンペアから約0.5ミリアンペアまでの範囲で変動します。リファレンス入力は、リファレンスに対して変動する負荷として作用します。リファレンスが必要な電流をシンクまたはソースできる場合、リファレンス・バッファは不要です。DAC7634は、変動するリファレンス電流や回路インピーダンスによって発生する内部誤差を最小限に抑えることができるリファレンスのドライブおよびセンス端子を備えています。図5から図13に、各種のリファレンス構成と、直線性および微分直線性への影響を示します。

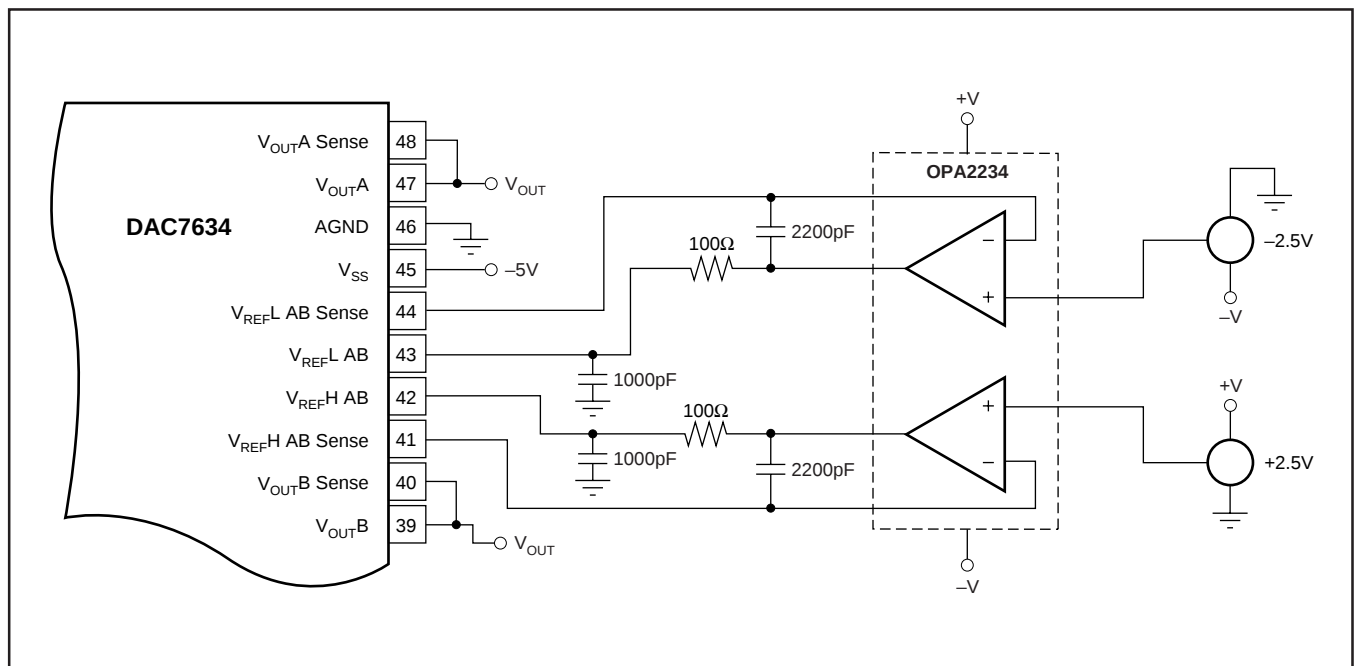


図5．両電源用バッファ付きリファレンス、両電源構成

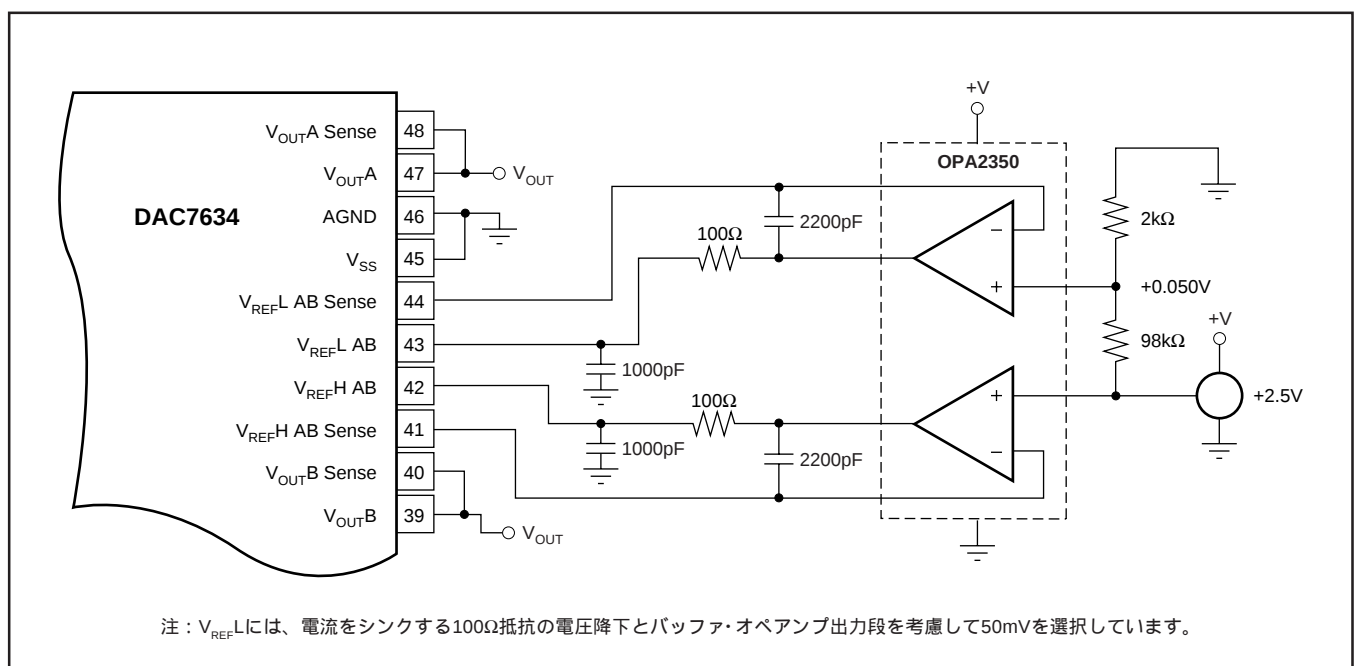


図6．低電位リファレンスが50mVの単一電源バッファ付きリファレンス(DAC7634の1/2)

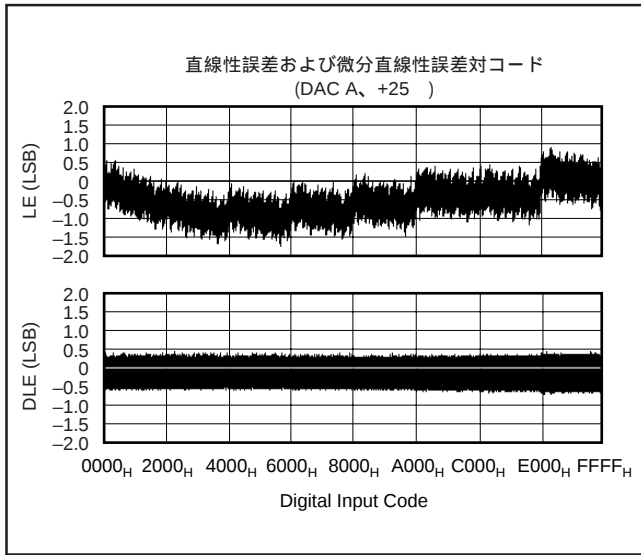


図7．図6の積分直線性および微分直線性誤差の曲線

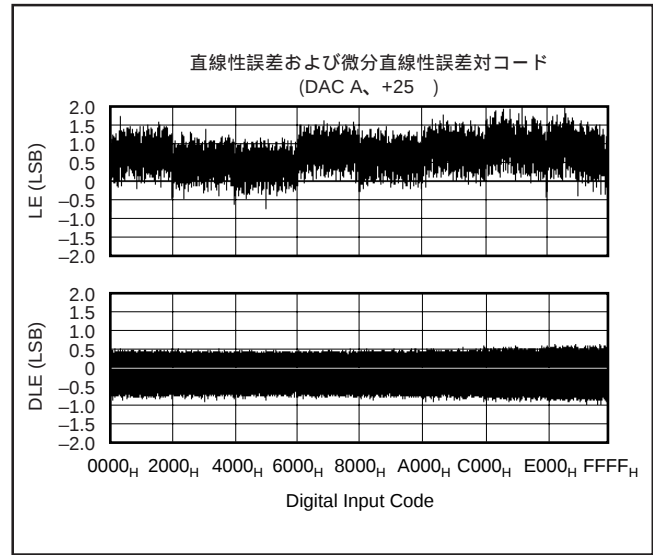


図8．図9の積分直線性および微分直線性誤差の曲線

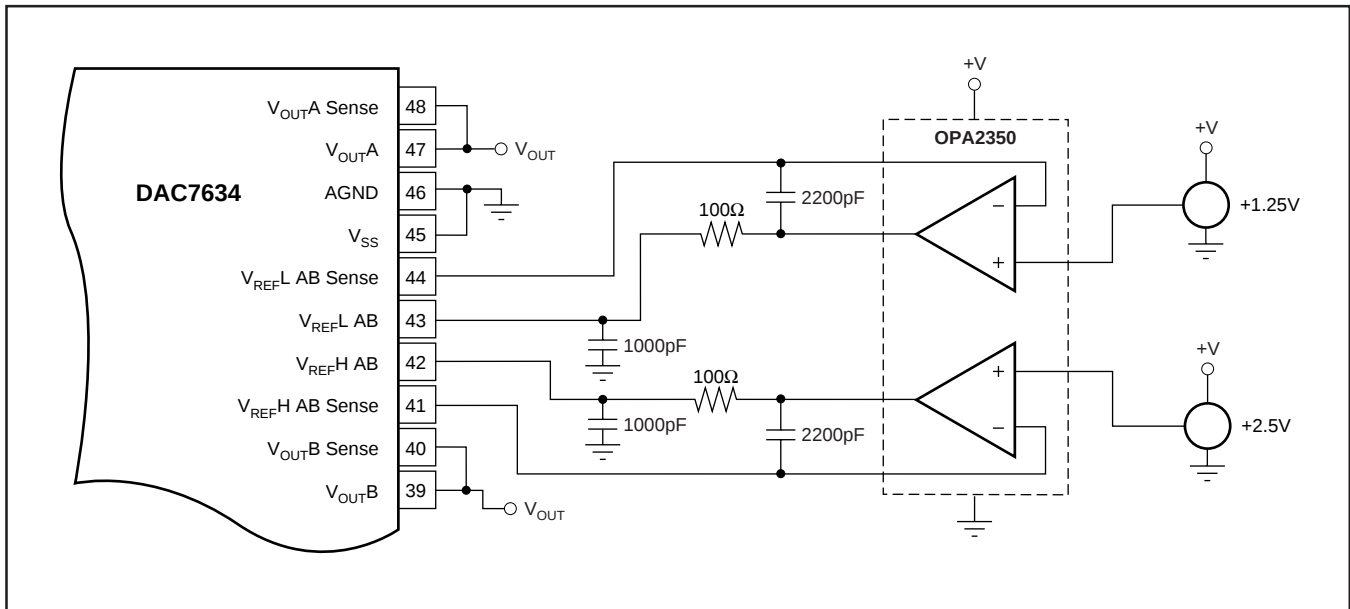


図9． $V_{REFL} = +1.25V$ 、 $V_{REFH} = +2.5V$ の単一電源バッファ付きリファレンス(DAC7634の1/2)

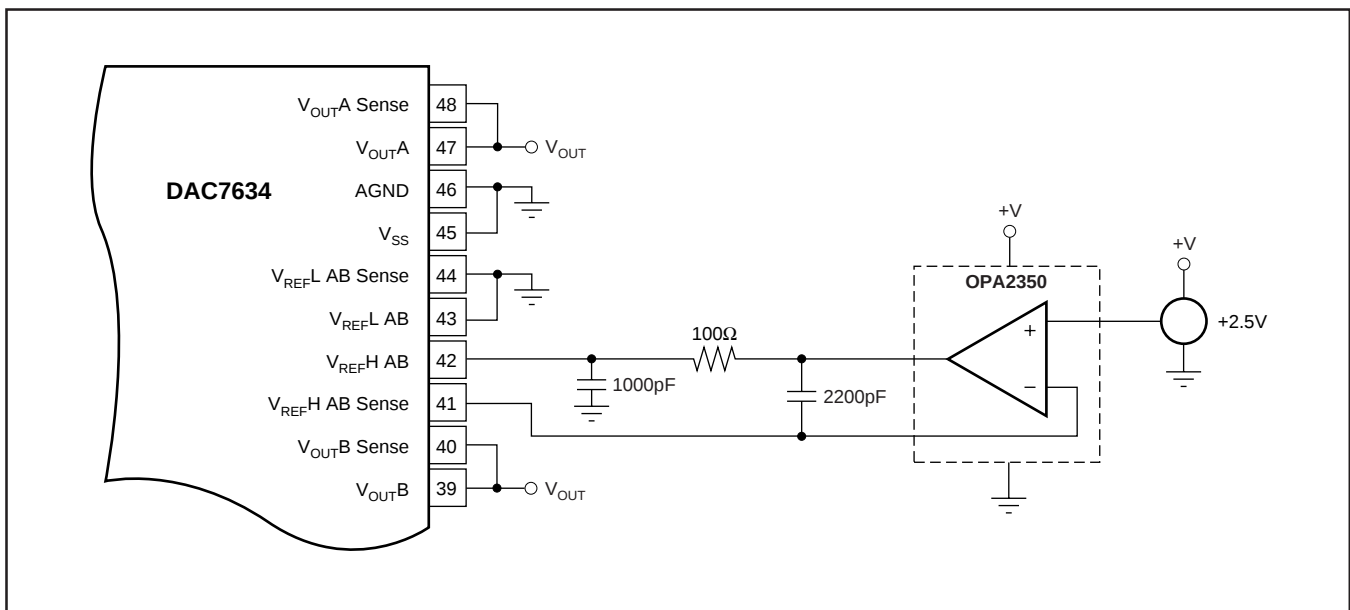


図10．単一電源バッファ付き V_{REFH} (DAC7634の1/2)

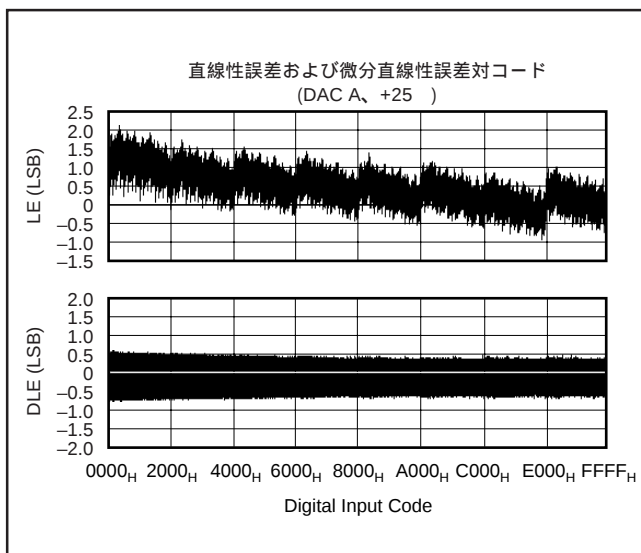


図11．図10の直線性および微分直線性誤差の曲線

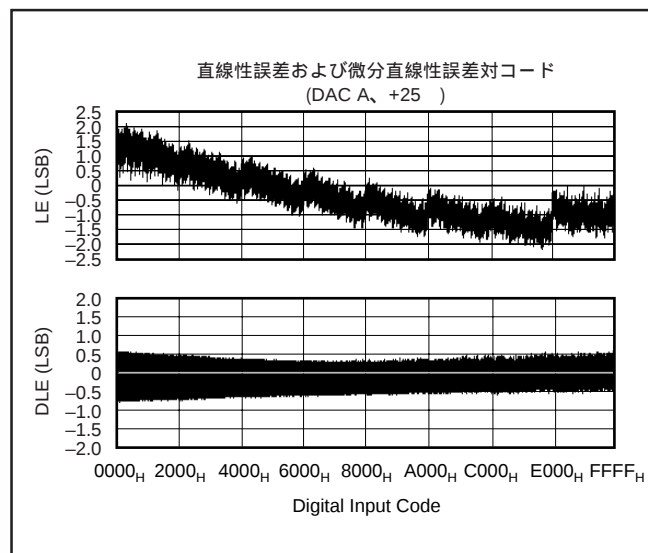


図13．図12の直線性および微分直線性誤差の曲線

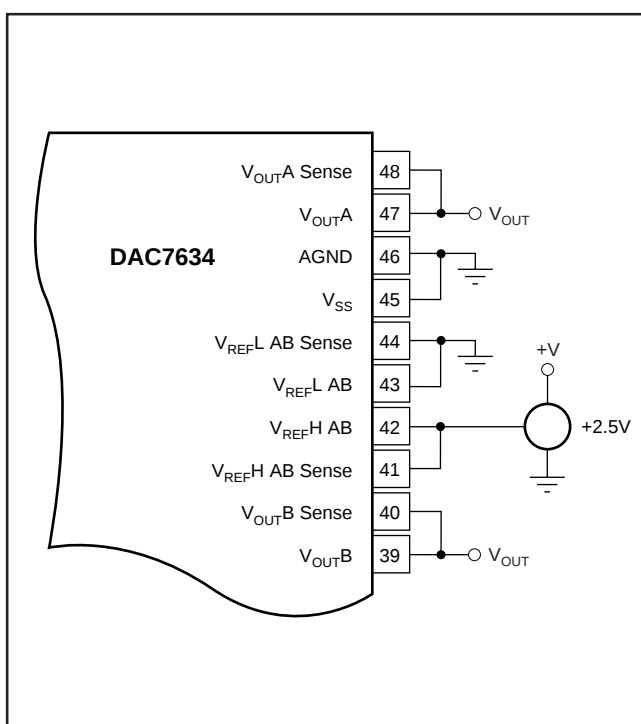


図12．低コストの単一電源構成

デジタル・インターフェース

表IにDAC7634の基本的なコントロール・ロジックを示します。インターフェースは、データ・クロック(CLK)入力、シリアルデータ(SDI)、DAC入力レジスタ・ロード制御信号($\overline{\text{LOAD}}$)、およびDACレジスタ・ロード制御信号(LDAC)から構成されます。また、複数のシリアル・デバイスのシリアル通信を可能にするチップ・セレクト($\overline{\text{CS}}$)入力もあります。非同期リセット(RST)入力は、その立ち上がりエッジで、起動時や周期的リセットまたは緊急リセット時の状態を簡単に既知の値に設定するために用意されています。この値はリセット・セレクト(RSTSEL)信号の状態によって決まります。

DACコード、クイック・ロード制御、およびアドレスは、24ビットのシリアル・インターフェースで転送されます(図15参照)。最初の2ビットは、 $\overline{\text{LOAD}}$ が“ロー”になったときに更新される入力レジスタを選択します。3番目のビットは“クイック・ロード”ビットです。このビットが、“ハイ”の場合、 $\overline{\text{LOAD}}$ 信号が“ロー”になったとき、シフト・レジスタのコードが全てのDAC入力レジスタにロードされます。このビットが“ロー”の場合、シフト・レジスタのコードは指定されたDAC入力レジスタだけにロードされます。“クイック・ロード”ビットの次には5つの未使用ビットが続きます。最後の16ビットはDACコード(MSBファースト)です。

シリアルデータ入力

B23	B22	B21	B20	B19	B18	B17	B16	B15	B14	B13	B12	B11	B10	B9	B8	B7	B6	B5	B4	B3	B2	B1	B0
A1	A0	QUICK LOAD	X	X	X	X	X	D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0

A1	A0	$\overline{\text{CS}}$	RST	RSTSEL	LDAC	$\overline{\text{LOAD}}$	入力レジスタ	DACレジスタ	モード	DAC
L	L	L	H	X	X	L	書き込み	ホールド	書き込み入力	A
L	H	L	H	X	X	L	書き込み	ホールド	書き込み入力	B
H	L	L	H	X	X	L	書き込み	ホールド	書き込み入力	C
H	H	L	H	X	X	L	書き込み	ホールド	書き込み入力	D
X	X	H	H	X	↑	H	ホールド	書き込み	更新	全て
X	X	H	H	X	H	H	ホールド	ホールド	ホールド	全て
X	X	X	↑	L	X	X	ゼロにリセット	ゼロにリセット	ゼロにリセット	全て
X	X	X	↑	H	X	X	ミッドスケールにリセット	ミッドスケールにリセット	ミッドスケールにリセット	全て

表I．DAC7634のロジックの真理値表

内部のDACレジスタは、レベル・トリガではなくエッジ・トリガで動作します。LDAC信号が“ロー”から“ハイ”に移移すると、DAC入力レジスタにあるデジタル・ワードがラッチされます。一段目のレジスタ(DAC入力レジスタ)は、 $\overline{\text{LOAD}}$ 信号でレベル・トリガされます。このダブル・バッファ方式のアーキテクチャは、アナログ出力に影響することなく各DACに新しいデータを入力できるように設計されています。新しいデータがデバイスに入力されたら、LDACの立ち上がりエッジによって全てのDAC出力を同時に更新できます。また、DAC入力レジスタに任意の時点で書き込みを行い、トリガ信号(LDAC)によってDAC出力電圧を同時に変更することもできます。

$\overline{\text{CS}}$ およびCLKはORゲートで結合され、シリアル・ツーマスター・シフト・レジスタを制御することに注意して下さい。この2つの入力、相互に交換が可能です。また、シリアル転送の最後で $\overline{\text{CS}}$ が立ち上がったときのCLKの状態にも注意する必要があります。 $\overline{\text{CS}}$ が立ち上がったときにCLKが“ロー”の場合、ORゲートから立ち上がりエッジがシフト・レジスタに送られ、さらに1ビット内部データがシフトします。この結果、データが不正になり、誤った入力レジスタが選択される可能性があります。 $\overline{\text{CS}}$ およびCLKの両方を使用する場合は、CLKが“ハイ”のときのみ $\overline{\text{CS}}$ を立ち上げることが必要です。一方だけ使用する場合は、 $\overline{\text{CS}}$ またはCLKのどちらでもシフト・レジスタを動作させることができます。詳細については、表を参照して下さい。

シリアルデータ出力

$\overline{\text{CS}}^{(1)}$	CLK ⁽¹⁾	$\overline{\text{LOAD}}$	RST	シリアル・シフト・レジスタ
H ⁽²⁾	X ⁽³⁾	H	H	変化しない
L ⁽⁴⁾	L	H	H	変化しない
L	$\uparrow$ ⁽⁵⁾	H	H	1ビット進む
$\uparrow$	L	H	H	1ビット進む
H ⁽⁶⁾	X	L ⁽⁷⁾	H	変化しない
H ⁽⁶⁾	X	H	$\uparrow$ ⁽⁸⁾	変化しない

注：(1) $\overline{\text{CS}}$ およびCLKは、相互に交換が可能です。(2) H = ロジック“ハイ”。(3) X = 無視。(4) L = ロジック“ロー”。(5) 正のロジックの遷移。(6) 疑似クロックによるシフト・レジスタのシフトや変化を防止するため、“ハイ”の値を推奨します。(7) $\overline{\text{LOAD}}$ が“ロー”の間にシリアル・レジスタにデータがクロック・インされた場合は、シフト・レジスタのA1およびA0ビット・クロックが流れ、選択されたDACレジスタが変化します。この場合、誤って選択された各DACレジスタのデータは破壊されます。(8) RSTの立ち上がりエッジでシリアル・シフト・レジスタの内容は変化しません。

表 . シリアル・シフト・レジスタの真理値表

シリアルデータ出力(SDO)は、内部シフト・レジスタの出力です。DAC7634のSDOはドライブされた出力で、外部のプルアップは不要です。DAC7634は、各デバイスのSDOピンを次のデバイスのSDIピンに接続することにより、いくつでもデジチェーン接続することができます(図14参照)。

デジタルのタイミング

図15および表は、DAC7634のデジタル・インターフェースのタイミングを表しています。

デジタル入力のコーディング

DAC7634の入力データは、ストレート・バイナリ・フォーマットです。出力電圧は式1で求められます。

$$V_{\text{OUT}} = V_{\text{REF}}L + \frac{(V_{\text{REF}}H - V_{\text{REF}}L) \cdot N}{65,536} \quad (1)$$

ここで、Nはデジタル入力コードです。この式には、オフセット(ゼロスケール)またはゲイン(フルスケール)誤差の影響は含まれていません。

デジタル制御のプログラマブル電流ソース

DAC7634は、プログラマブル電流ソースなどのアプリケーション回路の設計に広い柔軟性をもたせるユニークな機能を備えています。DAC7634では出力アンプの開ループ構成と差動リファレンス入力の両方を利用できます。出力アンプの開ループ構成によりループ内にトランジスタを配置してデジタル制御の単方向電流ソースを実現し、差動リファレンスによりフルスケール電流とゼロスケール電流の両方をプログラムすることができます。出力電流は次のように計算されます。

$$I_{\text{OUT}} = \left(\frac{V_{\text{REF}}H - V_{\text{REF}}L}{R_{\text{SENSE}}} \right) \cdot \left(\frac{N}{65,536} \right) + (V_{\text{REF}}L / R_{\text{SENSE}}) \quad (2)$$

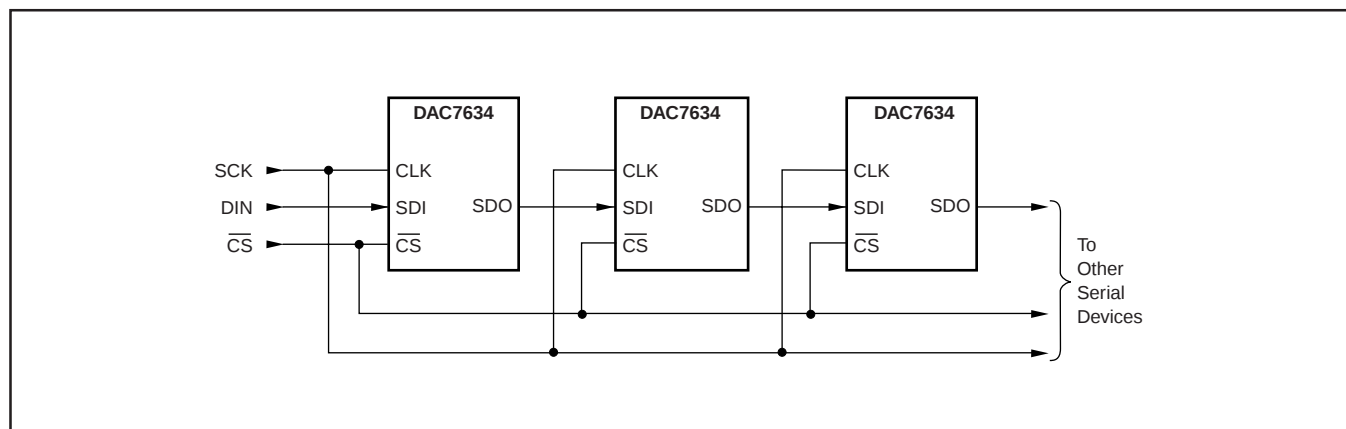


図14 . DAC7634のデジチェーン接続

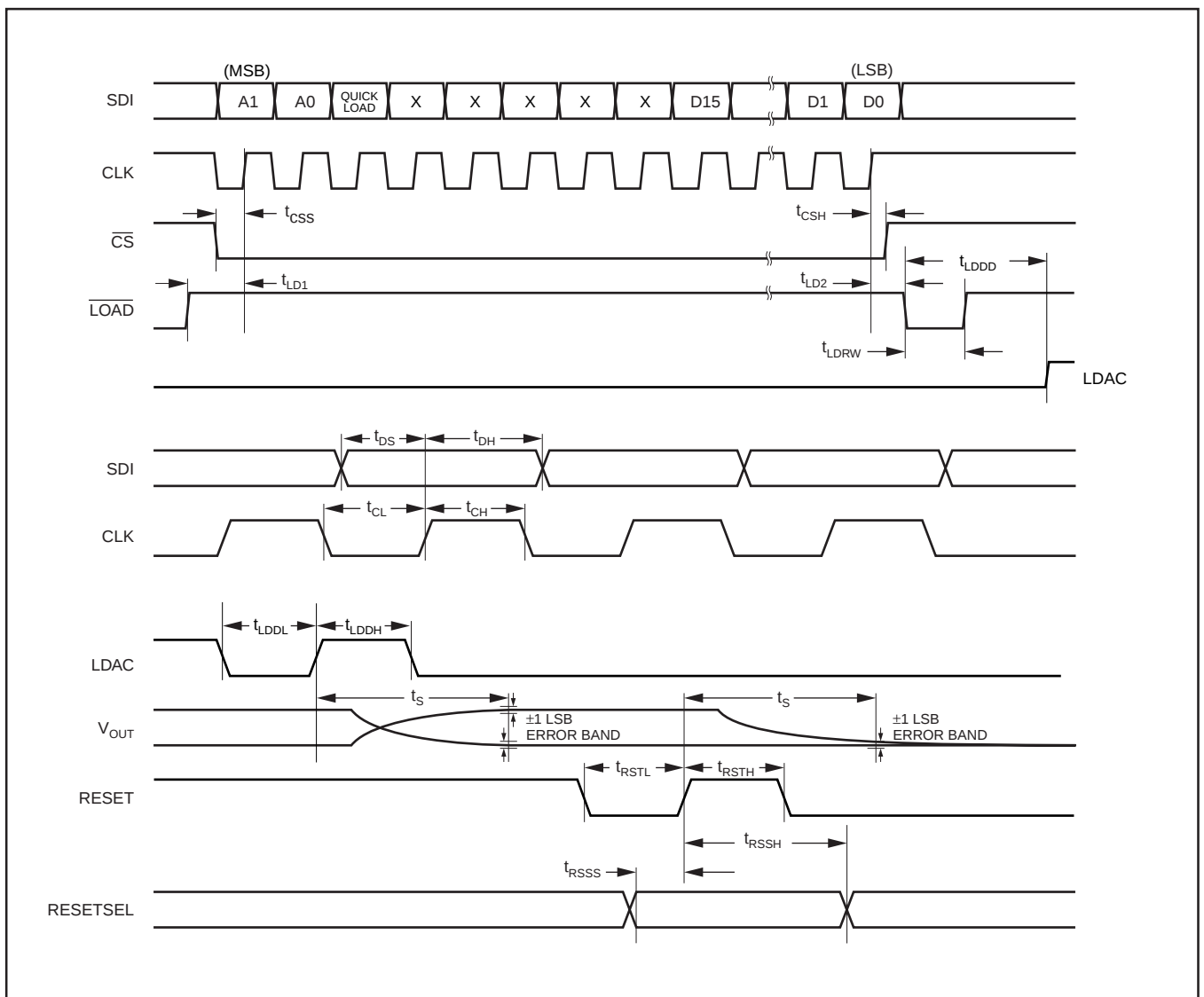


図15 . デジタル入出力のタイミング

記号	説明	最小	単位
t_{DS}	データ有効からCLKの立ち上がりまで	10	ns
t_{DH}	CLK立ち上がり後のデータ有効保持	20	ns
t_{CH}	CLK " ハイ "	25	ns
t_{CL}	CLK " ロー "	25	ns
t_{CSS}	CS " ロー " からCLKの立ち上がりまで	15	ns
t_{CSH}	CLK " ハイ " からCSの立ち上がりまで	0	ns
t_{LD1}	LOAD " ハイ " からCLKの立ち上がりまで	10	ns
t_{LD2}	CLKの立ち上がりからLOAD " ロー " まで	30	ns
t_{LDRW}	LOAD " ロー " 時間	30	ns
t_{LDDL}	LDAC " ロー " 時間	100	ns
t_{LDDH}	LDAC " ハイ " 時間	150	ns
t_{RSSS}	RESETSEL有効からRESET " ハイ " まで	0	ns
t_{RSSH}	RESET " ハイ " からRESETSEL無効まで	100	ns
t_{RSTL}	RESET " ロー " 時間	10	ns
t_{RSTH}	RESET " ハイ " 時間	10	ns
t_S	セトリングタイム	10	μs

表 . タイミング仕様 ($T_A = -40 \sim +85$)

図16にDAC7634の4mAから20mAの電流出力構成を示します。
出力電流は式3によって計算されます。

$$I_{OUT} = \left(\left(\frac{2.5V - 0.5V}{125\Omega} \right) \cdot \left(\frac{N}{65,536} \right) \right) + \left(\frac{0.5V}{125\Omega} \right)$$

(3)

フルスケールの出力電流は16mAとゼロ電流の4mAの合計です。ゼロスケールの出力電流は4mA(0.5V/125Ω)のオフセット電流です。

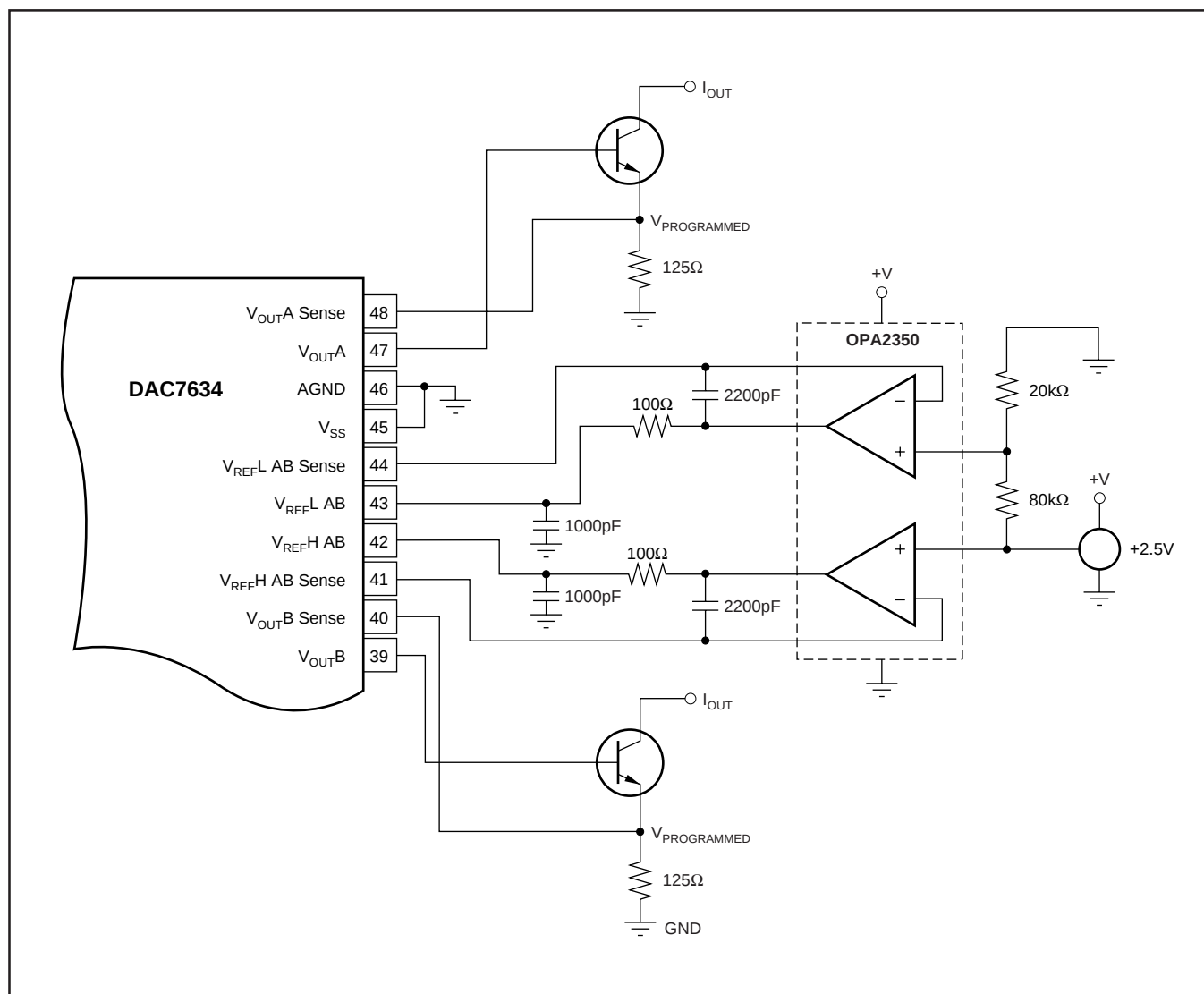
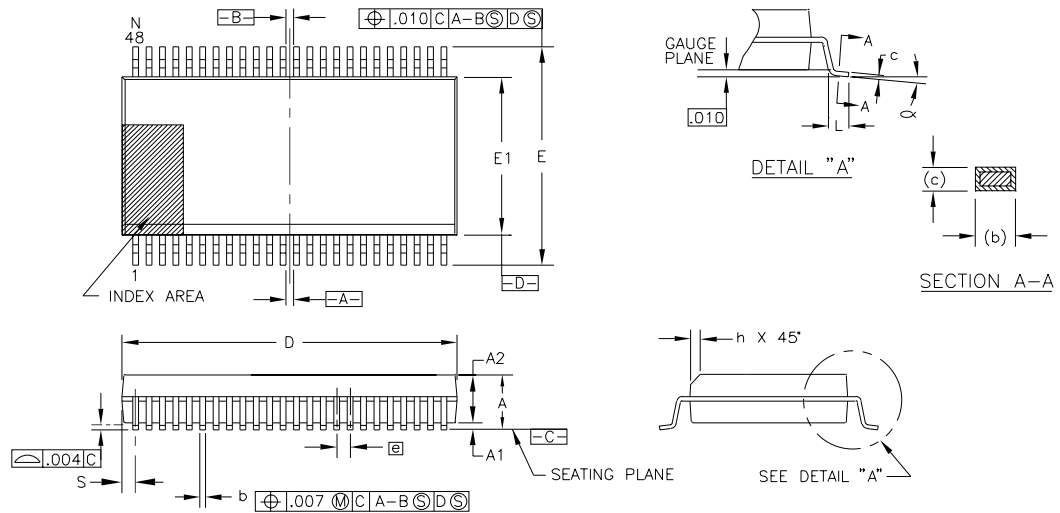


図16 . デジタル制御の4 ~ 20mAの電流ソース(DAC7634の1/2)

外觀

パッケージ番号333 - 48ピンSSOP



DIM	INCHES		MILLIMETERS		N	E	DIM	INCHES		MILLIMETERS		N	E
	MIN.	MAX.	MIN.	MAX.				MIN.	MAX.	MIN.	MAX.		
A	.095	.110	2.41	2.79									
A1	.008	.016	0.20	0.41									
A2	.088	.092	2.24	2.34									
b	.008	.0135	0.20	0.34	8								
c	.005	.010	0.13	0.25	8								
D	.620	.630	15.75	16.00	2								
E	.395	.420	10.03	10.67									
E1	.291	.299	7.39	7.59	3								
e	.025	BASIC	0.635	BASIC									
L	.020	.040	0.51	1.02	5								
h	.015	.025	0.38	0.64	4								
N	48		48		6.7								
S	.023	.027	0.58	0.69									
α	0°	8°	0°	8°									

NOTES:

1. DIMENSIONING AND TOLERANCING PER ANSI Y14.5M-1982.
2. DIMENSION D DOES NOT INCLUDE MOLD FLASH, PROTRUSIONS OR GATE BURRS. MOLD FLASH, PROTRUSIONS OR GATE BURRS SHALL NOT EXCEED .006 INCH (0.15mm) PER SIDE.
3. DIMENSION E1 DOES NOT INCLUDE INTERLEAD FLASH OR PROTRUSION. INTERLEAD FLASH OR PROTRUSION SHALL NOT EXCEED .015 INCH (0.38mm) PER SIDE.

4. THE CHAMFER ON THE BODY IS OPTIONAL. IF IT IS NOT PRESENT, A VISUAL INDEX FEATURE MUST BE LOCATED WITHIN THE CROSS-HATCHED AREA.
5. L IS THE LENGTH OF THE TERMINAL FOR SOLDERING TO A SUBSTRATE.
6. N IS THE MAXIMUM NUMBER OF TERMINAL POSITIONS.
7. TERMINAL NUMBERS ARE SHOWN FOR REFERENCE ONLY.
8. SECTION A-A DIMENSIONS APPLY TO THE FLAT SECTION OF THE LEAD BETWEEN .005" AND .010" FROM LEAD TIP.

PACKAGE NUMBER: ZZ333 REV.: B
JEDEC NUMBER: MO-118-AA
WITH THE EXCEPTION OF DIM. S & A2.