



12ビット クワッド電圧出力型 D/Aコンバータ

特 長

- 低消費電力：20mW
- ユニポーラおよびバイポーラ動作
- セトリングタイム：10 μ s(0.012%まで)
- 12ビット直線性および単調性：-40 ~ +85
- ミッドスケール(DAC7624)またはゼロスケール(DAC7625)へのリセット
- データのリードバック
- 入力データのダブルバッファ化

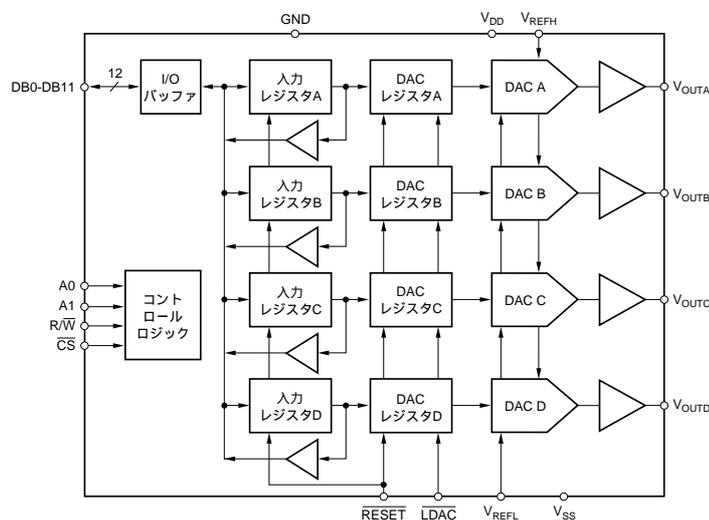
アプリケーション

- プロセス制御
- 自動試験装置のピン・エレクトロニクス
- 閉ループ・サーボ制御
- モーター制御
- データ・アキュイジション・システム
- DAC-PER-PINプログラム

概 要

DAC7624およびDAC7625は、仕様温度範囲において12ビットの単調性を発揮するように設計された12ビットのクワッド電圧出力型D/Aコンバータです。12ビットの平行入力データ、DAC入力段のダブルバッファ化(全てのDACを同時に更新できます)、内部入力レジスタのリードバック・モードなどを備えています。また、非同期リセットにより全てのレジスタは800_Hのミッドスケール(DAC7624)または000_Hのゼロスケール(DAC7625)にクリアされます。この製品は、単一5Vまたは+5Vと-5V電源で動作します。

小型かつ低消費電力のDAC7624とDAC7625は、自動テスト装置やDAC-PER-PINプログラム、データ・アキュイジション・システム、閉ループ・サーボ制御などに最適です。パッケージは28ピン・プラスチックDIPおよび28ピンSOPが用意されており、-40 から+85 の温度範囲で仕様が保証されています。



仕様

特に記述のない限り、 $T_A = -40 \sim +85$ 、 $V_{DD} = +5V$ 、 $V_{SS} = -5V$ 、 $V_{REFH} = +2.5V$ 、 $V_{REFL} = -2.5V$ です。

パラメータ	条件	DAC7624P,U DAC7625P,U			DAC7624PB,UB DAC7625PB,UB			単位
		最小	標準	最大	最小	標準	最大	
精度 直線性誤差 ⁽¹⁾ 直線性マッチング ⁽³⁾ 微分直線性誤差 単調性 ゼロスケール誤差 ゼロスケール・ドリフト ゼロスケール・マッチング ⁽³⁾ フルスケール誤差 フルスケール・マッチング ⁽³⁾ ゼロスケール誤差 ゼロスケール・ドリフト ゼロスケール・マッチング ⁽³⁾ フルスケール誤差 フルスケール・マッチング ⁽³⁾ 電源除去	$V_{SS} = 0V \text{ or } -5V$ $V_{SS} = 0V \text{ or } -5V$ $V_{SS} = 0V \text{ or } -5V$ $T_{MIN} \sim T_{MAX}$ $Code = 000_H$ $Code = FFF_H$ $Code = 00A_H, V_{SS} = 0V$ $V_{SS} = 0V$ $V_{SS} = 0V$ $Code = FFF_H, V_{SS} = 0V$ $V_{SS} = 0V$	12	2	±2 ±2 ±1 ±4 5 ±2 ±4 5 ±4 ±8 ±4 ±4	*	*	±1 ±1 ±1 * * * * * * * * ±2	LSB ⁽²⁾ LSB LSB Bits LSB ppm/ LSB LSB LSB LSB ppm/ LSB LSB LSB ppm/V
アナログ出力 出力電圧 ⁽⁴⁾ 出力電流 負荷容量 短絡電流 短絡時間	$V_{REFL} = 0V, V_{SS} = 0V$ $V_{SS} = -5V$ 無発振	0 V_{REFL} -1.25	100 +5、-120 瞬時	V_{REFH} V_{REFH} +1.25	*	*	* * * * *	V V mA pF mA
リファレンス入力 V_{REFH} 入力範囲 V_{REFL} 入力範囲 V_{REFL} 入力範囲	$V_{SS} = 0V \text{ or } -5V$ $V_{SS} = 0V$ $V_{SS} = -5V$	$V_{REFL} + 1.25$ 0 -2.5		+2.5 $V_{REFH} - 1.25$ $V_{REFH} - 1.25$	*	*	* * *	V V V
ダイナミック特性 セトリングタイム ⁽⁵⁾ チャンネル間クロストーク 出力ノイズ電圧	$\pm 0.01\%$ まで 他のDACにおけるフルスケール・ステップ 0Hz ~ 1MHz		5 0.25 40	10	*	*	* * *	μs LSB nV/ \sqrt{Hz}
デジタル入力/出力 ロジック・ファミリ ロジック・レベル V_{IH} V_{IL} V_{OH} V_{OL} データフォーマット	$I_{IH} \leq \pm 10\mu A$ $I_{IL} \leq \pm 10\mu A$ $I_{OH} = -0.8mA$ $I_{OL} = 1.6mA$	2.4 -0.3 3.6 0.0		$V_{DD} + 0.3$ 0.8 V_{DD} 0.4	*	*	* * * *	V V V V
電源条件 V_{DD} V_{SS} I_{DD} I_{SS} 消費電力	If $V_{SS} \neq 0V$ $V_{SS} = -5V$ $V_{SS} = 0V$	4.75 -5.25	1.5 -1.6 7.5	5.25 -4.75 1.9 20 10	*	*	* * * * *	V V mA mA mW mW
温度範囲 仕様に規定された性能	DAC7624P、U、PB、UB DAC7625P、U、PB、UB	-40		+85	*	*	*	

注：(1) $V_{SS} = 0V$ の場合、仕様は $00A_H$ と、それ以上のコードに適用されます。(2)LSBとは最下位ビットを表しています。 $V_{REFH} = +2.5V$ 、 $V_{REFL} = -2.5V$ のとき、LSBは1.22mVに等しくなります。(3)全てのDAC出力は仕様で定められた誤差帯域内に適合します。(4)理想的な出力電圧、ゼロまたはフルスケール誤差を考慮していません。(5) $V_{SS} = -5V$ の場合、5Vステップのフルスケールになります。 $V_{SS} = 0V$ の場合、正側への2.5Vステップのフルスケールおよび、 FFF_H から $00A_H$ までの負側へのステップになります。

このデータシートに記載されている情報は、信頼しうるものと考えておりますが、不正確な情報や記載漏れ等に関して弊社は責任を負うものではありません。情報の使用について弊社は責任を負えませんので、各ユーザーの責任において御使用下さい。価格や仕様は予告なしに変更される場合がありますのでご了承下さい。ここに記載されているいかなる回路についても工業所有権その他の権利またはその実施権を付与したり承諾したりするものではありません。弊社は弊社製品を生命維持に関する機器またはシステムに使用することを承認または保証するものではありません。

絶対最大定格⁽¹⁾

V_{DD} から V_{SS} まで	-0.3V ~ 11V
V_{DD} から GND まで	-0.3V ~ 5.5V
V_{REFL} から V_{SS} まで	-0.3V ~ (V_{DD} - V_{SS})
V_{DD} から V_{REFH} まで	-0.3V ~ (V_{DD} - V_{SS})
V_{REFH} から V_{REFL} まで	-0.3V ~ (V_{DD} - V_{SS})
GND から デジタル入力電圧まで	-0.3V ~ V_{DD} + 0.3V
GND から デジタル出力電圧まで	-0.3V ~ V_{DD} + 0.3V
最大接合部温度	+150
動作温度範囲	-40 ~ +85
保存温度範囲	-65 ~ +150
リード温度(10秒間の半田付け)	+300

注：(1)絶対最大定格を超えるストレスを与えると、デバイスが永久に損傷する恐れがあります。また長時間にわたり、絶対最大定格の条件下で使用すると、デバイスの信頼性が損なわれることがあります。



静電気放電対策

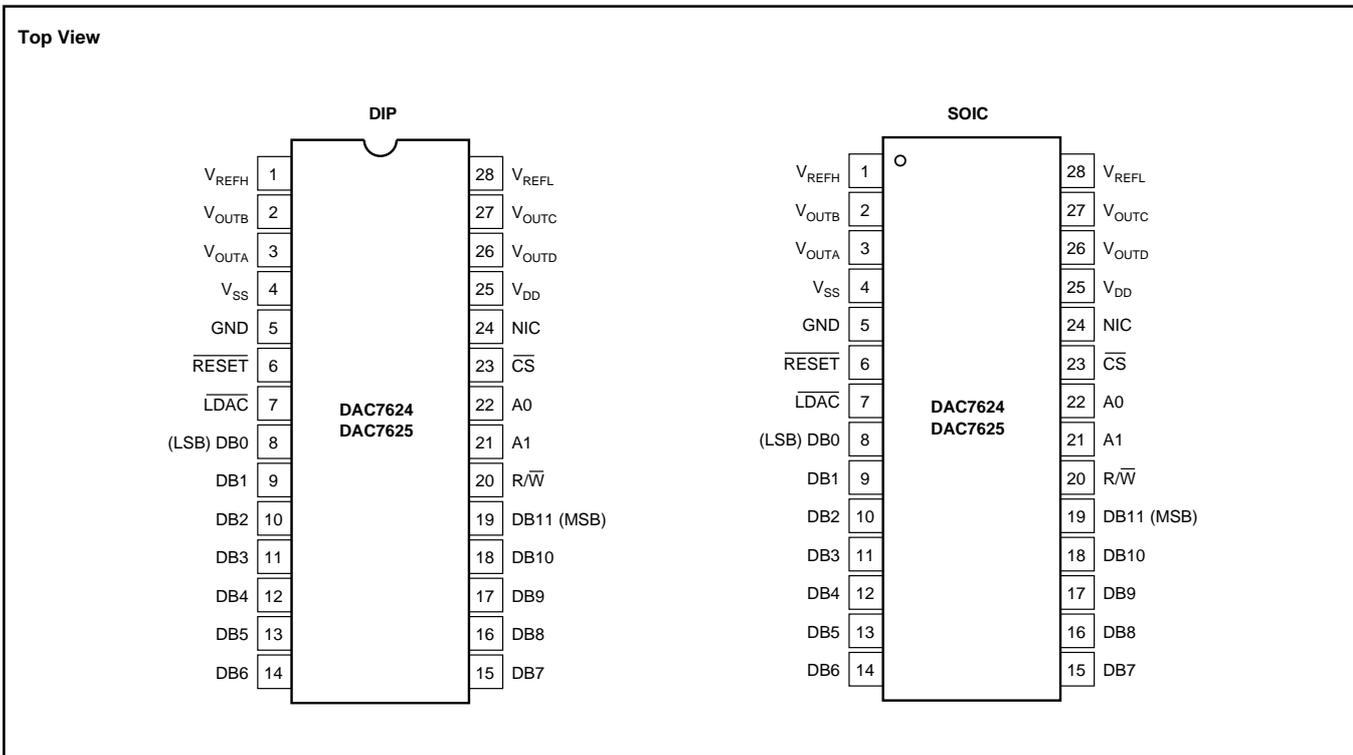
静電気放電はわずかな性能の低下から完全なデバイスの故障に至るまで、様々な損傷を与えます。すべての集積回路は、適切なESD保護方法を用いて、取扱いと保存を行うようにして下さい。高精度の集積回路は、損傷に対して敏感であり、極めてわずかなパラメータの変化により、デバイスに規定された仕様に適合しなくなる場合があります。

パッケージ情報/ご発注の手引き

モデル	最大直線性誤差(LSB)	最大微分直線性誤差(LSB)	仕様温度範囲	パッケージ	パッケージ図番号 ⁽¹⁾
DAC7624P	±2	±1	-40 ~ +85	28ピン・プラスチックDIP	215
DAC7624U	±2	±1	-40 ~ +85	28ピンSOP	217
DAC7624PB	±1	±1	-40 ~ +85	28ピン・プラスチックDIP	215
DAC7624UB	±1	±1	-40 ~ +85	28ピンSOP	217
DAC7625P	±2	±1	-40 ~ +85	28ピン・プラスチックDIP	215
DAC7625U	±2	±1	-40 ~ +85	28ピンSOP	217
DAC7625PB	±1	±1	-40 ~ +85	28ピン・プラスチックDIP	215
DAC7625UB	±1	±1	-40 ~ +85	28ピンSOP	217

注：(1)詳細図および寸法表は、データシートの巻末を参照して下さい。

ピン配置

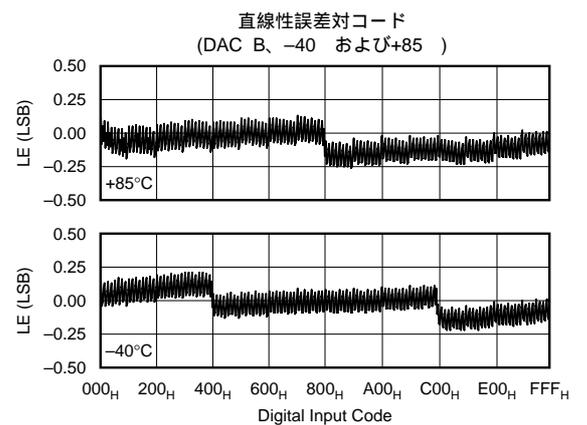
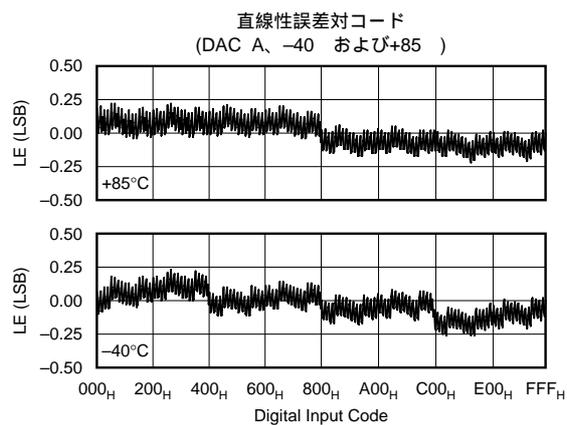
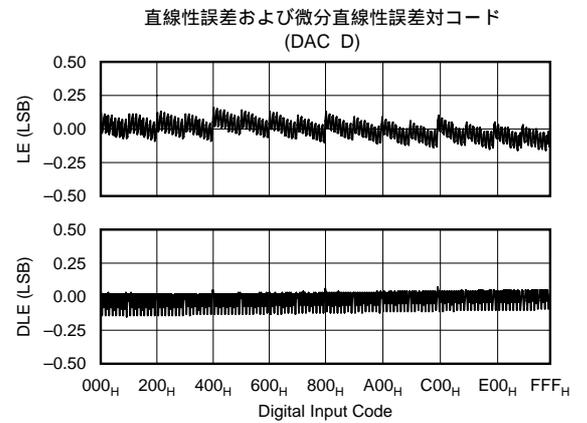
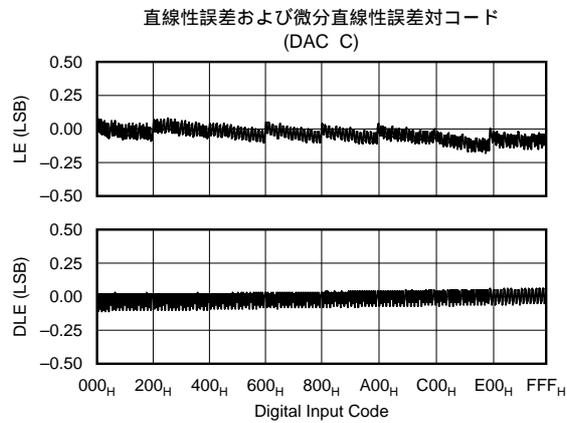
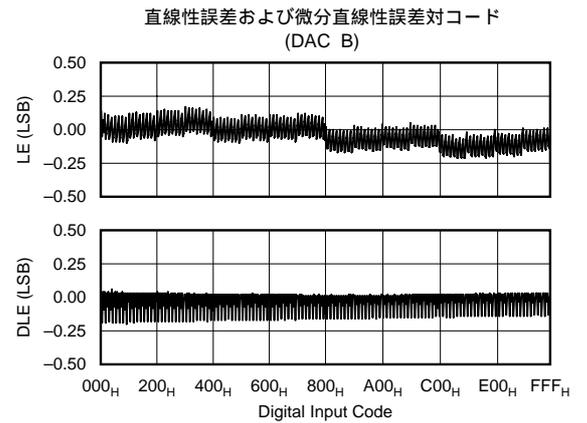
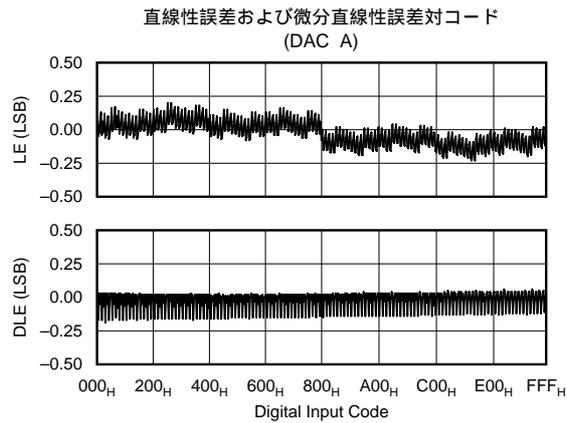


ピン構成

ピン番号	ピン名称	説明
1	V _{REFH}	リファレンス入力電圧“ハイ”。全てのDACに最大出力電圧を設定する。
2	V _{OUTB}	DAC B電圧出力
3	V _{OUTA}	DAC A電圧出力
4	V _{SS}	負のアナログ電源、0Vまたは-5V
5	GND	グラウンド
6	RESET	非同期リセット入力。DACと入力レジスタをミッドスケール(800 _H 、DAC7624)またはゼロスケール(000 _H 、DAC7625)に設定する。
7	LDAC	DAC入力のロード。“ロー”の時に、全てのDACレジスタが転送される。
8	DB0	データビット0、12ビットワードの最下位ビット。
9	DB1	データビット1
10	DB2	データビット2
11	DB3	データビット3
12	DB4	データビット4
13	DB5	データビット5
14	DB6	データビット6
15	DB7	データビット7
16	DB8	データビット8
17	DB9	データビット9
18	DB10	データビット10
19	DB11	データビット11、12ビットワードの最上位ビット。
20	R/W	読み取り/書き込み制御入力(読み取り=“ハイ”、書き込み=“ロー”)
21	A1	レジスタ/DACセレクト(CまたはD=“ハイ”、AまたはB=“ロー”)
22	A0	レジスタ/DACセレクト(BまたはD=“ハイ”、AまたはC=“ロー”)
23	CS	チップセレクト入力
24	NIC	未接続ピン。このピンはデバイスと内部接続されていません。
25	V _{DD}	正のアナログ電源、+5V。
26	V _{OUTD}	DAC D電圧出力
27	V _{OUTC}	DAC C電圧出力
28	V _{REFL}	リファレンス入力電圧“ロー”。全てのDAC出力電圧を最小に設定する。

代表的性能曲線： $V_{SS} = 0V$

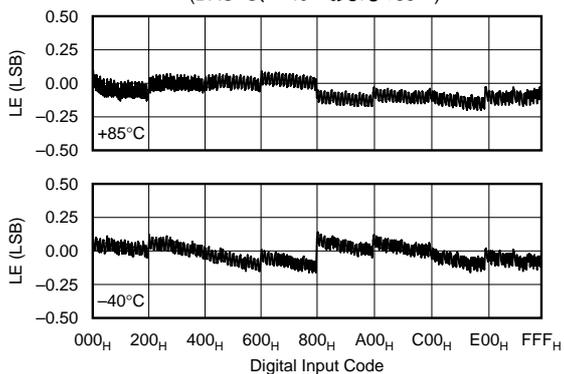
特に記述のない限り、 $T_A = +25$ 、 $V_{DD} = +5V$ 、 $V_{SS} = 0V$ 、 $V_{REFH} = +2.5V$ 、 $V_{REFL} = 0V$ です。



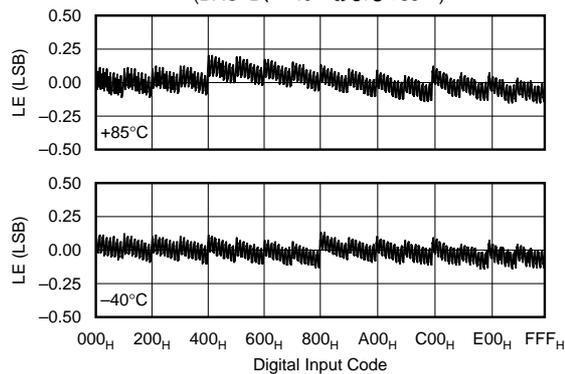
代表的性能曲線 : $V_{SS} = 0V$

特に記述のない限り、 $T_A = +25$ 、 $V_{DD} = +5V$ 、 $V_{SS} = 0$ 、 $V_{REFH} = +2.5V$ 、 $V_{REFL} = 0V$ です。

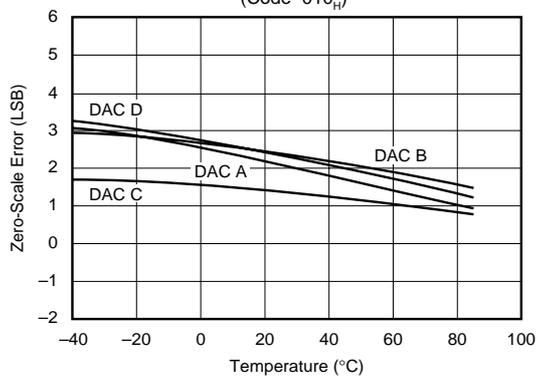
直線性誤差対コード
(DAC C、 -40 および $+85$)



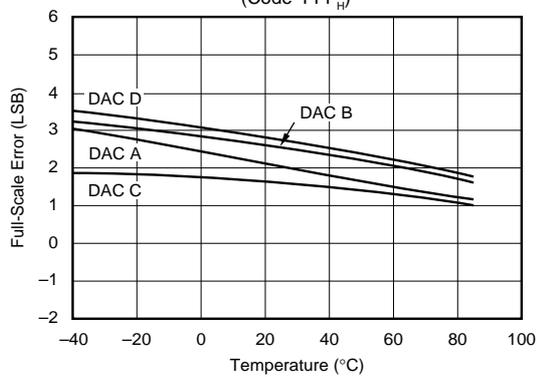
直線性誤差対コード
(DAC D、 -40 および $+85$)



ゼロスケール誤差対温度
(Code 010_H)

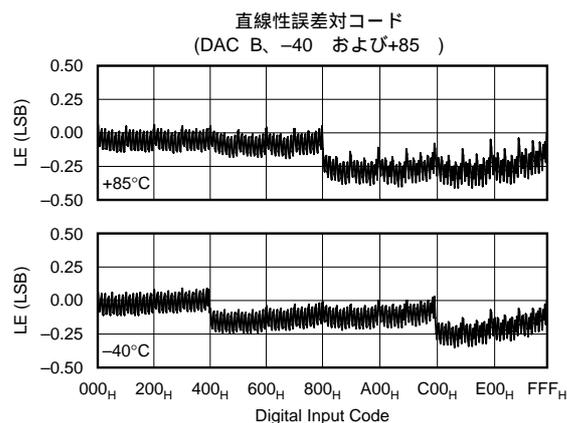
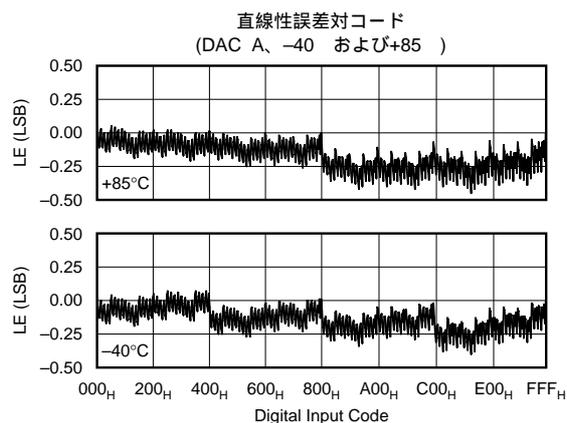
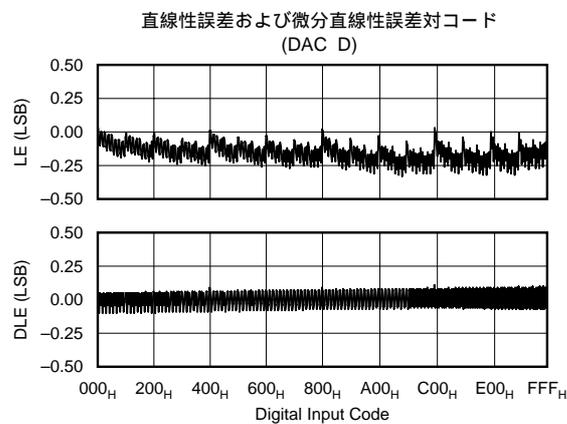
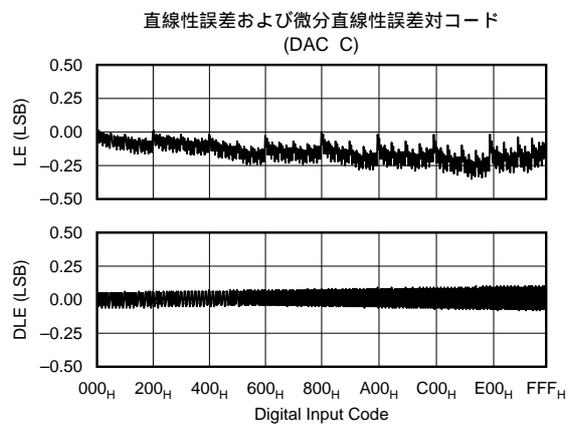
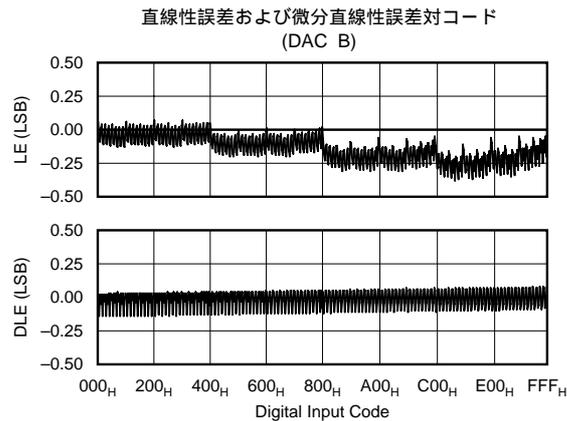
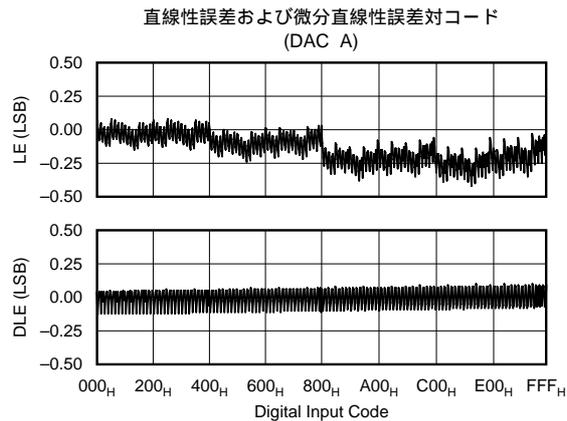


フルスケール誤差対温度
(Code FFF_H)



代表的性能曲線： $V_{SS} = -5V$

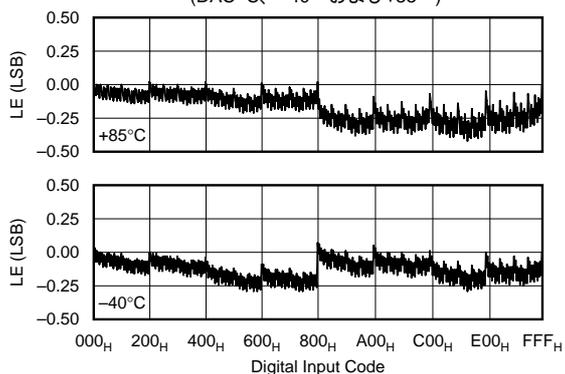
特に記述のない限り、 $T_A = +25$ 、 $V_{DD} = +5V$ 、 $V_{SS} = -5V$ 、 $V_{REFH} = +2.5V$ 、 $V_{REFL} = -2.5V$ です。



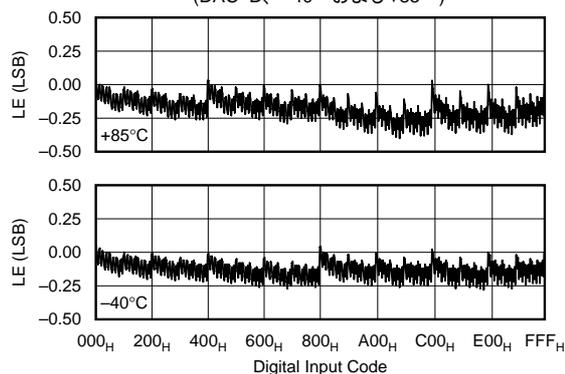
代表的性能曲線 : $V_{SS} = -5V$

特に記述のない限り、 $T_A = +25$ 、 $V_{DD} = +5V$ 、 $V_{SS} = -5V$ 、 $V_{REFH} = +2.5V$ 、 $V_{REFL} = -2.5V$ です。

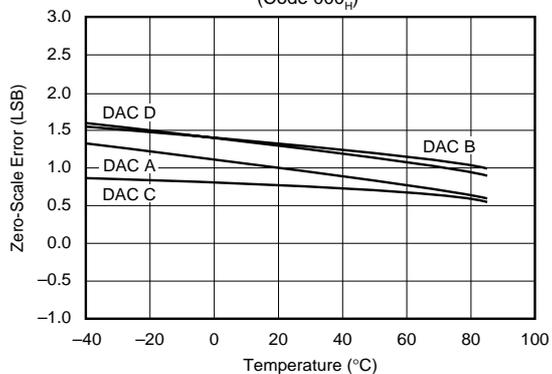
直線性誤差対コード
(DAC C、 -40 および $+85$)



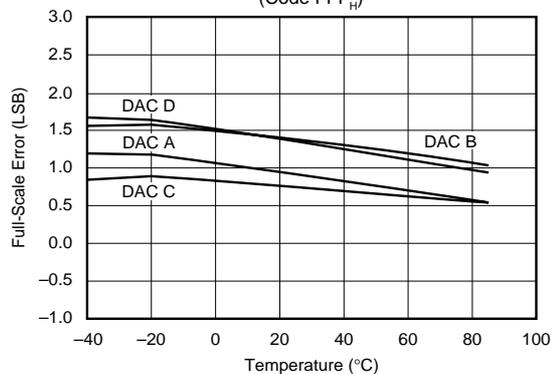
直線性誤差対コード
(DAC D、 -40 および $+85$)



ゼロスケール誤差対温度
(Code 000_H)



フルスケール誤差対温度
(Code FFF_H)



動作説明

DAC7624およびDAC7625は、12ビットのクワッド電圧出力型D/Aコンバータ(DAC)です。アーキテクチャには、バッファとして動作するオペアンプに接続された古典的なR-2Rラダー・コンフィギュレーションを採用しています。各DACは個別にR-2Rラダー・ネットワークと出力オペアンプを持っていますが、リファレンス電圧入力(ゼロスケール)と最大電圧出力(フルスケール)は外部のリファレンス電圧(V_{REFL} や V_{REFH} で表されます)により設定されます。また、デジタル入力は12ビットの平行ワードで、DAC入力レジスタはリードバック機能を提供します。このコンバータは単一+5Vまたは、 $\pm 5V$ のデュアル電源で動作します。さらに、このデバイスにはリセット機能があり、全てのDAC出力電圧とDACレジスタをミッドスケール(DAC7624、コード800_H)またはゼロスケール(DAC7625、コード000_H)に即座に設定することが可能です。図1と2に、DAC7624/25の基本的な使用方法を示します。

ンス電圧(V_{REFL} や V_{REFH} で表されます)により設定されます。また、デジタル入力は12ビットの平行ワードで、DAC入力レジスタはリードバック機能を提供します。このコンバータは単一+5Vまたは、 $\pm 5V$ のデュアル電源で動作します。さらに、このデバイスにはリセット機能があり、全てのDAC出力電圧とDACレジスタをミッドスケール(DAC7624、コード800_H)またはゼロスケール(DAC7625、コード000_H)に即座に設定することが可能です。図1と2に、DAC7624/25の基本的な使用方法を示します。

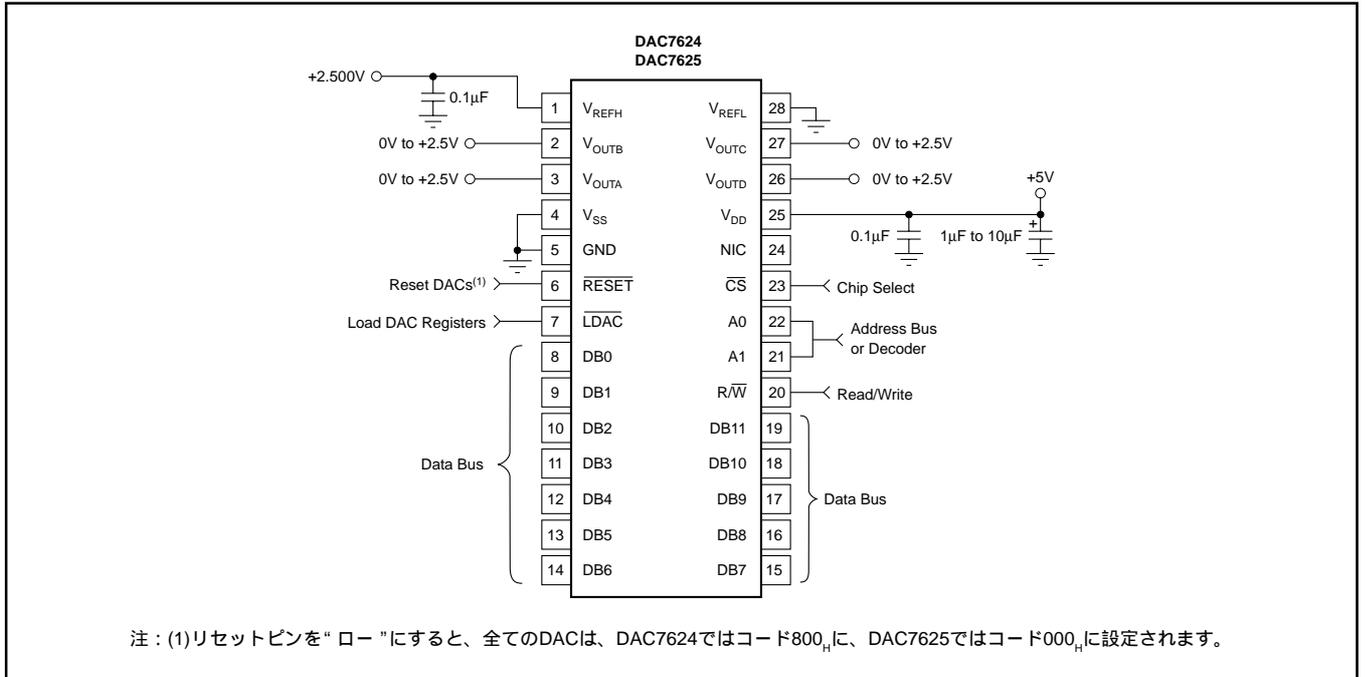


図1. 単一電源におけるDAC7624/25の基本的な動作

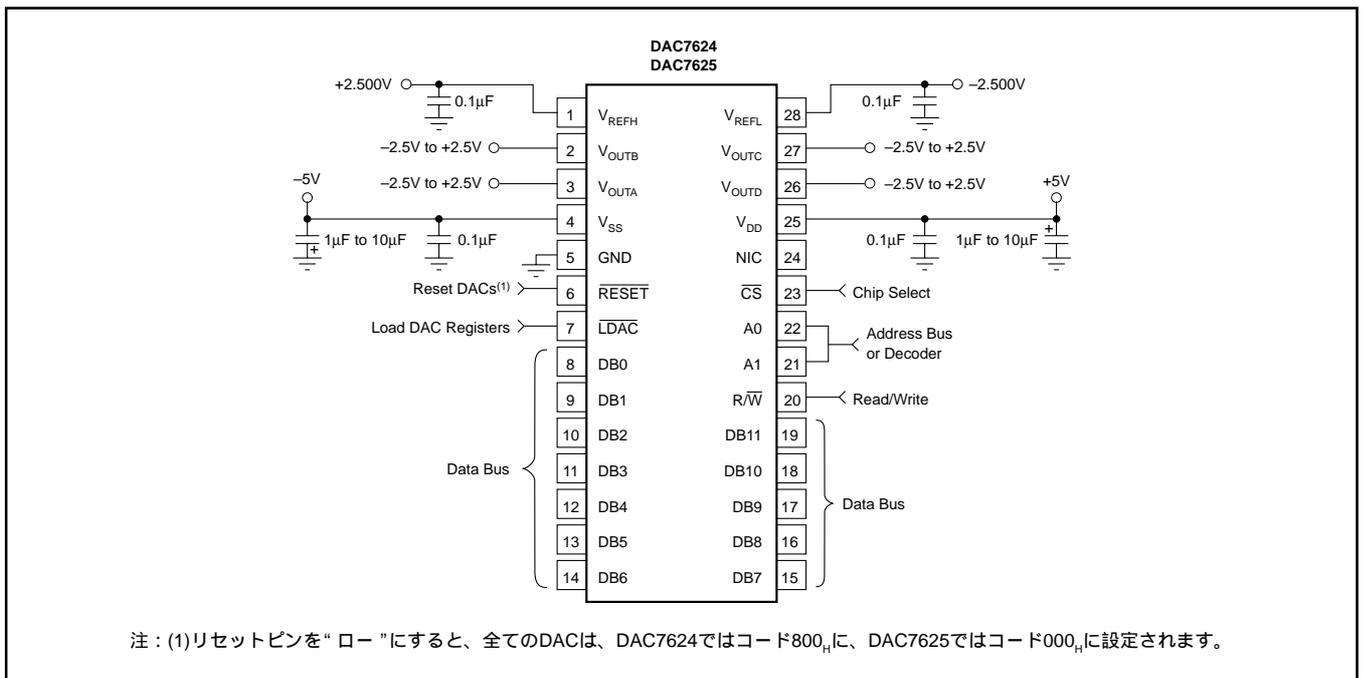


図2. デュアル電源におけるDAC7624/25の基本的な動作

アナログ出力

$V_{SS} = -5V$ (デュアル電源動作時)の場合、出力アンプは電源レールの2.25V以内までスイングが可能で、動作温度範囲は-40 から +85 で保証されています。 $V_{SS} = 0V$ (単一電源動作時)の場合、出力はグランドまでスイングが可能です。出力オペアンプのセットリングタイムはグランド付近の電圧になると長くなることに注意してください。また、 $V_{SS} = 0V$ の場合はゼロスケール誤差測定に注意して下さい。出力電圧はグランド以下のレベルにスイングできないため、出力アンプが負のオフセットを持つ場合、出力電圧は初めのいくつかのデジタル入力コード(000_H、001_H、002_Hなど)では変化しない場合があります。

アプリケーションによっては、出力アンプの動作に注意が必要です。短絡状態(DAC出力がグランドにショートした状態)では、出力アンプのシンク電流はソース電流に比べて大きな値となります。短絡電流に関する詳細は仕様の表を参照して下さい。

リファレンス入力

V_{REFL} および V_{REFH} のリファレンス入力は、 $V_{SS} + 2.25V$ と $V_{DD} - 2.25V$ のいかなる電圧範囲にも設定が可能ですが、 V_{REFH} は V_{REFL} より少なくとも1.25V以上高く設定する必要があります。各DACの最小出力は、 V_{REFL} と小さなオフセット電圧(特に、出力オペアンプのオフセット)を加えた電圧に等しくなります。また、最大出力電圧は V_{REFH} に同様のオフセットを加えた電圧に等しくなります。 V_{SS} (負の供給電源)はグランドに接続されるか、または-4.75Vから-5.25Vの範囲になります。 V_{SS} の電圧はコンバータ内で数種類のバイアスポイントを設定します。 V_{SS} がこれらのコンフィギュレーションを満たしていない場合、バイアス値に誤差が発生しデバイスの動作は保証されません。

V_{REFH} 入力の電流はDAC出力電圧に依存し、数 μA から約0.5mAの範囲で変化します。また、 V_{REFH} はソース電流のみで、シンク電流は必要ありません。リファレンス電圧をバイパスするか、またはDAC7624/25パッケージの近傍に最低0.1 μF のコンデンサを配置することを推奨します。

デジタル・インターフェース

表 I に DAC7624/25 の基本的なコントロール・ロジックを示します。各内部レジスタがエッジ・トリガ型ではなくレベル・トリガ型になっていることに注意して下さい。適切な信号が“ロー”になれば、レジスタはトランスペアレントになります。この信号が“ハイ”になると、レジスタにデジタル・ワードがラッチされます。一段目のレジスタ(入力レジスタ)への設定は、A0、A1、 R/\overline{W} 、 \overline{CS} 入力により行われます。このとき、一つのレジスタだけがトランスペアレントになります。二段目のレジスタ(DACレジスタ)への設定は、 \overline{LDAC} 入力を“ロー”にすると全てトランスペアレントになります。

適切な入力レジスタにデータを書き込むことにより、各DACは個々に更新することができ、DACレジスタの更新も可能です。また、 \overline{LDAC} を“ロー”に保つと、DACレジスタ全体を常にトランスペアレント状態にコンフィギュレーションすることができます。すなわち、入力レジスタに書き込まれるとDACの更新が発生します。

ダブルバッファ・アーキテクチャは、各DACの入力レジスタにいつでも書き込み、 \overline{LDAC} を“ロー”にすることにより、全てのDAC電圧の更新が連続的に可能になるように設計されています。また、DAC入力レジスタはどのポイントでも書き込みが可能で、トリガ信号が \overline{LDAC} に接続されることにより、DAC電圧は同期して変更が可能になります。

A1	A0	R/\overline{W}	\overline{CS}	RESET	\overline{LDAC}	選択した入力レジスタ	選択した入力レジスタの状態	全DACレジスタの状態
L ⁽¹⁾	L	L	L	H ⁽²⁾	L	A	トランスペアレント	トランスペアレント
L	H	L	L	H	L	B	トランスペアレント	トランスペアレント
H	L	L	L	H	L	C	トランスペアレント	トランスペアレント
H	H	L	L	H	L	D	トランスペアレント	トランスペアレント
L	L	L	L	H	H	A	トランスペアレント	ラッチ
L	H	L	L	H	H	B	トランスペアレント	ラッチ
H	L	L	L	H	H	C	トランスペアレント	ラッチ
H	H	L	L	H	H	D	トランスペアレント	ラッチ
L	L	H	L	H	H	A	リードバック	ラッチ
L	H	H	L	H	H	B	リードバック	ラッチ
H	L	H	L	H	H	C	リードバック	ラッチ
H	H	H	L	H	H	D	リードバック	ラッチ
X ⁽³⁾	X	X	H	H	L	なし	(全てラッチ)	トランスペアレント
X	X	X	H	H	H	なし	(全てラッチ)	ラッチ
X	X	X	X	L	X	全て	リセット ⁽⁴⁾	リセット ⁽⁴⁾

注：(1)L = ロジック“ロー”(2)H = ロジック“ハイ”(3)X = 不定(4)DAC7624は800_Hにリセットする。DAC7625は000_Hにリセットする。RESET信号が立ち上がると、全てのレジスタは、リセット値を保ったまま、ラッチ状態になる。

表 . DAC7624およびDAC7625コントロール・ロジックの真理値表

デジタル・タイミング

図3および表 は、DAC7624、DAC7625のデジタル・インターフェースのタイミングを表しています。

デジタル入力コーディング

DAC7624、DAC7625の入力データは、ストレートバイナリ・フォーマットです。出力電圧は次の方程式で求めることができます。

$$V_{OUT} = V_{REFL} + \frac{(V_{REFH} - V_{REFL}) \cdot N}{4096}$$

ここで、Nはデジタル入力コードです。この方程式は、オフセット(ゼロスケール)の影響または、ゲイン(フルスケール)誤差を含みません。

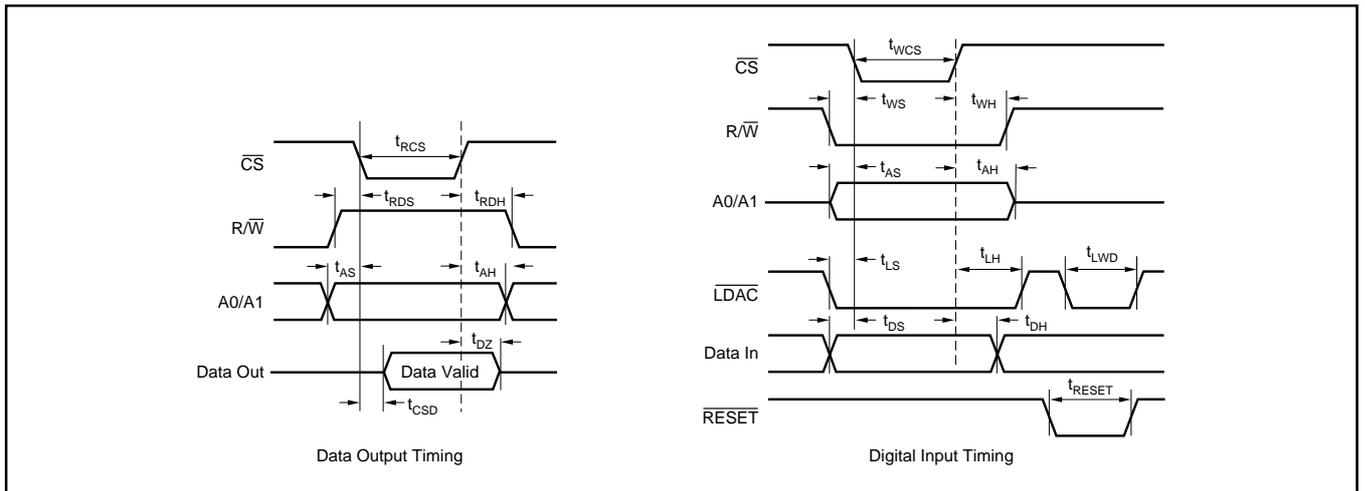


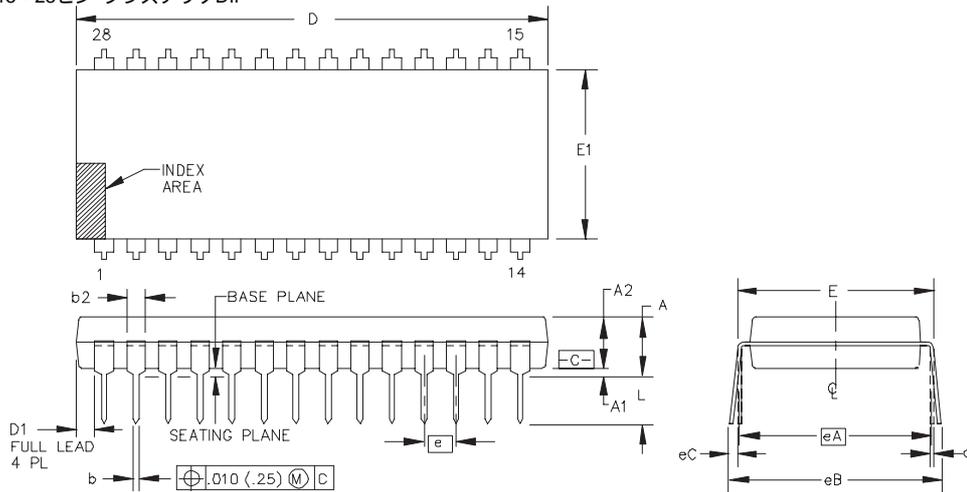
図3. デジタル入力と出力タイミング

記号	説明	最小	標準	最大	単位
t_{RCS}	読み取り時の \overline{CS} "ロー" 期間	200			ns
t_{RDS}	R/\overline{W} "ハイ" から \overline{CS} "ロー" まで	10			ns
t_{RDH}	\overline{CS} "ハイ" 後の R/\overline{W} "ハイ" 期間	0			ns
t_{DZ}	\overline{CS} "ハイ" からデータバスがハイ・インピーダンスになるまで		100		ns
t_{CSD}	\overline{CS} "ロー" からデータバス有効まで		100	160	ns
t_{WCS}	書き込み時の \overline{CS} "ロー" 期間	50			ns
t_{WS}	R/\overline{W} "ロー" から \overline{CS} "ロー" まで	0			ns
t_{WH}	\overline{CS} "ハイ" 後の R/\overline{W} "ロー" 期間	0			ns
t_{AS}	アドレス有効から \overline{CS} "ロー" まで	0			ns
t_{AH}	\overline{CS} "ハイ" 後のアドレス有効期間	0			ns
t_{LS}	\overline{LDAC} "ロー" から \overline{CS} "ロー" まで	70			ns
t_{LH}	\overline{CS} "ハイ" 後の \overline{LDAC} "ロー" 期間	50			ns
t_{DS}	データ有効から \overline{CS} "ロー" まで	0			ns
t_{DH}	\overline{CS} "ハイ" 後の有効データ期間	0			ns
t_{LWD}	\overline{LDAC} "ロー" 期間	50			ns
t_{RESET}	\overline{RESET} "ロー" 期間	50			ns

表 . タイミング仕様 ($T_A = -40 \sim +85$)

外觀

パッケージ番号215 - 28ピン・プラスチックDIP



DIM	INCHES		MILLIMETERS		NOTE
	MIN.	MAX.	MIN.	MAX.	
A	---	.250	---	6.35	3
A1	.015	---	0.38	---	3
A2	.125	.195	3.18	4.95	
b	.014	.022	0.36	0.56	
b2	.030	.070	0.76	1.78	9
c	.008	.015	0.20	0.38	
D	1.380	1.565	35.05	39.75	4
D1	.005	---	0.13	---	4
E	.600	.625	15.24	15.88	5
E1	.485	.580	12.32	14.73	4
e	.100	BASIC	2.54	BASIC	
eA	.600	BASIC	15.26	BASIC	5
eB	---	.700	---	17.78	6
eC	.000	.060	0.00	1.52	6

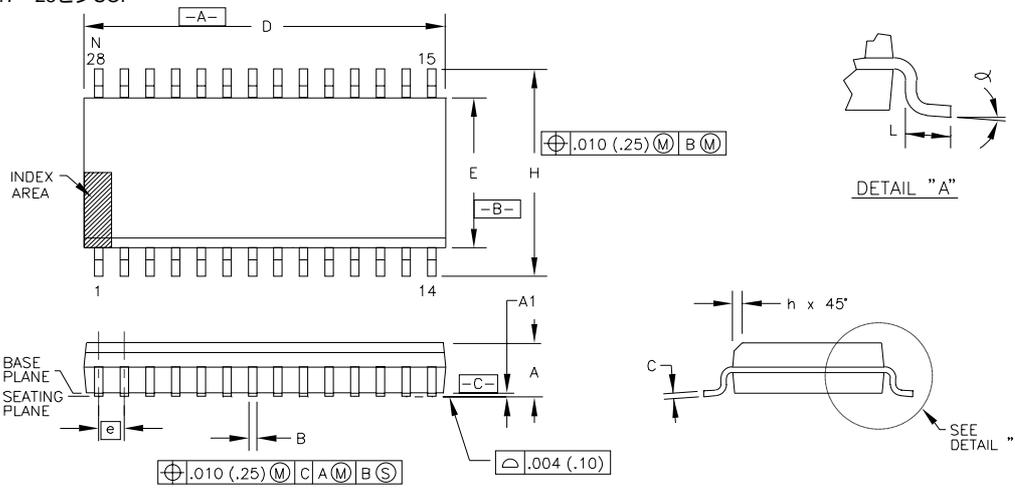
NOTES:

- ALL DIMENSIONS ARE IN INCHES.
- DIMENSIONING AND TOLERANCING PER ANSI Y14.5M-1982.
- DIMENSIONS A, A1, AND L ARE MEASURED WITH THE PACKAGE SEATED IN JEDEC SEATING PLANE GAUGE GS-3.
- D, D1, AND E1 DIMENSIONS DO NOT INCLUDE MOLD FLASH OR PROTRUSIONS. MOLD FLASH OR PROTRUSIONS SHALL NOT EXCEED .010 (0.25mm).
- E AND eA MEASURED WITH THE LEADS CONSTRAINED TO BE PERPENDICULAR TO DATUM \bar{C} .
- eB AND eC ARE MEASURED AT THE LEAD TIPS WITH THE LEADS UNCONSTRAINED.
- N IS THE MAXIMUM OF TERMINAL POSITIONS.

- POINTED OR ROUNDED LEAD TIPS ARE PREFERRED TO EASE INSERTION.
- b2 MAXIMUM DIMENSION DOES NOT INCLUDE DAMBAR PROTRUSIONS. DAMBAR PROTRUSIONS SHALL NOT EXCEED .010 (0.25mm).
- DISTANCE BETWEEN LEADS INCLUDING DAMBAR PROTRUSIONS TO BE .005 (0.13mm) MINIMUM.
- A VISUAL INDEX FEATURE MUST BE LOCATED WITHIN THE CROSS-HATCHED AREA.
- FOR AUTOMATIC INSERTION, ANY RAISED IRREGULARITY ON THE TOP SURFACE (STEP, MESA, ETC.) SHALL BE SYMMETRICAL ABOUT THE LATERAL AND LONGITUDINAL PACKAGE CENTERLINES.

PACKAGE NUMBER: ZZ215 REV.: K
JEDEC NUMBER: MS-011-AB

パッケージ番号217 - 28ピンSOP



DIM	INCHES		MILLIMETERS		NOTE
	MIN.	MAX.	MIN.	MAX.	
A	.0926	.1043	2.35	2.65	
A1	.004	.0118	0.10	0.30	
B	.013	.020	0.33	0.51	7
C	.0091	.0125	0.23	0.32	
D	.6969	.7125	17.70	18.10	2
E	.2914	.2992	7.40	7.60	3
e	.050	BASIC	1.27	BASIC	
H	.398	.419	10.11	10.65	
h	.010	.0295	0.25	0.75	4
L	.020	.040	.508	1.02	5
N	28		28		6
α	0°	8°	0°	8°	

NOTES:

- DIMENSIONING AND TOLERANCING PER ANSI Y14.5M-1982.
- DIMENSION D DOES NOT INCLUDE MOLD FLASH, PROTRUSIONS OR GATE BURRS. MOLD FLASH, PROTRUSIONS AND GATE BURRS SHALL NOT EXCEED .006 IN. (0.15 mm) PER SIDE.
- DIMENSION E DOES NOT INCLUDE INTER-LEAD FLASH OR PROTRUSIONS. INTER-LEAD FLASH AND PROTRUSIONS SHALL NOT EXCEED .010 IN. (0.25 mm) PER SIDE.
- THE CHAMFER ON THE BODY IS OPTIONAL. IF IT IS NOT PRESENT, A VISUAL INDEX FEATURE MUST BE LOCATED WITHIN THE

CROSSHATCHED AREA.

- L IS THE LENGTH OF TERMINAL FOR SOLDERING TO A SUBSTRATE.
- N IS THE NUMBER OF TERMINAL POSITIONS.
- THE LEAD WIDTH B, AS MEASURED .014 IN. (0.36 mm) OR GREATER ABOVE THE SEATING PLANE, SHALL NOT EXCEED A MAXIMUM VALUE OF .024 IN. (0.61 mm).
- LEAD TO LEAD COPLANARITY SHALL BE LESS THAN .004 IN. (0.10 mm) FROM SEATING PLANE.

PACKAGE NUMBER: ZZ217 REV.: G
JEDEC NUMBER: MS-013-AE
WITH THE EXCEPTION OF DIM. H, L.