

クワッド、シリアル入力、12ビット電圧出力 D/Aコンバータ

特 長

- 低消費電力：20mW
- ユニポーラまたはバイポーラ動作
- セトリングタイム：10 μ s(0.012%まで)
- 直線性および単調性：12ビット
(-40 ~ +85)
- データ入力のダブル・バッファリング
- パッケージ：小型20ピンSSOP

アプリケーション

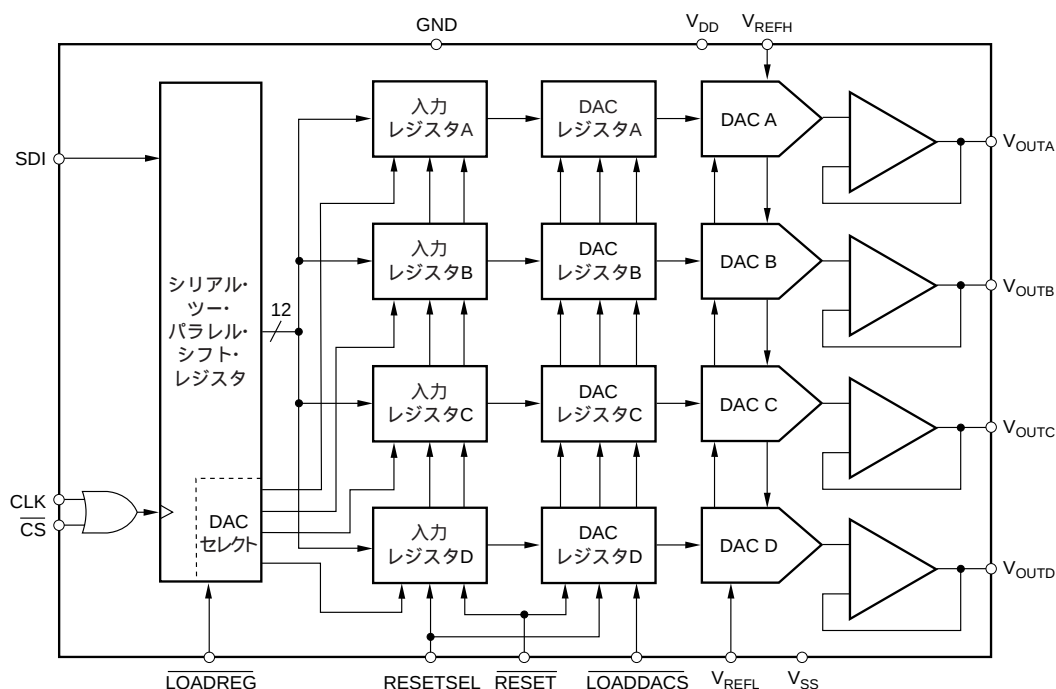
- プロセス制御
- ATEピン・エレクトロニクス
- 閉ループ・サーボ制御
- モータ制御
- データ・アキュイジション・システム
- DAC-PER-PINプログラマ

概 要

DAC7615は、-40 から+85 の温度範囲にわたり12ビットの単調性が保証された、クワッド、シリアル入力、12ビット電圧出力D/Aコンバータ(DAC)です。すべてのレジスタをミッドスケール(800_H)またはゼロスケール(000_H)にクリアする非同期リセット機能(RESETSELピンにより選択可能)を備えています。各DAC入力はダブル・バッファリ

ングされ、すべてのDAC出力を同時に更新することができます。単一電源(+5V)でも両電源($\pm 5V$)でも動作します。

小型で低消費電力なDAC7615は、自動試験装置、DAC-PER-PINプログラマ、データ・アキュイジション・システム、閉ループ・サーボ制御に理想的です。パッケージは、16ピン・プラスチックDIP、16ピンSOPおよび20ピンSSOPで供給され、-40 から+85 の温度範囲で保証されています。



仕様

特に記述のない限り、 $T_A = -40 \sim +85$ 、 $V_{DD} = +5V$ 、 $V_{SS} = -5V$ 、 $V_{REFH} = +2.5V$ 、 $V_{REFL} = -2.5V$ です。

パラメータ	条件	DAC7615E、P、U			DAC7615EB、PB、UB			単位
		最小	標準	最大	最小	標準	最大	
精度								
直線性誤差 ⁽¹⁾	$V_{SS} = 0V$ または $-5V$			± 2			± 1	LSB ⁽²⁾
直線性マッチング ⁽³⁾	$V_{SS} = 0V$ または $-5V$			± 2			± 1	LSB
微分直線性誤差	$V_{SS} = 0V$ または $-5V$			± 1			± 1	LSB
単調性		12			*			Bits
ゼロスケール誤差	コード = 000_H			± 4			*	LSB
ゼロスケール・ドリフト			2	5		*	*	ppm/
ゼロスケール・マッチング ⁽³⁾				± 2			± 1	LSB
フルスケール誤差	コード = FFF_H			± 4			*	LSB
フルスケール・マッチング ⁽³⁾				± 2			± 1	LSB
ゼロスケール誤差	コード = $00A_H$ 、 $V_{SS} = 0V$			± 8			*	LSB
ゼロスケール・ドリフト	$V_{SS} = 0V$		5	10		*	*	ppm/
ゼロスケール・マッチング ⁽³⁾	$V_{SS} = 0V$			± 4			± 2	LSB
フルスケール誤差	コード = FFF_H 、 $V_{SS} = 0V$			± 8			*	LSB
フルスケール・マッチング ⁽³⁾	$V_{SS} = 0V$			± 4			± 2	LSB
電源除去			30			*		ppm/V
アナログ出力								
電圧出力 ⁽⁴⁾	$V_{SS} = 0V$ または $-5V$	V_{REFL} -1.25		V_{REFH} $+1.25$	*		*	V
出力電流			100		*		*	mA
負荷キャパシタンス	発振なし		+5、-15			*	*	pF
短絡電流						*	*	mA
短絡時間						*	*	
リファレンス入力								
V_{REFH} 入力レンジ	$V_{SS} = 0V$ または $-5V$	$V_{REFL} +1.25$		+2.5	*		*	V
V_{REFL} 入力レンジ	$V_{SS} = 0V$	0		$V_{REFH} -1.25$	*		*	V
V_{REFL} 入力レンジ	$V_{SS} = -5V$	-2.5		$V_{REFH} -1.25$	*		*	V
ダイナミック特性								
セトリングタイム ⁽⁵⁾	$\pm 0.012\%$ まで		5	10		*	*	μs
チャンネル間クロストーク	フルスケール・ステップ		0.1			*	*	LSB
	他の任意のDAC、 $R_L = 2k\Omega$							
出力雑音電圧	帯域幅：0Hz～1MHz		40			*		$nV/\sqrt{Hz}$
デジタル入出力								
ロジック・ファミリ			TTLコンパチブルCMOS				*	
ロジック・レベル								
V_{IH}	$ I_{IH} \leq 10\mu A$	2.4		$V_{DD} +0.3$	*		*	V
V_{IL}	$ I_{IL} \leq 10\mu A$	-0.3		0.8	*		*	V
データ・フォーマット				ストレート・バイナリ		*		
電源条件								
V_{DD}		4.75		5.25	*		*	V
V_{SS}	If $V_{SS} \neq 0V$	-5.25		-4.75	*		*	V
I_{DD}			1.5	1.9		*	*	mA
I_{SS}		-2.1	-1.6		*	*	*	mA
消費電力	$V_{SS} = -5V$		15	20		*	*	mW
	$V_{SS} = 0V$		7.5	10		*	*	mW
温度範囲								
仕様に規定された性能		-40		+85	*		*	

* は、DAC7615P、Uのグレードと同じ値であることを示します。
注：(1) $V_{SS} = 0V$ の場合、仕様は $00A_H$ 以上のコードに適用されます。(2) 1LSBは最下位ビットを意味します。 V_{REFH} が+2.5V、 V_{REFL} が-2.5Vの場合、1LSBは1.22mVです。(3) すべてのDAC出力は、仕様に規定された誤差の範囲内でマッチします。(4) ゼロスケール誤差またはフルスケール誤差を含まない理想的な出力電圧です。(5) $V_{SS} = -5V$ の場合は、コード 000_H から FFF_H まで、または FFF_H から 000_H までのフルスケール・ステップです。 $V_{SS} = 0V$ の場合は、コード 000_H から FFF_H までの正のフルスケール・ステップおよびコード FFF_H から $00A_H$ までの負のステップです。

絶対最大定格⁽¹⁾

$V_{DD} \sim V_{SS}$	-0.3V ~ +11V
$V_{DD} \sim GND$	-0.3V ~ +5.5V
$V_{REFL} \sim V_{SS}$	-0.3V ~ ($V_{DD} - V_{SS}$)
$V_{DD} \sim V_{REFH}$	-0.3V ~ ($V_{DD} - V_{SS}$)
$V_{REFH} \sim V_{REFL}$	-0.3V ~ ($V_{DD} - V_{SS}$)
デジタル入力電圧(対GND)	-0.3V ~ $V_{DD} + 0.3V$
最大接合部温度	+150
動作温度範囲	-40 ~ +85
保存温度範囲	-65 ~ +150
リード温度(10秒間の半田付け)	+300

注：(1) 定格を超えるオーバ・ストレスは、デバイスに永久的な損傷を与えます。絶対最大条件下に長時間置いた場合は、デバイスの信頼性が低下することがあります。



静電気放電対策

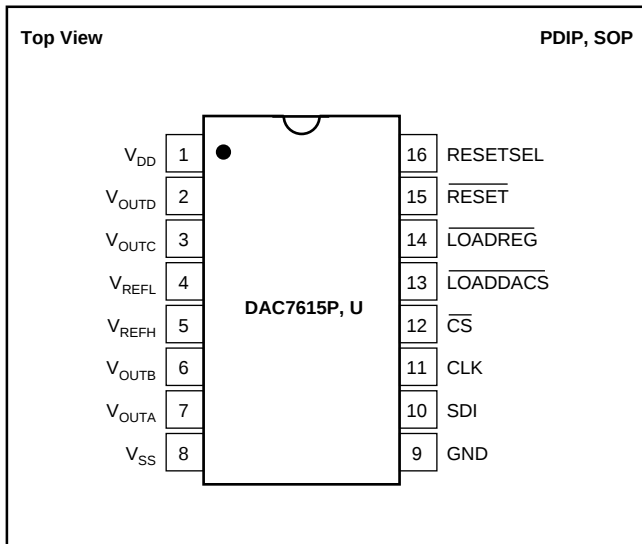
静電気放電はわずかな性能の低下から完全なデバイスの故障に至るまで、様々な損傷を与えます。すべての集積回路は、適切なESD保護方法を用いて、取扱いと保存を行うようにして下さい。高精度の集積回路は、損傷に対して敏感であり、極めてわずかなパラメータの変化により、デバイスに規定された仕様に適合しなくなる場合があります。

パッケージ情報/ご発注の手引き

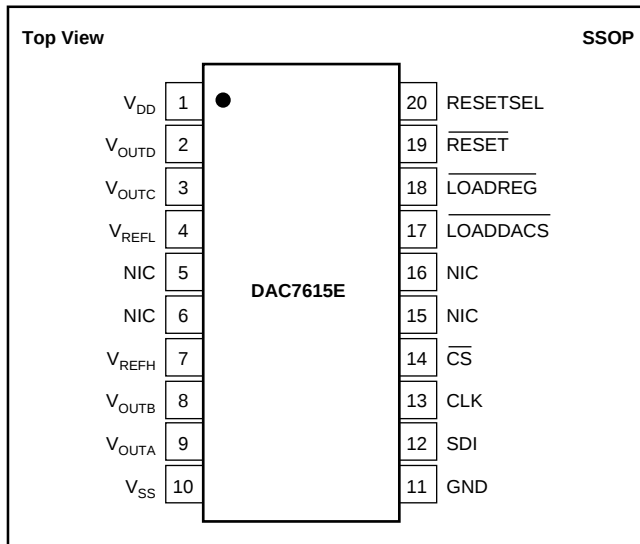
モデル	最大直線性誤差 (LSB)	最大微分直線性 (LSB)	パッケージ	パッケージ図 番号 ⁽¹⁾	仕様温度範囲	発注番号 ⁽²⁾	供給時の状態
DAC7615P	±2	±1	16ピンDIP	180	-40 ~ +85	DAC7615P	マガジン
DAC7615PB	±2	±1	16ピンDIP	180	-40 ~ +85	DAC7615PB	マガジン
DAC7615U	±2	±1	16ピンSOP	211	-40 ~ +85	DAC7615U	マガジン
DAC7615U	±2	±1	16ピンSOP	211	-40 ~ +85	DAC7615U/1K	テーブリール
DAC7615UB	±1	±1	16ピンSOP	211	-40 ~ +85	DAC7615UB	マガジン
DAC7615UB	±1	±1	16ピンSOP	211	-40 ~ +85	DAC7615UB/1K	テーブリール
DAC7615E	±2	±1	20ピンSSOP	334	-40 ~ +85	DAC7615E	マガジン
DAC7615E	±2	±1	20ピンSSOP	334	-40 ~ +85	DAC7615E/1K	テーブリール
DAC7615EB	±1	±1	20ピンSSOP	334	-40 ~ +85	DAC7615EB	マガジン
DAC7615EB	±1	±1	20ピンSSOP	334	-40 ~ +85	DAC7615EB/1K	テーブリール

注：(1) 詳細図および寸法表は、データシートの巻末を参照して下さい。(2) スラッシュ(/)の付いたモデルは、その後に示される数量を単位として、テーブリールでのみ供給されます(例えば、/1Kは1,000個で1リールであることを示します)。「DAC7615EB/1K」をご発注の場合、DAC7615EBが1,000個入ったテーブリールが1本納入されます。

ピン配置 - P、Uパッケージ



ピン配置 - Eパッケージ



ピン構成 - P、Uパッケージ

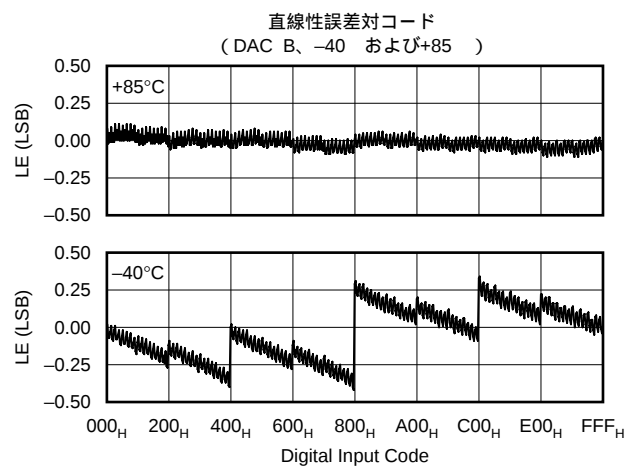
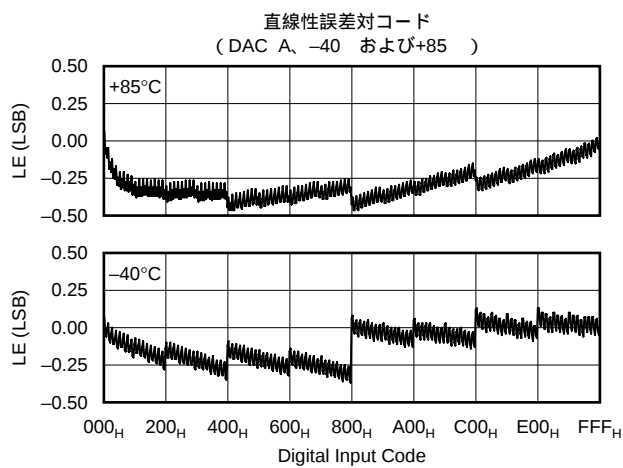
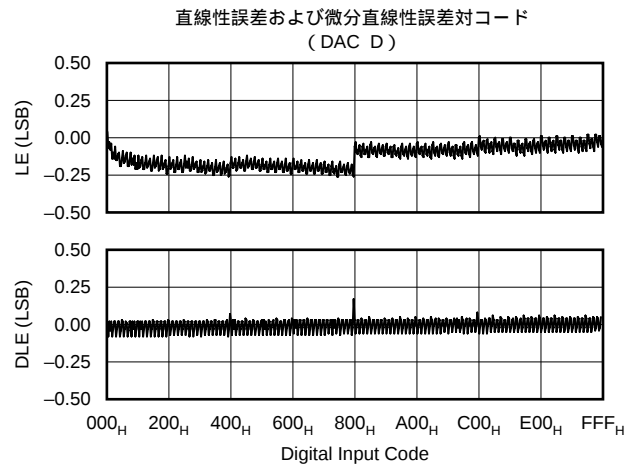
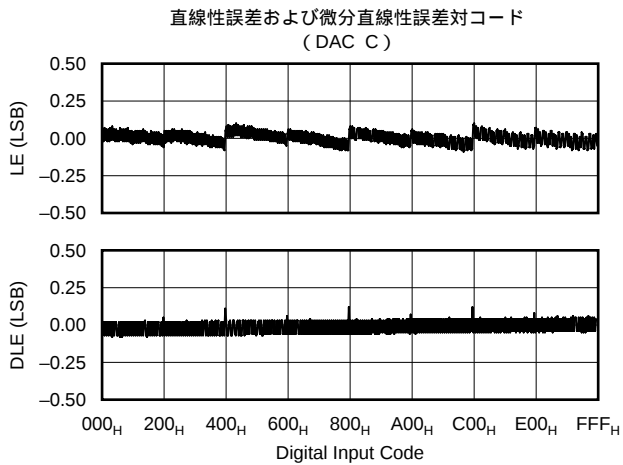
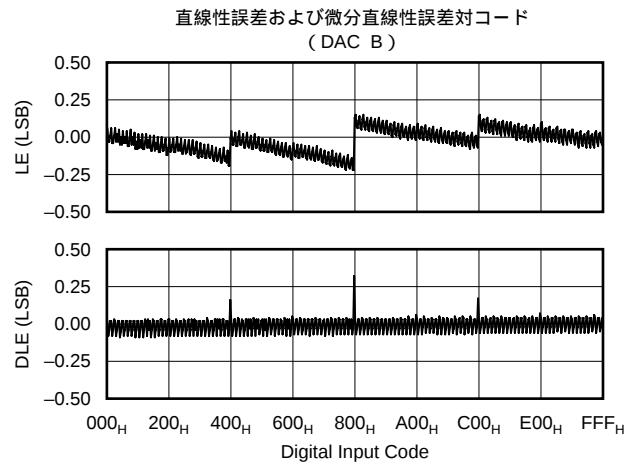
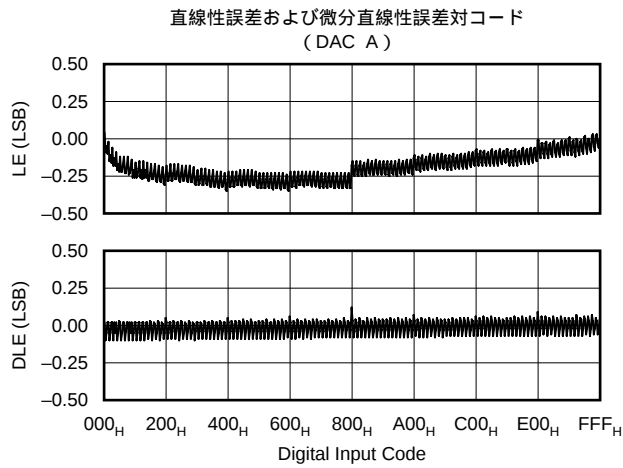
ピン	名称	説明
1	V _{DD}	正のアナログ電源電圧、公称+5V。
2	V _{OUTD}	DAC D電圧出力
3	V _{OUTC}	DAC C電圧出力
4	V _{REFL}	リファレンス入力電圧“ロー”。全てのDACの最小出力電圧を設定。
5	V _{REFH}	リファレンス入力電圧“ハイ”。全てのDACの最大出力電圧を設定。
6	V _{OUTB}	DAC B電圧出力
7	V _{OUTA}	DAC A電圧出力
8	V _{SS}	負のアナログ電源電圧、公称0Vまたは-5V。
9	GND	グランド
10	SDI	シリアルデータ入力
11	CLK	シリアルデータ・クロック
12	$\overline{CS}$	チップセレクト入力
13	LOADDACs	LOADDACsが“ロー”のとき、全てのDACレジスタが透過的になる。LOADDACsが“ハイ”のとき、全てのDACレジスタがラッチされた状態になる。
14	LOADREG	LOADREGが“ロー”のとき、選択された入力レジスタが透過的になる。LOADREGが“ハイ”のとき、選択された入力レジスタがラッチされた状態になる。
15	$\overline{RESET}$	非同期リセット入力。“ロー”のとき、DACおよび入力レジスタがゼロスケール(000 _H)またはミッドスケール(800 _H)に設定される。設定されるコードはRESETSELによって決まる。
16	RESETSEL	RESETSELが“ロー”のとき、 $\overline{RESET}$ を“ロー”にするとDACおよび入力レジスタがコード000 _H に設定される。RESETSELが“ハイ”のとき、 $\overline{RESET}$ を“ロー”にするとレジスタがコード800 _H に設定される。

ピン構成 - Eパッケージ

ピン	名称	説明
1	V _{DD}	正のアナログ電源電圧、公称+5V。
2	V _{OUTD}	DAC D電圧出力
3	V _{OUTC}	DAC C電圧出力
4	V _{REFL}	リファレンス入力電圧“ロー”。全てのDACの最小出力電圧を設定。
5	NIC	内部接続なし
6	NIC	内部接続なし
7	V _{REFH}	リファレンス入力電圧“ハイ”。全てのDACの最大出力電圧を設定。
8	V _{OUTB}	DAC B電圧出力
9	V _{OUTA}	DAC A電圧出力
10	V _{SS}	負のアナログ電源電圧、公称0Vまたは-5V。
11	GND	グランド
12	SDI	シリアルデータ入力
13	CLK	シリアルデータ・クロック
14	$\overline{CS}$	チップセレクト入力
15	NIC	内部接続なし
16	NIC	内部接続なし
17	LOADDACs	LOADDACsが“ロー”のとき、全てのDACレジスタが透過的になる。LOADDACsが“ハイ”のときはラッチされた状態になる。
18	LOADREG	LOADREGが“ロー”のとき、選択された入力レジスタが透過的になる。LOADREGが“ハイ”のときはラッチされた状態になる。
19	$\overline{RESET}$	非同期リセット入力。“ロー”のとき、全てのDACレジスタがゼロスケール(000 _H)またはミッドスケール(800 _H)に設定される。設定されるコードはRESETSELによって決まる。
20	RESETSEL	RESETSELが“ロー”のとき、 $\overline{RESET}$ を“ロー”にすると、全てのDACレジスタがコード000 _H に設定される。RESETSELが“ハイ”のとき、 $\overline{RESET}$ を“ロー”にするとレジスタがコード800 _H に設定される。

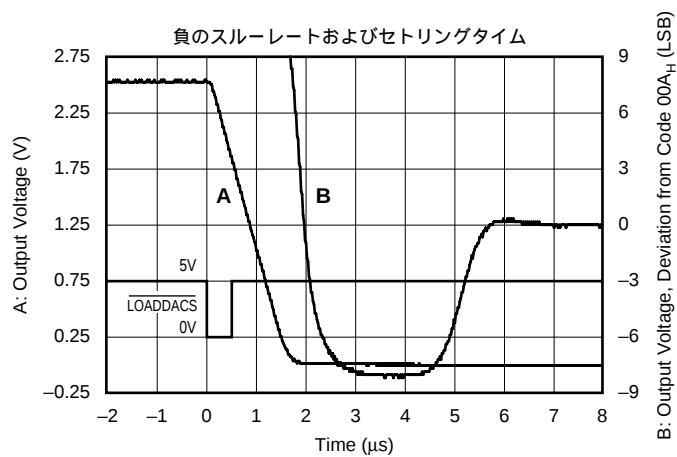
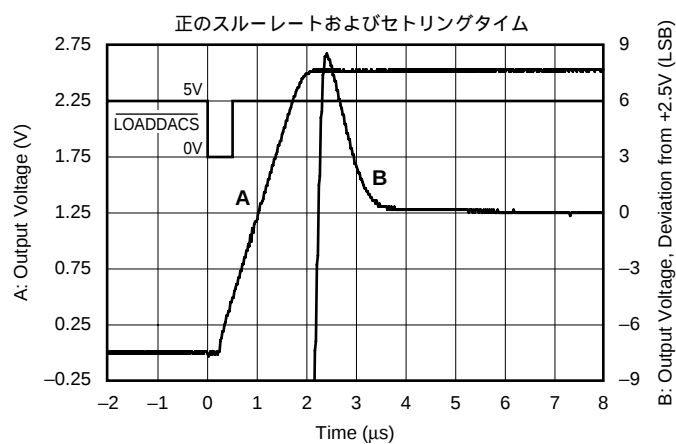
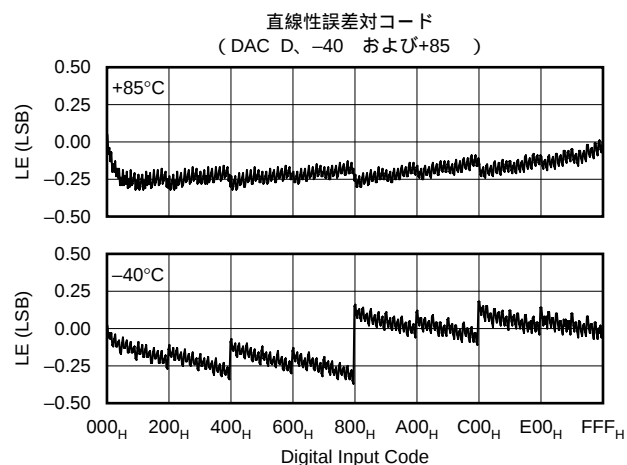
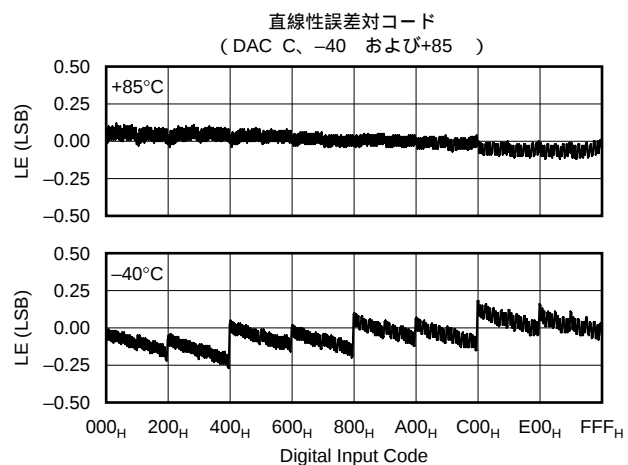
代表的性能曲線：V_{SS} = 0V

特に記述のない限り、T_A = +25、V_{DD} = +5V、V_{SS} = 0V、V_{REFH} = +2.5V、V_{REFL} = 0V、代表的ユニットです。



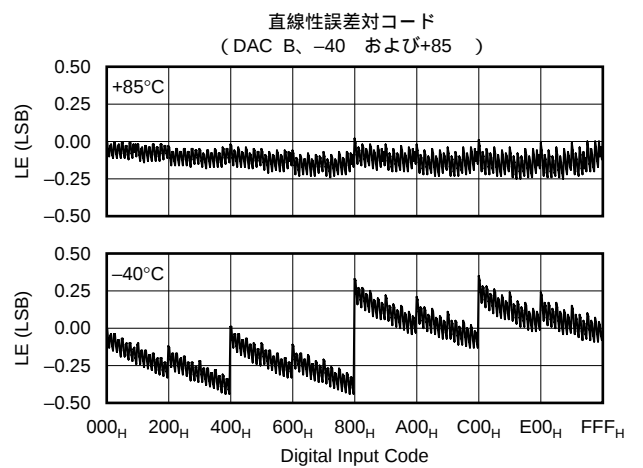
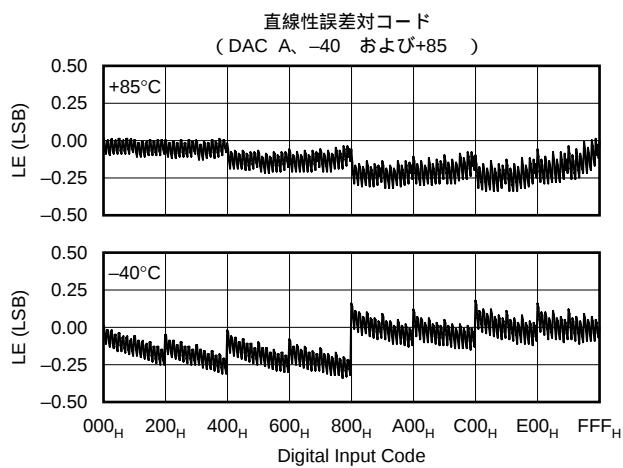
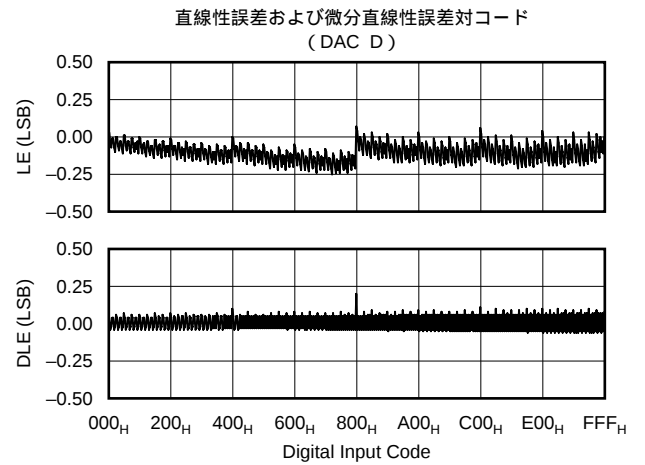
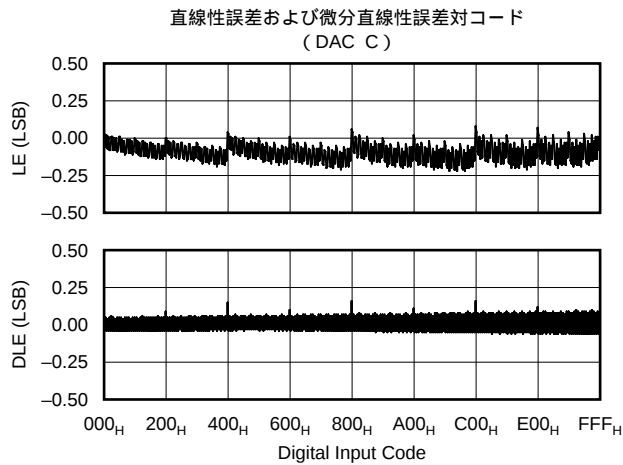
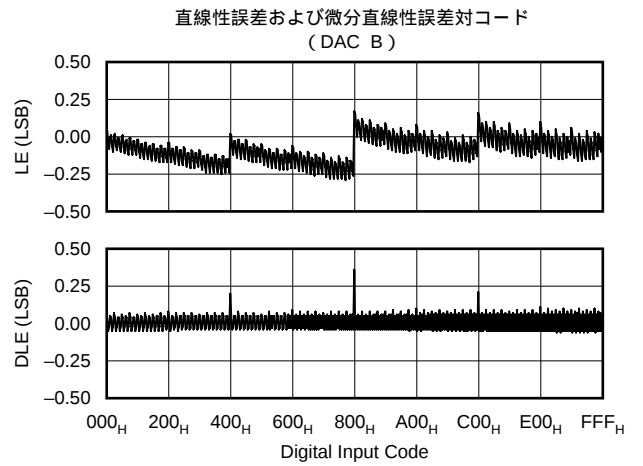
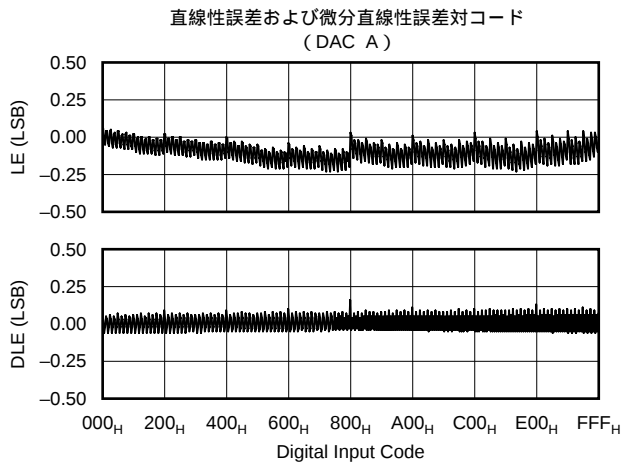
代表的性能曲線：V_{SS} = 0V

特に記述のない限り、T_A = +25℃、V_{DD} = +5V、V_{SS} = 0V、V_{REFH} = +2.5V、V_{REFL} = 0V、代表的ユニットです。



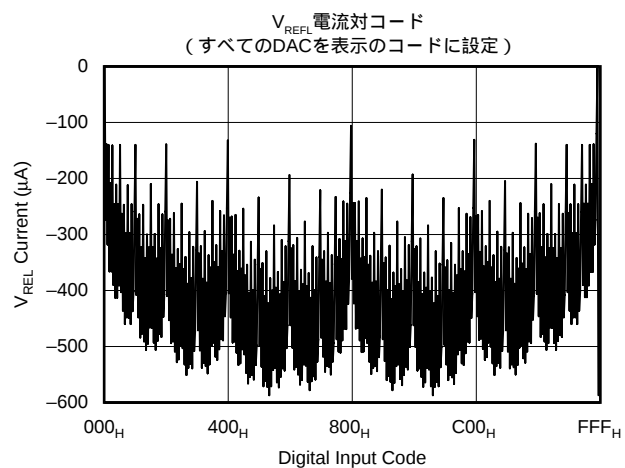
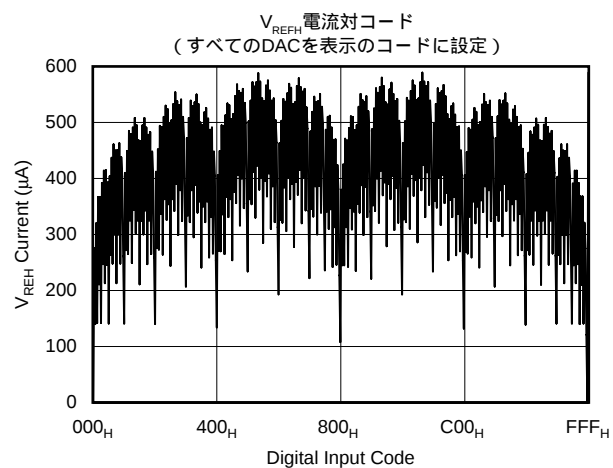
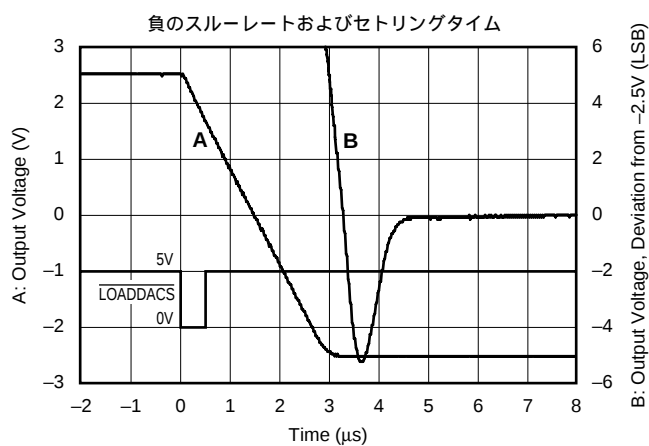
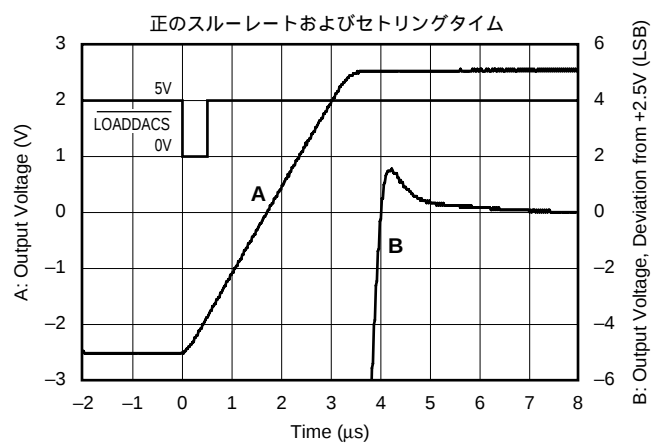
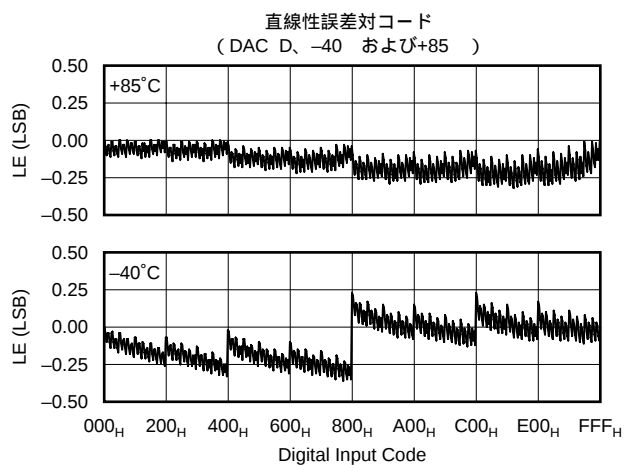
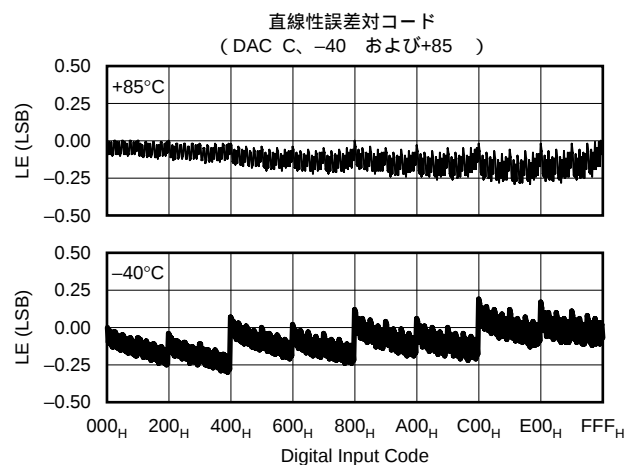
代表的性能曲線： $V_{SS} = -5V$

特に記述のない限り、 $T_A = +25$ 、 $V_{DD} = +5V$ 、 $V_{SS} = -5V$ 、 $V_{REFH} = +2.5V$ 、 $V_{REFL} = -2.5V$ 、代表的ユニットです。



代表的性能曲線： $V_{SS} = -5V$

特に記述のない限り、 $T_A = +25^\circ\text{C}$ 、 $V_{DD} = +5V$ 、 $V_{SS} = -5V$ 、 $V_{REFH} = +2.5V$ 、 $V_{REFL} = -2.5V$ 、代表的ユニットです。



動作原理

DAC7615は、クワッド、シリアル入力、12ビットの電圧出力DACです。アーキテクチャは、クラシックなR-2Rラダー構成で、後段にバッファとして機能するオペアンプがあります。各DACごとにR-2Rラダー・ネットワークと出力オペアンプがありますが、リファレンス電圧入力はいずれのDACでも共有しています。最小電圧出力(“ゼロスケール”)および最大電圧出力(“フルスケール”)は、それぞれ外部電圧リファレンス V_{REFL} および V_{REFH} によって設定します。デジタル入力は、12ビットのDACコードと4つのDACのいずれかを選択する2ビットのアドレス・コードを含む16ビットのシリアル・ワードです(残りの2ビットは未使用)。コンバータは、+5Vの単一電源または±5Vの両電源で動作させることができます。各デバイスは、すべてのDACおよび内部レジスタの出力電圧を直ちにゼロスケール(コード000_H)またはミッドスケール(コード800_H)に設定するリセット機能を備えています。リセット・コードは、RESETSELピンの状態によって選択します(“ロー” = 000_H、“ハイ” = 800_H)。DAC7615の基本動作については図1および図2を参照して下さい。

アナログ出力

$V_{SS} = -5V$ (両電源動作)のとき、出力アンプは-40 から+85 の温度範囲で電源レールの2.25V以内までスイングできます。 $V_{SS} = 0V$ (単一電源動作)のとき、出力はグランドまでスイングできます。グランドにきわめて近い電圧では、出力オペアンプのセトリングタイムが長くなることに注意して下さい。 $V_{SS} = 0V$ のときは、ゼロスケール誤差の測定にも注意が必要です。出力アンプのオフセットが負の場合、出力電圧はグランド以下にスイングできないため、最初のいくつかのデジタル入力コード(000_H、001_H、002_Hなど)に対して出力電圧が変化しないことがあります。

アプリケーションによっては出力アンプの動作が重要になります。短絡条件(DAC出力をグランドに短絡)では、出力アンプのソース電流よりもシンク電流の方がずっと大きくなります。短絡電流の詳細については、仕様の表を参照して下さい。

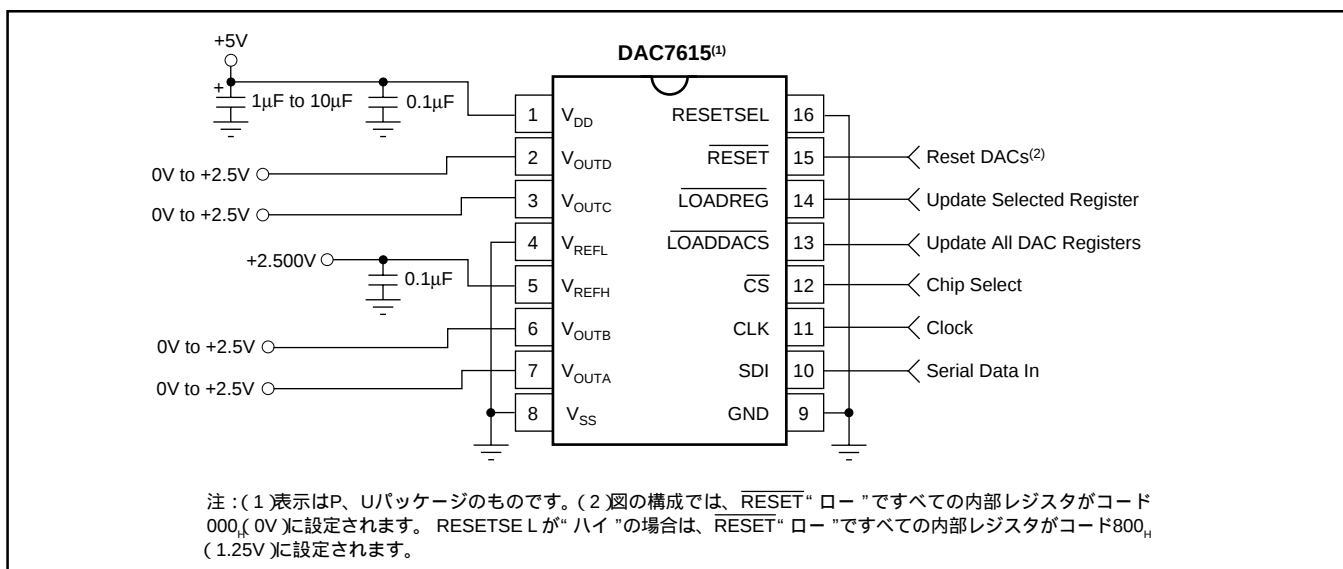


図1. DAC7615の基本的な単一電源動作

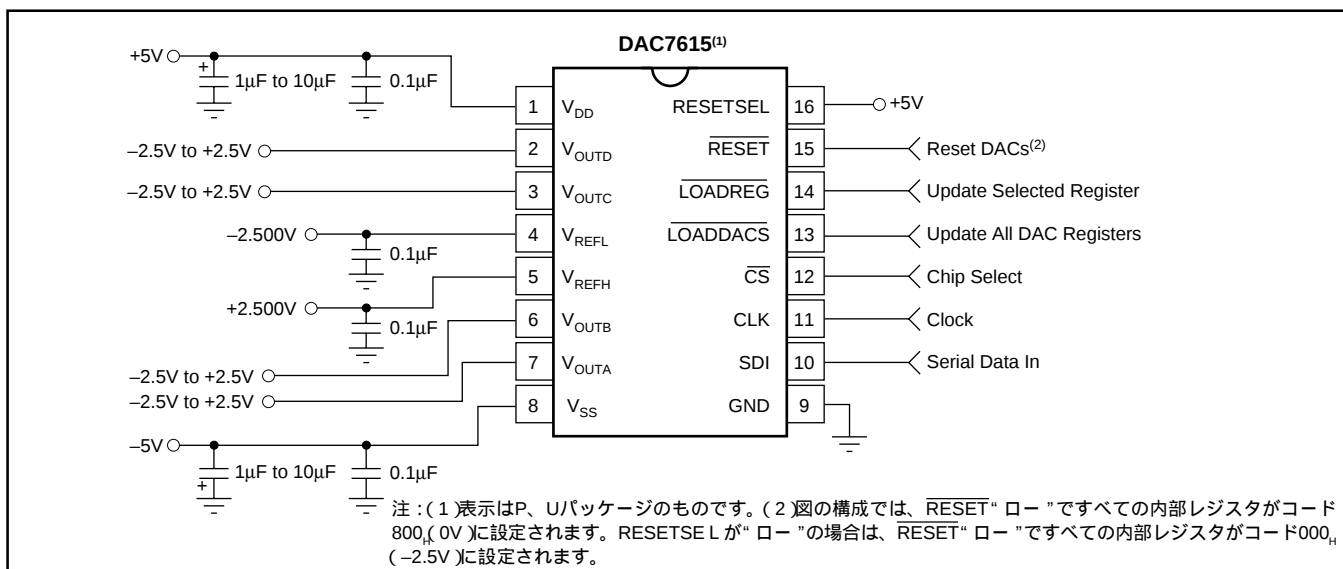


図2. DAC7615の基本的な両電源動作

リファレンス入力

リファレンス入力 V_{REFL} および V_{REFH} は、 V_{REFH} が V_{REFL} より1.25V以上高い限り、 $V_{SS} + 2.25V$ から $V_{DD} - 2.25V$ までの任意の電圧を使用することができます。各DACの最小出力は、 $V_{REFL} - 1LSB + \text{わずかなオフセット電圧}$ (ほぼ出力オペアンプのオフセット)に等しくなります。最大出力は、 $V_{REFH} + \text{同様のオフセット電圧}$ に等しくなります。 V_{SS} (負電源)は、グランドに接続するか、 $-4.75V$ から $-5.25V$ の範囲に保たなければならないことに注意して下さい。 V_{SS} の電圧は、コンバータ内部の複数のバイアス・ポイントを設定します。 V_{SS} が上記の2つの構成のいずれでもない場合、バイアス値が不正になり、デバイスの正しい動作が保証されません。

リファレンス入力に流れ込む電流は、DACの出力電圧に依存し、数マイクロアンペアから約0.6ミリアンペアまでの範囲で変動します。DAC7615のパッケージのできるだけ近くに0.1 μF のコンデンサを配置してリファレンス電圧をバイパスすることを強く推奨します。

デジタル・インターフェース

図3および表IにDAC7615の基本的なタイミングを示します。インターフェースは、シリアル・クロック(CLK)、シリアル・データ(SDI)、ロード・レジスタ信号($\overline{LOADREG}$)、および“ロード全DACレジスタ”信号($\overline{LOADDACS}$)から構成されます。また、複数のシリアル・デバイスがあるときにシリアル通信をイネーブルにするチップ・セレクト($\overline{CS}$)入力もあります。非同期リセット入

記号	説明	最小	標準	最大	単位
t_{DS}	データ有効からCLKの立ち上がりまで	25			ns
t_{DH}	CLK立ち上がり後のデータ有効保持	20			ns
t_{CH}	CLK“ハイ”	30			ns
t_{CL}	CLK“ロー”	50			ns
t_{CSS}	$\overline{CS}$ “ロー”からCLKの立ち上がりまで	55			ns
t_{CSH}	CLK“ハイ”から $\overline{CS}$ の立ち上がりまで	15			ns
t_{LD1}	$\overline{LOADREG}$ “ハイ”からCLKの立ち上がりまで	40			ns
t_{LD2}	CLKの立ち上がりから $\overline{LOADREG}$ “ロー”まで	15			ns
t_{LDRW}	$\overline{LOADREG}$ “ロー”時間	45			ns
t_{LDDW}	$\overline{LOADDACS}$ “ロー”時間	45			ns
t_{RSSH}	RESETSEL有効からRESET“ロー”まで	25			ns
t_{RSTW}	RESET“ロー”時間	70			ns
t_s	セトリングタイム	10			μs

表I. タイミング仕様 ($T_A = -40 \sim +85$)

力($\overline{RESET}$)を使用すると、起動時、周期的リセットまたは緊急リセット時に簡単に既知の状態に設定することができます。

DACコードとアドレスは、図3に示す16ビットのシリアル・インターフェースで転送されます。最初の2ビットは、入力レジスタの選択に使用され、 $\overline{LOADREG}$ が“ロー”になると更新されます(表II参照)。次の2ビットは未使用です。最後の12ビットは、DACコードで、MSBファーストで転送されます。

$\overline{CS}$ およびCLKはORゲートで結合され、その出力がDAC7615内

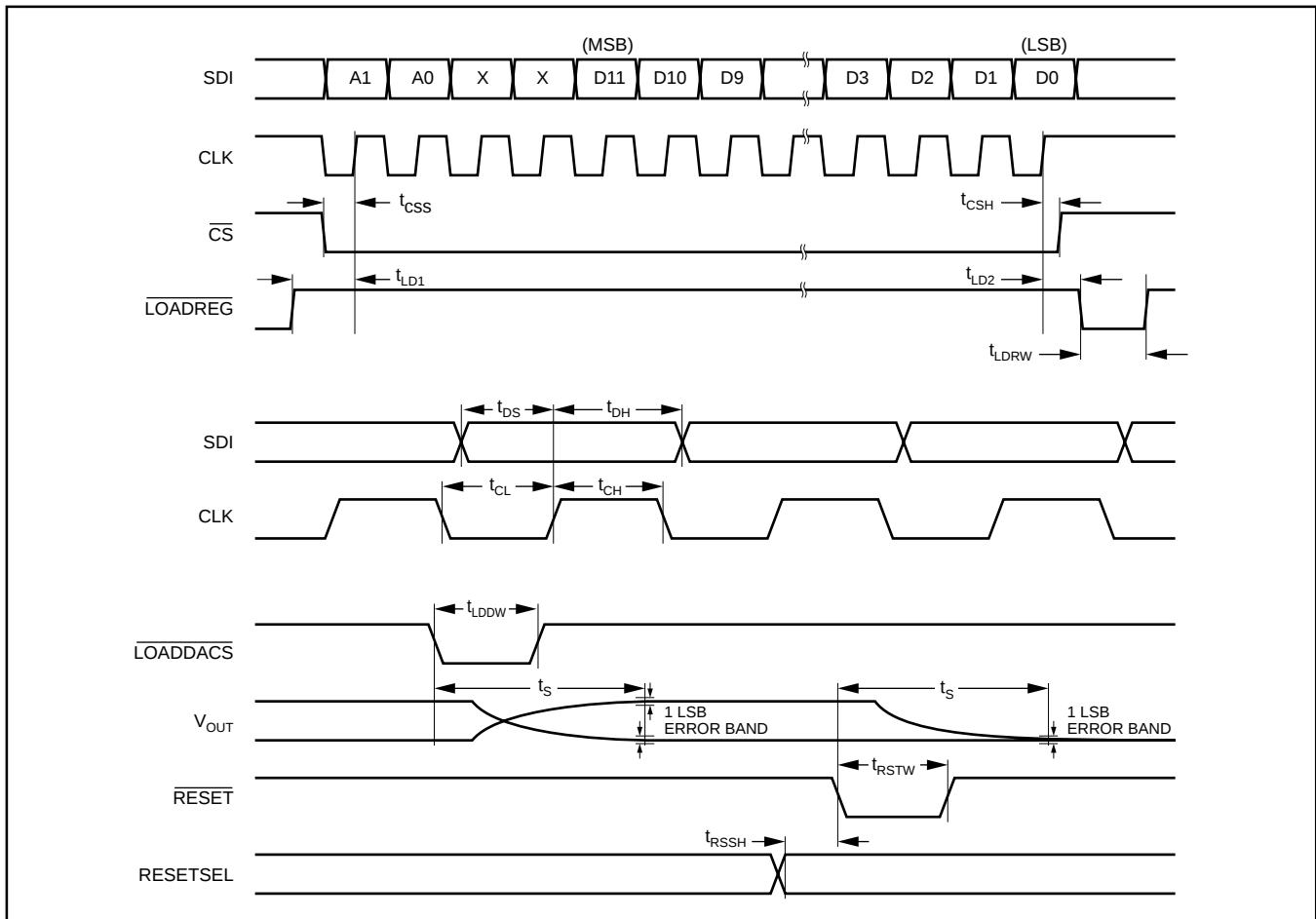


図3. DAC7615のタイミング

A1	A0	LOADREG	LOADDACS	RESET	選択された 入力レジスタ	選択された 入力レジスタの状態	すべての DACレジスタの状態
L ⁽¹⁾	L	L	H ⁽²⁾	H	A	トランスペアレント	ラッチ
L	H	L	H	H	B	トランスペアレント	ラッチ
H	L	L	H	H	C	トランスペアレント	ラッチ
H	H	L	H	H	D	トランスペアレント	ラッチ
X ⁽³⁾	X	H	L	H	なし	(すべてラッチ)	トランスペアレント
X	X	H	H	H	なし	(すべてラッチ)	ラッチ
X	X	X	X	L	すべて	リセット ⁽⁴⁾	リセット ⁽⁴⁾

注：(1)L = ロジック“ロー”。(2)H = ロジック“ハイ”。(3)X = 無視。(4)RESETSELの状態に応じて000_Hまたは800_Hにリセットされます(“ロー” = 000_H、“ハイ” = 800_H)。RESETが立ち上がると、ラッチされた状態のすべてのレジスタはリセット値を保持します。

表II. 制御ロジックの真理値表

CS ⁽¹⁾	CLK ⁽¹⁾	LOADREG	RESET	シリアル・シフト・レジスタ
H ⁽²⁾	X ⁽³⁾	H	H	変化しない
L ⁽⁴⁾	L	H	H	変化しない
L	↑ ⁽⁵⁾	H	H	1ビット進む
↑	L	H	H	1ビット進む
H ⁽⁶⁾	X	L ⁽⁷⁾	H	変化しない
H ⁽⁶⁾	X	H	L ⁽⁸⁾	変化しない

注：(1)CSおよびCLKは、相互に交換が可能です。(2)H = ロジック“ハイ”。(3)X = 無視。(4)L = ロジック“ロー”。(5)正のロジックの遷移。(6)“疑似クロック”によるシフト・レジスタのシフトや変化を防止するため、“ハイ”の値を推奨します。(7)LOADREGが“ロー”の間にシリアル・レジスタにデータがクロック・インされた場合は、シフト・レジスタのA1およびA0ビット・クロックが流され、選択された入力レジスタが変化します。この場合、誤って選択された各入力レジスタのデータは破壊されます。(8)RESET“ロー”でシリアル・シフト・レジスタの内容は変化しません。

表III. シリアル・シフト・レジスタの真理値表

部のシリアル・ツーフラレル・シフト・レジスタを制御することに注意して下さい(このデータシートの表紙のブロック図を参照)。この2つの入力、相互に交換が可能です。また、シリアル転送の最後でCSが立ち上がったときのCLKの状態にも注意する必要があります。CSが立ち上がったときにCLKが“ロー”の場合、ORゲートから立ち上がりエッジがシフト・レジスタに出力され、さらに1ビット内部データがシフトします。この結果、データが不正になり、誤った入力レジスタが選択される可能性があります。CSおよびCLKの両方を使用する場合は、CLKが“ハイ”のときのみCSを立ち上げることが必要です。一方だけ使用する場合は、CSまたはCLKのどちらでもシフト・レジスタを動作させることができます。詳細については、表IIIを参照して下さい。

は、CSまたはCLKのどちらでもシフト・レジスタを動作させることができます。詳細については、表IIIを参照して下さい。

DAC7615に入力されたデジタル・データは、ダブル・バッファリングされます。これにより、アナログ出力に影響することなく、各DACに新しいデータを入力することができます。新しい設定がデバイスに入力されると、すべてのDAC出力を同時に更新することができます。入力レジスタからDACレジスタへの転送は、LOADDACS入力の“ハイ”から“ロー”への遷移によって行われます。

DACレジスタはLOADDACSが“ロー”のときにトランスペアレントになるため、このピンを“ロー”にしたままLOADREGを使用することにより各DACを更新することができます。新しいデータ・ワードがデバイスに入力されるたびにLOADREGを“ロー”にすると、直ちに対応する出力が更新されます。

デジタル入力のコーディング

DAC7615の入力データは、ストレート・バイナリ・フォーマットです。出力電圧は、次式によって与えられます。

$$V_{OUT} = V_{REFL} + \frac{(V_{REFH} - V_{REFL}) \cdot N}{4096}$$

ここで、Nはデジタル入力のコード(10進)です。この式には、オフセット(ゼロスケール)またはゲイン(フルスケール)誤差の影響は含まれていません。

レイアウト

高精度なアナログ・コンポーネントには、慎重なレイアウト、十分なバイパス、およびクリーンで安定な電源が必要です。DAC7615は、単一電源動作が可能のため、しばしばデジタル・ロジック、マイクロコントローラ、マイクロプロセッサ、デジタル信号プロセッサの近くで使用されます。設計に使用されるデジタル・ロジックが多いほど、またスイッチング速度が高いほど、コンバータの良好な性能を達成することが難しくなります。

DAC7615のグランド・ピンは1本で、デジタルおよびアナログのすべてのリターン電流がGNDピンに流れます。理想的には、GNDを直接アナログ・グランド・プレーンに接続します。このプレーンは、システムの電源エントリ・ポイントで接続するまで、デジタル・コンポーネントのグランド接続から分離します(図4参照)。

V_{DD} (接地しない場合は V_{SS} も同様)に供給する電源は、十分に安

定で低雑音であることが必要です。スイッチング電源およびDC/DCコンバータは、しばしば出力電圧に高周波グリッチやスパイクを発生させます。また、デジタル・コンポーネントも、内部ロジックの状態が変化するときと同様の高周波スパイクを発生させることがあります。このような雑音は、電源の接続部とアナログ出力間の各種の経路から容易にDAC出力電圧とカップリングします。

GNDの接続と同様、 V_{DD} は、電源エントリ・ポイントで接続するまでデジタル・ロジックの接続部から分離された+5Vの電源プレーンまたはパターンに接続することが必要です。また、図4に示す $1\mu\text{F}$ から $10\mu\text{F}$ のコンデンサおよび $0.1\mu\text{F}$ のコンデンサの使用を強く推奨します。状況によっては、 $100\mu\text{F}$ の電解コンデンサまたはコイルとコンデンサの“Pi”フィルタによる追加のバイパスも必要になります。これらはいずれも本質的に+5V電源の高周波雑音を除去するローパスフィルタとして使用されます(図4参照)。

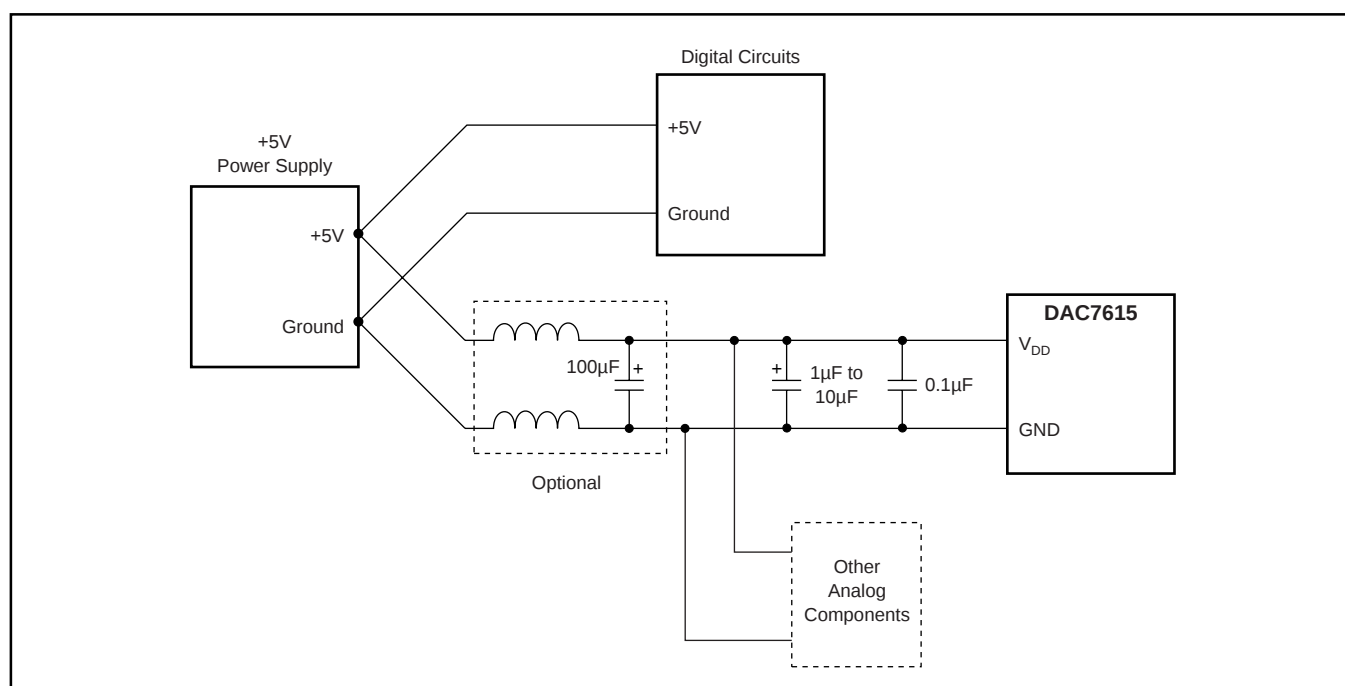
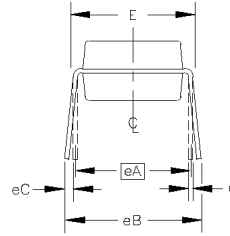
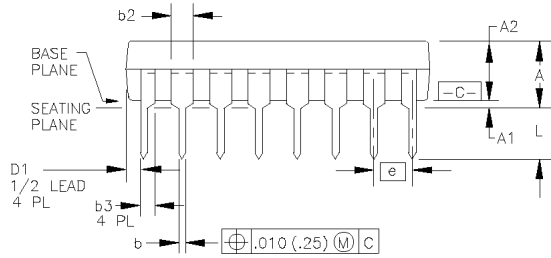
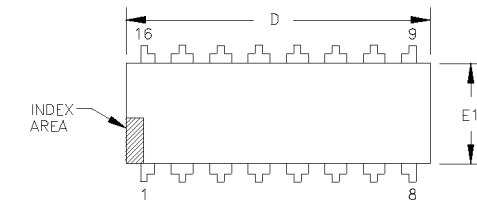


図4. デジタル・システムと+5V電源を共有するDAC7615で推奨される電源およびグランド接続。

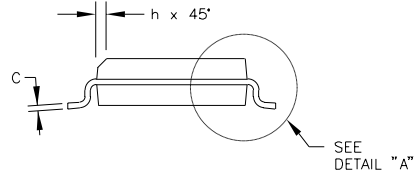
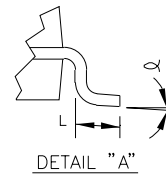
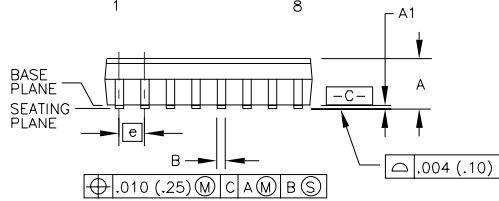
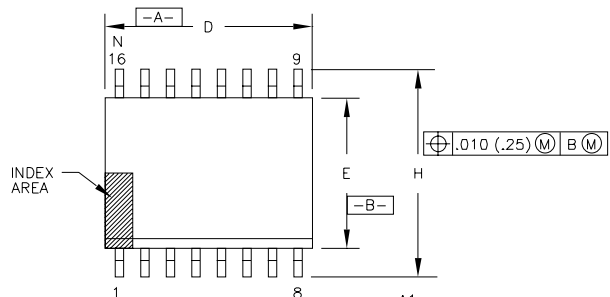
外観

パッケージ番号180 - 16ピン・プラスチック、シングル幅DIP



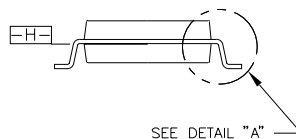
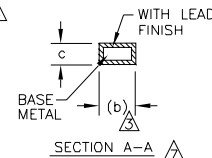
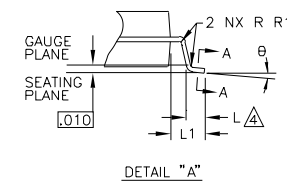
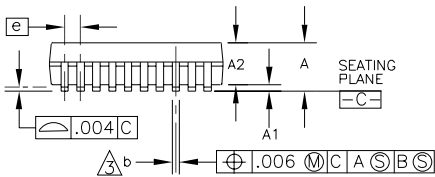
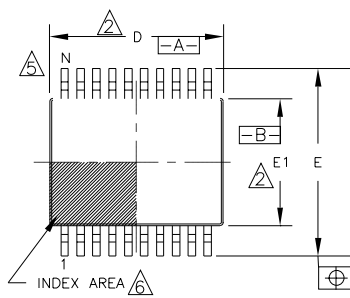
	INCHES		MILLIMETERS	
DIM	MIN	MAX	MIN	MAX
A	—	.210	—	5.33
A1	.015	—	0.38	—
A2	.115	.195	2.92	4.95
b	.014	.022	0.36	0.56
b2	.045	.070	1.14	1.78
b3	.030	.045	0.76	1.14
c	.008	.014	0.20	0.36
D	.735	.775	18.67	21.34
D1	.005	—	0.13	—
E	.300	.325	7.62	8.26
E1	.240	.280	6.10	7.11
e	.100	BASIC	2.54	BASIC
eA	.300	BASIC	7.63	BASIC
eB	—	.430	—	10.92
eC	.000	.060	0.00	1.52
L	.115	.150	2.92	3.81
N	16		16	

パッケージ番号211 - 16ピンSOP



	INCHES		MILLIMETERS	
DIM	MIN	MAX	MIN	MAX
A	.0926	.1043	2.35	2.65
A1	.004	.0118	0.10	0.30
B	.013	.020	0.33	0.51
C	.0091	.0125	0.23	0.32
D	.3977	.4133	10.10	10.50
E	.2914	.2992	7.40	7.60
e	.050	BASIC	1.27	BASIC
H	.394	.419	10.00	10.65
h	.010	.029	0.25	0.75
L	.016	.050	0.40	1.27
N	16		16	
α	0°		8°	

パッケージ番号334 - 20ピンSSOP



	INCHES		MILLIMETERS	
DIM	MIN	MAX	MIN	MAX
A	—	.079	—	2.00
A1	.002	—	0.05	—
A2	.065	.073	1.65	1.85
b	.009	.015	0.22	0.38
c	.004	.010	0.09	0.25
D	.272	.295	6.90	7.50
E	.291	.323	7.40	8.20
E1	.197	.220	5.00	5.60
e	.0256	BASIC	0.65	BASIC
L	.022	.037	0.55	0.95
L1	.049	REF	1.25	REF
N	20		20	
θ	0°		8°	
R1	.004	—	0.09	—