



12ビット、電圧出力 D/Aコンバータ

特長

- 低消費電力：1.8mW
- ユニポーラまたはバイポーラ動作
- セトリングタイム：10 μ s(0.012%まで)
- 直線性および単調性：12ビット(-40 ~ +85)
- データのリードバック
- データ入力のダブル・バッファリング
- パッケージ：24ピンSSOP

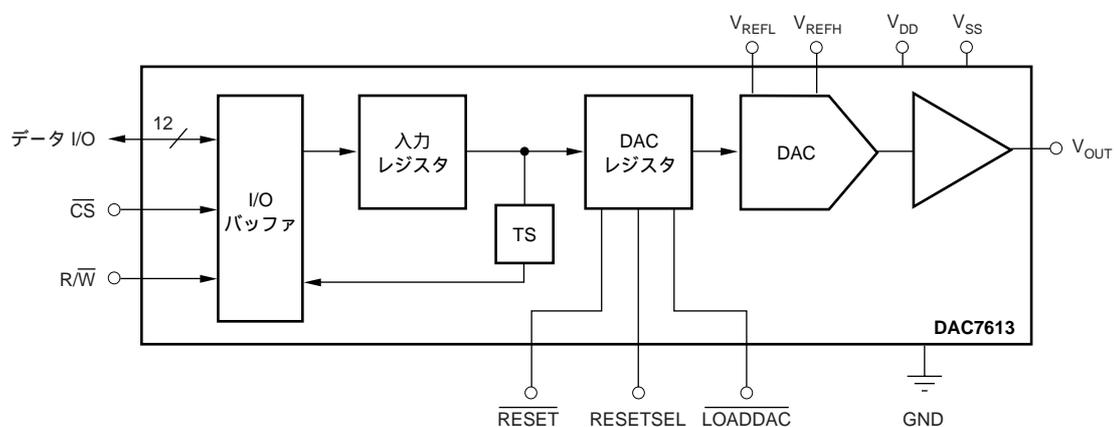
アプリケーション

- プロセス制御
- 閉ループ・サーボ制御
- モータ制御
- データ・アキュイジション・システム

概要

DAC7613は、仕様温度範囲にわたり12ビットの単調性が保証された12ビット、電圧出力D/Aコンバータです。12ビットの平行データ入力とダブル・バッファリングされたDAC入力ロジックを備え、内部入力レジスタのリードバック・モードを使用することができます。すべてのレジスタをミッドスケール(800_H)またはゼロスケール(000_H)コードにクリアする非同期リセット機能も備えています。DAC7613は、単一電源(+5V)でも両電源(\pm 5V)でも動作します。

小型で低消費電力なDAC7613は、データ・アキュイジション・システムや閉ループ・サーボ制御に理想的です。パッケージは、24ピン・プラスチックSSOPで供給され、-40 ~ +85 の温度範囲で仕様が保証されています。



仕様

特に記述のない限り、 $T_A = -40 \sim +85$ 、 $V_{DD} = +5V$ 、 $V_{SS} = -5V$ 、 $V_{REFH} = +2.5V$ 、 $V_{REFL} = -2.5V$ です。

パラメータ	条件	DAC7613E			DAC7613EB			単位
		最小	標準	最大	最小	標準	最大	
精度 直線性誤差 ⁽¹⁾ 微分直線性誤差 単調性 ゼロスケール誤差 ゼロスケール・ドリフト フルスケール誤差 ゼロスケール誤差 ゼロスケール・ドリフト フルスケール誤差 電源除去	$V_{SS} = 0V$ または $-5V$ $V_{SS} = 0V$ または $-5V$ $T_{MIN} \sim T_{MAX}$ コード = 000_H コード = FFF_H コード = $00A_H$ 、 $V_{SS} = 0V$ $V_{SS} = 0V$ コード = FFF_H 、 $V_{SS} = 0V$	12		± 2 ± 1 ± 4 5 ± 4 ± 8 5 ± 8 30			± 1 ± 1 * * * * * *	LSB ⁽²⁾ LSB Bits LSB ppm/°C LSB LSB ppm/°C LSB ppm/V
アナログ出力 電圧出力 ⁽³⁾ 出力電流 負荷キャパシタンス 短絡電流 短絡時間	$V_{REFL} = 0V$ 、 $V_{SS} = 0V$ $V_{SS} = -5$ 発振なし	0 V_{REFL} -1.25		V_{REFH} V_{REFH} +1.25	*		* * *	V V mA pF mA
リファレンス入力 V_{REFH} 入力レンジ V_{REFL} 入力レンジ V_{REFL} 入力レンジ	$V_{SS} = 0V$ または $-5V$ $V_{SS} = 0V$ $V_{SS} = -5V$	$V_{REFL} + 1.25$ 0 -2.5		+2.5 $V_{REFH} - 1.25$ $V_{REFH} - 1.25$	*		* * *	V V V
ダイナミック特性 セトリングタイム ⁽⁴⁾ 出力雑音電圧	$\pm 0.012\%$ まで 0Hz ~ 1MHz		5 40	10	*		* *	μs nV/ \sqrt{Hz}
デジタル入出力 ロジック・ファミリ ロジック・レベル V_{IH} V_{IL} V_{OH} V_{OL} データ・フォーマット	$I_{IH} \leq \pm 10\mu A$ $I_{IL} \leq \pm 10\mu A$ $I_{OH} = -0.8mA$ $I_{OL} = 1.6mA$	0.7 V_{DD} -0.3 3.6 0.0	CMOS	$V_{DD} + 0.3$ 0.3 V_{DD} V_{DD} 0.4	*		* * * * *	V V V V ストレート・バイナリ
電源条件 V_{DD} V_{SS} I_{DD} I_{SS} 消費電力	$V_{SS} = 0V$ の場合 $V_{SS} = -5V$ $V_{SS} = 0V$	4.75 -5.25 -0.65		5.25 -4.75 0.5	*		* * * * *	V V mA mA mW mW
温度範囲 仕様に規定された性能		-40		+85	*		*	°C

注：(1) $V_{SS} = 0V$ の場合、仕様は $00A_H$ 以上のコードに適用されます。(2) 1LSBは最下位ビットを意味します。 V_{REFH} が+2.5V、 V_{REFL} が-2.5Vの場合、1LSBは1.22mVです。(3) ゼロスケール誤差またはフルスケール誤差を含まない理想的な出力電圧です。(4) $V_{SS} = -5V$ の場合、5Vのフルスケール・ステップです。 $V_{SS} = 0V$ の場合、2.5Vの正のフルスケール・ステップおよびコード FFF_H から $00A_H$ までの負のステップです。

このデータシートに記載されている情報は、信頼し得るものと考えておりますが、不正確な情報や記載漏れ等に関して弊社は責任を負うものではありません。情報の使用について弊社は責任を負いませんので、各ユーザーの責任において御使用下さい。価格や仕様は予告なしに変更される場合がありますのでご了承下さい。ここに記載されているいかなる回路についても工業所有権その他の権利またはその実施権を付与したり承諾したりするものではありません。弊社は弊社製品を生命維持に関する機器またはシステムに使用することを承認しまたは保証するものではありません。

絶対最大定格⁽¹⁾

$V_{DD} - V_{SS}$	-0.3V ~ +11V
$V_{DD} - GND$	-0.3V ~ +5.5V
$V_{REFL} - V_{SS}$	-0.3V ~ ($V_{DD} - V_{SS}$)
$V_{DD} - V_{REFH}$	-0.3V ~ ($V_{DD} - V_{SS}$)
$V_{REFH} - V_{REFL}$	-0.3V ~ ($V_{DD} - V_{SS}$)
デジタル入力電圧(対GND)	-0.3V ~ $V_{DD} + 0.3V$
デジタル出力電圧(対GND)	-0.3V ~ $V_{DD} + 0.3V$
最大接合部温度	+150
動作温度範囲	-40 ~ +85
保存温度範囲	-65 ~ +150
リード温度(10秒間の半田付け)	+300

注:(1)定格を超えるオーバーストレスは、デバイスに永久的な損傷を与えます。絶対最大条件下に長時間置いた場合は、デバイスの信頼性が低下することがあります。



静電気放電対策

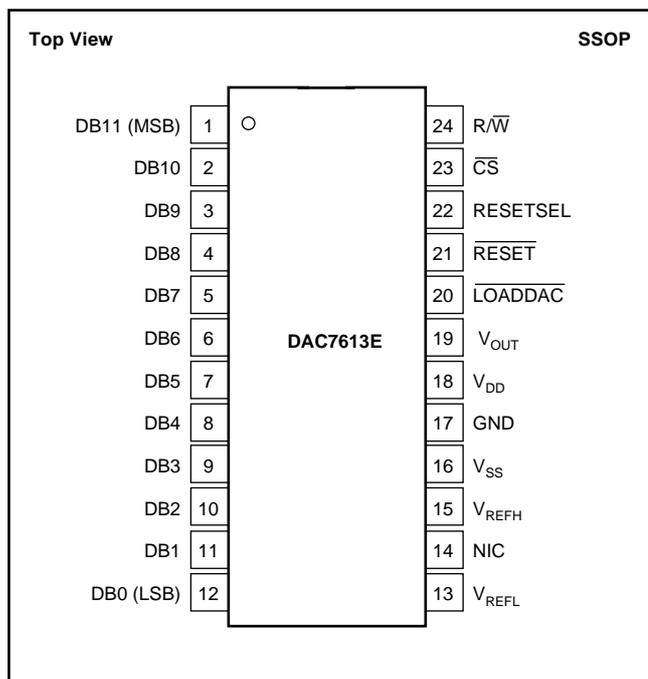
静電気放電はわずかな性能の低下から完全なデバイスの故障に至るまで、様々な損傷を与えます。すべての集積回路は、適切なESD保護方法を用いて、取扱いと保存を行うようにして下さい。高精度の集積回路は、損傷に対して敏感であり、極めてわずかなパラメータの変化により、デバイスに規定された仕様に適合しなくなる場合があります。

パッケージ情報/ご発注の手引き

モデル	最大直線性誤差 (LSB)	最大微分直線性誤差 (LSB)	パッケージ	パッケージ 図番号	仕様温度範囲	発注番号 ⁽¹⁾	供給時の状態
DAC7613E	±2	±1	24ピンSSOP	338	-40 ~ +85	DAC7613E	マガジン
DAC7613E	±2	±1	24ピンSSOP	338	-40 ~ +85	DAC7613E/1K	テープリール
DAC7613EB	±1	±1	24ピンSSOP	338	-40 ~ +85	DAC7613EB	マガジン
DAC7613EB	±1	±1	24ピンSSOP	338	-40 ~ +85	DAC7613EB/1K	テープリール

注:(1)スラッシュ(/)が付記されたモデルは、表示数量のテープリールでのみ供給されます(例えば、/1Kはリール1本あたり1,000個入りであることを示します)。"DAC7613E/1K"を発注すると、1,000個入りテープリール1本が納品されます。

ピン配置

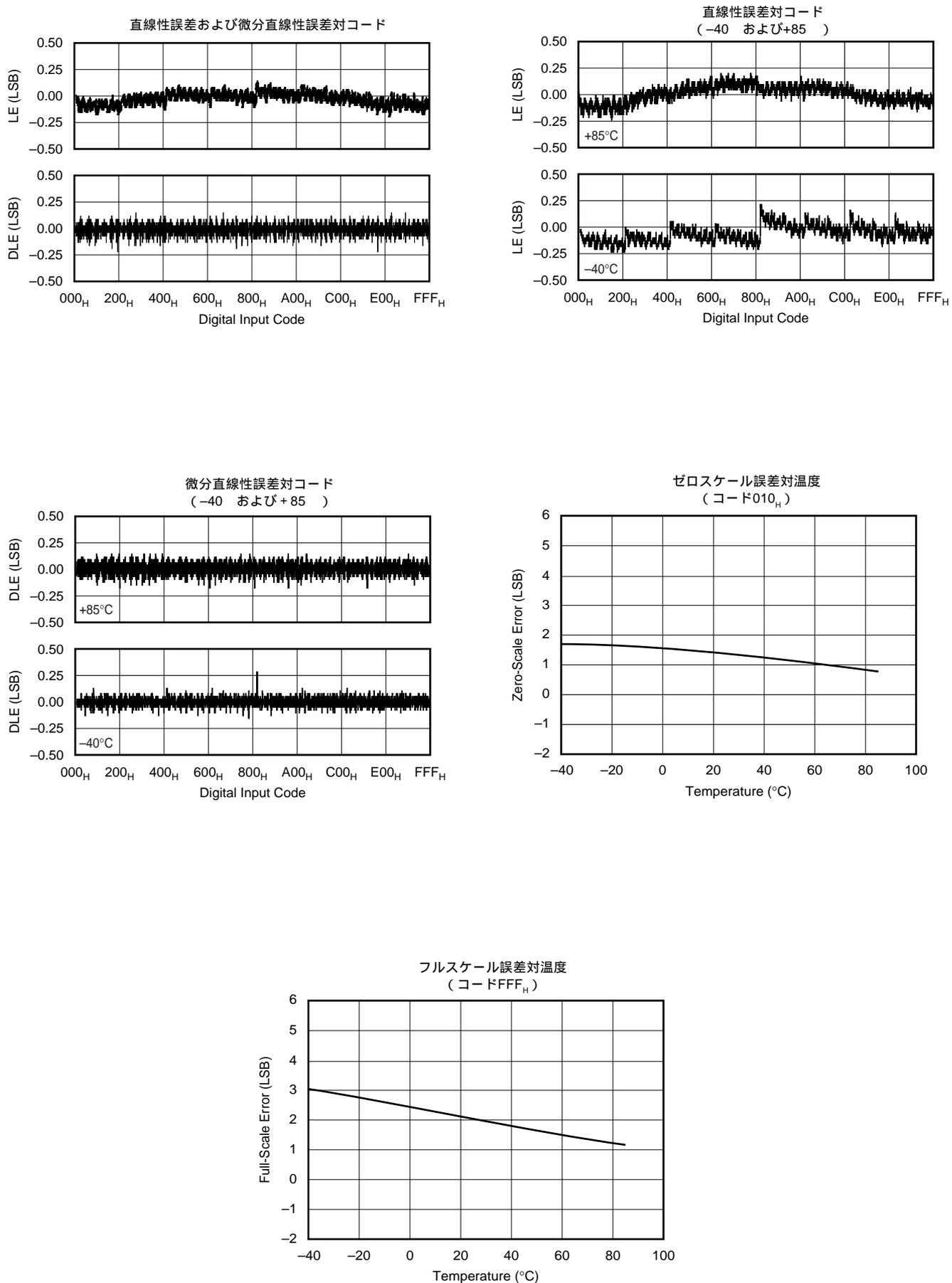


ピン構成

ピン	名称	説明
1	DB11	データ・ビット11、MSB
2	DB10	データ・ビット10
3	DB9	データ・ビット9
4	DB8	データ・ビット8
5	DB7	データ・ビット7
6	DB6	データ・ビット6
7	DB5	データ・ビット5
8	DB4	データ・ビット4
9	DB3	データ・ビット3
10	DB2	データ・ビット2
11	DB1	データ・ビット1
12	DB0	データ・ビット0、LSB
13	V _{REFL}	リファレンス入力電圧「ロー」。DACの最小出力電圧を設定。
14	NIC	内部未接続
15	V _{REFH}	リファレンス入力電圧「ハイ」。DACの最大出力電圧を設定。
16	V _{SS}	負のアナログ電源電圧、公称0Vまたは-5V。
17	GND	グラウンド
18	V _{DD}	正の電源
19	V _{OUT}	DAC電圧出力
20	LOADDAC	LOADDACが「ロー」のとき、選択されたDACレジスタが透過的になる。LOADDACが「ハイ」のとき、DACレジスタがラッチされた状態になる。
21	RESET	非同期リセット入力。「ロー」のとき、DACレジスタがゼロスケール(000 _H)またはミッドスケール(800 _H)に設定される。設定されるコードはRESETSELによって決まる。
22	RESETSEL	RESETSELが「ロー」のとき、RESETを「ロー」にするとDACレジスタがコード000 _H に設定される。RESETSELが「ハイ」のとき、RESETを「ロー」にするとレジスタがコード800 _H に設定される。
23	CS	チップ・セレクト入力。アクティブ「ロー」。
24	R/W	CSによりイネーブルされる。入力レジスタのデータの読み取りおよび書き込みを制御する。

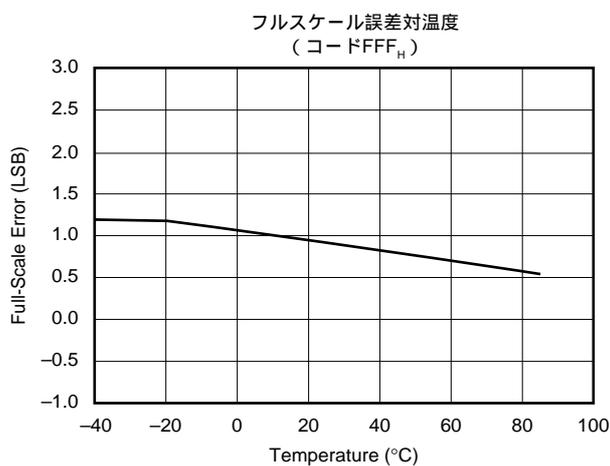
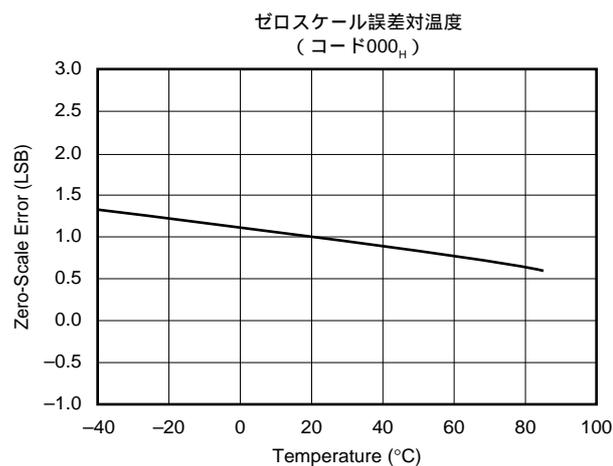
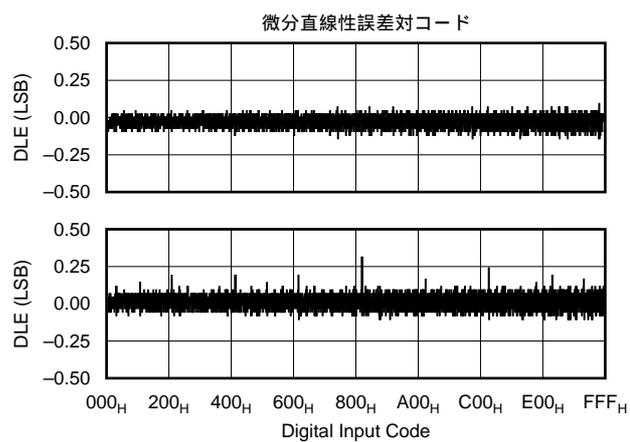
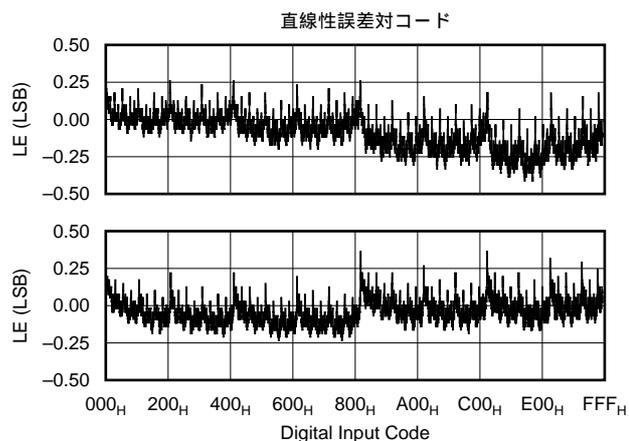
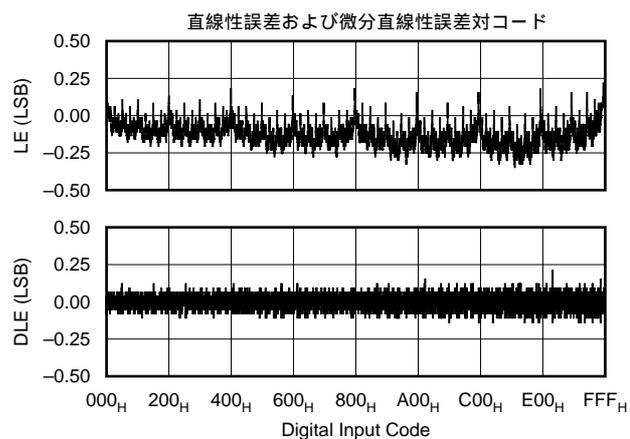
代表的性能曲線: $V_{SS} = 0V$

特に記述のない限り、 $T_A = +25^\circ\text{C}$ 、 $V_{DD} = +5V$ 、 $V_{REFH} = +2.5V$ 、 $V_{REFL} = 0V$ 、代表的ユニットです。



代表的性能曲線: $V_{SS} = -5V$

特に記述のない限り、 $T_A = +25$ 、 $V_{DD} = +5V$ 、 $V_{REFH} = +2.5V$ 、 $V_{REFL} = 0V$ 、代表的ユニットです。



動作原理

DAC7613は、12ビットの電圧出力D/Aコンバータ(DAC)です。アーキテクチャは、伝統的なR-2Rラダー構成で、後段にバッファとして機能するオペアンプがあります。最小電圧出力(“ゼロスケール”)および最大電圧出力(“フルスケール”)は、それぞれ外部電圧リファレンス V_{REFL} および V_{REFH} によって設定します。デジタル入力は12ビットの平行ワードで、DAC入力レジスタにはリードバック機能があります。コンバータは、+5Vの単一電源または±5Vの両電源で動作させることができます。

RESETSELピンのステータスに応じて、DAC出力電圧およびDACレジスタを直ちにミッドスケール(コード800_H)またはゼロスケール(コード000_H)に設定するリセット機能も備えています。DAC7613の基本動作については図1および2を参照して下さい。

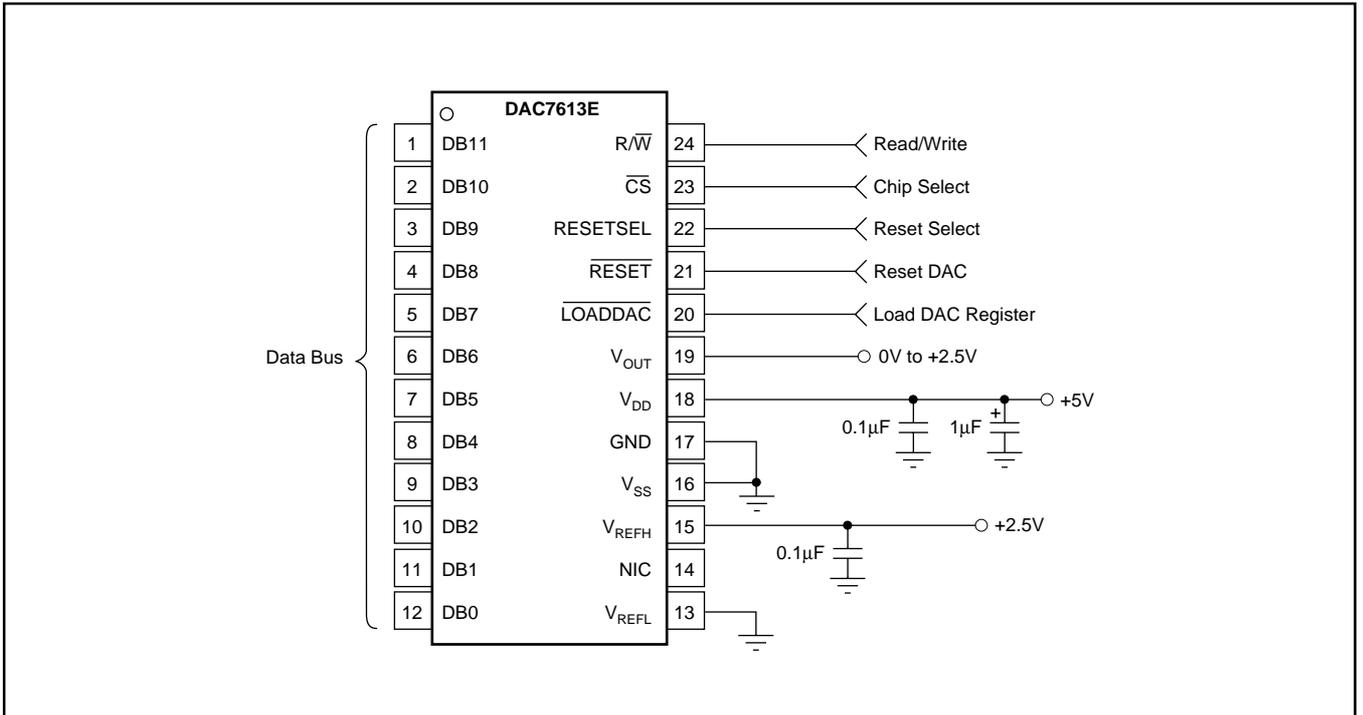


図1 . DAC7613の基本的な単一電源動作

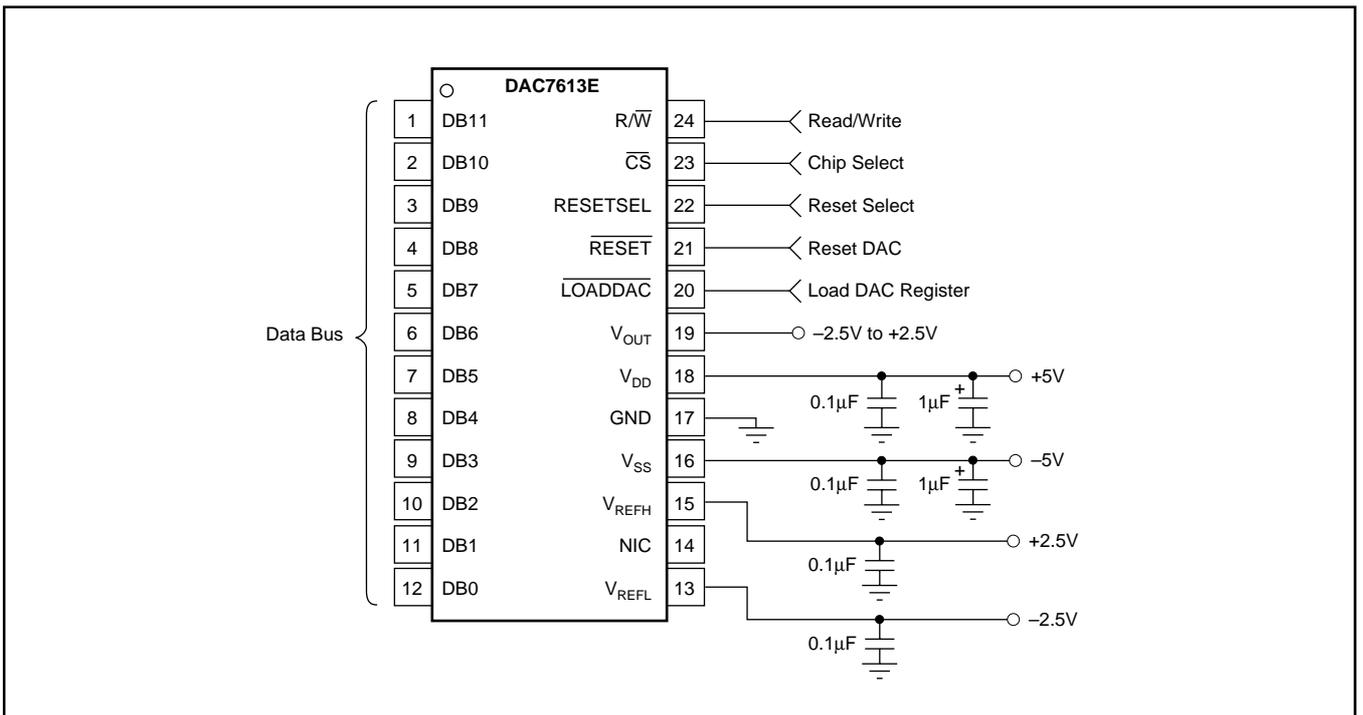


図2 . DAC7613の基本的な両電源動作

アナログ出力

$V_{SS} = -5V$ (両電源動作)のとき、出力アンプは電源レールの2.25V以内までスイングでき、 $-40 \sim +85$ の温度範囲にわたり保証されています。 $V_{SS} = 0V$ (単一電源動作)のとき、出力はグラウンドまでスイングできます。グラウンドにきわめて近い電圧では、出力オペアンプのセトリングタイムが長くなることに注意して下さい。 $V_{SS} = 0V$ のときは、ゼロスケール誤差の測定にも注意が必要です。出力アンプのオフセットが負の場合、出力電圧はグラウンド以下にスイングできないため、最初のいくつかのデジタル入力コード(000_H、001_H、002_Hなど)に対して出力電圧が変化しないことがあります。

アプリケーションによっては出力アンプの動作が重要になります。短絡条件(DAC出力をグラウンドに短絡)では、出力アンプのソース電流よりもシンク電流の方がずっと大きくなります。短絡電流の詳細については、仕様の表を参照して下さい。

リファレンス入力

リファレンス入力 V_{REFL} および V_{REFH} は、 V_{REFH} が V_{REFL} より1.25V以上高い限り、 $V_{SS} + 2.25V$ から $V_{DD} - 2.25V$ までの任意の電圧を使用することができます。各DACの最小出力は、 $V_{REFL} +$ わずかなオフセット電圧(ほぼ出力オペアンプのオフセット)に等しくなります。最大出力は、 $V_{REFH} +$ 同様のオフセット電圧に等しくなります。 V_{SS} (負電源)は、グラウンドに接続するか、 $-4.75V$ から $-5.25V$ の範囲に保たなければならないことに注意して下さい。 V_{SS} の電圧は、コンバータ内部の複数のバイアス・ポイントを設定します。 V_{SS} が上記の2つの構成のいずれでもない場合、バイアス値が不正になり、デバイスの正しい動作が保証されません。

V_{REFH} 入力に流れ込む電流は、DACの出力電圧に依存し、数マイクロアンペアから約0.1ミリアンペアまでの範囲で変動します。 V_{REFH} のソースは、電流をシンクする必要はなく、電流のソース動作のみが要求されます。DAC7613のパッケージのできるだけ近くに少なくとも0.1 μF のコンデンサを配置してリファレンス電圧または電圧をバイパスすることを強く推奨します。

デジタル・インターフェース

表 に、DAC7613の基本的な制御ロジックを示します。内部レジスタは、エッジ・トリガではなく、レベル・トリガされることに注意して下さい。対応する信号が“ロー”のとき、レジスタは透過的になります。この信号が“ハイ”に戻ると、現在のレジスタのデジタル・ワードがラッチされます。最初のレジスタ(入力レジスタ)は、 R/\bar{W} および \bar{CS} 入力によってトリガされます。

2番目のレジスタ(DACレジスタ)は $\overline{LOADDAC}$ 入力が“ロー”のときトランスペアレントになります。

ダブル・バッファリングのアーキテクチャは、いつでもDAC入力レジスタに書き込みを行い、次に $\overline{LOADDAC}$ を“ロー”にすることによりDAC電圧を更新できるようにすることを重点に設計されています。

R/\bar{W}	\bar{CS}	RST	$\overline{LOADDAC}$	入力レジスタ	DACレジスタ	モード
L	L	H	L	書き込み	書き込み	書き込み
L	L	H	H	書き込み	ホールド	書き込み入力
H	L	H	H	読み取り	ホールド	読み取り入力
X	H	H	L	ホールド	更新	更新
X	H	H	H	ホールド	ホールド	ホールド
X	H	L	X	ホールド	リセット	リセット

X = 無視

表 . DAC7613の制御ロジックの真理値表

デジタルのタイミング

図3および表 にDAC7613のデジタル・インターフェースの詳細なタイミングを示します。

デジタル入力のコーディング

DAC7613の入力データは、ストレート・バイナリ・フォーマットです。出力電圧は、次式によって与えられます。

$$V_{OUT} = V_{REFL} + \frac{(V_{REFH} - V_{REFL}) \cdot N}{4096} \quad (1)$$

ここで、Nはデジタル入力のコードです。この式には、オフセット(ゼロスケール)またはゲイン(フルスケール)誤差の影響は含まれていません。

記号	説明	最小	標準	最大	単位
t_{RCS}	読み取りの \overline{CS} "ロー"	200			ns
t_{RDS}	$\overline{R/\overline{W}}$ "ハイ"から \overline{CS} "ロー"まで	10			ns
t_{RDH}	\overline{CS} "ハイ"後の $\overline{R/\overline{W}}$ "ハイ"	0			ns
t_{DZ}	\overline{CS} "ハイ"からデータ・バス・ ハイ・インピーダンスまで		100		ns
t_{CSD}	\overline{CS} "ロー"から データ・バス有効まで		100	160	ns
t_{WCS}	書き込みの \overline{CS} "ロー"	50			ns
t_{WS}	$\overline{R/\overline{W}}$ "ロー"から \overline{CS} "ロー"まで	0			ns
t_{WH}	\overline{CS} "ハイ"後の $\overline{R/\overline{W}}$ "ロー"	5			ns
t_{DS}	データ有効から \overline{CS} "ロー"まで	0			ns
t_{DH}	\overline{CS} "ハイ"後のデータ有効	5			ns
t_{LWD}	LOADDAC "ロー"	50			ns
t_{RESET}	RESET "ロー"	50			ns

表 . タイミング仕様($T_A = -40 \sim +85$)

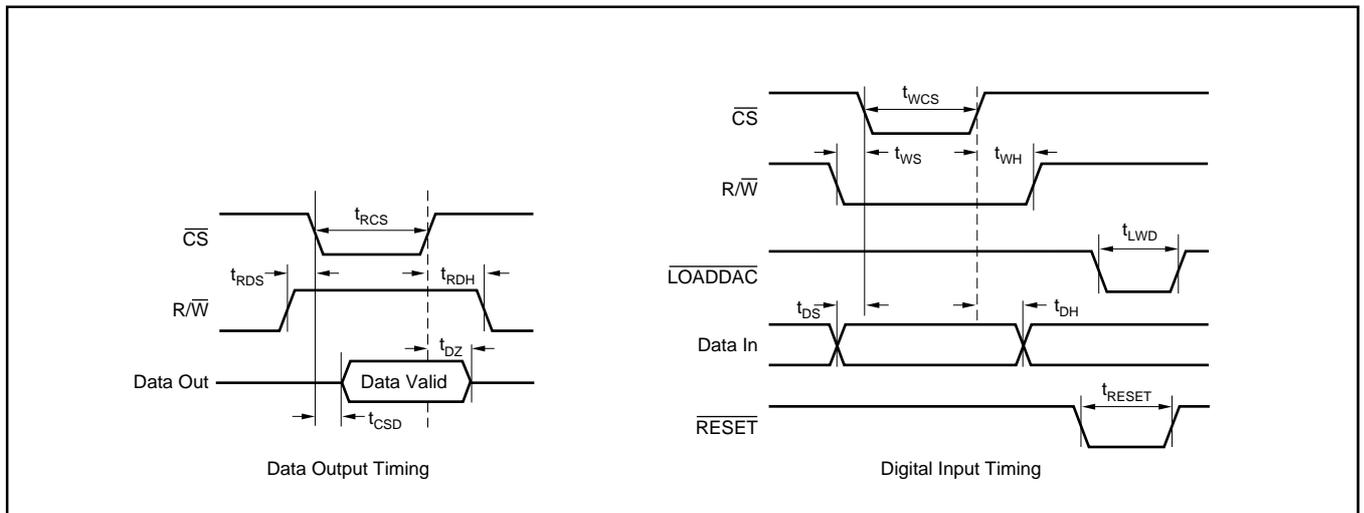
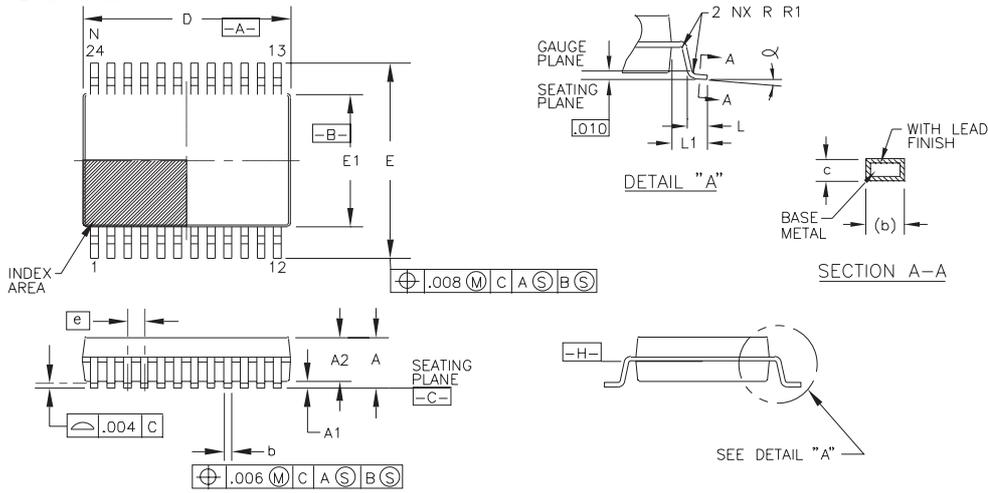


図3 . デジタル入出力のタイミング

外觀

パッケージ番号338 - 24ピンSSOP



DIM	INCHES		MILLIMETERS		NOTE	DIM	INCHES		MILLIMETERS		NOTE
	MIN.	MAX.	MIN.	MAX.			MIN.	MAX.	MIN.	MAX.	
A	--	.079	--	2.00							
A1	.002	--	0.05	--							
A2	.065	.073	1.65	1.85							
b	.009	.015	0.22	0.38	3,7						
c	.004	.010	0.09	0.25	7						
D	.311	.335	7.90	8.50	2						
E	.291	.323	7.40	8.20							
E1	.197	.220	5.00	5.60	2						
e	.0256	BASIC	0.65	BASIC							
L	.022	.037	0.55	0.95	4						
L1	.049	REF	1.25	REF							
N	24		24		5						
α	0°	8°	0°	8°							
R1	.004	--	0.09	--							

NOTES:

1. DIMENSIONING AND TOLERANCING PER ANSI Y14.5M-1982.
2. D AND E1 DIMENSIONS DO NOT INCLUDE MOLD FLASH OR PROTRUSIONS, BUT DO INCLUDE MOLD MISMATCH AND ARE MEASURED AT DATUM PLANE [H]. MOLD PARTING LINE. MOLD FLASH OR PROTRUSION SHALL NOT EXCEED .008 INCH (0.20mm) PER SIDE.
3. DIMENSION b DOES NOT INCLUDE DAMBAR PROTRUSION/INTRUSION. ALLOWABLE DAMBAR PROTRUSION SHALL BE .005 INCH (0.13mm) TOTAL IN EXCESS OF b DIMENSION AT MAXIMUM MATERIAL CONDITION.
4. DIMENSION L TO BE DETERMINED AT SEATING PLANE-DATUM "C".
5. N IS THE NUMBER OF TERMINAL POSITIONS.
6. A VISUAL INDEX FEATURE MUST BE LOCATED WITHIN THE CROSSHATCHED AREA.
7. SECTION A-A DIMENSIONS APPLY TO THE FLAT SECTION OF THE LEAD BETWEEN .004 AND .010 INCH FROM THE LEAD TIP.

DAMBAR INTRUSION SHALL NOT REDUCE DIMENSION b BY MORE THAN .003 INCH (0.07mm) AT LEAST MATERIAL CONDITION.

PACKAGE NUMBER: Z2338 REV.: A
JEDEC NUMBER: MO-150-AG