



16ビット・ローパワーD/Aコンバータ

特 長

- 16ビットの単調性を保証($-40^{\circ}\text{C} \sim +85^{\circ}\text{C}$)
- 低消費電力: 1.2mW
- 電圧出力
- セトリングタイム: 2ms(0.012%まで)
- 最大直線性誤差: 30ppm
- オンチップ・キャリブレーション

アプリケーション

- プロセス制御
- 自動試験装置のピン・エレクトロニクス
- 閉ループ・サーボ制御
- スマート・トランスミッタ
- ポータブル計測装置
- VCO制御

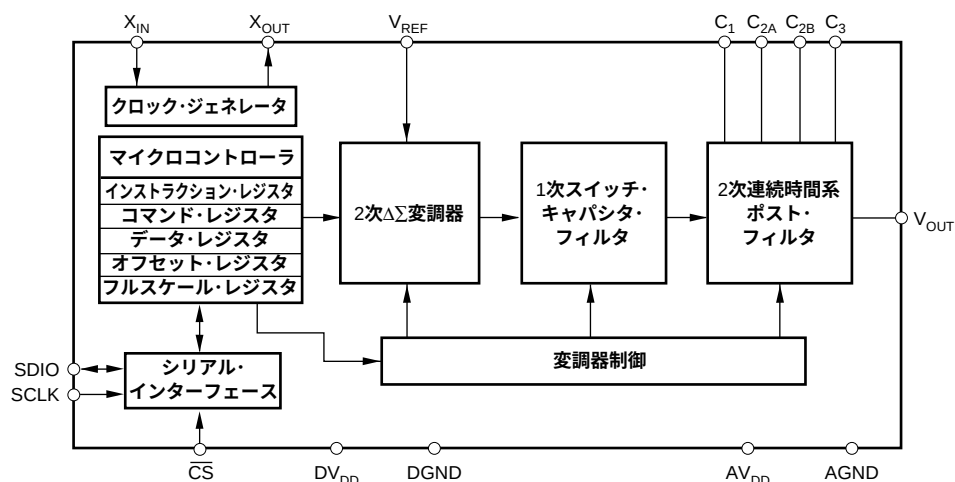
概 要

DAC1221は、仕様温度範囲にわたり16ビットの単調性が得られるD/Aコンバータです。デルタ・シグマ・テクノロジーの採用により、本質的にリニアな性能と小型パッケージ、および低消費電力を実現しています。出力範囲は外部リファレンス電圧の2倍で、オンチップのキャリブレーション回路によりきわめて低いオフセットおよびゲイン誤差を達成します。

DAC1221は、同期シリアル・インターフェースを備えています。単一コンバータのアプリケーションでは、2線だ

けでシリアル・インターフェースを構成でき、低コストの絶縁が可能です。複数のコンバータがある場合は、CS信号を使用して適切なD/Aコンバータを選択することができます。

DAC1221は、工業用プロセス制御の分野における閉ループ制御アプリケーションやテストおよび計測の分野における高分解能アプリケーション向けに設計されています。また、リモート・アプリケーション、バッテリー動作システム、絶縁システムにも理想的です。パッケージは、16ピンSSOPで供給されます。



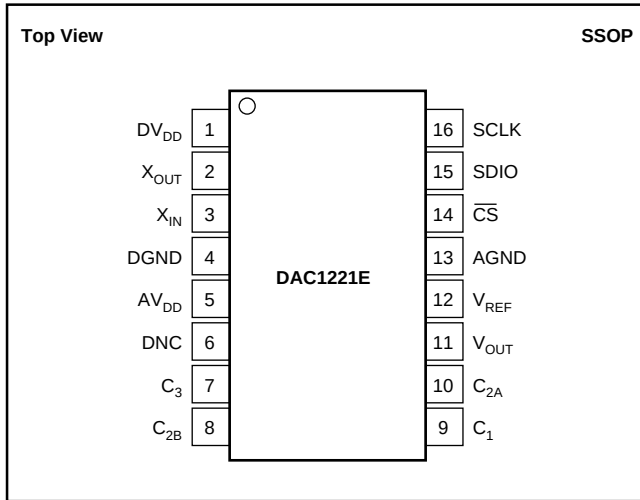
仕様

特に記述のない限り、 $T_{MIN} \sim T_{MAX}$ 、 $AV_{DD} = DV_{DD} = +3V$ 、 $f_{XIN} = 2.5MHz$ 、 $V_{REF} = +1.25V$ 、 $C_1 = 2.2nF$ 、 $C_2 = 150pF$ 、 $C_3 = 6.8nF$ です。

パラメータ	条件	DAC1221E			単位
		最小	標準	最大	
精度 単調性 直線性誤差 ⁽¹⁾ オフセット誤差 ⁽²⁾ オフセット誤差ドリフト ⁽³⁾ ミッドスケール誤差 ⁽²⁾ ミッドスケール誤差ドリフト ⁽³⁾ ゲイン誤差 ⁽²⁾ ゲイン誤差ドリフト ⁽³⁾ 電源除去比	$V_{OUT} = 20\text{mV}$ 、 $CALPIN = 1^{(6)}$ $V_{OUT} = V_{REF}$ 、 $CALPIN = 1^{(6)}$ $CALPIN = 1^{(6)}$ DCにおいて、 $\text{dB} = -20 \log(\Delta V_{OUT}/\Delta V_{DD})$ で計算。	16	50 ±20 50 3 57	±30 ±190 0.015	Bit ppm of FSR μV μV/°C μV μV/°C % ppm/°C dB
アナログ出力 出力電圧 ⁽⁴⁾ 出力電流 ⁽¹⁾ 容量性負荷 短絡電流 短絡時間	GNDまたは V_{DD}	0	±10 無制限	$2 \cdot V_{REF}$ ±0.25 500	V mA pF mA
ダイナミック性能 セトリングタイム ^(1, 5) 出力雑音電圧	±0.012%まで 1Hz～2kHz		1.8 45	2	ms μVrms
リファレンス入力 入力電圧 入力インピーダンス		1.125	1.25 1	1.375	V MΩ
デジタル入出力 ロジック・ファミリ ロジック・レベル(X_{IN} を除くすべて) V_{IH} V_{IL} V_{OH} V_{OL} 入力リーク電流 X_{IN} 周波数レンジ(f_{XIN}) データ・フォーマット	$I_{OH} = -0.8\text{mA}$ $I_{OL} = 1.6\text{mA}$ ユーザ・プログラマブル	2.0 -0.3 2.4 1.0	TTLコンパチブルCMOS オフセット2の補数または ストレート・バイナリ	$DV_{DD} + 0.3$ 0.8 0.4 ±10 2.5	V V V V μA MHz
電源条件 電源電圧 電源電流 アナログ電流 デジタル電流 消費電力	通常モード スリープ・モード	2.7	320 70 1.2 0.25	3.3 1.6	V μA μA mW mW
温度範囲 仕様に規定された性能		-40		+85	°C

注：(1)AGND+20mVから $2 \cdot V_{REF}$ の範囲で有効です。(2)キャリブレーション後に適用されます。(3)これらの誤差はキャリブレーションの再実行によって除去することができます。(4)理想的な出力電圧です。(5)コーナー周波数が2kHzの外部ローパスフィルタを使用します。(6)CALPINの説明については、「コマンド・レジスタ」の項を参照してください。

ピン配置



ピン構成

ピン	名称	説明
1	DV_{DD}	デジタル電源、公称+3V
2	X_{OUT}	デジタル、システムクロック出力
3	X_{IN}	デジタル、システムクロック入力
4	DGND	デジタル・グランド
5	AV_{DD}	アナログ電源、公称+3V
6	DNC	接続なし
7	C_3	アナログ、フィルタ・キャパシタ
8	C_{2B}	アナログ、フィルタ・キャパシタ
9	C_1	アナログ、フィルタ・キャパシタ
10	C_{2A}	アナログ、フィルタ・キャパシタ
11	V_{OUT}	アナログ出力電圧
12	V_{REF}	アナログ、リファレンス入力
13	AGND	アナログ・グランド
14	$\overline{CS}$	デジタル、チップ・セレクト入力
15	SDIO	デジタル、シリアルデータ入出力
16	SCLK	デジタル、シリアルデータ転送用クロック入力

絶対最大定格⁽¹⁾

$AV_{DD} \sim DV_{DD}$	$\pm 0.3V$
$AV_{DD} \sim AGND$	$-0.3V \sim 4V$
$DV_{DD} \sim DGND$	$-0.3V \sim 4V$
$AGND \sim DGND$	$\pm 0.3V$
V_{REF} 電圧 (対AGND)	$1.0V \sim 1.5V$
デジタル入力電圧 (対DGND)	$-0.3V \sim DV_{DD} + 0.3V$
デジタル出力電圧 (対DGND)	$-0.3V \sim DV_{DD} + 0.3V$
パッケージ消費電力	$(T_{JMAX} - T_A) / \theta_{JA}$
最大接合部温度 (T_{JMAX})	$+150^\circ C$
熱抵抗、 θ_{JA}	
16ピンSSOP	$200^\circ C/W$
リード温度 (10秒間の半田付け)	$+300^\circ C$

注：(1) 定格を超えるオーバ・ストレスは、デバイスに永久的な損傷を与えます。絶対最大条件下に長時間置いた場合は、デバイスの信頼性が低下することがあります。

静電気放電対策

この集積回路は静電気によって損傷を受ける場合があります。すべての集積回路の取り扱いには十分な注意を払ってください。適切な取り扱いや正しい設置手順の実行を怠った場合、損傷を与えるおそれがあります。

静電気放電はわずかな性能の低下から完全なデバイスの故障に至るまで、様々な損傷を与えます。高精度の集積回路は、損傷に対して敏感であり、極めてわずかなパラメータの変化により、デバイスに規定された仕様に適合しなくなる場合があります。

パッケージ情報/ご発注の手引き

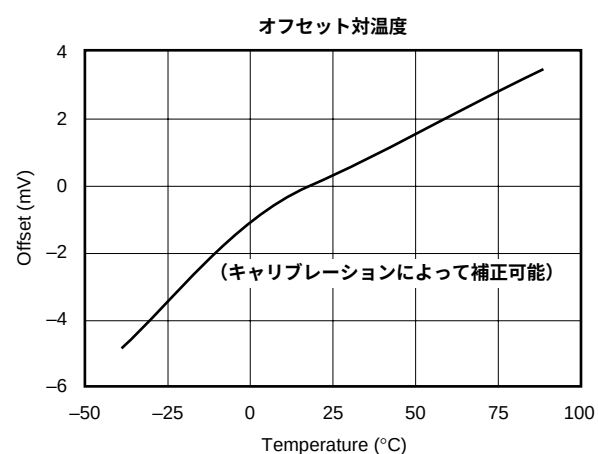
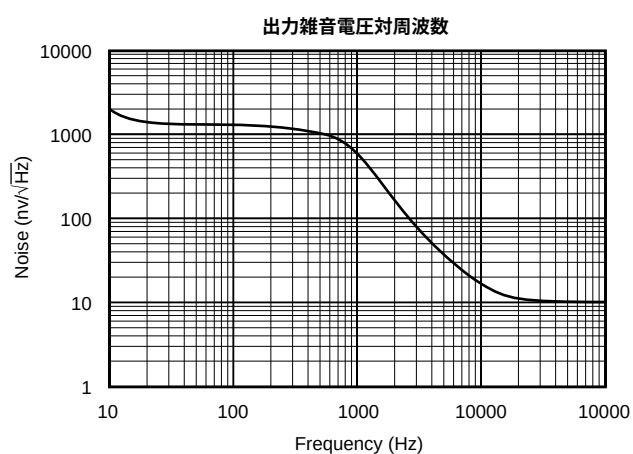
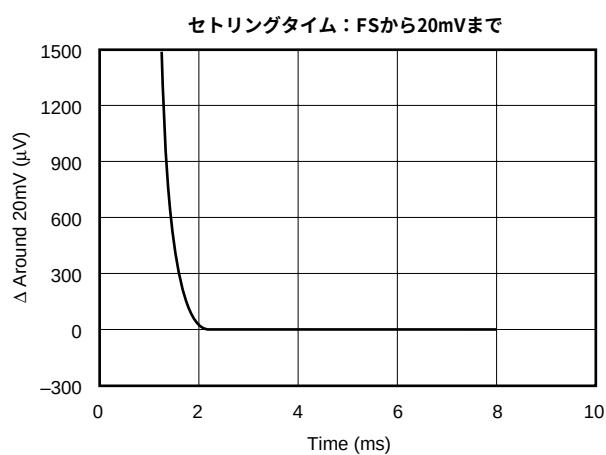
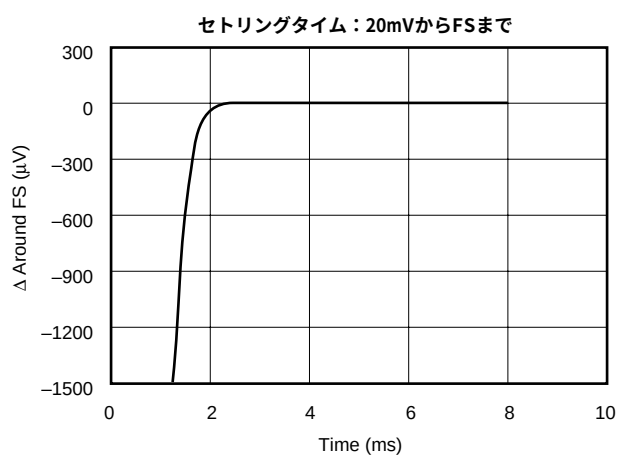
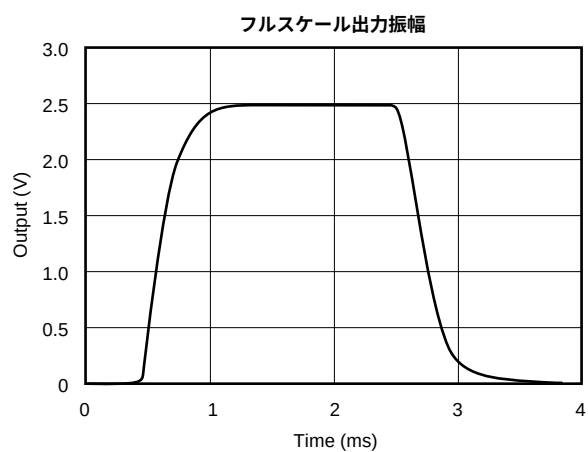
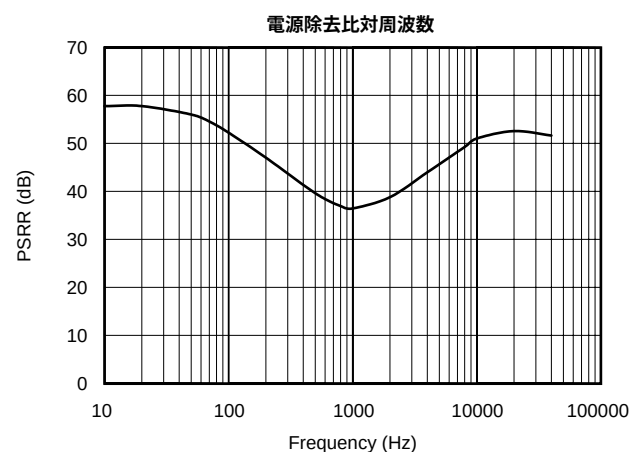
モデル	パッケージ	パッケージ図番号	仕様温度範囲	パッケージ・マーキング	発注番号 ⁽¹⁾	供給時の状態
DAC1221E	16ピンSSOP	322	$-40^\circ C \sim +85^\circ C$	DAC1221E	DAC1221E	マガジン
DAC1221E	16ピンSSOP	322	$-40^\circ C \sim +85^\circ C$	DAC1221E	DAC1221E/2K5	テープリール

注：(1) スラッシュ (/) の付いたモデルは、その後に示される数量を単位としてテープリールでのみ供給されます (例えば、/2K5 はリール1本あたり2,500個入りであることを示します)。「DAC1221E/2K5」を発注すると、2,500個入りテープリールが1本納品されます。

このデータシートに記載されている情報は、信頼し得るものと考えておりますが、不正確な情報や記載漏れ等に関して弊社は責任を負うものではありません。情報の使用について弊社は責任を負いませんので、各ユーザーの責任において御使用下さい。価格や仕様は予告なしに変更される場合がありますのでご了承下さい。ここに記載されているいかなる回路についても工業所有権その他の権利またはその実施権を付与したり承諾したりするものではありません。弊社は弊社製品を生命維持に関する機器またはシステムに使用することを承認または保証するものではありません。

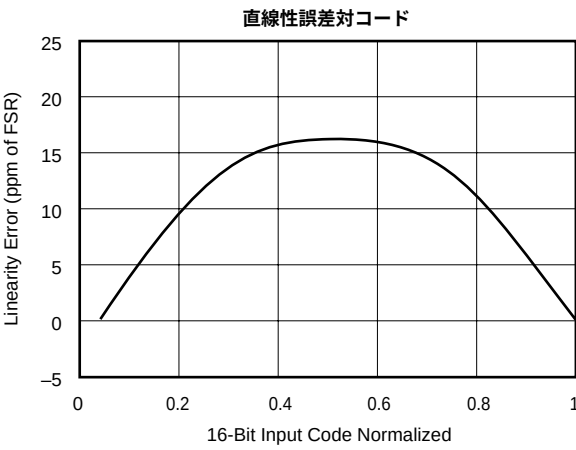
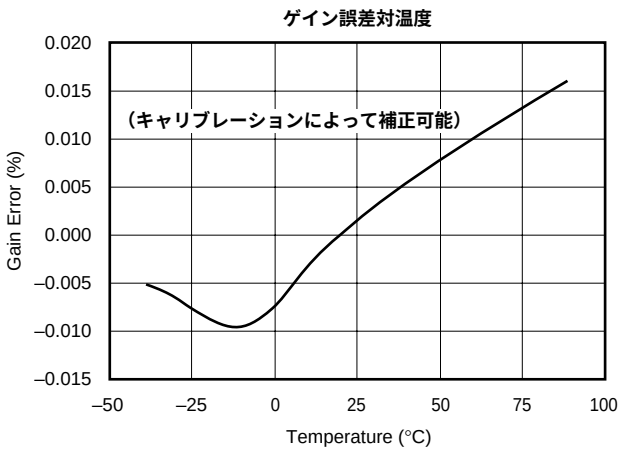
代表的性能曲線

$T_A = +25^{\circ}\text{C}$ 、 $AV_{DD} = DV_{DD} = +3.0\text{V}$ 、 $f_{XIN} = 2.5\text{MHz}$ 、 $V_{REF} = 1.25\text{V}$ 、 $C_1 = 2.2\text{nF}$ 、 $C_2 = 150\text{pF}$ 、 $C_3 = 6.8\text{nF}$ です。



代表的性能曲線

$T_A = +25^{\circ}\text{C}$ 、 $AV_{DD} = DV_{DD} = +3.0\text{V}$ 、 $f_{XIN} = 2.5\text{MHz}$ 、 $V_{REF} = 1.25\text{V}$ 、 $C_1 = 2.2\text{nF}$ 、 $C_2 = 150\text{pF}$ 、 $C_3 = 6.8\text{nF}$ です。



動作原理

DAC1221は、自動キャリブレーション機能を備えた高精度、高ダイナミック・レンジの16ビット・デルタ・シグマ型D/Aコンバータです。2次デルタ・シグマ変調器、1次スイッチ・キャパシタ・フィルタ、2次連続時間系ポスト・フィルタ、マイクロコントローラ(インストラクション・レジスタ、コマンド・レジスタ、キャリブレーション・レジスタを含む)、シリアル・インターフェース、およびクロック・ジェネレータ回路を内蔵しています。

設計のトポロジにより低システム雑音と良好な電源除去を達成しています。デルタ・シグマ型D/Aコンバータの変調器の周波数は、システムクロックによって制御します。

DAC1221は、内部のオフセット誤差およびゲイン誤差を補正できる完全なオンボードのキャリブレーション機能も備えています。キャリブレーション・レジスタは、読み取りおよび書き込みが可能です。この機能により、システムのキャリブレーションを実行することができます。DAC1221の各種の設定、モード、レジスタの読み取りおよび書き込みは、同期シリアル・インターフェースを介して行います。このインターフェースは、外部から供給されるクロックによって動作します。

用語の定義

微分非直線性誤差 — 微分非直線性誤差は、実際のステップ幅と理想的な1LSBの値との差です。ステップ幅が正確に1LSBである場合、微分非直線性誤差はゼロになります。微分非直線性の仕様が1LSB未満の場合、単調性が保証されます。

ドリフト — ドリフトは、温度によるパラメータの変化です。

フルスケール・レンジ(FSR) — これは標準的なアナログ出力電圧レンジの大きさで、 $2 \cdot V_{REF}$ です。例えば、リファレンスが1.25Vでコンバータが構成されているとき、フルスケール・レンジは2.5Vです。

ゲイン誤差 — この誤差は、実際の伝達関数と理想の伝達関数の勾配の差を表します。

直線性誤差 — 直線性誤差は、データ・エンド・ポイント間の理想的なストレート・ラインを基準とした、実際の伝達関数の偏差です。

最下位ビット(LSB)の重み — デジタル入力コードの1LSBの変化によって変化するアナログ出力電圧の理論値です。

単調性 — 単調性は、デジタル入力コードの増加に応じてアナログ出力が増加するか、または一定であることを保証します。

オフセット誤差 — オフセット誤差は、出力がゼロのときに予想される出力と実際の出力の差です。値は、 $V_{OUT} = 20\text{mV}$ のときの測定値により計算されます。

セトリングタイム — セトリングタイムは、デジタル・コードが変化してから出力が新しい値にセトリングするまでの時間です。

f_{XIN} — DAC1221の X_{IN} 入力のCMOSコンパチブル入力信号または水晶発振器の周波数です。

アナログ動作

システムクロックは、変調器のサンプリングクロックまで分周されます。変調器は、サンプリングクロックを使用してマルチビットのデジタル入力を1ビットのデジタル出力のストリームに変換します。1ビットDACの使用により、本質的な直線性が得ら

れます。デジタル出力のストリームは、次に1ビットDACを介してアナログ信号に変換され、1次スイッチ・キャパシタ・フィルタでフィルタリングされます。

スイッチ・キャパシタ・フィルタの出力は、連続時間系フィルタに供給されます。連続時間系フィルタは、外部コンデンサ C_1 、 C_2 を使用してセトリングタイムを調整します。コンデンサの接続を図1に示します。 V_{REF} ピンに C_1 を、 C_2 ピンに C_2 を、 C_3 ピンと V_{REF} ピンの間に C_3 を接続し、キャリブレーションに使用します。

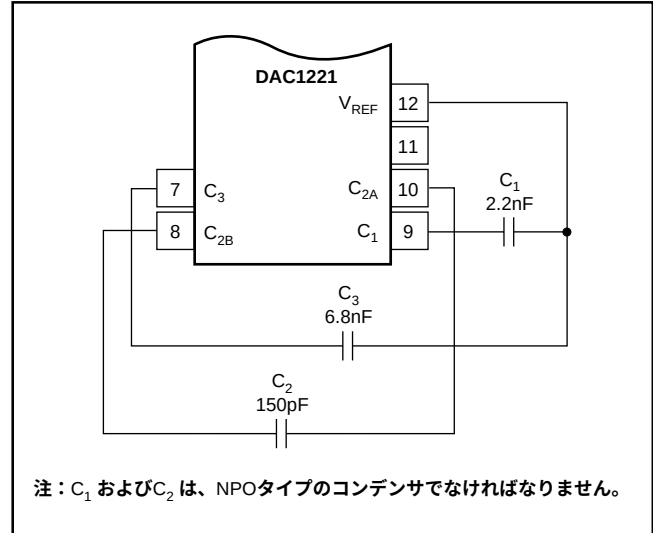


図1. コンデンサの接続

キャリブレーション

DAC1221は、出力のオフセットおよびゲインのキャリブレーションを自動的に実行する自動キャリブレーション・モードを備えています。キャリブレーションを1回実行してから通常動作を再開します。一般に、電源投入直後および動作環境に「大きな変化」があったときには必ずキャリブレーションを実行することが推奨されます。キャリブレーションの再実行が必要となる変化の量は、アプリケーションによって異なります。高精度が重要な場合は、温度および電源の変化時にキャリブレーションを再実行することが必要です。

キャリブレーションが完了すると、オフセット・キャリブレーション・レジスタ(OCR)とフルスケール・キャリブレーション・レジスタ(FCR)にキャリブレーションの結果が保存されます。

キャリブレーション・レジスタの値は、構成の違いや部品間で変動することに注意してください。

セルフ・キャリブレーション

セルフ・キャリブレーションは、コマンド・レジスタの動作モード・ビット(MD1およびMD0)にビット“01”が書き込まれると実行されます。この操作により、次のクロック・サイクルで自動キャリブレーションが開始されます。オフセットの補正コードは、オフセット・リファレンスに対するキャリブレーション・コンパレータの自動ゼロ調整を実行してからオフセット・リファレンスの値とDAC出力を比較するシーケンスを繰り返して決定されます。この結果が平均され、オフセット2の補数の調整が行われ、OCRに保存されます。ゲインの補正も、同相モード誤差の除去のために V_{REF} に対して行う点を除き、同様に実行されます。FCRの結果は

ゲインのコードを表し、オフセット2の補数の調整は行われません。

キャリブレーションが完了するまでにかかる時間は300msから500ms($f_{\text{XIN}} = 2.5\text{MHz}$ の場合)です。一度キャリブレーションが開始されると、キャリブレーションが完了するまでレジスタのビットの書き込みができなくなります。キャリブレーションのステータスは、コマンド・レジスタの動作モード・ビット(MD1およびMD0)のステータスを読み取るにより確認することができます。動作モード・ビットは、キャリブレーションが完了すると通常モードの00に戻ります。

キャリブレーションの実行時には出力を接続することを推奨します。出力の絶縁はCMRレジスタのCALPINビットにより制御されます。CALPINビットをセットすると出力が接続され、ビットをクリアすると出力が切断されて絶縁されます。キャリブレーションの実行時には出力を接続することを推奨しますが、DAC1221が電流をシンクする必要なしに出力電流が規定の最大値まで到達できるような負荷インピーダンスを選択する必要があります。

出力モード

DAC1221の出力は、同期的にリセットすることができます。CMRのCLRビットをセットすることにより、データ入力レジスタがゼロにクリアされます。この結果、 $DF = 1$ の場合には0V、 $DF = 0$ の場合には V_{REF} が出力されます。

セトリングタイムは、コマンド・レジスタのDISFおよびADPTビットにより決定されます。デフォルト・ステートのDISF = 0、ADPT = 0では、出力ステップが小さい(約40mV)場合を除き、高速セトリングが行われます。しかし、ADPTビットを1にセットすると、DAC1221は常に高速セトリングを使用するようになります。DISFを1にセットすると、すべての高速セトリングが無効になります。

CMRレジスタのCRSTビットは、オフセットおよびキャリブレーション・レジスタをリセットする場合に使用することができます。CRSTビットをセットすると、キャリブレーション・レジスタのデータが0にリセットされます。

リファレンス入力

1.25Vのリファレンス入力電圧を直接 V_{REF} ピンに接続することができます。DAC1221の推奨されるリファレンス回路を図2に示します。

デジタル動作

システム構成

DAC1221は、外部クロックで動作するシリアル・インターフェースを介して8ビットの命令コード(INSR)と16ビットのコマンド・コード(CMR)によって制御します。

DAC1221マイクロコントローラ(MC)は、ALUとレジスタ・バンクから構成されます。MCには、パワーオン・リセット、キャリブレーション、および通常動作の3つの状態があります。パワーオン・リセットの状態では、すべてのレジスタがデフォルトの状態にリセットされます。キャリブレーションの状態では、オフセットおよびゲインの自動キャリブレーションが実行されます。通常動作では、D/A変換が実行されます。

表Iに示すように、DAC1221には5つの内部レジスタがあります。このうち、インストラクション・レジスタ(INSR)とコマンド・レジスタ(CMR)の2つが、コンバータの動作を制御します。インストラクション・レジスタは、8ビットの命令コードを使用してシリアル・インターフェースを制御し、次の動作が読み取りか書き込みかの指定、ワード長の制御、読み取り/書き込みを実行するレジスタの選択を行います。DAC1221との通信は、INSRを介して制御されます。通常動作では、シリアル通信の各サイクルの最初にINSRの書き込みが実行されます。送られた命令によって以後の通信の種類が決定されます。INSRを読み取ることはできません。コマンド・レジスタは、16ビットのコマンド・コードを使用して、DAC1221の動作モード、セトリングのモード、およびデータ・フォーマットを設定します。データ入力レジスタ(DIR)には、次の変換の値が保存されます。オフセットおよびフルスケール・キャリブレーション・レジスタ(OCRおよびFCR)には、DIRに格納された後で内部変換の値を補正するためのデータが保存されます。この2つのレジスタのデータは、キャリブレーション・ルーチンの結果、またはシリアル・インターフェースを介して直接書き込まれた値です。

INSR	インストラクション・レジスタ	8ビット
DIR	データ入力レジスタ	16ビット
CMR	コマンド・レジスタ	16ビット
OCR	オフセット・キャリブレーション・レジスタ	24ビット
FCR	フルスケール・キャリブレーション・レジスタ	24ビット

表I. DAC1221のレジスタ

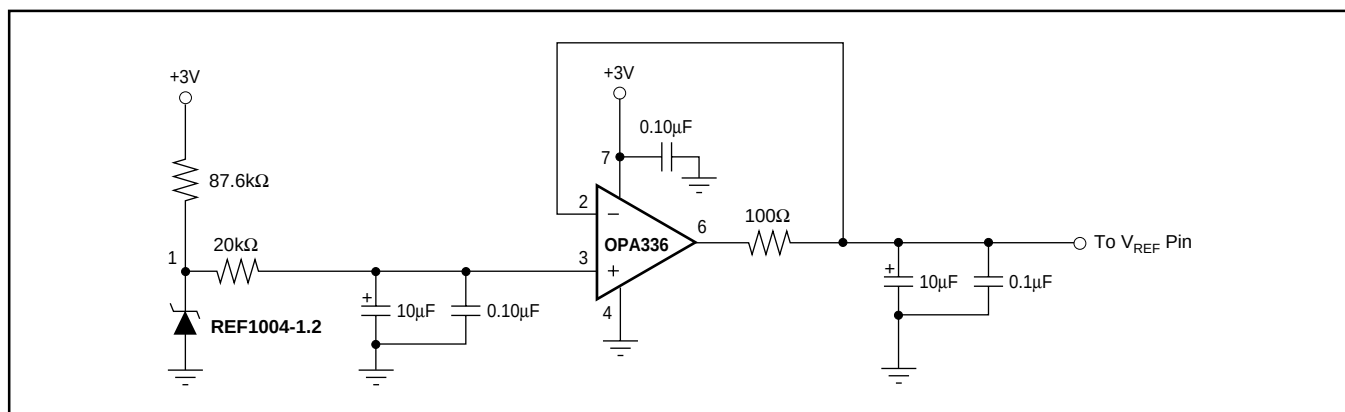


図2. DAC1221の低雑音動作のために推奨される外部電圧リファレンス回路

インストラクション・レジスタ (INSR)

シリアル通信の各サイクルは、DAC1221に送られるINSRの8ビットの情報によって開始されます。読み取り/書き込みビット、バイト数(n)、レジスタの開始アドレスは、表IIのように定義されます。nバイトが転送されると、命令が完了します。新しい通信サイクルは、新しいINSRを送ることによって開始されます(「シリアル・インターフェース」の項で説明する制限があります)。

MSB				LSB			
R/W	MB1	MB0	0	A3	A3	A1	A0

注：INSRは、BDビットにかかわらずMSB(最上位バイトおよびビット)ファーストで書き込まれる書き込み専用レジスタです。

表II. インストラクション・レジスタ

R/W(読み取り/書き込み)ビット — 書き込み動作を実行する場合は、INSRのこのビットを0にします。読み取り動作の場合は、このビットを1にします。下記を参照して下さい。

R/W	
0	書き込み
1	読み取り

MB1、MB0(マルチバイト)ビット — この2ビットは読み取りまたは書き込み動作のワード長(バイト数)を制御します。下記を参照してください。

MB1	MB0	
0	0	1バイト
0	1	2バイト
1	0	3バイト

A3—A0(アドレス)ビット — この4ビットは、読み取りまたは書き込みを実行するレジスタの最初の位置を選択します。表IIIを参照して下さい。以後の各バイトの読み取りまたは書き込みは、次に上位の位置から実行されます(インクリメント・アドレス)。コマンド・レジスタのBDビットがセットされている場合、以後の各バイトの読み取りは、次に下位の位置から実行されます(デクリメント・アドレス)。このビットは、INSRレジスタまたはCMRレジスタの書き込み動作には影響しません。表IIIに次の位置が定義されていない場合、結果は不定になります。読み取りまたは書き込みは、MB1とMB0によって指定されたバイト数が転送されるまで継続されます。

コマンド・レジスタ (CMR)

CMRは、DAC1221のすべての機能を制御します。新しい構成は、コマンド・レジスタに書き込まれるデータの各バイトの最後のビットのSCLKの負の遷移で有効になります。CMRのデータは、各8ビットの2バイトからなる16ビットの情報です。

A3	A2	A1	A0	
0	0	0	0	データ入力レジスタのバイト1、MSB
0	0	0	1	データ入力レジスタのバイト0、LSB
0	0	1	0	予約
0	0	1	1	予約
0	1	0	0	コマンド・レジスタのバイト1、MSB
0	1	0	1	コマンド・レジスタのバイト0、LSB
0	1	1	0	予約
0	1	1	1	予約
1	0	0	0	オフセット・キャリブレーション・レジスタのバイト2、MSB
1	0	0	1	オフセット・キャリブレーション・レジスタのバイト1
1	0	1	0	オフセット・キャリブレーション・レジスタのバイト0、LSB
1	0	1	1	予約
1	1	0	0	フルスケール・キャリブレーション・レジスタのバイト2、MSB
1	1	0	1	フルスケール・キャリブレーション・レジスタのバイト1
1	1	1	0	フルスケール・キャリブレーション・レジスタのバイト0、LSB
1	1	1	1	予約

表III. A3—A0のアドレス指定

MSB				バイト1			
ADPT	CALPIN	1	0	1	0	CRST	0
				バイト0			
0	CLR	DF	DISF	BD	MSB	MD1	MD0

表IV. コマンド・レジスタ

ADPT(アダプティブ・フィルタ)ビット — アダプティブ・フィルタ・ビットは、アダプティブ・フィルタの有効または無効を決定します。このビットを無効にすると、出力ステップが約40mVを超える場合のみ高速セトリングが実行されます。データの変化が小さい場合、高速セトリングは必要ありません。ADPT=1の場合、アダプティブ・フィルタは無効になり、DAC1221がステップの大きさを調べて高速セトリングの使用が必要かどうかを決定することはありません。どちらの場合も、DISF=1にすれば高速セトリングを無効にすることができます。

ADPT	
0	有効(デフォルト)
1	無効

CALPIN(キャリブレーション・ピン)ビット — キャリブレーション・ピン・ビットは、キャリブレーション時の出力の絶縁または接続を決定します。

CALPIN	
0	出力を絶縁する(デフォルト)
1	出力を接続する

CRST(キャリブレーション・リセット)ビット — CRSTビットは、オフセットおよびフルスケール・キャリブレーション・レジスタをリセットします。

CRST	
0	オフ(デフォルト)
1	リセット

CLR(クリア)ビット — クリア・ビットは、データ入力レジスタを同期的にゼロにリセットします。アナログ出力は、DFビット(1 = 0V出力、0 = V_{REF} 出力)に基づいて出力されます。

DF(データ・フォーマット)ビット — DFビットは、入力データのフォーマットをオフセット2の補数またはストレート・バイナリのいずれかに制御します。下記を参照してください。

入力コード		V_{OUT}
オフセット2の補数 DF = 0 (デフォルト)	ストレート・バイナリ DF = 1	
8000	0000	0
0000	8000	V_{REF}
7FFF	FFFF	$2 \cdot V_{REF}$

DISF(高速セトリング・フィルタの無効)ビット — 高速セトリング・フィルタの無効ビットは、セトリング・フィルタを無効にします。このビットがゼロの場合、高速セトリングの性能はADPTビットにより決定されます。

DISF	
0	高速セトリング(デフォルト)
1	高速セトリングを無効にする

BD(バイト順)ビット — BDビットは、データのバイトを転送する順序(最上位バイト・ファースト(MSBF)または最下位バイト・ファースト(LSBF))を制御します。下記を参照して下さい。

BDビットの状態が不明である場合、コマンド・レジスタの読み取りに注意する必要があります。アドレス0100で2バイトの読み取りを開始した場合、BD = 0のときは0100が読み取られてから、0101が読み取られます。しかし、BD = 1のときは0100が読み取られてから、0011が読み取られます。BDビットが不明の場合、コマンド・レジスタの読み取りは、すべて1バイトの読み取りコマンドとして実行するのが最善です。

BDビット	0(デフォルト)	1	0(デフォルト)	1
レジスタ	読み取り		書き込み	
INSR	書き込み専用	書き込み専用	MSBF	MSBF
CMR	MSBF	LSBF	MSBF	MSBF
DIR	MSBF	LSBF	MSBF	LSBF
OCR	MSBF	LSBF	MSBF	LSBF
FCR	MSBF	LSBF	MSBF	LSBF

MSB(ビット順)ビット — MSBビットは、1バイトのデータ内でビットの読み取りまたは書き込みを行う順序(最上位ビット・ファーストまたは最下位ビット・ファースト)を制御します。下記を参照して下さい。

MSB	
0	MSBファースト(デフォルト)
1	LSBファースト

MD1-MD0(動作モード)ビット — 動作モード・ビットは、DAC1221のキャリブレーション機能を制御します。動作中は、通常モードを使用して変換を実行します。自動キャリブレーション・モードは、オフセットとフルスケールの両方のキャリブレーションを実行する1ステップのキャリブレーション・シーケンスです。

MD1	MD0	
0	0	通常モード
0	1	自動キャリブレーション
1	0	スリープ(デフォルト)
1	1	予約

オフセット・キャリブレーション・レジスタ(OCR)

OCRは、変調器に転送する前にデジタル入力に適用するオフセットの補正係数を保存する24ビットのレジスタです。自動キャリブレーションの結果はこのレジスタに保存されます。

OCRは、シリアル・インターフェースを介して読み取りと書き込みの両方が可能です。正確なキャリブレーションを必要とするアプリケーションでは、キャリブレーションを実行して結果を平均し、より高精度なシステムのオフセット・キャリブレーションの値をOCRに書き戻すことができます。

実際のOCRの値は、部品間、構成、温度、電源によって変動します。

また、OCRのデータを直接使用してデジタル入力を補正するのではなく、補正値がOCRの値の関数であることにも注意して下さい。この関数は直線的で、既知の2点を基準にして中間のOCRの値を補間することができます。

キャリブレーションの結果を平均して、オフセット2の補数を調整し、OCRに保存します。

MSB				バイト2			
OCR23	OCR22	OCR21	OCR20	OCR19	OCR18	OCR17	OCR16
バイト1							
OCR15	OCR14	OCR13	OCR12	OCR11	OCR10	OCR9	OCR8
バイト0				LSB			
OCR7	OCR6	OCR5	OCR4	OCR3	OCR2	OCR1	OCR0

表V. オフセット・キャリブレーション・レジスタ

フルスケール・キャリブレーション・レジスタ (FCR)

FCRは、変調器に転送する前にデジタル入力に適用するフルスケールの補正係数を保存する24ビットのレジスタです。自動キャリブレーションの結果はこのレジスタに保存されます。このレジスタはユーザーが書き込むこともできます。

FCRは、シリアル・インターフェースを介して読み取りと書き込みの両方が可能です。正確なキャリブレーションを必要とするアプリケーションでは、キャリブレーションを実行して結果を平均し、より高精度な値をFCRに書き戻すことができます。

実際のFCRの値は、部品間、構成、温度、電源によって変動します。

また、FCRのデータを直接使用してデジタル入力を補正するのではなく、補正値がFCRの値の関数であることにも注意して下さい。この関数は直線的で、既知の2点を基準にして中間のFCRの値を補間することができます。FCRのデータは、符号なしバイナリ・フォーマットです。これは、コマンド・レジスタのDFビットの影響を受けません。

MSB				バイト2			
FCR23	FCR22	FCR21	FCR20	FCR19	FCR18	FCR17	FCR16
バイト1							
FCR15	FCR14	FCR13	FCR12	FCR11	FCR10	FCR9	FCR8
バイト0				LSB			
FCR7	FCR6	FCR5	FCR4	FCR3	FCR2	FCR1	FCR0

表VI. フルスケール・キャリブレーション・レジスタ

データ入力レジスタ (DIR)

DIRは、デジタル入力の値を保存する16ビットのレジスタです(表VIIを参照)。レジスタは送信された最後のバイトの最後のビットの立ち下がりエッジでラッチされ、DIRのデータが変調器にロードされます。このため、DIRレジスタは、1バイトまたは2バイトの送信後に更新できます(このバイト数はインストラクション・レジスタのMB1およびMB0ビットによって決定されます)。DIRのデータはオフセット2の補数またはストレート・バイナリです。

MSB				バイト1			
DIR15	DIR14	DIR13	DIR12	DIR11	DIR10	DIR9	DIR8
バイト0							
DIR7	DIR6	DIR5	DIR4	DIR3	DIR2	DIR1	DIR0

表VII. データ入力レジスタ

スリープ・モード

スリープ・モードは、コマンド・レジスタの動作モード・ビット(MD1およびMD0)にビット1、0を書き込むと移行します。このモードは、これらのビットが1、0以外の値に変更されたときに終了します。

DAC1221との通信は、スリープ・モードの間も継続することができます。新しいモード(スリープ以外)に移行するとき、DAC1221はアナログおよびデジタル回路のごく短い内部パワーアップ・シーケンスを実行します。また、通常動作の再開に必要な時間を決定するには、外部 V_{REF} やその他の回路のセトリングも考慮に入れる必要があります。

シリアル通信が再開されたら、MD1およびMD0ビットを任意の他のモードに変更することによりスリープ・モードが終了します。新しいモード(スリープ以外)に移行するとき、DAC1221はアナログおよびデジタル回路のごく短い内部パワーアップ・シーケンスを実行します。また、通常動作の再開に必要な時間を決定するには、外部 V_{REF} やその他の回路のセトリングも考慮に入れる必要があります。

シリアル・インターフェース

DAC1221は、各種の方法によってマイクロコントローラやデジタル信号プロセッサと接続できる柔軟なシリアル・インターフェースを備えています。この柔軟性にともなって、複雑な点も増えています。この項では、各種のインターフェース方法のトレードオフをトップダウンに(すなわち、シリアルデータの全体的なフローと制御、インターフェースの具体例、シリアル・インターフェースに関する注意点の順に)説明します。

リセット、パワーオン・リセット、電圧低下

DAC1221は、内部パワーオン・リセット回路を備えています。電源上昇速度が50mV/ms以上であれば、この回路によって十分にデバイスの適正なパワーオンが保証されます。発振器のセトリングの問題のため、電源が安定してから少なくとも25msの間はDAC1221との通信を行わないようにします。

この条件を満たせない場合または回路に電圧低下の問題がある場合は、図3のタイミングを使用してDAC1221をリセットすることができます。この方法では、SCLK入力のデューティ・サイクルを制御することによりリセットを実行します。

パワーオン後またはリセット後のデフォルト状態はスリープ・モードです。スリープ・モードでは、出力がハイ・インピーダンスになります。

I/Oの復帰

シリアル通信が命令またはデータの転送中に100ms以上の時間停止した場合($f_{XIN} = 2.5\text{MHz}$ の場合)、DAC1221はシリアル・インターフェースをリセットします。これは、内部レジスタには影響しません。この場合、メイン・コントローラは転送を継続せずに最初から再開することが必要です。メイン・コントローラをいつでもリセットできる場合、この機能は非常に便利です。リセット後は、200msだけ($f_{XIN} = 2.5\text{MHz}$ の場合)待機してからシリアル通信を開始します。

絶縁

DAC1221のシリアル・インターフェースでは、単純な絶縁の方法を使用することができます。絶縁した2線インターフェースの例を図4に示します。

CSの使用

DAC1221のシリアル・インターフェースでは、 $\overline{\text{CS}}$ 信号を使用することも、この入力を「ロー」に結線することもできます。どちらの方法を選択するかについては、いくつかの注意点があります。 $\overline{\text{CS}}$ 信号は、SDIO出力のトリステートの状態を直接制御しまし

る。SDIO出力の信号は、通常はトリステート状態にあり、DAC1221からシリアルデータが送信されているときだけアクティブになります。DAC1221がシリアルデータを転送中の場合(SDIOは出力)、 $\overline{\text{CS}}$ を「ハイ」にしても出力信号はトリステートになりません。

シリアルI/Oラインを共有する複数のシリアル周辺装置があり、常に任意の周辺装置と通信する可能性がある場合は、 $\overline{\text{CS}}$ 信号を使用することが必要です。 $\overline{\text{CS}}$ 信号を使用して、DAC1221と通信できるようにします。

タイミング

最大シリアル・クロック周波数は、DAC1221の X_{IN} 周波数の1/10を超えてはなりません。表VIIIおよび図5から図9までに、DAC1221の基本的なデジタルのタイミング特性を示します。図5およびそのタイミング記号は、 X_{IN} 入力信号に適用されます。図6から図9までおよびそのタイミング記号は、シリアル・インターフェース信号(SCLK、SDIO、 $\overline{\text{CS}}$)に適用されます。シリアル・インターフェースの詳細については、「シリアル・インターフェース」の項を参照して下さい。

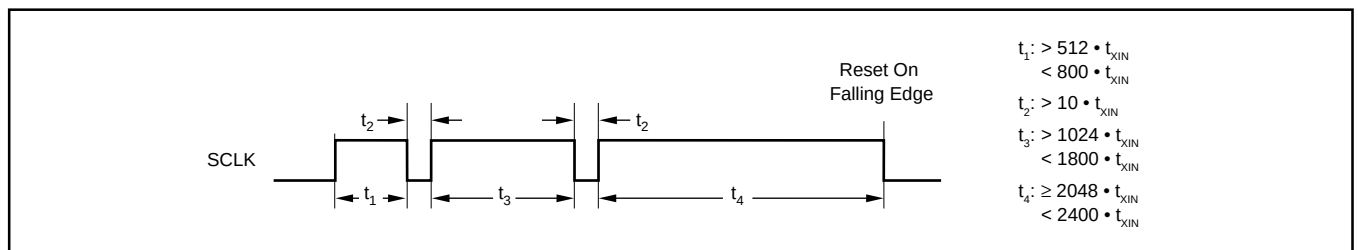


図3. DAC1221のリセット

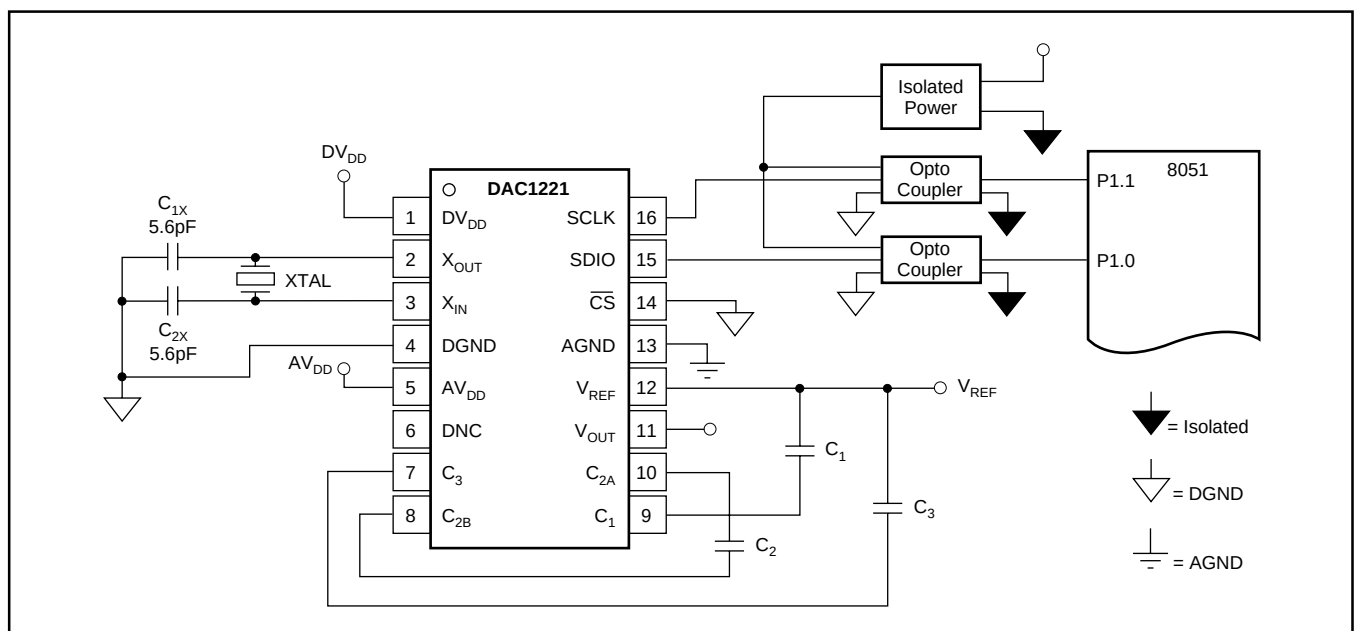


図4. 2線インターフェースの絶縁

記号	説明	最小	標準	最大	単位
f_{XIN}	X_{IN} クロック周波数	1		2.5	MHz
t_{XIN}	X_{IN} クロック周期	400		1000	ns
t_1	X_{IN} クロック“ハイ”	$0.4 \cdot t_{XIN}$			ns
t_2	X_{IN} クロック“ロー”	$0.4 \cdot t_{XIN}$			ns
t_3	SCLK“ハイ”	$5 \cdot t_{XIN}$			ns
t_4	SCLK“ロー”	$5 \cdot t_{XIN}$			ns
t_5	入力データ有効からSCLKの立ち下がりエッジまで(セットアップ)	40			ns
t_6	SCLKの立ち下がりエッジから入力データ無効まで(ホールド)	20			ns
t_7	SCLKの立ち上がりエッジから出力データ有効まで(ホールド)	0			ns
t_8	SCLKの立ち上がりエッジから新しい出力データ有効まで(遅延) ⁽¹⁾			50	ns
t_9	INSRの最後のSCLKの立ち下がりエッジから レジスタ・データの最初のSCLKの立ち上がりエッジまで	$13 \cdot t_{XIN}$			ns
t_{10}	$\overline{CS}$ の立ち下がりエッジからSCLKの立ち上がりエッジまで	$11 \cdot t_{XIN}$			ns
t_{11}	INSRの最後のSCLKの立ち下がりエッジからSDIOが出力になるまで	$8 \cdot t_{XIN}$		$10 \cdot t_{XIN}$	ns
t_{12}	SDIOが出力になってからレジスタ・データの最初のSCLKの立ち上がりエッジまで		$4 \cdot t_{XIN}$		ns
t_{13}	レジスタ・データの最後のSCLKの立ち下がりエッジからSDIOトリーステートまで	$4 \cdot t_{XIN}$		$6 \cdot t_{XIN}$	ns
t_{14}	レジスタ・データの最後のSCLKの立ち下がりエッジから 次のINSRの最初のSCLKの立ち上がりエッジまで($\overline{CS}$ を“ロー”に結線)	$41 \cdot t_{XIN}$			ns
t_{15}	$\overline{CS}$ の立ち上がりエッジから $\overline{CS}$ の立ち下がりエッジまで($\overline{CS}$ を使用)	$22 \cdot t_{XIN}$			ns

注：(1)10pF負荷において

表VIII. デジタルのタイミング特性

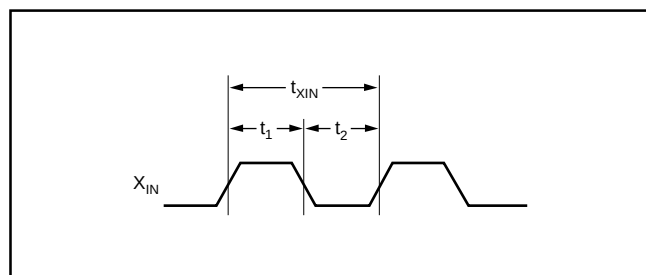


図5. X_{IN} クロックのタイミング

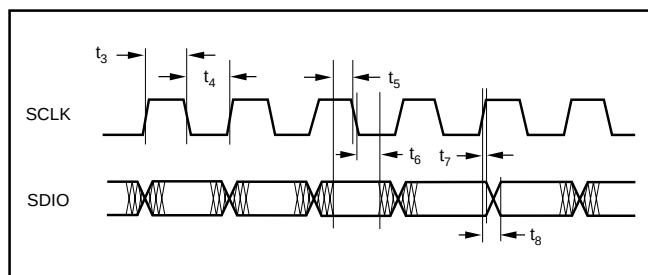


図6. シリアル入出力のタイミング

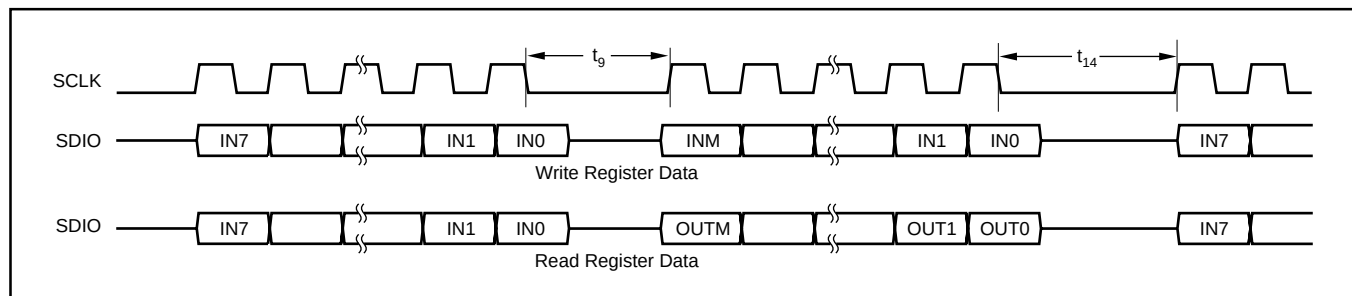


図7. シリアル・インターフェースのタイミング($\overline{CS}$ は常に“ロー”)

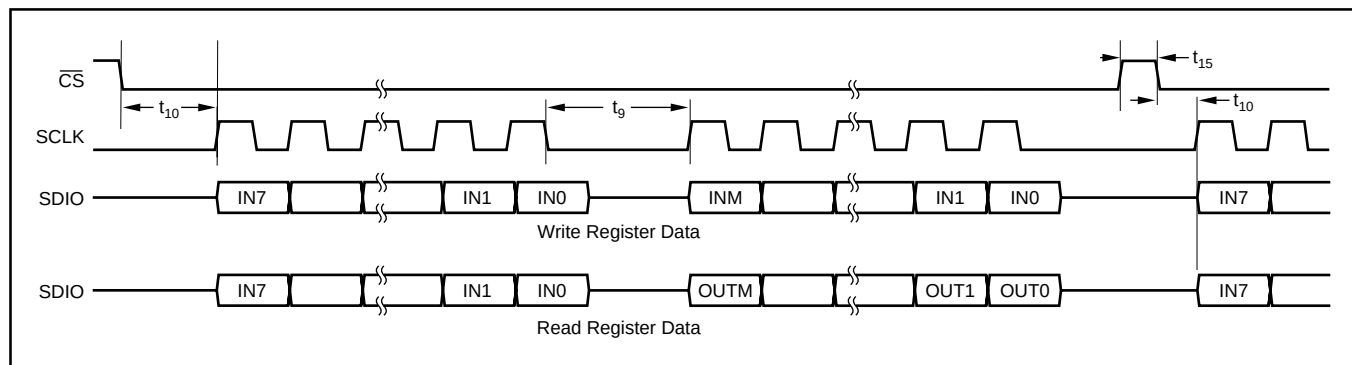


図8. シリアル・インターフェースのタイミング($\overline{CS}$ を使用)

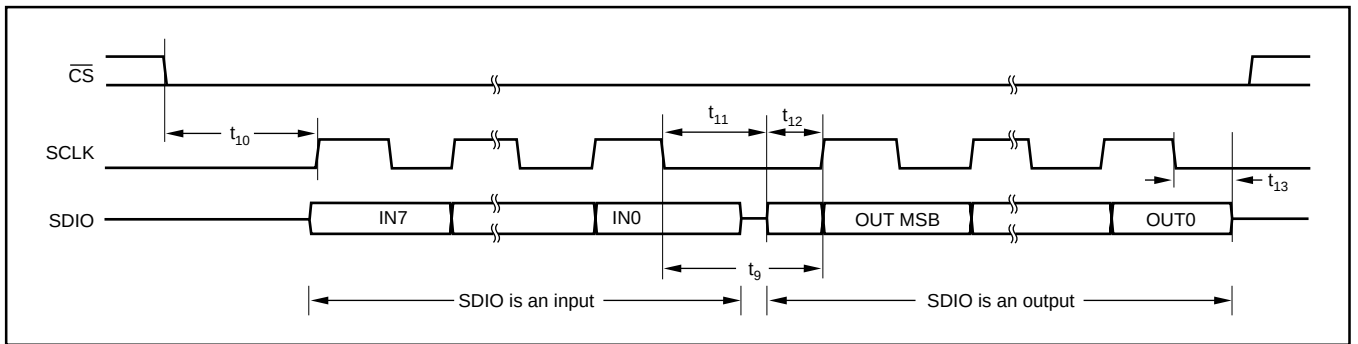


図9. SDIOが入力から出力に遷移するタイミング

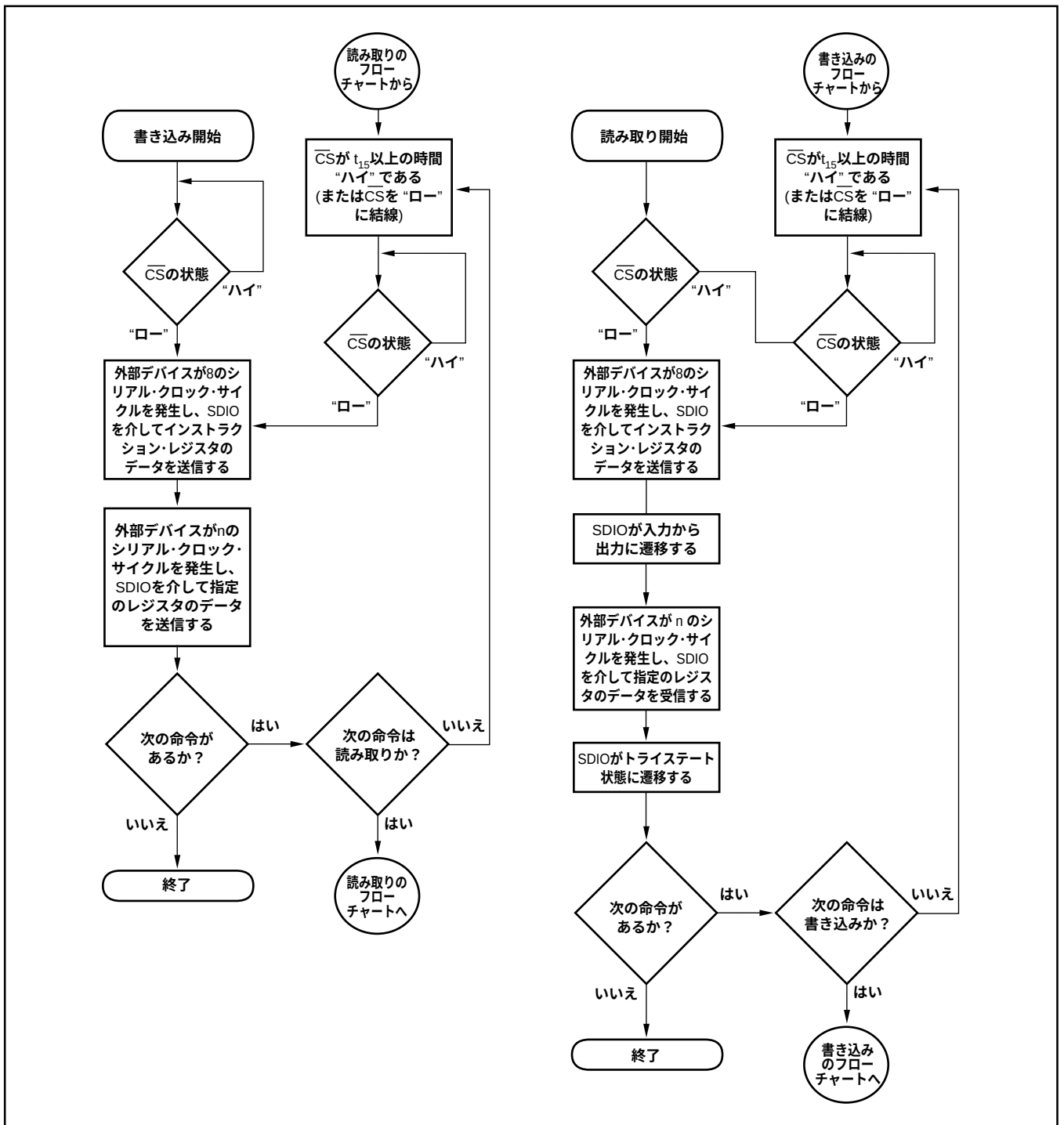


図10. レジスタのデータの書き込みおよび読み取りのフローチャート

レイアウトに関する考慮事項

電源

DAC1221では、デジタル電源(DV_{DD})がアナログ電源(AV_{DD}) +0.3Vより高くならないことが必要です。これは、ほとんどのシステムの場合、最初にアナログ電源をオンにしてから、次にデジタル電源および V_{REF} をオンにする必要があることを意味します。この条件に反すると、DAC1221に永久的な損傷を与える原因になります。

アナログ電源およびデジタル電源をオンにする前に、SDIOや V_{REF} などのDAC1221の入力が発生しないようにします。この条件に反すると、ラッチアップの原因になります。電源をオンにする前にこれらの信号が発生する場合は、直列抵抗を使用して入力電流を制限することが必要です。

最良の方法は、設計のアナログ部およびDAC1221の AV_{DD} の電源とデジタル部および DV_{DD} の電源を、それぞれ独立した+3V電源から供給することです。最初にアナログ電源をオンにします。これにより、SCLK、SDIO、 $\overline{CS}$ 、 V_{REF} が AV_{DD} より高くならないこと、デジタル入力が AV_{DD} の確立後のみ発生し、 DV_{DD} より高くならないことが保証されます。

アナログ電源は、安定で低雑音であることが必要です。DAC1221から非常に高い分解能を要求する設計では、電源除去が問題になります。詳細については、代表的性能曲線“電源除去比対周波数”を参照して下さい。

デジタル電源の必要条件はアナログ電源ほど厳しくありませんが、 DV_{DD} の高周波雑音がDAC1221のアナログ部に容量的に結合することがあります。この雑音は、スイッチング電源、高速なマイクロプロセッサ、デジタル信号プロセッサなどから発生します。

DAC1221に使用する電源が1つに限られている場合は、 AV_{DD} 電源を使用して DV_{DD} に電力を供給します。この接続には、10Ωの抵抗を使用することができます。この抵抗とデカップリング・コンデンサの組み合わせにより、 DV_{DD} と AV_{DD} 間に多少のフィルタ効果が得られます。システムによっては、直接接続することもできます。 AV_{DD} と DV_{DD} の適切な接続は、実験により決定するのが確実な方法です。

グラウンディング

設計のアナログ部とデジタル部は、注意して完全に分割することが必要です。各部に専用のグラウンド・プレーンを設け、相互に重ならないようにします。AGNDは、他のすべてのアナログ・グラウンドとともにアナログ・グラウンド・プレーンに接続します。DGNDは、デジタル・グラウンド・プレーンおよびこのプレーンを基準とするすべてのデジタル信号と接続します。

DAC1221のピンアウトは、コンバータがアナログ部とデジタル部に完全に分割されるようになっています。このため、設計のアナログ部とデジタル部に単純なレイアウトを使用することが可能です。

単一コンバータのシステムでは、DAC1221のAGNDとDGNDをコンバータ下部で1つに接続します。グラウンド・プレーンは接続しないようにし、あまり大きくない信号パターンを使用して両者を接続します。複数のコンバータがある場合は、できるだけすべてのコンバータの中心に近い位置で2つのグラウンド・プレーンを接続します。2つのプレーンを接続する最良の点を見つけるために実験が必要なこともあります。アナログ/デジタル・グラウンドの接続をショート・ジャンパで変更できるようにプリント基板を設計し、試作品を使用して最良の接続を確立することもできます。

デカップリング

DAC1221および設計のすべてのコンポーネントに対して適切なデカップリングを行うことが必要です。すべてのデカップリング・コンデンサ(特に0.1μFのセラミック・コンデンサ)は、目的のピンのできるだけ近くに配置します。 AV_{DD} とAGNDのデカップリングには、0.1μFのセラミック・コンデンサと並列に、1μFから10μFのコンデンサを使用します。各デジタル・コンポーネントのデジタル電源および DV_{DD} とDGNDのデカップリングには、少なくとも0.1μFのセラミック・コンデンサを使用します。

外観

